

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2013年2月14日(14.02.2013)



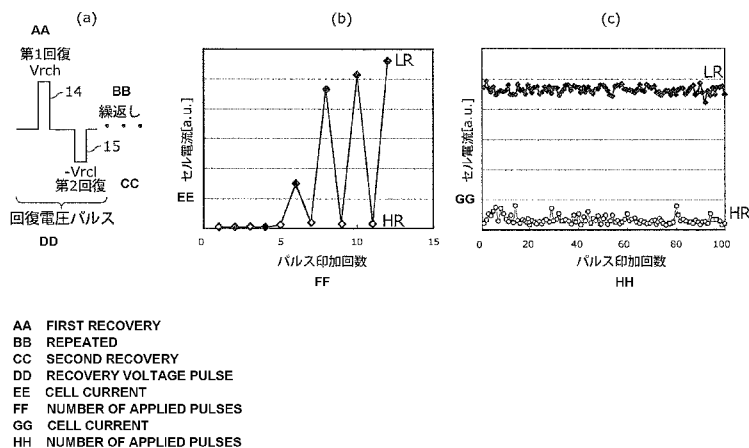
(10) 国際公開番号
WO 2013/021648 A1

- (51) 国際特許分類:
G11C 13/00 (2006.01)
 - (21) 国際出願番号: PCT/JP2012/005067
 - (22) 国際出願日: 2012年8月9日(09.08.2012)
 - (25) 国際出願の言語: 日本語
 - (26) 国際公開の言語: 日本語
 - (30) 優先権データ:
特願 2011-176432 2011年8月11日(11.08.2011) JP
 - (71) 出願人(米国を除く全ての指定国について): パナソニック株式会社(PANASONIC CORPORATION) [JP/JP]; 〒5718501 大阪府門真市大字門真1006番地 Osaka (JP).
 - (72) 発明者; および
 - (75) 発明者/出願人(米国についてのみ): 河合 賢 (KAWAI, Ken). 島川 一彦 (SHIMAKAWA, Kazuhiko). 加藤 佳一 (KATO, Yoshikazu). 村岡 俊作 (MURAOKA, Shunsaku).
 - (74) 代理人: 新居 広守 (NII, Hiromori); 〒5320011 大阪府大阪市淀川区西中島5丁目3番10号タナカ・イトーピア新大阪ビル6階新居国際特許事務所内 Osaka (JP).
 - (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
 - (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).
- 添付公開書類:
— 国際調査報告(条約第21条(3))

(54) Title: METHOD FOR WRITING TO RESISTANCE CHANGE NONVOLATILE MEMORY ELEMENT

(54) 発明の名称: 抵抗変化型不揮発性記憶素子の書き込み方法

[図2]



(57) Abstract: Provided is a method for writing to a resistance change nonvolatile memory element whereby a resistance change fault is corrected and an operation window is secured so that a resistance change operation can be stably maintained. When a resistance change fault occurs in a resistance change nonvolatile memory element, the recovery voltage pulse being constituted by two pulses that are a first recovery voltage pulse (14) as a high-resistance voltage pulse having a larger amplitude than a normal high-resistance voltage pulse and a low-resistance voltage pulse, and a second recovery voltage pulse (15) as a low-resistance voltage pulse that follows the first recovery voltage pulse (14).

(57) 要約:

[続葉有]

WO 2013/021648 A1

抵抗変化不良を回復し、動作ウィンドウを確保し、抵抗変化動作を安定的に持続可能とする抵抗変化型不揮発性記憶素子の書き込み方法を開示する。抵抗変化型不揮発性記憶素子において、抵抗変化不良が発生した場合に、通常の高抵抗化電圧パルスおよび低抵抗化電圧パルスよりも振幅が大きい高抵抗化電圧パルスである第1回復電圧パルス(14)と、第1回復電圧パルス(14)に後続する低抵抗化電圧パルスである第2回復電圧パルス(15)との2パルスで構成される回復電圧パルスを少なくとも1回、前記抵抗変化型不揮発性記憶素子に印加する。

明 細 書

発明の名称： 抵抗変化型不揮発性記憶素子の書き込み方法

技術分野

[0001] 本発明は、電気的信号に基づいて可逆的に抵抗値が変化する抵抗変化型不揮発性記憶素子の抵抗変化を安定的に持続させるための書き込み方法に関する。

背景技術

[0002] 近年、抵抗変化型不揮発性記憶素子（以下、単に「抵抗変化素子」ともいう。）を用いて構成されたメモリセルを有する抵抗変化型不揮発性記憶装置（以下、単に「不揮発性記憶装置」ともいう。）の研究開発が進んでいる。抵抗変化素子とは、電気的信号によって抵抗値が可逆的に変化する性質を有し、さらにはこの抵抗値に対応したデータを、不揮発的に記憶することが可能な素子をいう。

[0003] 抵抗変化素子を用いた不揮発性記憶装置として、互いに直交するように配置されたビット線とワード線との交点近傍の位置に、MOSトランジスタと抵抗変化素子を直列に接続した、いわゆる1T1R型と呼ばれるメモリセルをマトリックス状にアレイ配置した不揮発性記憶装置が一般的に知られている。1T1R型において、2端子の抵抗変化素子の一端はビット線またはソース線に接続され、他の一端はトランジスタのドレインまたはソースに接続される。トランジスタのゲートはワード線に接続される。トランジスタの他の一端は抵抗変化素子の一端が接続されていないソース線またはビット線に接続される。ソース線は、ビット線またはワード線と平行に配置される。

[0004] また、別のメモリセル構成として、互いに直交するように配置されたビット線とワード線との交点の位置に、ダイオードと抵抗変化素子を直列に接続した、いわゆる1D1R型と呼ばれるクロスポイントメモリセルをマトリックス状にアレイ配置した不揮発性記憶装置も一般的に知られている。

[0005] 以下、代表的な従来の抵抗変化素子を説明する。

- [0006] 非特許文献1では、遷移金属酸化物を抵抗変化素子として用いた1T1R型メモリセルで構成された不揮発性メモリが開示されている。遷移金属酸化物薄膜は、通常絶縁体であり、遷移金属酸化物薄膜の抵抗値を電気パルスの印加にて変化可能にするためには、フォーミング処理を行い、高抵抗状態と低抵抗状態を切り替え可能な導電パスを形成する必要があることが示されている。
- [0007] 図13は、非特許文献1で示されているフォーミング電圧 (V_{form}) の遷移金属酸化物の膜厚 (TMO Thickness) からの依存を示す特性図である。遷移金属酸化物としては、NiO、TiO₂、HfO₂、ZrO₂の4種類の特性が示されており、必要なフォーミング電圧は、遷移金属酸化物の種類に依存し、遷移金属酸化物膜厚が厚くなるほど、高くなる。このため、フォーミング電圧を低減させるためには、NiOのような遷移金属酸化物を選択し、遷移金属酸化物膜厚を薄膜化することが好ましい。
- [0008] 特許文献1では、絶縁体膜 (アモルファスGd₂O₃) と導体膜 (CuTe) から成るイオン伝導型抵抗変化素子で構成された不揮発性メモリが開示されている。
- [0009] 図14は、特許文献1で示されている可変抵抗素子の断面の模式図である。
- [0010] 可変抵抗素子5は、2つの電極1、2の間に導体膜3と絶縁体膜4の積層構造を持つ構成となっている。ここでは、導体膜3に用いる材料としては、例えば、Cu、Ag、Znから選ばれる1つ以上の金属元素を含有する金属膜、合金膜 (例えばCuTe合金膜)、金属化合物膜等、また、絶縁体膜4の材料としては、例えば、アモルファスGd₂O₃や、SiO₂等の絶縁体が開示されている。
- [0011] 図14に示す可変抵抗素子5への書き込みについては、電極1の電位が電極2の電位よりも低くなる電圧を印加すると、金属元素のイオンが電極2に引き寄せられて、絶縁体膜4内に入って行く。そして、イオンが電極2まで到達すると、上下の電極1、2間が導通して低抵抗化 (LR化) する。この

ように可変抵抗素子5へのデータの書き込み（LR化）が行われる。逆に、電極1の電位が電極2の電位よりも低くなる電圧を印加すると、金属元素がイオン化して電極1に引き寄せられて、絶縁体膜4から抜けていくため、上下の電極1、2間の絶縁性が増して、高抵抗化（HR化）する。このように可変抵抗素子5へのデータの消去（HR化）が行われる。

[0012] 図15(a)、図15(b)は、1回のデータ記録を行う場合に、可変抵抗素子5に印加する電圧パルスの波形図である。

[0013] 図15(a)は、書き込み（“1”データの記録）を行う場合のパルス波形であり、まず逆極性の電圧パルスとして消去電圧パルスPEを印加し、その後、記録すべき情報に対応する極性の電圧パルスPWを印加している。即ち、2つの電圧パルスPE、PWのセットにより、“1”情報の記録を行う電圧パルスP1を構成している。

[0014] 図15(b)は、消去（“0”データの記録）を行う場合のパルス波形であり、まず逆極性の電圧パルスとして書き込み電圧パルスPWを印加し、その後、記録すべき情報に対応する極性の電圧パルスPEを印加している。即ち、2つの電圧パルスPW、PEのセットにより、“0”情報の記録を行う電圧パルスP0を構成している。

[0015] 図15(a)、図15(b)に示した電圧パルスP1、P0を用いて、可変抵抗素子5にデータの記録を行うことにより、同じ極性の電圧パルスPWまたはPEが連続する回数が2回以下に制限される。これにより、同一極性の電圧パルスPWまたはPEが多数回連続して印加されることによる可変抵抗素子5の抵抗値の変化（LR状態→高抵抗方向に変動、HR状態→低抵抗方向に変動）を抑制することができ、書き換え寿命が向上する。

先行技術文献

特許文献

[0016] 特許文献1：特開2007-4935号公報（図1、図2）

特許文献2：国際公開第2008/149484号

特許文献3：国際公開第2009/050833号

非特許文献

- [0017] 非特許文献1：I. G. Baek et al., IEDM2004, p. 587 (Fig. 5 (b))

発明の概要

発明が解決しようとする課題

- [0018] ここで、背景技術で開示されたことをまとめると、非特許文献1では、遷移金属酸化物の幾つかは、電氣的パルスの印加により可逆的かつ不揮発的な抵抗変化現象を示すこと、また、その抵抗変化現象が起こり得る状態にするためには、当該状態になってから可逆的な抵抗変化を起こすために印加する電圧よりも絶対値が大きい電圧を、あらかじめ印加する必要があることが示されている。本明細書では統一して、そのような電圧を印加する動作を初期ブレイクと称し、初期ブレイクで印加される電圧を初期ブレイク電圧と称する。
- [0019] 非特許文献1には、初期ブレイクのメカニズムは、初期の絶縁状態に近い非常に高抵抗な状態にある遷移金属酸化物に対し、可逆的な抵抗変化が可能な導電パスを形成するモデルで説明できることが開示されている。
- [0020] 特許文献1では、記録すべき情報に対応する一方の極性の電圧が可変抵抗素子に印加される前に、他方の極性の電圧を可変抵抗素子に印加することで、可変抵抗素子の書き換え寿命を向上させるデータ記録方法が開示されている。
- [0021] そしてこの抵抗変化素子をメモリセルとして用いることで、例えばフラッシュメモリなど一般的に知られている不揮発性メモリに比べ、高速なメモリが構成できることが期待できる。
- [0022] しかしながら、上述した可変抵抗素子を用いたメモリセルにおいて、高抵抗化電圧パルス（1回）と低抵抗化電圧パルス（1回）を交互印加すると、書き換え初期は、安定的に抵抗変化動作をするが、書き換え回数を増やしていくと、抵抗変化状態が不安定になるという課題がある。
- [0023] 本発明は上記課題を解決するためになされたものであり、従来生じていた

不安定な抵抗変化現象を改善し、動作ウィンドウを確保し、抵抗変化動作を安定的に持続可能とする抵抗変化型不揮発性記憶素子の書き込み方法を提供することを目的としている。

課題を解決するための手段

[0024] 上記の課題を解決するために、本発明の抵抗変化型不揮発性記憶素子の書き込み方法の1つの態様は、抵抗変化型不揮発性記憶素子に電圧パルスを印加することにより、前記抵抗変化型不揮発性記憶素子の抵抗状態を可逆的に変化させる書き込み方法であって、前記抵抗変化型不揮発性記憶素子は、第1電極と、第2電極と、前記第1電極および前記第2電極に挟まれた酸素不足型の遷移金属酸化物層とを有し、前記遷移金属酸化物層は、前記第1電極と接する第1の遷移金属酸化物層と、前記第2電極と接し、前記第1の遷移金属酸化物層よりも小さい酸素不足度を持つ第2の遷移金属酸化物層とを含み、前記抵抗変化型不揮発性記憶素子は、製造後に前記第1電極と前記第2電極との間に所定の振幅を持つ初期ブレイク電圧パルスが印加された後、前記第1電極を基準として前記第2電極に対して負の電位を与える低抵抗化電圧パルスが印加されると低抵抗状態に遷移し、前記第1電極を基準として前記第2電極に対して正の電位を与える高抵抗化電圧パルスが印加されると前記低抵抗状態よりも抵抗値が高い高抵抗状態に遷移する特性を有し、前記書き込み方法は、前記抵抗変化型不揮発性記憶素子に前記低抵抗化電圧パルスが印加された時に、前記抵抗変化型不揮発性記憶素子の抵抗状態が前記低抵抗状態に遷移できず、前記高抵抗状態に留まる場合に、前記高抵抗化電圧パルスの振幅より大きい振幅を有し、かつ、前記第1電極を基準として前記第2電極に対して正の電位を与える第1の回復電圧パルスと、当該第1の回復電圧パルスに後続し、前記第1電極を基準として前記第2電極に対して負の電位を与える第2の回復電圧パルスとの2パルスで構成される回復電圧パルスを少なくとも1回、前記抵抗変化型不揮発性記憶素子に印加する。

[0025] また、前記抵抗変化型不揮発性記憶素子の書き込み方法において、前記第2の回復電圧パルス印加によって前記抵抗変化型不揮発性記憶素子の抵抗状

態が前記低抵抗状態に遷移したか否かを判定し、前記抵抗変化型不揮発性記憶素子の抵抗状態が前記低抵抗状態に達するまで、前記回復電圧パルスの印加および前記判定が繰り返されてもよい。

[0026] また、前記抵抗変化型不揮発性記憶素子の書き込み方法において、前記回復電圧パルスの印加および前記判定を、所定の回数繰り返しても前記抵抗変化型不揮発性記憶素子の抵抗状態が前記低抵抗状態に遷移しない場合、前記第1の回復電圧パルスより大きい振幅を持つ第1の再ブレイク電圧パルスを、前記抵抗変化型不揮発性記憶素子に少なくとも1回印加してもよい。

[0027] また、前記抵抗変化型不揮発性記憶素子の書き込み方法において、前記回復電圧パルスの印加および前記判定を、所定の回数繰り返しても前記抵抗変化型不揮発性記憶素子の抵抗状態が前記低抵抗状態に遷移しない場合、前記第1の回復電圧パルスより大きい振幅を持つ第1の再ブレイク電圧パルスと、当該第1の再ブレイク電圧パルスに後続し、前記第1電極を基準として前記第2電極に対して負の電位を与える第2の再ブレイク電圧パルスとの2パルスで構成されるブレイク電圧パルスを少なくとも1回、前記抵抗変化型不揮発性記憶素子に印加してもよい。

[0028] また、前記抵抗変化型不揮発性記憶素子の書き込み方法において、前記第2の回復電圧パルスの振幅は、前記低抵抗化電圧パルスの振幅以下であってもよい。

[0029] また、前記抵抗変化型不揮発性記憶素子の書き込み方法において、前記第1の回復電圧パルスのパルス幅は、前記第2の回復電圧パルスのパルス幅よりも長くてもよい。

[0030] また、前記書き込み方法が適用される抵抗変化型不揮発性記憶素子において、前記第1の遷移金属酸化物層は、 TaO_x で表される組成を有する層であり、前記第2の遷移金属酸化物層は、 TaO_y （ただし、 $x < y$ ）で表される組成を有する層であってもよい。

[0031] 本発明は、このような抵抗変化型不揮発性記憶素子の書き込み方法として実現できるだけでなく、このような書き込み方法を実行する駆動回路を備え

た抵抗変化型不揮発性記憶装置として実現することもできる。

発明の効果

[0032] 本発明の抵抗変化型不揮発性記憶素子の書き込み方法によれば、書き換え回数が増加しても適切な動作ウィンドウ確保が可能となり、不揮発性記憶装置の信頼性を大きく向上可能となる。

図面の簡単な説明

[0033] [図1]図1 (a) は、本発明の高抵抗 (HR) 化電圧パルス (1パルス) 印加と低抵抗 (LR) 化電圧パルス (1パルス) 印加を交互に実施する場合におけるパルス波形の模式図、図1 (b) は、図1 (a) に示した高抵抗化電圧パルスと低抵抗化電圧パルスを交互印加した場合における通常の抵抗変化特性図、図1 (c) は、高抵抗張り付き不具合が発生した場合の異常な抵抗変化特性図である。

[図2]図2 (a) は、本発明の高抵抗 (HR) 化電圧パルス印加と低抵抗 (LR) 化電圧パルス印加を交互に実施する場合におけるパルス波形の模式図、図2 (b) は、図2 (a) に示した高抵抗化電圧パルスと低抵抗化電圧パルスを交互印加した場合における高抵抗状態 (HR) 張り付きからの回復特性図、図2 (c) は、HR張り付き不具合から回復した後の通常の抵抗変化特性図である。

[図3]図3 (a)、図3 (b) は、本発明の回復電圧パルス印加によるHR張り付き不具合回復の推定メカニズム説明図である。

[図4]図4 (a) は、本発明の比較例における電圧不足の第1の回復電圧パルス印加と第2の回復電圧パルス印加とを交互に実施する場合におけるパルス波形の模式図、図4 (b) は、本発明の比較例における第2の回復電圧パルスのみを連続して印加する場合におけるパルス波形の模式図、図4 (c) は、本発明の比較例における第1の回復電圧パルスのみを連続して印加する場合におけるパルス波形の模式図である。

[図5]図5 (a) は、本発明の高抵抗 (HR) 化電圧パルス印加と低抵抗 (LR) 化電圧パルス印加を交互に実施する場合におけるパルス波形の模式図、

図5 (b) は、図5 (a) に示した高抵抗化電圧パルスと低抵抗化電圧パルスを交互印加した場合における高抵抗状態 (HR) 張り付きからの回復特性図、図5 (c) は、HR張り付き不具合から回復した後の通常パルス抵抗変化特性図である。

[図6]図6 (a) ~図6 (c) は、本発明の再ブレイクによるHR張り付き不具合回復の推定メカニズム説明図である。

[図7]図7 は、本発明の実施形態に係る抵抗変化型不揮発性記憶装置の構成図である。

[図8]図8 は、本発明の実施形態に係るセンスアンプの構成の一例を示す回路図である。

[図9]図9 は、本発明の実施形態に係るセンスアンプ判定レベルを説明するための図である。

[図10]図10 は、本発明の実施形態に係る各動作における設定電圧を説明するための図である。

[図11]図11 (a) ~図11 (c) は、本発明の実施形態に係る抵抗変化型不揮発性記憶装置の動作タイミング説明図である。

[図12]図12 は、本発明の実施形態に係る抵抗変化型不揮発性記憶装置におけるHR張り付き回復LR化書き込みフロー図である。

[図13]図13 は、従来の抵抗変化型不揮発性記憶素子におけるフォーミング電圧の遷移金属酸化物膜厚依存を示す特性図である。

[図14]図14 は、従来の可変抵抗素子の断面の模式図である。

[図15]図15 (a) は、従来の書き込みを行う場合のパルス波形図、図15 (b) は、従来の消去を行う場合のパルス波形図である。

[図16]図16 は、従来の抵抗変化素子を用いた1T1R型メモリセルの構成を示す模式図である。

発明を実施するための形態

[0034] (本発明の基礎となった知見)

本願発明者らは、抵抗変化型不揮発性記憶装置の1つとして、遷移金属の

一つであるタンタル（Ta）を用い、その酸素不足型の酸化物（酸化タンタル）の抵抗変化層とスイッチ素子とでメモリセルを構成した抵抗変化型不揮発性記憶装置を検討している。

[0035] ここで、酸素不足型の酸化物とは、酸素が化学量論的組成から不足した酸化物をいう。

[0036] 以下に、本発明を想到するに至った知見と、従来技術の課題を説明するが、まず、その準備として、酸素不足型のTa酸化物（ TaO_x 、 $0 < x < 2.5$ ）を抵抗変化層とする抵抗変化素子について、実験で得られたいくつかの特性を説明する。なお、これらの詳細は、背景技術の項目で述べた特許文献2、特許文献3に開示されている。

[0037] 図16は、従来の抵抗変化素子を用いた1T1R型メモリセルの構成（1ビット分の構成）を示す模式図であり、図16に示されるように、1T1R型メモリセルは、通常、NMOSトランジスタ104と抵抗変化素子100とから構成されている。

[0038] 図16に示されるように、抵抗変化素子100は、下部電極100a、酸素不足型のTa酸化物で構成された低抵抗な第1のタンタル酸化物層（ TaO_x 、 $0 < x < 2.5$ ）100b-1と高抵抗な第2のタンタル酸化物層（ TaO_y 、 $x < y$ ）100b-2とを積層した抵抗変化層100b、および上部電極100cとが積層して形成されたものである。下部電極100aから下部電極端子105が引き出され、上部電極100cから上部電極端子102が引き出されている。

[0039] また、選択トランジスタ（つまり、スイッチ素子の一例）であるNMOSトランジスタ104は、ゲート端子103を備える。抵抗変化素子100の下部電極端子105とNMOSトランジスタ104のソースまたはドレイン（N⁺拡散）領域が直列に接続され、抵抗変化素子100と接続されていない他方のドレインまたはソース（N⁺拡散）領域は、下部電極端子101として引き出され、基板端子は、接地電位に接続されている。ここでは高抵抗な第2のタンタル酸化物層100b-2を、NMOSトランジスタ104と反対

側の上部電極端子 102 側に配置している。

[0040] ここで、上部電極 100c の材料としては、関連特許である上記特許文献 3 に開示されている様に、例えば、Pt (白金)、Ir (イリジウム)、Pd (パラジウム)、Ag (銀)、Ni (ニッケル)、W (タングステン)、Cu (銅) などが使用できる。

[0041] 特許文献 3 には、抵抗変化層 100b の上部電極 100c との界面付近における抵抗変化が、標準電極電位が抵抗変化層 100b の構成元素である Ta よりも高い電極材料で上部電極 100c を構成した場合には起こりやすく、標準電極電位が Ta よりも低い電極材料で上部電極 100c を構成した場合には起こりにくいこと、また、上部電極 100c を構成する電極材料と抵抗変化層 100b を構成する金属の標準電極電位の差が、大きいほど抵抗変化が起こりやすく、差が小さくなるにつれて、抵抗変化が起こりにくくなることが開示されている。

[0042] なお、一般に標準電極電位は、酸化され易さの一つの指標であり、この値が大きければ酸化されにくく、小さければ酸化されやすいことを意味する。特に、標準電極電位が高い Pt、Ir を電極に用いた場合が、良好な抵抗変化動作が得られ、望ましい。

[0043] また、図 16 に示されたメモリセルでは、上部電極端子 102 を基準として下部電極端子 101 に所定電圧 (例えば、第 1 の閾値電圧) 以上の電圧 (低抵抗化電圧パルス) が印加された場合、上部電極 100c 界面近傍で還元が起こり、抵抗変化素子 100 は低抵抗状態に遷移し、一方、下部電極端子 101 を基準として上部電極端子 102 に別の所定電圧 (例えば、第 2 の閾値電圧) 以上の電圧 (高抵抗化電圧パルス) が印加された場合、上部電極 100c 界面近傍で酸化が起こり、抵抗変化素子 100 は高抵抗状態に遷移する。ここで、低抵抗化電圧パルスの印加方向を負電圧方向と定義し、高抵抗化電圧パルスの印加方向を正電圧方向と定義する。

[0044] まず、図 16 に示すような、上部電極 100c が Ir (イリジウム)、下部電極 100a が TaN (窒化タンタル)、抵抗変化層が第 1 のタンタル酸

化物層 100b-1 (TaO_x 、 $0 < x < 2.5$) および第2のタンタル酸化物層 100b-2 (TaO_y 、 $x < y$) で構成される抵抗変化素子 100 を用いて構成された 1T1R 型メモリセルについて、抵抗変化特性を示し、その課題を説明する。

[0045] ここで実験に用いたサンプルは、抵抗変化層 100b の面積が $0.25 \mu m^2$ ($= 0.5 \mu m \times 0.5 \mu m$) であり、下部電極 100a に接する第1のタンタル酸化物層 100b-1 (TaO_x : $x = 1.54$ 、膜厚 : $30 nm$)、および上部電極 100c に接する第2のタンタル酸化物層 100b-2 (TaO_y : $y = 2.47$ 、膜厚 : $6.5 nm$) を有している。スイッチ素子である NMOS トランジスタ 104 は、ゲート幅 $W : 0.44 \mu m$ 、ゲート長 $L : 0.18 \mu m$ 、およびゲート絶縁膜の膜厚 $T_{ox} : 3.5 nm$ である。

[0046] 第2のタンタル酸化物層 100b-2 (TaO_y) は、上部電極 100c 製造工程前に、スパッタリングにより成膜された第1のタンタル酸化物層 100b-1 (TaO_x) の上にスパッタリングにより成膜され、第1のタンタル酸化物層 100b-1 (TaO_x) と比べて酸素不足度が小さく、つまり、抵抗値が非常に高い ($> 1 M\Omega$) 構造で、抵抗変化動作するためには最初に初期ブレイク電圧を所定時間印加し第2のタンタル酸化物層 100b-2 中に導電パスを形成することが必要である。

[0047] 酸素不足度とは、それぞれの遷移金属において、その化学量論的組成の酸化物を構成する酸素の量に対し、不足している酸素の割合をいう。例えば、遷移金属がタンタル (Ta) の場合、化学量論的な酸化物の組成は Ta_2O_5 であるので、 $TaO_{2.5}$ と表現できる。 $TaO_{2.5}$ の酸素不足度は 0% である。例えば $TaO_{1.5}$ の組成の酸素不足型のタンタル酸化物の酸素不足度は、酸素不足度 = $(2.5 - 1.5) / 2.5 = 40\%$ となる。また、 Ta_2O_5 の酸素含有率は、総原子数に占める酸素の比率 ($O / (Ta + O)$) であり、 $71.4 at\%$ となる。したがって、酸素不足型のタンタル酸化物は、酸素含有率が 0 より大きく、 $71.4 at\%$ より小さいことになる。

[0048] 抵抗変化層 100b を構成する金属は、タンタル以外の遷移金属を用いて

もよい。遷移金属としては、タンタル (Ta)、チタン (Ti)、ハフニウム (Hf)、ジルコニウム (Zr)、ニオブ (Nb)、タングステン (W) 等を用いることができる。遷移金属は複数の酸化状態をとることができるため、異なる抵抗状態を酸化還元反応により実現することが可能である。

[0049] 例えば、ハフニウム酸化物を用いる場合、第1のハフニウム酸化物層100b-1の組成を HfO_x とした場合に x が0.9以上1.6以下であり、且つ、第2のハフニウム酸化物層100b-2の組成を HfO_y とした場合に y が x の値よりも大である場合に、抵抗変化層100bの抵抗値を安定して高速に変化させることが確認できている。この場合、第2のハフニウム酸化物層100b-2の膜厚は、3~4nmが好ましい。

[0050] また、ジルコニウム酸化物を用いる場合、第1のジルコニウム酸化物層100b-1の組成を ZrO_x とした場合に x が0.9以上1.4以下であり、且つ、第2のジルコニウム酸化物層100b-2の組成を ZrO_y とした場合に y が x の値よりも大である場合に、抵抗変化層100bの抵抗値を安定して高速に変化させることが確認できている。この場合、第2のジルコニウム酸化物層100b-2の膜厚は、1~5nmが好ましい。

[0051] なお、第1の遷移金属酸化物層100b-1を構成する第1の遷移金属と、第2の遷移金属酸化物層100b-2を構成する第2の遷移金属とは、異なる遷移金属を用いてもよい。この場合、第2の遷移金属酸化物層100b-2は、第1の遷移金属酸化物層100b-1よりも酸素不足度が小さい、つまり抵抗が高い方が好ましい。このような構成とすることにより、抵抗変化時に下部電極100aおよび上部電極100cとの間に印加された電圧は、第2の遷移金属酸化物層100b-2に、より多くの電圧が分配され、第2の遷移金属酸化物層100b-2中で発生する酸化還元反応をより起こしやすくすることができる。

[0052] また、前記第1の遷移金属と前記第2の遷移金属とが互いに異なる材料を用いる場合、前記第2の遷移金属の標準電極電位は、第1の遷移金属の標準電極電位より小さい方が好ましい。抵抗変化現象は、抵抗が高い第2の遷移

金属酸化物層 100b-2 中に形成された微小なフィラメント（導電パス）中で酸化還元反応が起こってその抵抗値が変化し、発生すると考えられるからである。

[0053] 例えば、第 1 の遷移金属酸化物層 100b-1 に、酸素不足型のタンタル酸化物を用い、第 2 の遷移金属酸化物層 100b-2 にチタン酸化物（TiO₂）を用いることにより、安定した抵抗変化動作が得られる。チタン（標準電極電位 = -1.63 eV）はタンタル（標準電極電位 = -0.6 eV）より標準電極電位が低い材料である。標準電極電位は、その値が大きいほど酸化しにくい特性を表す。第 2 の遷移金属酸化物層 100b-2 に第 1 の遷移金属酸化物層 100b-1 を構成する金属より標準電極電位が小さい金属の酸化物を配置することにより、第 2 の遷移金属酸化物層 100b-2 中でより酸化還元反応が発生しやすくなる。

[0054] 上記の各材料の積層構造の抵抗変化膜における抵抗変化現象は、いずれも抵抗が高い第 2 の遷移金属酸化物層 100b-2 中に形成された微小な抵抗変化領域（フィラメント）中で酸化還元反応が起こってその抵抗値が変化し、発生すると考えられる。

[0055] つまり、第 2 の遷移金属酸化物層 100b-2 側の電極 100c に、下部電極 100a を基準にして正の電圧を印加したとき、抵抗変化膜 106 中の酸素イオンが第 2 の遷移金属酸化物層 100b-2 側に引き寄せられて第 2 の遷移金属酸化物層 100b-2 中に形成された微小なフィラメント中で酸化反応が発生して微小なフィラメントの抵抗が増大すると考えられる。

[0056] 逆に、第 2 の遷移金属酸化物層 100b-2 側の電極 100c に、下部電極 100a を基準にして負の電圧を印加したとき、第 2 の遷移金属酸化物層 100b-2 中の酸素イオンが第 1 の遷移金属酸化物層 100b-1 側に押しやられて第 2 の遷移金属酸化物層 100b-2 中に形成された微小なフィラメント中で還元反応が発生して微小なフィラメントの抵抗が減少すると考えられる。

[0057] 酸素不足度がより小さい第 2 の遷移金属酸化物層 100b-2 に接続され

ている上部電極100cは、例えば、白金(Pt)、イリジウム(Ir)など、第2の遷移金属酸化物層100b-2を構成する遷移金属および下部電極100aを構成する材料と比べて標準電極電位がより高い材料で構成する。このような構成とすることにより、上部電極100cと第2の遷移金属酸化物層100b-2の界面近傍の第2の遷移金属酸化物層100b-2中において、選択的に酸化還元反応が発生し、安定した抵抗変化現象が得られる。

[0058] 以上のように構成された抵抗変化素子100を駆動する場合は、外部の電源によって所定の条件を満たす電圧を下部電極100aと上部電極100cとの間に印加する。

[0059] このように構成された図16の抵抗変化素子を用いた1T1R型メモリセルについて、図1(a)に示す高抵抗(HR)化電圧パルス10(VH)と低抵抗(LR)化電圧パルス11(-VL)を端子101と端子102との間に繰返し交互に複数回印加した場合における、通常の抵抗変化特性の一例を図1(b)に示し、また、高抵抗(HR)状態の張り付き不具合が発生した場合の異常な抵抗変化特性の一例を図1(c)に示す。

[0060] ここで、電圧パルスの後に付記した記号は当該電圧パルスの電圧値を表す。以下では適宜、電圧パルスの電圧値を同様に表記する。また、高抵抗、低抵抗なる語句は、明瞭性を損なわない限り、それぞれHR、LRと略記することがある。また、図1(a)において、高抵抗(HR)化電圧パルス10と低抵抗(LR)化電圧パルス11とは、それぞれHR化、LR化と略記されている。

[0061] 端子101に対して端子102に正の電圧を印加する場合を正の電圧印加、逆の場合を負の電圧印加とする。また、トランジスタ104のゲート端子103には、HR化電圧パルス10(VH)とLR化電圧パルス11(-VL)印加時の両方において、例えばLR化電圧パルス11と絶対値が等しい正のゲート電圧VLが印加される。

[0062] ここで、メモリセルの端子101と端子102との間にHR化電圧パルス

10 (V_H) を印加したとき、抵抗変化素子100の両端にはほぼV_Hがそのまま印加される。しかし、メモリセルの端子101と端子102との間にLR化電圧パルス11 (-V_L) を印加したときには、トランジスタ104の閾値をV_{t h}とすると、抵抗変化素子100の両端に印加される電圧は-(V_L - V_{t h}) となり、トランジスタ104の閾値電圧分だけ低下した電圧となる。これは、LR化電圧パルス11 (-V_L) 印加時にNMOSトランジスタ104がソースフォロア接続となるためである。

[0063] 図1 (b) および図1 (c) において、縦軸は、図16のメモリセルにおいて、ゲート端子103に正のゲート電圧V_Gが印加され、上部電極端子102に正のV_{r e a d}の読み出し電圧印加 (このとき、下部電極端子101には、接地電位を印加) した時の高抵抗 (HR) 状態と低抵抗 (LR) 状態のセル電流 (抵抗変化素子100にはほぼV_{r e a d}が印加される) であり、横軸は、パルス印加回数である。このとき、V_{r e a d}の印加では、抵抗変化は起こらない。

[0064] 図1 (b) および図1 (c) は、図1 (a) に示したように、HR化電圧パルス10として、正の電圧V_Hを端子101と端子102との間に所定のパルス幅で印加し、LR化電圧パルス11として、負の電圧-V_Lを端子101と端子102との間に所定のパルス幅で印加した場合の抵抗変化特性の一例を示している。この時、ゲート端子103にはゲート電圧V_Lが印加されている。また、V_L > V_Hである。ただし、低抵抗化時にトランジスタがソースフォロア接続となるため、実際に抵抗変化素子にかかる電圧は、高抵抗化時にかかる電圧V_Hの方が低抵抗化時にかかる電圧V_L - V_{t h}よりも大きい。

[0065] 図1 (b) に示すように、通常の抵抗変化動作において、HR状態とLR状態のセル電流は、それぞれ比較的狭い範囲内で安定した値を示している。しかしながら、図1 (c) に示すように、一旦、HR状態に張り付く不具合 (あるHR化電圧パルスの印加時にHR状態になったまま、LR化電圧パルスを印加しても抵抗変化しない現象) が発生すると、以降は、図1 (a) に

示す通常のHR化電圧パルス10(VH)とLR化電圧パルス11(-VL)を所定回数繰返し交互印加したとしてもHR状態に張り付いたまま回復しない。

[0066] このように高抵抗状態に張り付く不具合が発生する原因は、初期ブレイクにより形成した導電パスに、HR化電圧パルス印加時に、偶発的に、酸素イオンが、通常のHR状態のときより過剰に存在してしまうためと推定されるが、一旦HR状態に張り付く不具合が発生してしまうと、通常のLR化電圧パルス印加では、容易に回復することができなくなり、書き換え回数（書き換え寿命）が短くなるという課題が見出された。

[0067] 本願の発明者は、このような事情を鑑みて、HR状態に張り付く不具合を解消（低抵抗(LR)化回復ともいう）することができる抵抗変化型不揮発性記憶素子の書き込み方法を鋭意検討した結果、通常書き換え電圧の絶対値よりも大きい振幅を有する回復電圧パルスを抵抗変化素子に印加することにより、導電パスに過剰に存在する酸素イオンを除去して導電パスを機能回復させるか、または、過剰に酸素イオンが存在する導電パス以外に新たに導電パスを形成し、以降、新たに形成した導電パスで抵抗変化動作させることにより、HR状態の張り付き不具合を解消できることを見出した。

[0068] 以下では、まずHR状態に張り付いた状態からの低抵抗(LR)化回復に関する基礎データを説明し、その後、本発明の実施の形態について説明する。

[0069] (1) 導電パスの機能回復によるLR化回復

図16に示した抵抗変化素子を用いた1T1R型メモリセルの端子101と端子102との間に、図2(a)に示す第1の回復電圧パルス14(Vrch)と第2の回復電圧パルス15(-Vrc1)とを繰返し交互に複数回印加した場合における、高抵抗(HR)張り付き状態からのLR化回復特性の一例を図2(b)に示し、HR張り付き状態からLR化回復した後のパルス抵抗変化特性の一例を図2(c)に示す。図2(a)において、第1の回復電圧パルス14と第2の回復電圧パルス15とは、それぞれ第1回復、第

2回復と略記されている。

[0070] ここで、 $V_{rch} > V_H$ 、かつ $V_{rch} \geq V_{rc1}$ である。 V_{rc1} は V_L 近傍の電圧であれば、 V_L より高くても、低くてもよい。また、メモリセルの端子101と端子102との間に第1の回復電圧パルス14 (V_{rch})を印加したとき、抵抗変化素子100の両端にはほぼ V_{rch} がそのまま印加される。しかし、メモリセルの端子101と端子102との間に第2の回復電圧パルス15 ($-V_{rc1}$)を印加したときには、トランジスタ104の閾値を V_{th} とすると、抵抗変化素子100の両端に印加される電圧は $-(V_{rc1} - V_{th})$ となり、トランジスタ104の閾値電圧分だけ低下した電圧となる。

[0071] 図2 (b) および図2 (c) において、縦軸および横軸は、図1 (b) と同様である。

[0072] 図2 (b) は、図2 (a) に示したように、図1 (c) で高抵抗状態に張り付いたメモリセルに対し、第1の回復電圧パルス14 (V_{rch})を所定のパルス幅で印加し、第2の回復電圧パルス15 ($-V_{rc1}$)を所定のパルス幅で印加する動作を、交互に繰り返した場合の抵抗変化特性の一例を示している。 V_{rch} は、通常の高抵抗化電圧 V_H よりも高く、かつ、再度ブレイクが生じない程度の電圧 (ブレイクが生じる電圧を V_{brh} とすると、 $V_{brh} > V_{rch} > V_H$) である。この時、ゲート端子103にはゲート電圧 V_{rch} が印加されている。

[0073] ここで、第1の回復電圧パルス14および第2の回復電圧パルス15で構成される電圧パルスセットを回復電圧パルスと定義する。なお、ここでは、第2の回復電圧パルス15は、振幅、パルス幅ともに、図1 (a) に示す通常のLR化電圧パルス11と等しいとしているが、第2の回復電圧パルス15の振幅は、通常動作時のLR化電圧パルス11の振幅よりも小さくてもよく、また、第2の回復電圧パルス15のパルス幅は、通常動作時のLR化電圧パルス11のパルス幅よりも小さくてもよい。

[0074] 図2 (b) に示すように、HR張り付き状態から、メモリセルに回復パル

スの印加を数回繰り返すことにより、LR状態のセル電流が増加し、HR張り付き状態から回復する。その後、メモリセルに、通常動作時のHR化電圧パルス10 (V_H) を所定のパルス幅で印加し、通常動作時のLR化電圧パルス11 ($-V_L$) を所定のパルス幅で印加する（ここで、 $V_L > V_H$ であり、トランジスタのゲート端子103にはゲート電圧 V_L が印加される）、通常の抵抗変化電圧パルス（図1(a)と同じ条件）の交互印加を行うと、図2(c)に示すように、再度HR張り付き不具合が発生することなく、安定的に抵抗変化できる。

[0075] 図3(a)、(b)は、回復電圧パルス印加によるHR状態張り付き不具合からの回復の推定メカニズムを説明するための図である。図3において、図16と同じ構成要素については、同じ符号を用い、説明を省略する。

[0076] 図3(a)は、HR張り付き状態の抵抗変化素子100を表し、第2の遷移金属酸化物層102b-2中に形成されたフィラメント113中に酸素イオンが、通常の高抵抗状態時より過剰に存在し、通常LR化電圧パルスを印加してもフィラメント（導電パス）が低抵抗化せず、機能しなくなっている。

[0077] 図3(b)は、HR張り付き不具合が発生した抵抗変化素子100に回復電圧パルスを繰返し印加した場合に、フィラメント中の過剰な酸素イオン (O^{2-}) が除去され、フィラメント113が正常状態に回復した様子を模式図で示している。

[0078] なお、図4(a)に示すように、図2(a)における第1の回復電圧パルス14 (V_{rch}) の代わりに、通常HR化電圧パルス10 (V_H) よりも電圧が低い正電圧パルス16 (V_{rch1} 、 $V_{rch1} < V_H$) と、第2の回復電圧パルス15 ($-V_{rc1}$) とをHR張り付き状態にある抵抗変化素子100に繰返し交互印加した場合、図2(b)に見られたような抵抗変化特性の回復は起こらなかった。また、図4(b)に示すように第2の回復電圧パルス15 ($-V_{rc1}$) のみをHR張り付き状態にある抵抗変化素子100に繰返し印加した場合や、図4(c)に示すように第1の回復電圧パル

ス14 (V_{rch})のみをHR張り付き状態にある抵抗変化素子100に繰返し印加した場合には、図2(b)に見られたような抵抗変化特性の回復は起こらなかった。

[0079] 以上をまとめると、HR張り付き状態のメモリセルに、通常のHR化電圧パルス10 (V_H)よりも高く、かつ、第2の遷移金属酸化物層102b-2の再ブレイクが生じない程度の電圧を持つ第1の回復電圧パルス14 (V_{rch})を印加し、その後、第2の回復電圧パルス15 ($-V_{rc1}$)を印加する回復電圧パルスを繰返し印加することにより、フィラメント内に過剰に存在する酸素イオンがフィラメント内から除去され、フィラメントを正常化でき、その結果、抵抗変化特性が安定化し、書き換え寿命が大幅に向上できると考えられる。

[0080] なお、ここでは、回復電圧パルスを構成する第1の回復電圧パルス14 (V_{rch})のパルス幅は第2の回復電圧パルス15 ($-V_{rc1}$)のパルス幅と同一にしていたが、強反転パルス印加によるHR張り付きからの回復効果を高めるために、第1の回復電圧パルス14のパルス幅を第2の回復電圧パルス15のパルス幅よりも広げても良い。

[0081] (2) 再ブレイクによるLR化回復

図16に示した抵抗変化素子を用いた1T1R型メモリセルについて、図5(a)に示す第1の再ブレイク電圧パルス12 (V_{brh} 、ここで、 $V_{brh} > V_{rch} > V_H$)と第2の再ブレイク電圧パルス13 ($-V_{br1}$)とを繰返し交互に複数回印加した場合における、高抵抗(HR)張り付き状態からのLR化回復特性の一例を図5(b)に示し、HR張り付き状態からLR化回復した後のパルス抵抗変化特性の一例を図5(c)に示す。図5(a)において、第1の再ブレイク電圧パルス12と第2の再ブレイク電圧パルス13とは、それぞれ第1再ブレイク、第2再ブレイクと略記されている。

[0082] 図5(b)および図5(c)において、縦軸および横軸は、図1(b)と同様である。

[0083] 図5 (b) は、図5 (a) に示したように、第1の再ブレイク電圧パルス12 (V_{brh}) として、第2の遷移金属酸化物層102b-2を再度ブレイク可能な電圧 (V_{brh}) を所定のパルス幅で印加した後、第2の再ブレイク電圧パルス13 ($-V_{brl}$) を印加した場合の抵抗変化特性の一例を示している。この時、トランジスタのゲート端子103には正のゲート電圧 V_{brh} が印加されている。

[0084] 図5 (b) に示すように、HR張り付き状態 (点A) では測定分解能以下の高抵抗状態にあるが、第1の再ブレイク電圧パルス12 (V_{brh}) を印加すると、第2の遷移金属酸化物層102b-2に再ブレイクが生じ、新たに導電パス (フィラメント) が第2の遷移金属酸化物層102b-2中に形成され、高抵抗張り付き状態から脱出できている (点B)。

[0085] 以降、第2の再ブレイク電圧パルス13 ($-V_{brl}$) と第1の再ブレイク電圧パルス12 (V_{brh}) を繰返し交互印加すると、LR状態のセル電流が徐々に増加し飽和する。その後、メモリセルに、通常動作時のHR化電圧パルス10 (V_H) を所定のパルス幅で印加し、通常動作時のLR化電圧パルス11 ($-V_L$) を所定のパルス幅で印加する (この時、トランジスタのゲート端子103にはゲート電圧 V_L が印加されている)、通常の抵抗変化電圧パルスの交互印加を行うと、図5 (c) に示すように、再度HR張り付き不具合が発生することなく、安定的に抵抗変化できる。

[0086] なお、第2の遷移金属酸化物層102b-2の再ブレイクは、第1の再ブレイク電圧パルス12 (V_{brh}) の最初の印加のみで生じる場合がある。例えば、図5 (b) の抵抗変化特性では、第1の再ブレイク電圧パルス12 (V_{brh}) の最初の印加によって、高抵抗張り付き状態から脱出できており (点B)、第2の再ブレイク電圧 ($-V_{brl}$) 13の印加、および第1の再ブレイク電圧パルス12の第2回目以降の印加は必ずしも必要ではない。

[0087] ただし、第2の再ブレイク電圧パルス13の印加、または、その後の (第2回目以降の) 第1の再ブレイク電圧パルス12および第2の再ブレイク電

圧パルス 1 3 の印加の繰り返しによって、初めて再ブレイクが生じる場合や、より好ましい抵抗変化特性が得られる場合があるため、第 2 の再ブレイク電圧パルス 1 3 の印加、および、その後の（第 2 回目以降の）第 1 の再ブレイク電圧パルス 1 2 および第 2 の再ブレイク電圧パルス 1 3 の繰り返し印加の技術的な意義は否定されない。

[0088] 図 6 (a) ~ (c) は、再ブレイクによる HR 張り付き不具合回復の推定メカニズムを説明するための図である。図 6 において、図 1 6 と同じ構成要素については、同じ符号を用い、説明を省略する。

[0089] 図 6 (a) は、HR 張り付き状態の抵抗変化素子 1 0 0 を表し、フィラメント 1 1 0 中に酸素イオンが過剰に存在して、フィラメント（導電パス）が抵抗変化できない状態になり、機能しなくなっている。

[0090] 図 6 (b) は、HR 張り付き不具合が発生した抵抗変化素子 1 0 0 を再ブレイクした場合に、新たにフィラメント 1 1 1 が形成された様子を示している。図 6 (c) に示すように、さらに、フィラメント 1 1 1 においても HR 張り付き不具合が発生した場合には、再々ブレイクし、別の新たなフィラメント 1 1 2 を形成でき、以降、フィラメントが詰り、HR 張り付き不具合が発生する度に再ブレイク、別フィラメント形成を繰り返し、HR 張り付き不具合から回復することができる。

[0091] このように、再ブレイクを実施することにより、フィラメントが劣化し、HR 張り付き不具合が発生する度に新しいフィラメントを形成でき、書き換え寿命が大幅に向上可能となる。もちろん、同じフィラメントの箇所が再度ブレイクされることもある。

[0092] なお、本再ブレイクの方法では、正電圧印加で新たなフィラメント形成を実施したが、負電圧印加で再ブレイクを実施しても良いのは言うまでも無い。

[0093] [本発明の実施形態における抵抗変化型不揮発性記憶装置]

発明者らは、上述した HR 張り付き状態からの LR 化回復に関する基礎データから得られた知見に基づき、HR 張り付き不良セルに対して好適な LR

化回復動作を実施する不揮発性記憶装置を考案した。以下、本発明の実施形態として、図16に示された抵抗変化素子を用いた1T1R型の不揮発性記憶装置について説明する。

[0094] 図7は、本発明の実施形態に係る不揮発性記憶装置の構成を示すブロック図である。

[0095] 図7に示すように、本実施形態に係る不揮発性記憶装置200は、半導体基板上に、メモリ本体部201を備えており、メモリ本体部201は、図16に示された1T1R型メモリセルで構成されたメモリアレイ202と、行選択回路208、ワード線ドライバWLD、ソース線ドライバSLDからなる行ドライバ207と、列選択回路203と、ブレイクおよびデータの書き込みを行うための書き込み回路206と、選択ビット線に流れる電流量を検出し、高抵抗状態をデータ「0」と判定し、また低抵抗状態をデータ「1」と判定するセンスアンプ204と、端子DQを介して入出力データの入出力処理を行うデータ入出力回路205とを備える。

[0096] さらには、書き込み用電源211として、高抵抗(HR)化用電源213および低抵抗(LR)化用電源212を備えている。

[0097] さらに、外部から入力されるアドレス信号を受け取るアドレス入力回路209と、外部から入力されるコントロール信号に基づいて、メモリ本体部201の動作を制御する制御回路210とを備えている。

[0098] メモリアレイ202は、半導体基板の上に形成された、互いに交差するように配列された複数のワード線WL0、WL1、WL2、WL3、・・・および複数のビット線BL0、BL1、BL2、・・・と、これらのワード線WL0、WL1、WL2、WL3、・・・、およびビット線BL0、BL1、BL2、・・・の交点に対応してそれぞれ設けられた複数のNMOSトランジスタN11、N12、N13、N14、・・・、N21、N22、N23、N24、・・・、N31、N32、N33、N34、・・・(以下、「トランジスタN11、N12、・・・」と表す)と、トランジスタN11、N12、・・・と1対1に直列接続された複数の抵抗変化素子R11、R1

2、R 1 3、R 1 4、・・・、R 2 1、R 2 2、R 2 3、R 2 4、・・・、R 3 1、R 3 2、R 3 3、R 3 4、・・・（以下、「抵抗変化素子R 1 1、R 1 2、・・・」を表す）とを備え、個々がメモリセルM 1 1、M 1 2、M 1 3、M 1 4、・・・、M 2 1、M 2 2、M 2 3、M 2 4、・・・M 3 1、M 3 2、M 3 3、M 3 4、・・・（以下、「メモリセルM 1 1、M 1 2、・・・」を表す）を構成している。

[0099] 図7に示すように、トランジスタN 1 1、N 2 1、N 3 1、・・・のゲートはワード線WL 0に接続され、トランジスタN 1 2、N 2 2、N 3 2、・・・のゲートはワード線WL 1に接続され、トランジスタN 1 3、N 2 3、N 3 3、・・・のゲートはワード線WL 2に接続され、トランジスタN 1 4、N 2 4、N 3 4、・・・のゲートはワード線WL 3に接続されている。

[0100] また、トランジスタN 1 1、N 2 1、N 3 1、・・・およびトランジスタN 1 2、N 2 2、N 3 2、・・・はソース線SL 0に共通に接続され、トランジスタN 1 3、N 2 3、N 3 3、・・・およびトランジスタN 1 4、N 2 4、N 3 4、・・・はソース線SL 2に共通に接続されている。すなわち、ソース線SL 0、SL 2、・・・は、ワード線WL 0、WL 1、WL 2、WL 3、・・・に対して平行となり、ビット線BL 0、BL 1、BL 2、・・・に対して交差（本実施形態では、垂直方向）するように配置されている。なお、上記の構成例では、ソース線はワード線と平行に配置されているが、ビット線と平行に配置してもよい。また、ソース線は、プレート線として接続されるトランジスタに共通の電位を与える構成としているが、行選択回路／ドライバと同様の構成のソース線選択回路／ドライバを有し、選択されたソース線と非選択のソース線を異なる電圧（極性も含む）で駆動する構成としてもよい。

[0101] また、抵抗変化素子R 1 1、R 1 2、R 1 3、R 1 4、・・・はビット線BL 0に接続され、抵抗変化素子R 2 1、R 2 2、R 2 3、R 2 4、・・・はビット線BL 1に接続され、抵抗変化素子R 3 1、R 3 2、R 3 3、R 3 4、・・・はビット線BL 2に接続されている。このように、実施形態にお

けるメモリアレイ202では、抵抗変化素子R11、R21、R31、・・・がNMOSトランジスタN11、N21、N31・・・を介さずに、対応するビット線BL0、BL1、BL2、・・・に直接接続される構成を取っている。

[0102] 制御回路210は、LR化回復動作時には、所定の回復電圧の印加を指示するLR化回復信号を書き込み回路206へ出力する。また、データの書き込みサイクルにおいては、データ入出力回路205に入力された入力データDinに応じて、書き込み用電圧の印加を指示する書き込み信号を書き込み回路206へ出力する。他方、データの読み出しサイクルにおいて、制御回路210は、読み出し動作を指示する読み出し信号をセンスアンプ204へ出力する。

[0103] 行選択回路208は、アドレス入力回路209から出力された行アドレス信号を受け取り、この行アドレス信号に応じて、行ドライバ207より、複数のワード線WL0、WL1、WL2、WL3、・・・のうちの何れかに対応するワード線ドライバ回路WLDより、その選択されたワード線に対して、所定の電圧を印加する。

[0104] また同様に、行選択回路208は、アドレス入力回路209から出力された行アドレス信号を受け取り、この行アドレス信号に応じて、行ドライバ207より、複数のソース線SL0、SL2、・・・のうちの何れかに対応するソース線ドライバ回路SLDより、その選択されたソース線に対して、所定の電圧を印加する。

[0105] 書き込み回路206は、制御回路210から出力されたLR化回復信号を受け取った場合、所定パルス幅で所定振幅のLR化回復動作の電圧パルスを列選択回路203により選択されたビット線に対して印加する。また、書き込み回路206は、制御回路210から出力された書き込み信号を受け取った場合、列選択回路203により選択されたビット線に対して通常動作時の書き込み用電圧を印加する。

[0106] 書き込み用電源211は、低抵抗化用のLR化用電源212と、高抵抗化

用のHR化用電源213より構成され、LR化用電源212の出力VLOは行ドライバ207に入力され、また、HR化用電源213の出力VHOは書き込み回路206に入力されている。

[0107] 図8は、図7におけるセンスアンプ204の詳細な構成の一例を示す回路図である。

[0108] センスアンプ204は、一例として、ミラー比が1対1のカレントミラー回路218とサイズが等しいクランプトランジスタ219、220と、基準回路221、およびインバータ224から構成される。基準回路221は、通常動作用基準電流生成回路702と、LR化ベリファイ用基準電流生成回路703から構成される。

[0109] 通常動作用基準電流生成回路702では、選択トランジスタ222と通常読み出し用の基準抵抗 R_{ref} が直列に接続されたブランチの一端を接地電位に接続され、他方の端子をクランプトランジスタ219のソース端子と接続され、また、選択トランジスタ222のゲート端子には、読み出しイネーブル信号C1が入力され、読み出しイネーブル信号C1により、選択トランジスタ222は、導通／非導通状態を切り換えられる。

[0110] 同様に、LR化ベリファイ用基準電流生成回路703では、選択トランジスタ223とLR化ベリファイ用の基準抵抗 R_L ($R_L < R_{ref}$) が直列に接続されたブランチの一端を接地電位に接続され、他方の端子をクランプトランジスタ219のソース端子と接続され、また選択トランジスタ223のゲート端子には、LR化ベリファイイネーブル信号C2が入力され、LR化ベリファイイネーブル信号C2により、選択トランジスタ223は、導通／非導通状態を切り換えられる。

[0111] また、クランプトランジスタ219、220は、ゲート端子にクランプ電圧 V_{CLP} ($V_{CLP} < V_{DD}$)が入力され、クランプトランジスタ220のソース端子は、列選択回路203とビット線を介して、メモリセルと接続され、クランプトランジスタ219、220のドレイン端子は、それぞれカレントミラー回路218を構成するトランジスタ225、226のドレイン

端子と接続される。クランプトランジスタ 220 のドレイン端子電位は、インバータ 224 により反転増幅され、センスアンプ出力 SAO としてデータ入出力回路 205 に伝達される。

[0112] 図 9 は、センスアンプ 204 の判定レベルを説明するための図である。センスアンプ 204 は、図 9 に示すように、高抵抗 (HR) 状態にあるメモリセルの抵抗値 = R_{hr} と低抵抗 (LR) 状態にあるメモリセルの抵抗値 = R_{lr} との間に、通常読み出し用の基準抵抗 R_{ref} ($R_{lr} < R_{ref} < R_{hr}$) と、それより小さい LR 化ベリファイ用の基準抵抗 R_L ($R_{lr} < R_L < R_{ref}$) との 2 つの判定レベルを有する。

[0113] なお、LR 化ベリファイ用の基準抵抗 R_L は、抵抗変化素子の LR 化書き込みが完了したか否かを判定するために、低抵抗状態 LR の抵抗値よりも大きい抵抗値に設定され、好ましくは、低抵抗 (LR) 状態の抵抗値に近い値に設定される。また、通常読み出し用の基準抵抗 R_{ref} は、抵抗変化素子が高抵抗状態にあるか低抵抗状態にあるかを判定するために、高抵抗状態 HR の抵抗値より小さく、かつ、低抵抗状態 LR の抵抗値よりも大きい抵抗値に設定される。

[0114] 高抵抗 (HR) 張り付き状態のメモリセルの抵抗値は R_{vh} ($R_{vh} > R_{hr}$) で表される。

[0115] [本発明の実施形態における抵抗変化型不揮発性記憶装置の動作]

以上のように構成された抵抗変化型不揮発性記憶装置について、まず、主要な回路ブロックの動作を説明し、その後、抵抗変化型不揮発性記憶装置の通常動作、導電パスの機能回復による LR 化回復動作、および再ブレイクによる LR 化回復動作を説明する。

[0116] まず、図 8 に示されるセンスアンプ 204 の動作を説明する。センスアンプ 204 は、抵抗変化素子を LR 化する LR 書き込み工程では、抵抗変化素子に LR 化用負電圧パルス印加後、列選択回路 203 とビット線を介して、対象メモリセルと接続され、メモリセルには、クランプ電圧 V_{CLP} からクランプトランジスタ 219、220 のしきい値電圧 (V_{th}) 分低下した電

圧 ($V_{CLP} - V_{th}$) より大きな電圧が印加されない構成となっている。

[0117] 一方、基準回路221では、LR化ベリファイイネーブル信号C2により、選択トランジスタ223が活性化され、導通状態になり、LR化用の基準抵抗RLが選択され、もう一方の選択トランジスタ222は、読み出しイネーブル信号C1により非活性化され、非導通状態にされ、基準電流 I_{ref} ($= (V_{CLP} - V_{th}) / R_L$) が流れる。

[0118] 従って、基準電流 I_{ref} がカレントミラー回路218により転写され、負荷電流 I_L としては、 I_{ref} とほぼ同じ電流が流れ ($I_L = I_{ref}$)、この負荷電流 I_L とメモリセル電流 I_c の大小関係がクランプトランジスタ220で比較される。その比較結果に依存して、クランプトランジスタ220のドレイン端子電圧がインバータ224の反転電圧 (入力しきい値電圧) より高くなるか低くなるかが検知され、インバータ224は、センスアンプ出力SAOを出力する。

[0119] ここで、LR化負電圧パルス ($-V_L$) 印加後の抵抗変化素子の抵抗値を R_{vh} (HR張り付き状態の抵抗値、 $R_{vh} > R_{hr} > R_L > R_{lr}$) とした場合に、メモリセル電流 I_c ($= (V_{CLP} - V_{th}) / R_{vh}$) が流れ、この時、負荷電流 $I_L >$ メモリセル電流 I_c となり、クランプトランジスタ220のドレイン端子電圧が、所定時間後にインバータ224の反転電圧より高くなり、センスアンプ出力SAOは、Lレベルを出力する。つまり、選択メモリセルが、LR化用の基準抵抗RLより高いHR張り付き状態 (R_{vh}) の場合には、センスアンプ204は、“0”、つまり、フェイルと判定する。

[0120] 一方、選択メモリセルの抵抗値が、導電パスの機能回復、または、再ブレイクによる新たな導電パスの形成により、LR化負電圧パルス ($-V_L$) 印加後の抵抗値が R_{lr} ($< R_L$) とLR化ベリファイ用の基準抵抗RLより低くなった場合には、メモリセル電流 I_c ($= (V_{CLP} - V_{th}) / R_{lr}$) が流れ、この時、負荷電流 $I_L <$ メモリセル電流 I_c となり、クランプトランジスタ220のドレイン端子電圧が、所定時間後にインバータ224

の反転電圧より低くなり、センスアンプ出力SAOは、Hレベルを出力する。つまり、選択メモリセルが、LR化ベリファイ用の基準抵抗 R_L より低い抵抗状態(R_{lr})の場合には、センスアンプ204は、“1”、つまり、パスと判定し、対象メモリセルのLR化書き込みが完了していることを示す。

[0121] また、通常読み出し時には、基準回路221は、読み出しイネーブル信号C1により、選択トランジスタ222が活性化され、導通状態になり、通常読み出し用の基準抵抗 R_{ref} が選択され、もう一方の選択トランジスタ223は、LR化イネーブル信号C2により非活性化され、非導通状態にされ、基準電流 $I_{ref} = (V_{CLP} - V_{th}) / R_{ref}$ が流れる。

[0122] 従って、基準電流 I_{ref} がカレントミラー回路218により転写され、負荷電流 I_L としては、 I_{ref} とほぼ同じ電流が流れ($I_L = I_{ref}$)、この負荷電流 I_L とメモリセル電流 I_c の大小関係を比較される。その比較結果に依存して、クランプトランジスタ220のドレイン端子電圧がインバータ224の反転電圧(入力しきい値電圧)より高くなるか低くなるかが検知され、インバータ224は、センスアンプ出力SAOを出力する。

[0123] ここで、高抵抗状態のメモリセルの抵抗値を R_{hr} 、低抵抗状態のメモリセルの抵抗値を R_{lr} ($R_{hr} > R_{ref} > R_{lr}$)とした場合に、選択メモリセルが高抵抗状態である時には、メモリセル電流 $I_c = (V_{CLP} - V_{th}) / R_{hr}$ 流れ、この時、負荷電流 $I_L >$ メモリセル電流 I_c となり、クランプトランジスタ220のドレイン端子電圧が、インバータ224の反転電圧より高くなり、センスアンプ出力SAOは、Lレベルを出力する。つまり、選択メモリセルが通常読み出し用の基準抵抗 R_{ref} より高い高抵抗状態(R_{hr})の場合には、センスアンプ204は、“0”データと判定する。

[0124] 一方、選択メモリセルが低抵抗状態である時には、メモリセル電流 $I_c = (V_{CLP} - V_{th}) / R_{lr}$ が流れ、この時、負荷電流 $I_L <$ メモリセル電流 I_c となり、クランプトランジスタ220のドレイン端子電圧が、

インバータ224の反転電圧より低くなり、センスアンプ出力SAOは、Hレベルを出力する。つまり、選択メモリセルが通常読み出し用の基準抵抗 R_{ref} より低い低抵抗状態(R_{lr})の場合には、センスアンプ204は、“1”データと判定する。

[0125] 次に、図10を参照して、通常動作における高抵抗(HR)化、低抵抗(LR)化、通常読み出し、導電パスの機能回復によるLR化回復動作における、第1および第2の回復電圧パルス印加、LR化ベリファイ読み出し、及び、再ブレイクによるLR化回復動作における、第1および第2の再ブレイク電圧パルス印加、再ブレイク後読み出しの各動作の際にメモリセルに印加される電圧パルスと、メモリセルに当該電圧パルスを印加するためにワード線(WL)、ソース線(SL)、およびビット線(BL)に印加される電圧について説明する。ワード線(WL)、ソース線(SL)、およびビット線(BL)に印加される電圧は、以下に述べるように、LR化用電源212、およびHR化用電源213にて生成される。

[0126] 図10において、通常動作時の電圧 V_L は、LR化用電源212で生成され、ワード線ドライバ回路WLDからワード線に印加される。通常動作時の電圧 V_H は、HR化用電源213で生成され、書き込み回路206に供給される。

[0127] 導電パスの機能回復によるLR化回復動作において、第1の回復電圧パルス印加時におけるビット線BL電圧は、 V_{rch} の振幅の電圧パルスを表し、また、第2の回復電圧パルス印加時におけるビット線BL電圧は、 $-V_{rc l}$ の振幅の電圧パルスを表す。第2の回復電圧パルス印加時において、LR化用電源212で電圧 $V_{rc l}$ が生成され、ワード線ドライバ回路WLD、ソース線ドライバ回路SLDからそれぞれワード線、ソース線に印加され、また、HR化用電源213で電圧 $V_{rc l}$ が生成され、書き込み回路206を介してビット線に印加される。

[0128] 再ブレイクによるLR化回復動作において、第1の再ブレイク電圧パルス印加時におけるビット線BL電圧は、 $V_{br h}$ の振幅の電圧パルスを表し、

また、第2の再ブレイク電圧パルス印加時におけるビット線BL電圧は、 $-V_{brl}$ の振幅の電圧パルスを表す。第2の再ブレイク電圧パルス印加時において、LR化用電源212で電圧 V_{brl} が生成され、ワード線ドライバ回路WLD、ソース線ドライバ回路SLDからそれぞれワード線、ソース線に印加され、また、HR化用電源213で電圧 V_{brl} が生成され、書き込み回路206を介してビット線に印加される。

[0129] 通常読み出し時、LR化ベリファイ読み出し時、および再ブレイク後読み出し時において、 V_{read} は、センスアンプ204でクランプした読み出し用電圧で、読み出しディスターブが発生しない（つまり、抵抗変化素子の抵抗状態が変化しない）ように調整された電圧値に対応している。また、VDDは不揮発性記憶装置200に供給される電源電圧に対応している。

[0130] 以上の様に構成された抵抗変化型不揮発性記憶装置の、データ書き込みサイクル、読み出しサイクル、およびLR化回復動作の一例について、図11(a)～図11(c)、図7の本発明の実施形態に係る抵抗変化型不揮発性記憶装置の構成図を参照しながら説明する。

[0131] 図11(a)～図11(c)は、本発明の実施形態に係る不揮発性記憶装置の動作例を示すタイミングチャートである。なお、ここでは、抵抗変化層が高抵抗状態の場合をデータ「0」に、低抵抗状態の場合をデータ「1」にそれぞれ割り当てると定義して、その動作例を示す。以下の説明は、1つのメモリセル（例えば、メモリセルM11）に対してデータの書き込みおよび読み出しをする場合についてなされている。

[0132] 図11(a)は、メモリセルM11に対する、通常動作時のHR化（データ「0」書き込み）サイクルのタイミングチャートを示している。このサイクルでは、メモリセルM11にHR化正電圧パルス V_H が印加される。

[0133] このサイクルにおいては、最初に選択ビット線BL0、ソース線SL0をそれぞれ電圧0Vに設定する。次に、選択するワード線WL0を電圧 V_L （ $V_L > V_H$ ）に設定し、図7の選択メモリセルM11のNMOSトランジスタN11をオンする。

- [0134] 次に、選択ビット線BL0を時間 t_h の間、電圧 V_H に設定し、その後、再度電圧0Vとなるパルス波形を印加する。この段階で、図7のメモリセルM11には正パルス V_H が印加され、メモリセルM11の抵抗値が低抵抗状態から高抵抗状態になるような書き込みが行われる。つまり、ソース線およびワード線で行方向のメモリセルを選択しておき、その後、特定のビット線に正電圧方向のパルス波形を印加することで、ソース線、ワード線およびビット線で選択されたメモリセルの抵抗変化素子に正の電圧パルスを印加している。ただし、この方法に限定されるわけではない。
- [0135] LR化回復動作においても、用いる電圧が異なる点を除けば、上述した方法と同様にして、正電圧パルスである第1の回復電圧パルスまたは第1の再ブレイク電圧パルスの印加が行われる。この場合には、図7のメモリセルM11には導電パスの機能回復のための正電圧 V_{rch} 、または再ブレイクが生じる正電圧 V_{brh} が印加され、導電パスの機能回復または再ブレイクによる新たなフィラメントが形成され、メモリセルM11はHR張り付き状態から抵抗値が低下して、通常動作時の駆動電圧パルス印加により抵抗変化が可能な状態に移行する。
- [0136] その後、ワード線WL0を電圧0Vに設定し、通常動作時のデータ「0」の書き込み、LR化回復動作時の第1の回復電圧パルスまたは第1の再ブレイク電圧パルスの印加が完了する。このとき、ワード線WL0には、NMOストランジスタN11のオン抵抗が十分低くなるような電圧が印加される。
- [0137] つまり、ソース線およびワード線で行方向のメモリセルを選択しておき、その後、特定のビット線に正電圧方向のパルス波形を印加することで、ソース線、ワード線およびビット線で選択されたメモリセルの抵抗変化素子に正の電圧パルスを印加している。ただし、この方法に限定されるわけではない。
- [0138] LR化回復動作では、図11(b)に記載の負電圧パルスの印加方法に従って、第2の回復電圧パルスまたは第2の再ブレイク電圧パルスの印加が引き続き行われ、さらに正パルス印加と負パルス印加のペアを複数回繰り返す

ことにより、HR張り付き状態から抵抗変化可能な状態に移行する。

[0139] 図11(b)は、メモリセルM11に対する、通常動作時のLR化(データ「1」書き込み)サイクルのタイミングチャートを示している。このサイクルでは、メモリセルM11にLR化負電圧パルス $-V_L$ が印加される。

[0140] これらのサイクルにおいては、最初に選択ビット線BL0、ソース線SL0を、それぞれ電圧0Vに設定する。次に選択ビット線BL0、ソース線SL0を、それぞれ電圧 V_L に設定する。次に、選択するワード線WL0を電圧 V_L に設定するが、この時は、図7の選択メモリセルM11のNMOSトランジスタN11は、まだオフ状態である。この段階では、図7のNMOSトランジスタN11のドレイン端子と、ソース端子はともに電圧 V_L が印加されているので、トランジスタのオン・オフに関係なく電流は流れない。

[0141] 次に、選択ビット線BL0を時間 t_1 の間、電圧0Vに設定し、その後、再度電圧 V_L となるパルス波形を印加する。この段階で、図7のメモリセルM11には、LR化負電圧($-V_L$)の電圧パルスが印加され、メモリセルM11の抵抗値が高抵抗値から低抵抗値に遷移する。その後、ワード線WL0を電圧0Vに設定し、データ「1」の書き込み動作におけるLR化負電圧パルス印加が完了する。ただし、この方法に限定されるわけではない。

[0142] LR化回復動作においても、用いる電圧が異なる点を除けば、上述した方法と同様にして、負電圧パルスである第2の回復電圧パルスまたは第2の再ブレイク電圧パルスの印加が行われる。この場合には、図7のメモリセルM11には導電パスの機能回復のための負電圧 V_{rc1} 、または再ブレイク後の負電圧 V_{br1} が印加され、導電パスの機能回復または再ブレイクによる新たなフィラメントが低抵抗化され、メモリセルM11は通常動作時の駆動電圧パルス印加により抵抗変化が可能な状態に移行する。

[0143] その後、ワード線WL0を電圧0Vに設定し、通常動作時のデータ「1」の書き込み、LR化回復動作時の第2の回復電圧パルスまたは第2の再ブレイク電圧パルス印加が完了する。このとき、ワード線WL0には、NMOSトランジスタN11のオン抵抗が極力低くなるような電圧が印加される。

- [0144] つまり、ソース線およびワード線で行方向のメモリセルを選択しておき、その後、特定のビット線に負電圧方向のパルス波形を印加することで、ソース線、ワード線およびビット線で選択されたメモリセルの抵抗変化素子に負の電圧パルスを印加して低抵抗化している。
- [0145] LR化回復動作では、前述したように、図11(a)に記載の正電圧パルスの印加方法に従って第1の回復電圧パルスまたは第1の再ブレイク電圧パルスが印加された後、引き続き、図11(b)の負電圧パルスの印加方法に従って第2の回復電圧パルスまたは第2の再ブレイク電圧パルスの印加が行われ、さらに正電圧パルス印加と負電圧パルス印加のペアを複数回繰り返すことにより、HR張り付き状態から抵抗変化可能な状態に移行する。
- [0146] 図11(c)は、メモリセルM11に対するデータの読み出しサイクルのタイミングチャートを示している。この読み出しサイクルにおいては、最初に選択ビット線BL0、ソース線SL0を電圧0Vに設定する。次に、選択するワード線WL0を電圧VDD ($VDD > V_{read}$) に設定し、選択メモリセルM11のNMOSトランジスタN11をオンする。
- [0147] 次に、選択ビット線BL0を時間 t_r の間、読み出し電圧 V_{read} に設定し、センスアンプ204により、選択メモリセルM11に流れる電流値を検出することで、記憶されているデータをデータ「0」またはデータ「1」と判定する。その後、ワード線WL0を電圧0Vに設定し、データの読み出し動作を完了する。
- [0148] 読み出し動作については、センスアンプ204において、通常動作時には読み出し用基準抵抗 R_{ref} が用いられ、LR化回復動作時（導電パスの機能回復および再ブレイクとも）にはLR化ベリファイ用基準抵抗が用いられる（図9）点を除けば、図11(c)に示される読み出し方法は、通常動作時とLR化回復動作時とで同様である。ただし、LR化回復動作時において、正パルス印加と負パルス印加の都度、読み出し動作を実施する必要はない。
- [0149] 次に、抵抗変化型不揮発性記憶装置におけるLR化回復動作の一例につい

て、図12に示すフローチャートを参照しながら説明する。図12に示すように、まず、選択アドレスに対応するメモリセル（以下、選択メモリセル）が高抵抗（HR）状態にあって低抵抗（LR）化したい場合、通常のLR化電圧パルス（ $-V_L$ ）が選択メモリセルに印加され（S1）、次に、選択メモリセルの抵抗値 R_c が基準抵抗 R_L 以下（ $R_c \leq R_L$ ）かどうかを判定するLR化ベリファイ読出しを行う（S2）。ここで、選択メモリセルの抵抗値 R_c がLR化ベリファイ用の基準抵抗 R_L 以下（ $R_c \leq R_L$ ）である場合には（S2でYes）、HR張り付きが発生せず、正常にLR化書き込みが完了したと判断する。他方、選択メモリセルの抵抗値 R_c がLR化ベリファイ用の基準抵抗 R_L より大きい（ $R_c > R_L$ ）場合には（S2でNo）、HR張り付き状態が発生していると判断し、LR化回復動作に入る。ここでは、LR化回復動作には、再ブレイク動作を含む。

[0150] LR化回復動作では、第1の回復電圧パルス（ V_{rch} ）を選択メモリセルに印加し（S3）、次に、第2の回復電圧パルス（ $-V_{rc1}$ ）を選択メモリセルに印加してから（S4）再度LR化ベリファイ読出しを行う（S2）。このような処理が、LR化できたことが確かめられるか（S2でYes）、または所定の上限回数に到達するまで繰り返される（S5でNo）。

[0151] LR化できないまま前述の処理が所定の上限回数繰り返された場合は（S5でYes）、第1の再ブレイク電圧パルス（ V_{brh} ）の印加（S6）、及び第2の再ブレイク電圧パルス（ $-V_{br1}$ ）の印加（S7）により、再ブレイクを実施し、LR化回復を図る。ステップS6及びS7は所定の回数繰り返し行ってもよい。また、前述したように、第1の再ブレイク電圧パルス（ V_{brh} ）の印加のみで再ブレイクが生じる場合があることを考慮して、ステップS7を省略し、ステップS6のみにより再ブレイクを実施してもよい。

[0152] なお、再ブレイクによっても選択メモリセルのLR化回復が見られない場合は、そのメモリセルを回復不可能と判断して、周知の代替処理（例えば、冗長救済処理（*redundancy*）や誤り訂正処理（*error co*

rection) 等) を行うなどの処置を行ってもよい。

[0153] ここで、ステップS 1、ステップS 4、ステップS 7は、図11 (b) のタイミングチャートに対応し、ステップS 3、ステップS 5は、図11 (a) のタイミングチャートに対応し、ステップS 2は、図11 (c) のタイミングチャートに対応している。

[0154] このように、本実施形態のHR張り付き状態からのLR化回復動作により、HR張り付き不良が撲滅可能となり、メモリアレイの抵抗変化動作が大幅に安定化し、書き換え寿命の長寿命化が可能となる。

[0155] なお、図7に示した記憶装置の構成では、スイッチ素子であるNMOSトランジスタに1つの抵抗変化素子を接続した、所謂1T1R型メモリセルであったが、本発明は、この1T1R型メモリセルに限定されるものではない。例えば、スイッチ素子として、双方向ダイオードを用いた1D1R型メモリセルに適用しても良い。

[0156] また、本発明の主旨を逸脱しない範囲で、当業者が思いつく各種変形を施したり、実施の形態における構成要素を任意に組み合わせたりして実現される抵抗変化型不揮発性記憶素子の書き込み方法も、本発明に含まれる。

産業上の利用可能性

[0157] 本発明は、抵抗変化型不揮発性記憶素子の書き込み方法として、特に、電氣的信号に基づいて可逆的に抵抗値が変化する抵抗変化素子とトランジスタ等のスイッチ素子とで構成されたメモリセルを有する抵抗変化型不揮発性記憶装置において、実用的な電圧範囲で書き込みが行え、かつ、不揮発性記憶装置の書き換え可能回数を向上できるので、携帯電話やノートパソコン等の電子機器に使用される、高信頼性メモリを実現するのに有用である。

符号の説明

- [0158]
- 1、2 電極
 - 3 導体膜
 - 4 絶縁体膜
 - 5 可変抵抗素子

- 1 0 高抵抗 (H R) 化電圧パルス
- 1 1 低抵抗 (L R) 化電圧パルス
- 1 2 第 1 再ブレイク電圧パルス
- 1 3 第 2 再ブレイク電圧パルス
- 1 4 第 1 回復電圧パルス
- 1 5 第 2 回復電圧パルス
- 1 6 第 1 回復電圧パルス (電圧不足)
- 1 0 0 抵抗変化素子
 - 1 0 0 a 下部電極
 - 1 0 0 b 抵抗変化層
 - 1 0 0 b - 1 第 1 のタンタル酸化物層
 - 1 0 0 b - 2 第 2 のタンタル酸化物層
 - 1 0 0 c 上部電極
- 1 0 1、1 0 5 下部電極端子
- 1 0 2 上部電極端子
- 1 0 3 ゲート端子
- 1 0 4 NMOS トランジスタ
- 1 1 0、1 1 1、1 1 2、1 1 3 フィラメント
- 2 0 0 不揮発性記憶装置
 - 2 0 1 メモリ本体部
 - 2 0 2 メモリアレイ
 - 2 0 3 列選択回路
 - 2 0 4 センズアンプ
 - 2 0 5 データ入出力回路
 - 2 0 6 書き込み回路
 - 2 0 7 行ドライバ
 - 2 0 8 行選択回路
 - 2 0 9 アドレス入力回路

- 2 1 0 制御回路
- 2 1 1 書き込み用電源
- 2 1 2 低抵抗 (L R) 化用電源
- 2 1 3 高抵抗 (H R) 化用電源
- 2 1 8 カレントミラー回路
- 2 1 9、2 2 0 クランプトランジスタ
- 2 2 1 基準回路
- 2 2 2、2 2 3 選択トランジスタ
- 2 2 4 インバータ
- 2 2 5、2 2 6 トランジスタ
- 7 0 2 通常動作用基準電流生成回路
- 7 0 3 L R 化ベリファイ用基準電流生成回路

請求の範囲

[請求項1]

抵抗変化型不揮発性記憶素子に電圧パルスを印加することにより、前記抵抗変化型不揮発性記憶素子の抵抗状態を可逆的に変化させる書き込み方法であって、

前記抵抗変化型不揮発性記憶素子は、第1電極と、第2電極と、前記第1電極および前記第2電極に挟まれた酸素不足型の遷移金属酸化物層とを有し、

前記遷移金属酸化物層は、前記第1電極と接する第1の遷移金属酸化物層と、前記第2電極と接し、前記第1の遷移金属酸化物層よりも小さい酸素不足度を持つ第2の遷移金属酸化物層とを含み、

前記抵抗変化型不揮発性記憶素子は、

製造後に前記第1電極と前記第2電極との間に所定の振幅を持つ初期ブレイク電圧パルスが印加された後、前記第1電極を基準として前記第2電極に対して負の電位を与える低抵抗化電圧パルスが印加されると低抵抗状態に遷移し、前記第1電極を基準として前記第2電極に対して正の電位を与える高抵抗化電圧パルスが印加されると前記低抵抗状態よりも抵抗値が高い高抵抗状態に遷移する特性を有し、

前記書き込み方法は、

前記抵抗変化型不揮発性記憶素子に前記低抵抗化電圧パルスが印加された時に、前記抵抗変化型不揮発性記憶素子の抵抗状態が前記低抵抗状態に遷移できず、前記高抵抗状態に留まる場合に、

前記高抵抗化電圧パルスの振幅より大きい振幅を有し、かつ、前記第1電極を基準として前記第2電極に対して正の電位を与える第1の回復電圧パルスと、当該第1の回復電圧パルスに後続し、前記第1電極を基準として前記第2電極に対して負の電位を与える第2の回復電圧パルスとの2パルスで構成される回復電圧パルスを少なくとも1回、前記抵抗変化型不揮発性記憶素子に印加する

抵抗変化型不揮発性記憶素子の書き込み方法。

- [請求項2] 前記第2の回復電圧パルス印加によって前記抵抗変化型不揮発性記憶素子の抵抗状態が前記低抵抗状態に遷移したか否かを判定し、
前記抵抗変化型不揮発性記憶素子の抵抗状態が前記低抵抗状態に達するまで、前記回復電圧パルスの印加および前記判定が繰り返される
請求項1に記載の抵抗変化型不揮発性記憶素子の書き込み方法。
- [請求項3] 前記回復電圧パルスの印加および前記判定を、所定の回数繰り返しても前記抵抗変化型不揮発性記憶素子の抵抗状態が前記低抵抗状態に遷移しない場合、前記第1の回復電圧パルスより大きい振幅を持つ第1の再ブレイク電圧パルスを、前記抵抗変化型不揮発性記憶素子に少なくとも1回印加する
請求項2に記載の抵抗変化型不揮発性記憶素子の書き込み方法。
- [請求項4] 前記回復電圧パルスの印加および前記判定を、所定の回数繰り返しても前記抵抗変化型不揮発性記憶素子の抵抗状態が前記低抵抗状態に遷移しない場合、前記第1の回復電圧パルスより大きい振幅を持つ第1の再ブレイク電圧パルスと、当該第1の再ブレイク電圧パルスに後続し、前記第1電極を基準として前記第2電極に対して負の電位を与える第2の再ブレイク電圧パルスとの2パルスで構成されるブレイク電圧パルスを少なくとも1回、前記抵抗変化型不揮発性記憶素子に印加する
請求項2に記載の抵抗変化型不揮発性記憶素子の書き込み方法。
- [請求項5] 前記第2の回復電圧パルスの振幅は、前記低抵抗化電圧パルスの振幅以下である
請求項1～請求項3のいずれか1項に記載の抵抗変化型不揮発性記憶素子の書き込み方法。
- [請求項6] 前記第1の回復電圧パルスのパルス幅は、前記第2の回復電圧パルスのパルス幅よりも長い
請求項1～請求項5のいずれか1項に記載の抵抗変化型不揮発性記憶素子の書き込み方法。

[請求項7] 前記第1の遷移金属酸化物層は、 TaO_x で表される組成を有する層であり、

前記第2の遷移金属酸化物層は、 TaO_y （ただし、 $x < y$ ）で表される組成を有する層である

請求項1～請求項6のいずれか1項に記載の抵抗変化型不揮発性記憶素子の書き込み方法。

[請求項8] 第1電極と、第2電極と、前記第1電極および前記第2電極に挟まれた酸素不足型の遷移金属酸化物層とを有する抵抗変化型不揮発性記憶素子と、

駆動回路と、を備え、

前記遷移金属酸化物層は、前記第1電極と接する第1の遷移金属酸化物層と、前記第2電極と接し、前記第1の遷移金属酸化物層よりも小さい酸素不足度を持つ第2の遷移金属酸化物層とを含み、

前記抵抗変化型不揮発性記憶素子は、

製造後に前記第1電極と前記第2電極との間に所定の振幅を持つ初期ブレイク電圧パルスが印加された後、前記第1電極を基準として前記第2電極に対して負の電位を与える電圧パルスである低抵抗化電圧パルスが印加されると低抵抗状態に遷移し、前記第1電極を基準として前記第2電極に対して正の電位を与える電圧パルスである高抵抗化電圧パルスが印加されると前記低抵抗状態よりも抵抗値が高い高抵抗状態に遷移する特性を有し、

前記駆動回路は、

前記抵抗変化型不揮発性記憶素子に前記低抵抗化電圧パルスが印加された時に、前記抵抗変化型不揮発性記憶素子の抵抗状態が前記低抵抗状態に遷移できず、前記高抵抗状態に留まる場合に、

前記高抵抗化電圧パルスの振幅より大きい振幅を有し、かつ、前記第1電極を基準として前記第2電極に対して正の電位を与える第1の回復電圧パルスと、当該第1の回復電圧パルスに後続し、前記第1電

極を基準として前記第2電極に対して負の電位を与える第2の回復電圧パルスとの2パルスで構成される回復電圧パルスを少なくとも1回、前記抵抗変化型不揮発性記憶素子に印加する
抵抗変化型不揮発性記憶装置。

[請求項9]

前記駆動回路は、

前記第2の回復電圧パルス印加によって前記抵抗変化型不揮発性記憶素子の抵抗状態が前記低抵抗状態に遷移したか否かを判定し、

前記抵抗変化型不揮発性記憶素子の抵抗状態が前記低抵抗状態に達するまで、前記回復電圧パルスの印加および前記判定を繰り返す

請求項8に記載の抵抗変化型不揮発性記憶装置。

[請求項10]

前記駆動回路は、

前記回復電圧パルスの印加および前記判定を、所定の回数繰り返しても前記抵抗変化型不揮発性記憶素子の抵抗状態が前記低抵抗状態に遷移しない場合、前記第1の回復電圧パルスより大きい振幅を持つ第1の再ブレイク電圧パルスを、前記抵抗変化型不揮発性記憶素子に少なくとも1回印加する

請求項9に記載の抵抗変化型不揮発性記憶装置。

[請求項11]

前記駆動回路は、

前記回復電圧パルスの印加および前記判定を、所定の回数繰り返しても前記抵抗変化型不揮発性記憶素子の抵抗状態が前記低抵抗状態に遷移しない場合、前記第1の回復電圧パルスより大きい振幅を持つ第1の再ブレイク電圧パルスと、当該第1の再ブレイク電圧パルスに後続し、前記第1電極を基準として前記第2電極に対して負の電位を与える第2の再ブレイク電圧パルスとの2パルスで構成されるブレイク電圧パルスを少なくとも1回、前記抵抗変化型不揮発性記憶素子に印加する

請求項9に記載の抵抗変化型不揮発性記憶装置。

[請求項12]

前記駆動回路は、

前記第2の回復電圧パルスとして、振幅が前記低抵抗化電圧パルスの振幅以下である電圧パルスを、前記抵抗変化型不揮発性記憶素子に印加する

請求項8～請求項10のいずれか1項に記載の抵抗変化型不揮発性記憶装置。

[請求項13]

前記駆動回路は、

前記第1の回復電圧パルスとして、パルス幅が前記第2の回復電圧パルスのパルス幅よりも長い電圧パルスを、前記抵抗変化型不揮発性記憶素子に印加する

請求項8～請求項12のいずれか1項に記載の抵抗変化型不揮発性記憶装置。

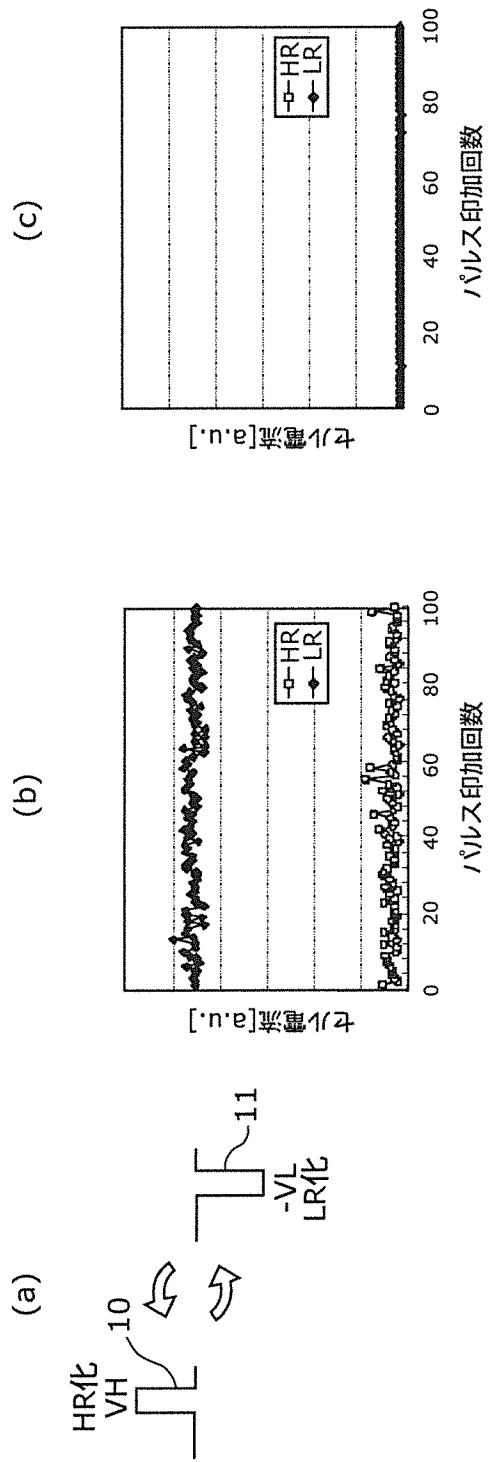
[請求項14]

前記第1の遷移金属酸化物層は、 TaO_x で表される組成を有する層であり、

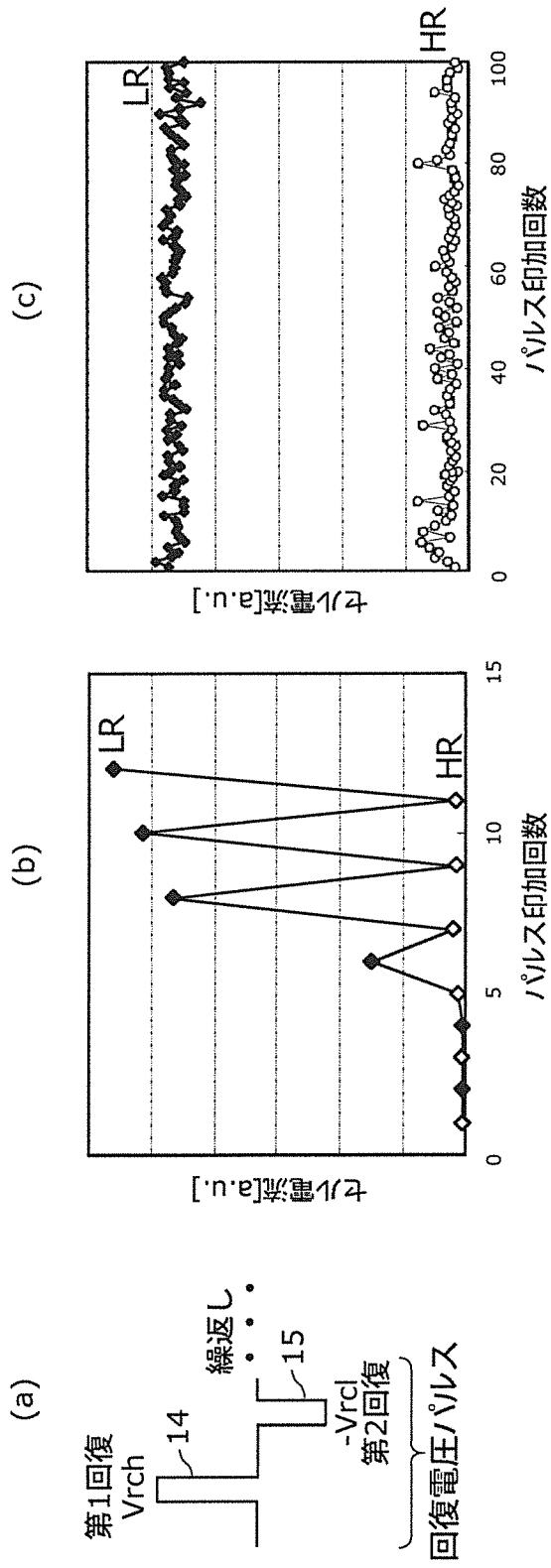
前記第2の遷移金属酸化物層は、 TaO_y （ただし、 $x < y$ ）で表される組成を有する層である

請求項8～請求項13のいずれか1項に記載の抵抗変化型不揮発性記憶装置。

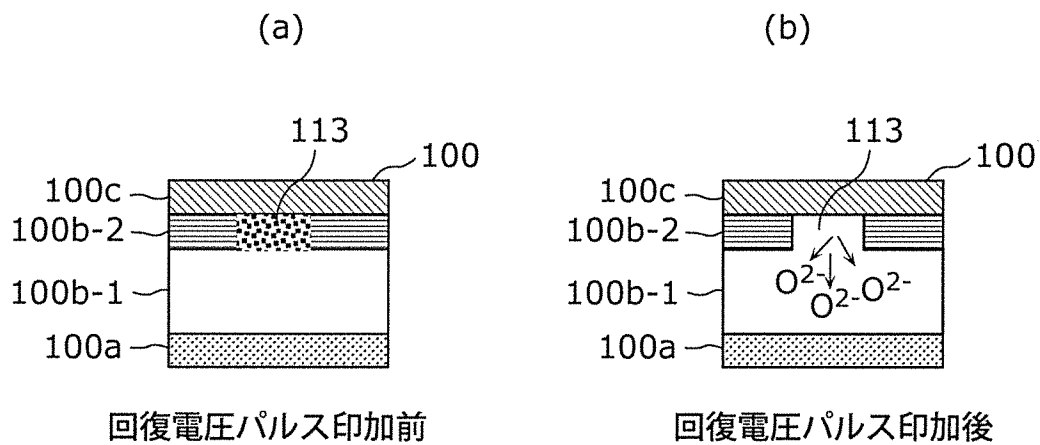
[図1]



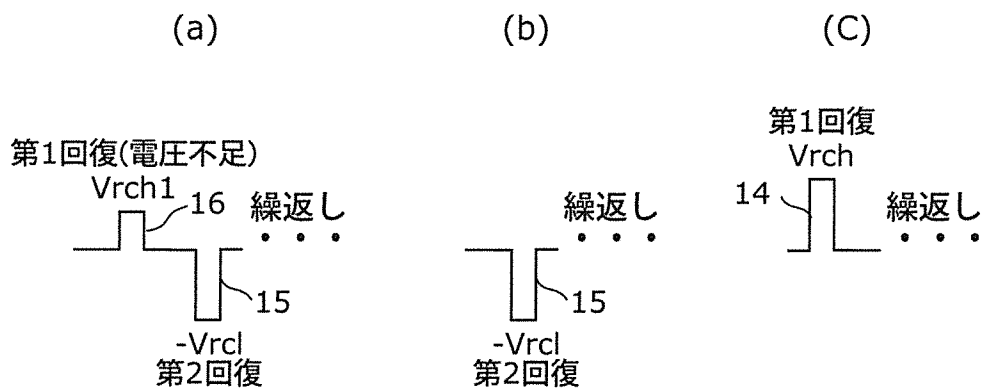
[図2]



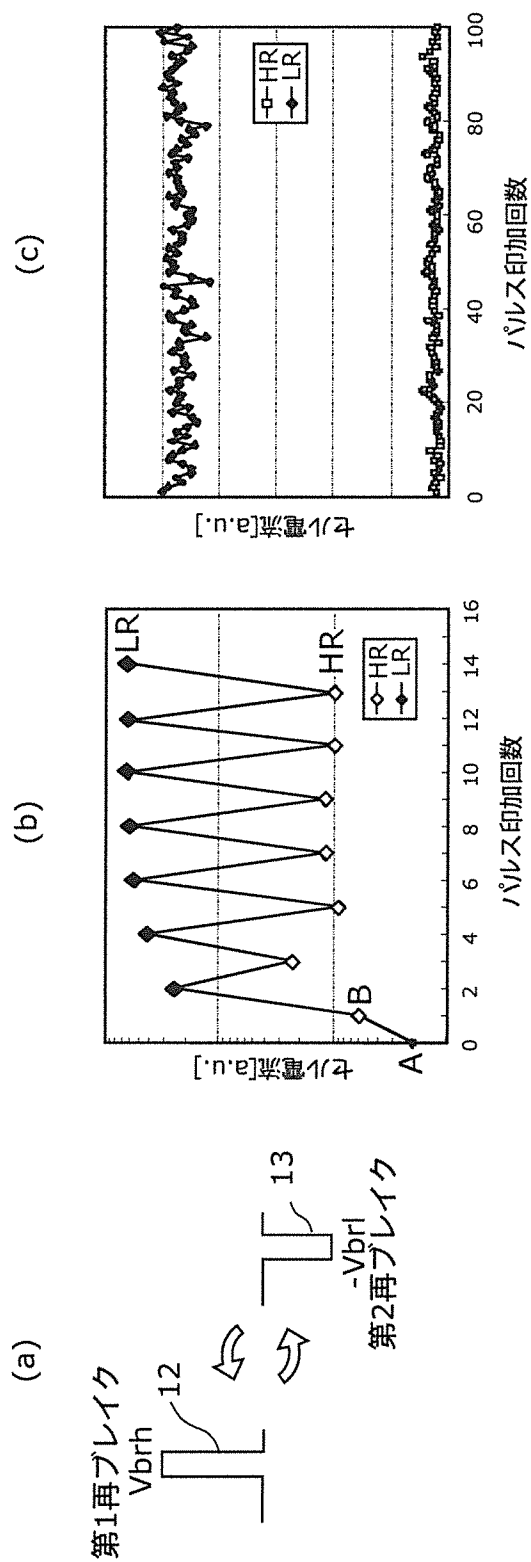
[図3]



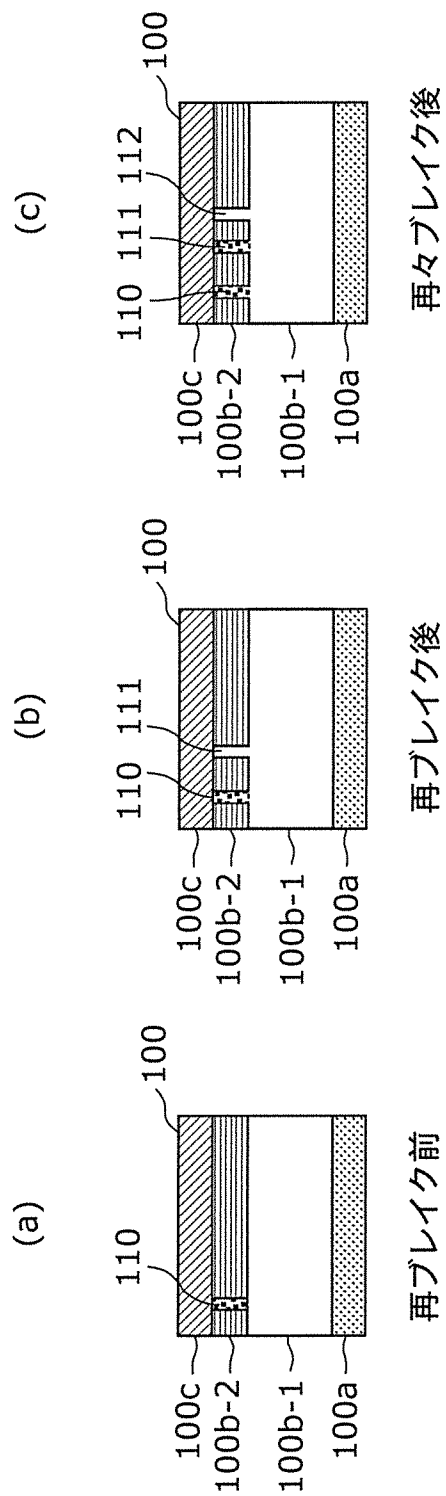
[図4]



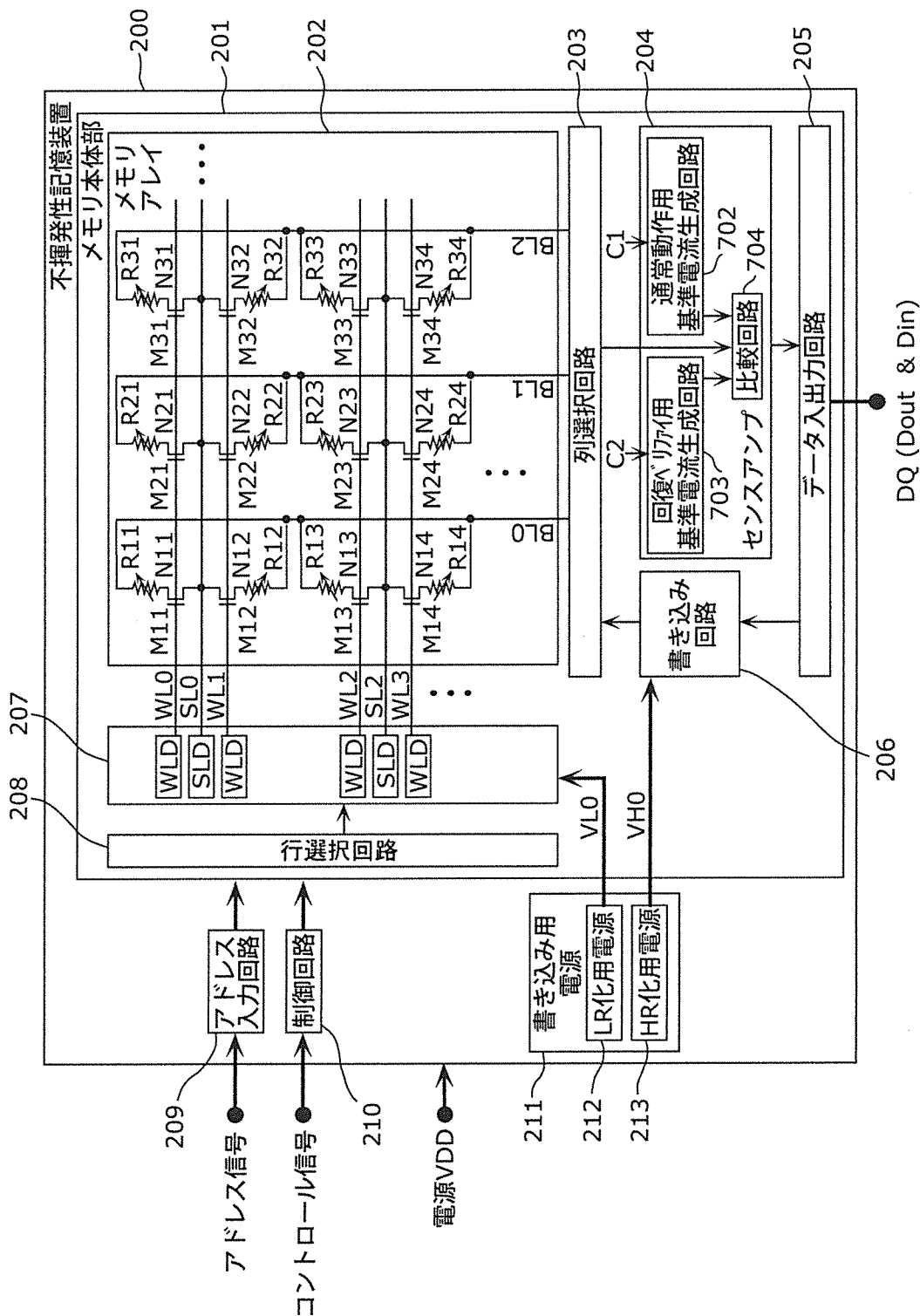
[図5]



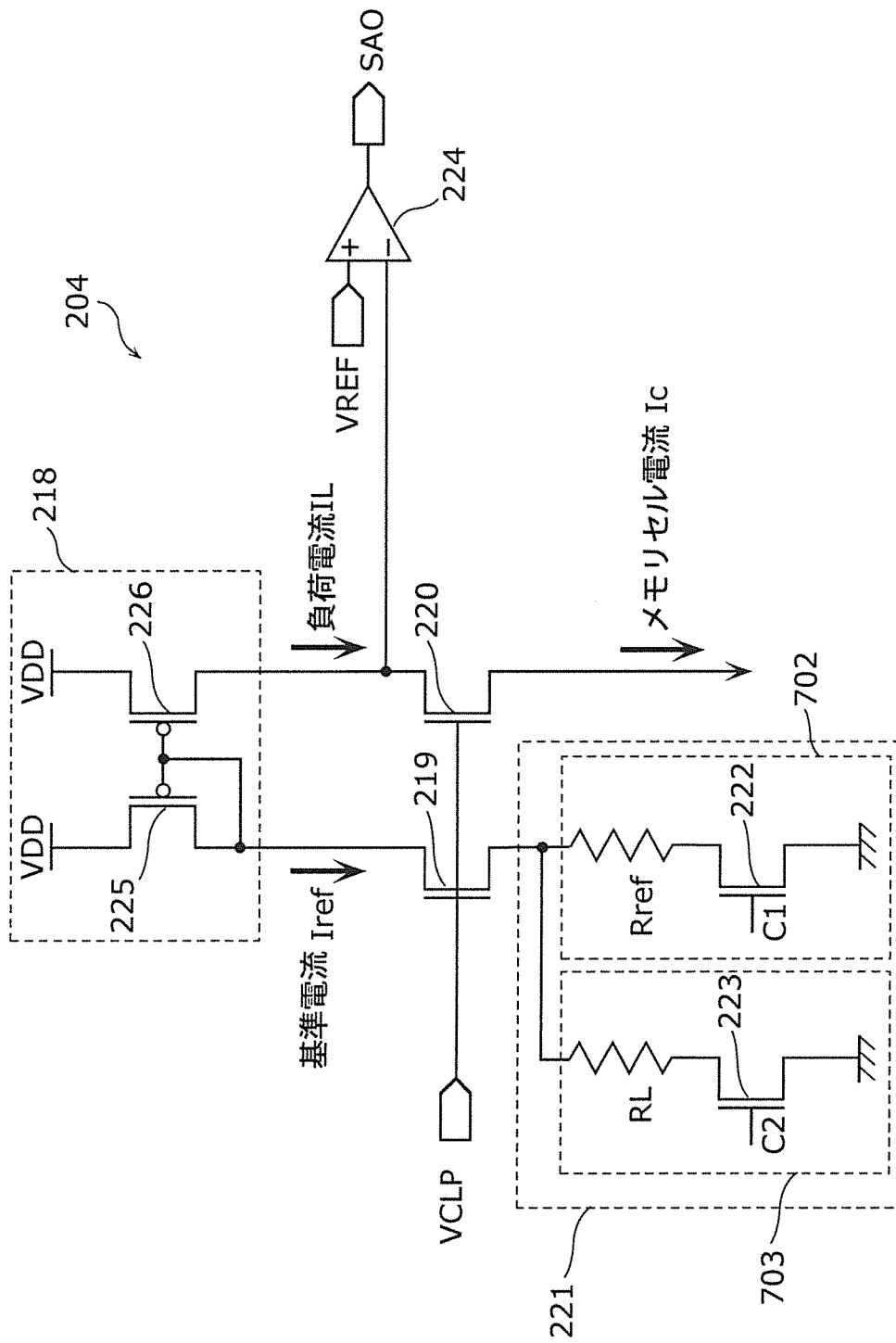
[図6]



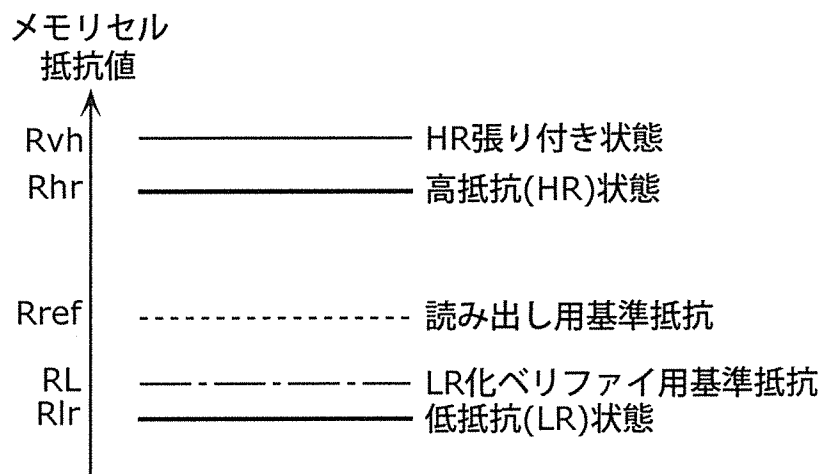
[図7]



[図8]



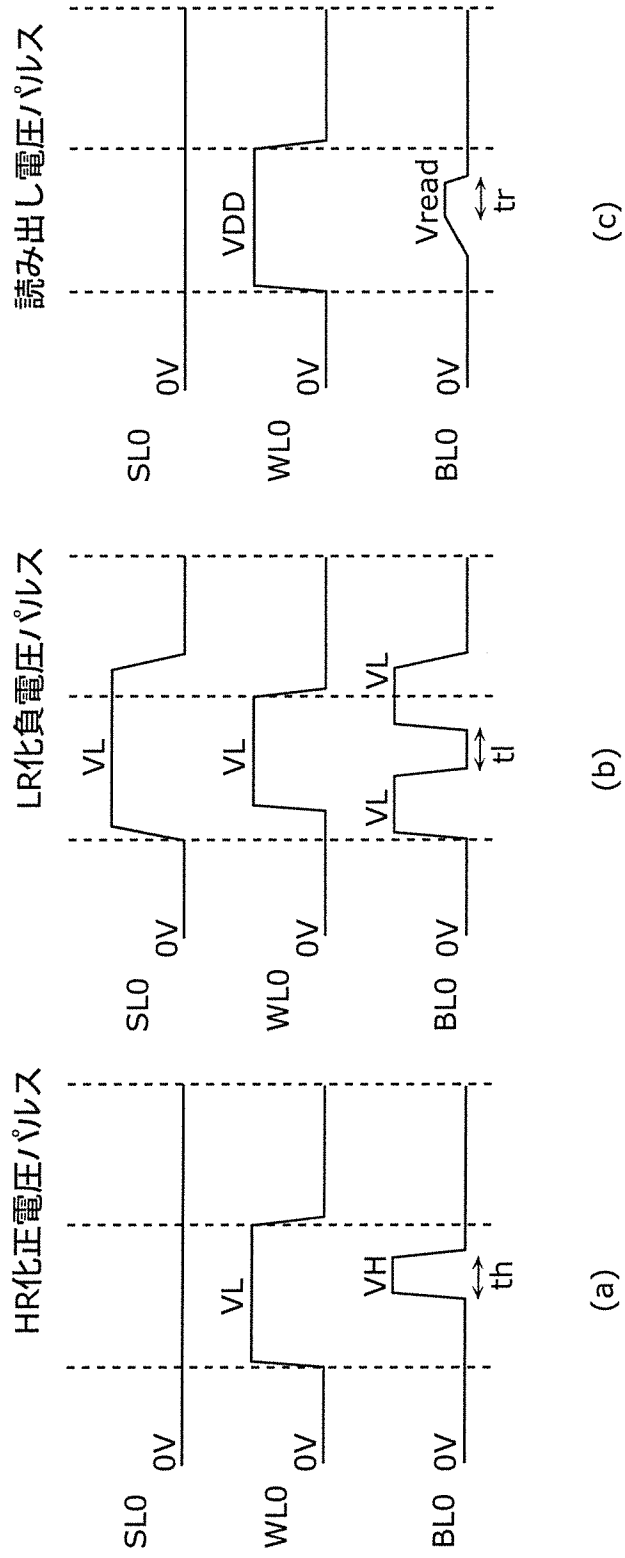
[図9]



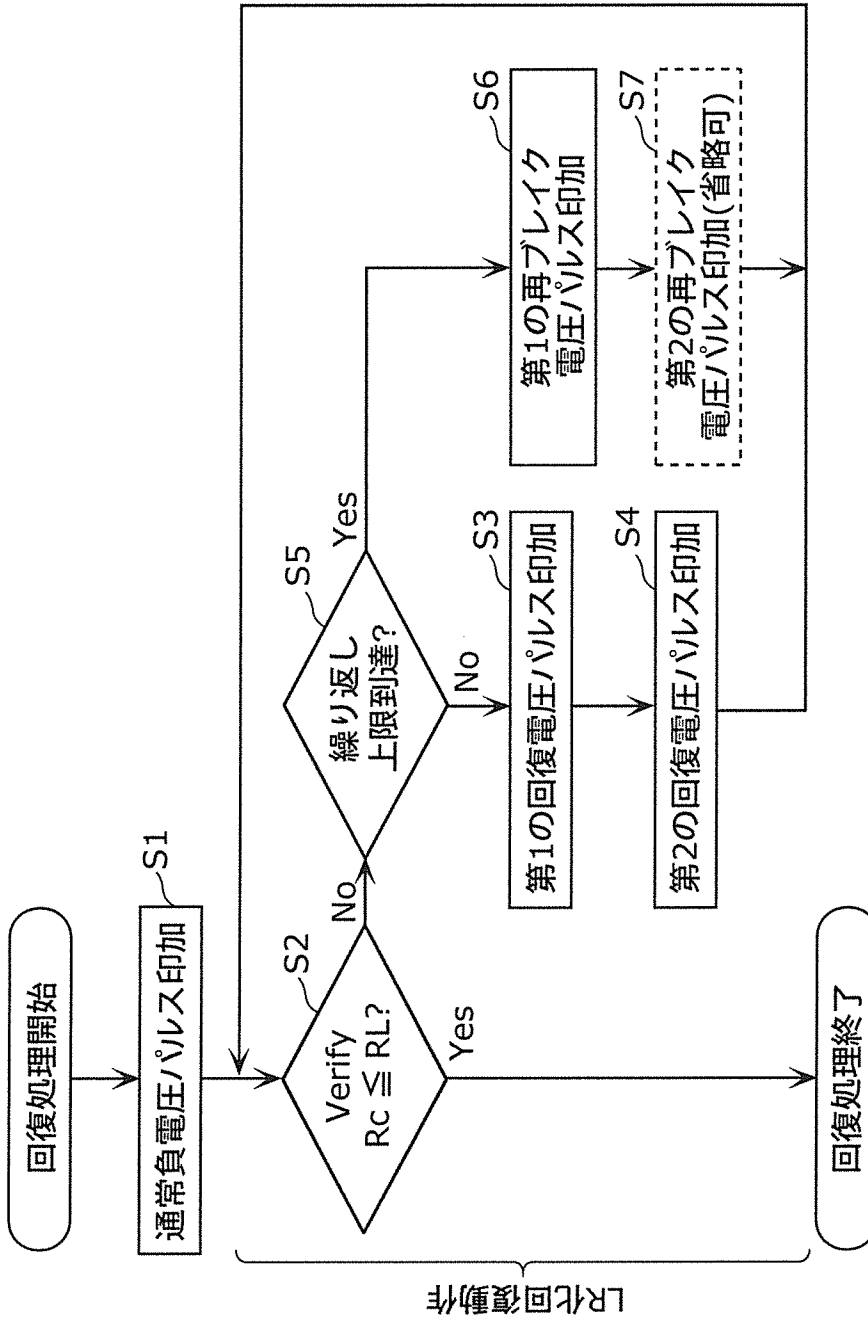
[図10]

動作	通常動作			LR化回復動作					
	HR化	LR化	通常読み出し	導電パスの機能回復による		再ブレイクによる			
印加される 電圧パルス	VH 0V	VL	VDD	第1回復	第2回復	LR化 ペリアファイ 読み出し	第1 再ブレイク	第2 再ブレイク	再ブレイク 後読み出し
WL	VL	VL	VDD	Vrch	Vrci	VDD	Vbrh	Vbri	VDD
SL	0V	VL	0V	0V	Vrci	0V	0V	Vbri	0V
BL			Vread			Vread			Vread

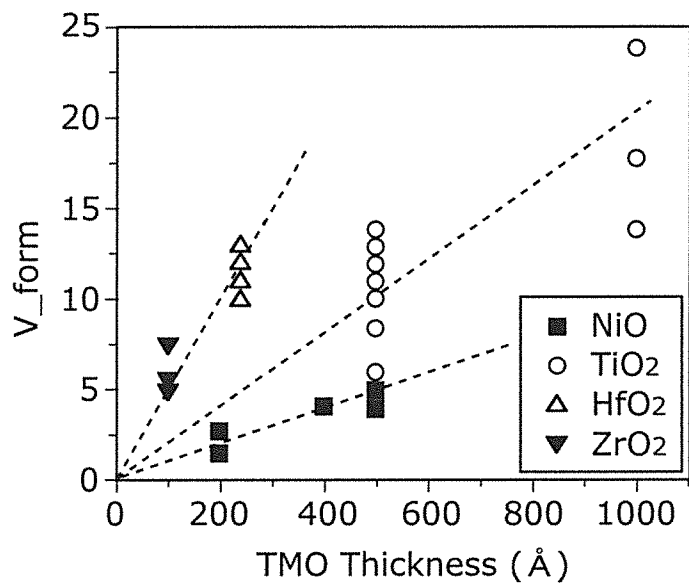
[図11]



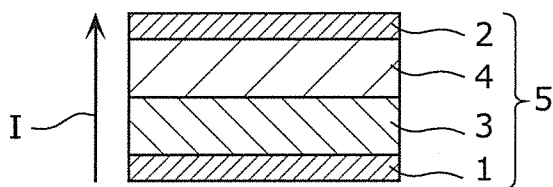
[図12]



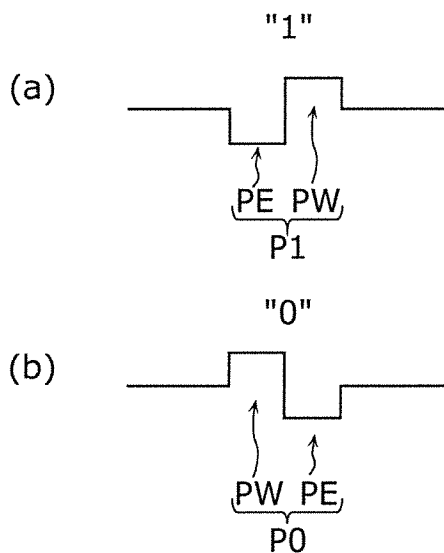
[圖13]



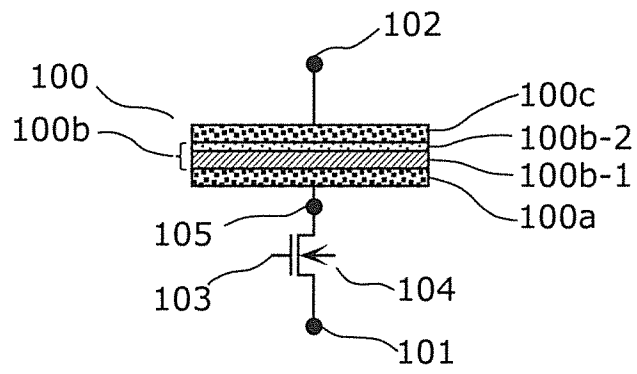
[圖14]



[圖15]



[図16]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/005067

A. CLASSIFICATION OF SUBJECT MATTER

G11C13/00 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G11C13/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2012
Kokai Jitsuyo Shinan Koho	1971-2012	Toroku Jitsuyo Shinan Koho	1994-2012

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2010/038442 A1 (Panasonic Corp.), 08 April 2010 (08.04.2010), paragraphs [0094] to [0101]; fig. 14 & US 2010/0271860 A1 & CN 101878507 A	1-14
A	JP 2007-4849 A (Sony Corp.), 11 January 2007 (11.01.2007), paragraphs [0022] to [0025], [0032] to [0036]; fig. 3 (Family: none)	1-14

Further documents are listed in the continuation of Box C.

See patent family annex.

* Special categories of cited documents:

- "A" document defining the general state of the art which is not considered to be of particular relevance
- "E" earlier application or patent but published on or after the international filing date
- "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- "O" document referring to an oral disclosure, use, exhibition or other means
- "P" document published prior to the international filing date but later than the priority date claimed

- "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
- "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
- "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
- "&" document member of the same patent family

Date of the actual completion of the international search
30 August, 2012 (30.08.12)

Date of mailing of the international search report
11 September, 2012 (11.09.12)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int.Cl. G11C13/00(2006.01)i										
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int.Cl. G11C13/00										
最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922-1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971-2012年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996-2012年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994-2012年</td> </tr> </table>			日本国実用新案公報	1922-1996年	日本国公開実用新案公報	1971-2012年	日本国実用新案登録公報	1996-2012年	日本国登録実用新案公報	1994-2012年
日本国実用新案公報	1922-1996年									
日本国公開実用新案公報	1971-2012年									
日本国実用新案登録公報	1996-2012年									
日本国登録実用新案公報	1994-2012年									
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)										
C. 関連すると認められる文献										
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号								
A	WO 2010/038442 A1 (パナソニック株式会社) 2010.04.08, 段落 [0094] - [0101]、図14 & US 2010/0271860 A1 & CN 101878507 A	1-14								
A	JP 2007-4849 A (ソニー株式会社) 2007.01.11, 段落【0022】 - 【0025】、【0032】 - 【0036】、図3 (ファミリーなし)	1-14								
<input type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。										
* 引用文献のカテゴリー 「A」特に関連のある文献ではなく、一般的技術水準を示すもの 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」口頭による開示、使用、展示等に言及する文献 「P」国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」同一パテントファミリー文献										
国際調査を完了した日 30.08.2012	国際調査報告の発送日 11.09.2012									
国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 後藤 彰 電話番号 03-3581-1101 内線 3565	5U 4226								