

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2010 年 9 月 16 日(16.09.2010)

PCT

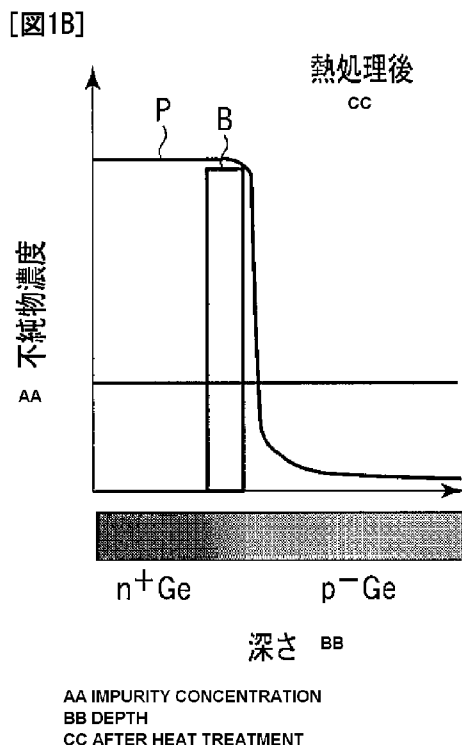
(10) 国際公開番号
WO 2010/103687 A1

- (51) 国際特許分類:
H01L 29/78 (2006.01) H01L 27/092 (2006.01)
H01L 21/265 (2006.01) H01L 29/423 (2006.01)
H01L 21/28 (2006.01) H01L 29/49 (2006.01)
H01L 21/336 (2006.01) H01L 29/786 (2006.01)
H01L 21/8238 (2006.01)
- (21) 国際出願番号: PCT/JP2009/067423
- (22) 国際出願日: 2009 年 10 月 6 日(06.10.2009)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2009-055267 2009 年 3 月 9 日(09.03.2009) JP
- (71) 出願人 (米国を除く全ての指定国について): 株式会社 東芝 (KABUSHIKI KAISHA TOSHIBA) [JP/JP]; 〒1058001 東京都港区芝浦一丁目 1 番 1 号 Tokyo (JP).
- (72) 発明者: および
- (75) 発明者/出願人 (米国についてのみ): 小池 正浩 (KOIKE, Masahiro) [JP/JP]. 辰村 光介 (TATSUMURA, Kosuke) [JP/JP]. 萩島 大輔 (HAGISHIMA, Daisuke) [JP/JP].
- (74) 代理人: 鈴江 武彦, 外 (SUZUYE, Takehiko et al.); 〒1050001 東京都港区虎ノ門 1 丁目 1 2 番 9 号 鈴榮特許総合事務所内 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

[続葉有]

(54) Title: SEMICONDUCTOR DEVICE AND METHOD FOR MANUFACTURING SAME

(54) 発明の名称: 半導体装置およびその製造方法



(57) Abstract: Disclosed is a semiconductor device where-in an n-type impurity region, which is extremely shallow and composed of high-density carriers, is formed in a Ge semiconductor layer. The semiconductor device comprises: a semiconductor substrate which has either n-type or p-type conductivity; a pair of impurity diffusion regions which are selectively formed in the surface of the semiconductor substrate and have the other conductivity type; a gate insulating layer which is formed on the semiconductor substrate part sandwiched between the pair of impurity diffusion regions; and a gate electrode formed on the gate insulating layer. At least a part of the impurity diffusion regions has the conductivity type of the substrate, while having an impurity concentration higher than the impurity concentration of the substrate.

(57) 要約: Ge半導体層に、極浅かつ高濃度のキャリアからなるn型不純物領域が形成された半導体装置であって、n型とp型のうちの一方の導電型の半導体基板と、半導体基板表面に選択的に設けられ、他方の導電型の一对の不純物拡散領域と、一对の不純物拡散領域により挟まれた半導体基板上に設けられたゲート絶縁層と、ゲート絶縁層の上に設けられたゲート電極とを備え、不純物拡散領域の少なくとも一部は、前記一方の導電型を有し、かつ基板の不純物濃度より高い不純物濃度を有する。

WO 2010/103687 A1



(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, SM, TR), OAPI (BF, BJ,

CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 国際調査報告 (条約第 21 条(3))
- 補正された請求の範囲 (条約第 19 条(1))

明 細 書

発明の名称：半導体装置およびその製造方法

技術分野

[0001] 本発明は、Geを主成分としたチャネル領域を有する半導体装置に関する。

背景技術

[0002] 次世代LSI開発において、Siにかわる半導体基板としてGeが期待されている。Siに較べて、電子およびホールバルク移動度が高いからである。それゆえ、Ge基板を用いれば、表面移動度の高いMISFET（Metal Insulator Semiconductor Field Effect Transistor：金属／絶縁体／半導体型電界効果トランジスタ）が実現できると予想され、実際にGeのpMISFETではSiのpMISFETよりも高い移動度が示されている。しかし、その一方で、GeのnMISFETでは、まだSiのnMISFETよりも高い移動度を確認したという例がない。これは、nMISFETでは、金属とn⁺Geのコンタクト抵抗が高いため、本来のnMISFETの性能が十分に引き出せていないからである。

[0003] 金属とn⁺Geのコンタクト抵抗が高くなる理由はいくつかあるが、そのうちのひとつは、高キャリア（電子）濃度のn⁺Geが形成できないためである。Ge中のn型不純物は、後に詳述する理由により、拡散が非常に速く、熱処理すると高濃度に不純物を維持できず、そのため電子濃度が高くできない。コンタクト抵抗R_cは、電子濃度nと次式で示される関係にある。

[0004]
$$R_c \propto \exp \left(C / (n^{1/2}) \right) \quad \dots \quad (1)$$

ここで、Cは電子濃度によらない定数である。この式からわかるように、電子濃度nを高くできないと、金属とn⁺Geのコンタクト抵抗R_cが高くなる。GeのnMISFETを開発するには、極浅かつ高キャリア濃度のn⁺Geを形成する必要がある、そのためにはGeにおけるn型不純物の拡散を十分に抑制しなければならない。

- [0005] なお、関連技術として、固相拡散法において、不純物の拡散係数を変えることによって、拡散層の所望の濃度、深さ、あるいは導電性を有する不純物層を制御よく形成する方法が知られている（特許文献1参照）。この特許文献の特徴は、固相拡散の方法にあり、AsドーパしたSiO₂が水素を含むとAsが拡散しにくくなり、酸化によって還元されるとAsが拡散しやすくなるという性質を利用している。
- [0006] たとえば、AsとBをドーパしたSiO₂に水素が含まれる場合、Siに固相拡散させるとAsは拡散しにくいので、AsよりもBが拡散される。そして、そのSiO₂を酸化することによりAsも拡散されやすくなるため、Siの表面側にAsによるn⁺Si、内奥側にBによるp⁻Siが形成され、つまりn⁺Si/p⁻Siが形成されることになる。
- [0007] しかしながら、この特許文献1では、Siにおける不純物の拡散の実施例を示しただけであり、Geにおいて特徴的なn型不純物の拡散が速いことやp型不純物の拡散が遅いこと、p型不純物によってn型不純物の拡散が抑制されることなどを全く考慮していない。また最終的に形成される構造がn⁺Si/p⁻Siとある。さらに、高温が必要な固相拡散に限定される方法のため、p型不純物の濃度プロファイルは必ず表面に近くなるほど高くなり、n⁺層を形成するのに望ましくない。それゆえ、この方法だけではそのままGeに適用しても、極浅かつ高濃度の電子からなるpGe層上のn⁺Geを形成することは難しい。

先行技術文献

特許文献

- [0008] 特許文献1：特許第3131436号公報

発明の概要

発明が解決しようとする課題

- [0009] 本発明は、上記の事情に基づいてなされたものであり、Ge層に極浅かつ高キャリア濃度のn型不純物拡散領域を有する半導体装置、およびそれを可

能にする製造方法を提供することを課題とする。

課題を解決するための手段

[0010] 本発明の1態様に係る半導体装置は、n型とp型のうちの一方の導電型の半導体基板と、前記半導体基板表面に選択的に設けられ、他方の導電型の一方の不純物拡散領域と、前記一方の不純物拡散領域により挟まれた前記半導体基板上に設けられたゲート絶縁層と、前記ゲート絶縁層の上に設けられたゲート電極とを備え、前記不純物拡散領域の少なくとも一部は、前記一方の導電型を有し、かつ前記基板の不純物濃度より高い不純物濃度を有していることを特徴とする。

[0011] また、本発明の第2の態様に係る半導体装置の製造方法は、Geを主成分とする半導体層の表面に、高濃度の不純物拡散領域を形成する方法であって、前記半導体層の表面に、n型不純物およびp型不純物を導入する工程と、前記n型不純物とp型不純物を導入後、熱処理して、前記半導体層内にn型不純物拡散領域を形成する工程とを含むことを特徴とする。

発明の効果

[0012] 本発明によれば、Ge層に極浅かつ高キャリア（電子）濃度からなるn型不純物拡散領域が形成された半導体装置およびその製造方法を提供することができる。

図面の簡単な説明

[0013] [図1A] BによってPの拡散を抑制し、浅くて高濃度の電子からなるn⁺Ge領域を形成する方法を説明する不純物濃度プロファイルの模式図で、熱処理前の状態を示す。

[図1B] BによってPの拡散を抑制し、浅くて高濃度の電子からなるn⁺Ge領域を形成する方法を説明する不純物濃度プロファイルの模式図で、熱処理後の状態を示す。

[図2] Ge基板におけるPの不純物濃度プロファイルの熱処理前後を示す図である。

[図3] 図2の不純物濃度プロファイルに対応するキャリア濃度プロファイルで

ある。

[図4] G e 基板に P と B が存在する場合の不純物濃度プロファイルの熱処理前後を示す図である。

[図5] 図 2 の P の不純物プロファイルで、B が無い場合と B が基板全体にある場合の拡散距離を比較した図である。

[図6] 図 2 の不純物濃度プロファイルに対応するキャリア濃度プロファイルである。

[図7] G e 基板の一定深さの領域に B が存在する場合における、不純物濃度プロファイルの熱処理前後を示す図である。

[図8] 図 2 の P の不純物プロファイルで、B が無い場合と B が基板の一部にある場合（図 7）の拡散距離を比較した図である。

[図9] 図 7 の不純物濃度プロファイルに対応するキャリア濃度プロファイルである。

[図10] G e 基板において B が P の不純物濃度プロファイルに及ぼす影響を示す図で、拡散時間が 3 秒の場合である。

[図11] G e 基板において B が P の不純物濃度プロファイルに及ぼす影響を示す図で、図 1 0 の B が無いものに対応する。

[図12] 図 1 0 の不純物濃度プロファイルに対応するキャリア濃度プロファイルである。

[図13] 図 1 1 の不純物濃度プロファイルに対応するキャリア濃度プロファイルである。

[図14] G e 基板において B が P の不純物濃度プロファイルに及ぼす影響を示す図で、拡散時間 9 5 秒の場合である。

[図15] G e 基板において B が無い場合の不純物濃度プロファイルで、図 1 4 の B が無いものに相当する。

[図16] 図 1 4 の不純物濃度プロファイルに対応するキャリア濃度プロファイルである。

[図17] 図 1 5 の不純物濃度プロファイルに対応するキャリア濃度プロファイ

ルである。

[図18] G e 基板においてBがPの不純物濃度プロファイルに及ぼす影響を示す図で、拡散時間100秒の場合である。

[図19] G e 基板においてBが無い場合の不純物濃度プロファイルで、図18のBが無いものに相当する。

[図20] 図18の不純物濃度プロファイルに対応するキャリア濃度プロファイルである。

[図21] 図19の不純物濃度プロファイルに対応するキャリア濃度プロファイルである。

[図22] G e 基板においてBがPの不純物濃度プロファイルに及ぼす影響を示す図で、拡散時間が10秒の場合である。

[図23] G e 基板においてBが無い場合の不純物濃度プロファイルで、図22のBが無いものに相当する。

[図24] 図22の不純物濃度プロファイルに対応するキャリア濃度プロファイルである。

[図25] 図23の不純物濃度プロファイルに対応するキャリア濃度プロファイルである。

[図26A] PとBの両方を導入して形成したG e 基板のキャリア濃度プロファイルで、Bのドーズ量が $2 \times 10^{14} \text{ cm}^{-2}$ の場合を示す。

[図26B] PとBの両方を導入して形成したG e 基板のキャリア濃度プロファイルで、Bのドーズ量が $1 \times 10^{15} \text{ cm}^{-2}$ の場合を示す。

[図27] 第2の実施形態に係るn⁺G e 層を形成する方法で、イオン注入を用いた方法を説明するための半導体基板の断面図である。

[図28] 図27に続く工程での断面図である。

[図29] 図28に続く工程での断面図である。

[図30] 図29に続く工程での断面図である。

[図31] 図30に続く工程での断面図である。

[図32] 第3の実施形態に係るn⁺G e 層を形成する方法で、CVDを用いた方

法を説明するための半導体基板の断面図である。

[図33] 図 3 2 に続く工程での断面図である。

[図34] 図 3 3 に続く工程での断面図である。

[図35] 図 3 4 に続く工程での断面図である。

[図36] 本発明の第 4 の実施形態に係る M I S 型トランジスタの断面図である。
。

[図37] 本発明の第 5 の実施形態に係る C M I S F E T の断面図である。

[図38] 本発明の第 6 の実施形態に係る F i n M I S F E T の斜視図である。

[図39] 第 6 の実施形態に係る素子領域を形成する方法を説明するための半導体基板の斜視図である。

[図40] 図 3 9 の次の工程での斜視図である。

[図41] 第 7 の実施形態において、G e 基板に P が存在し、外方拡散する場合の熱処理前後の不純物濃度プロファイルを示す図である。

[図42] 図 4 1 の P の不純物プロファイルで、外方拡散がある場合と無い場合の拡散距離を比較した図である。

[図43] 図 4 1 の不純物濃度プロファイルに対応する電子濃度プロファイルである。

[図44] 第 8 の実施形態において、P と B が共存し外方拡散が無い場合における、熱処理前後の不純物濃度プロファイルを示す図である。

[図45] B が有る場合と無い場合で、いずれも外方拡散が無い場合の P の拡散距離を比較した図である。

[図46] 図 4 5 の不純物濃度プロファイルに対応する電子濃度プロファイルである。

[図47] 第 9 の実施形態において、P と B が共存し外方拡散が有る場合における、熱処理前後の不純物濃度プロファイルを示す図である。

[図48] G e 基板中に B が存在し、外方拡散がある場合と無い場合の P の拡散距離を比較した図である。

[図49] 図 4 7 の不純物濃度プロファイルに対応する電子濃度プロファイルで

ある。

[図50] 第10の実施形態に係る n^+Ge 層を形成する方法を説明するための半導体基板の断面図である。

[図51] 図50に続く工程での断面図である。

[図52] 図51に続く工程での断面図である。

[図53] 図52に続く工程での断面図である。

[図54] 第11の実施形態に係る n^+Ge 層を形成する方法を説明するための半導体基板の断面図である。

[図55] 図54に続く工程での断面図である。

[図56] 図55に続く工程での断面図である。

[図57] 図56に続く工程での断面図である。

[図58] 第12の実施形態に係る n^+Ge 層を形成する方法を説明するための半導体基板の断面図である。

[図59] 図58に続く工程での断面図である。

[図60] 図59に続く工程での断面図である。

[図61] 図60に続く工程での断面図である。

[図62] 図61に続く工程での断面図である。

[図63] Ge 基板中に P をイオン注入したままの状態での不純物濃度 ($SIMS$) プロファイルである。

[図64] Ge 基板中に P をイオン注入して熱処理した場合の不純物濃度 ($SIMS$) プロファイルである。

[図65] 図42の Ge 基板中の B と P の不純物濃度プロファイルとその際に形成される半導体の導電型のプロファイルを説明する模式図である。

[図66] Ge 基板中の高濃度の B によって P の拡散が抑制されることと、その際に形成される半導体の導電型のプロファイルを説明する模式図である。

発明を実施するための形態

[0014] 本発明の実施形態を説明する前に、本発明に至った経緯について説明する。前述したように、極浅かつ高電子濃度からなる n^+Ge を形成するためには

、熱処理時にn型不純物を拡散させないようにする技術が必要である。

[0015] Geにおいてn型不純物の拡散のメカニズムは次のように説明される（例えば、H. Bracht, Phys. Rev. B 75, 035210 (2007) 参照）。Ge中でのn型不純物Aの拡散は、格子置換位置(substitutional site)にある正イオン A^+_{s} と二価の負電荷を持つ空孔 V^{2-} が



の、化学平衡[質量作用の法則]によって表される反応によってペアになり、 $(AV)^-$ (dopant-vacancy pair) の形を取って拡散する。つまり、 A^+_{s} による直接の拡散はなく、 $(AV)^-$ という形態(diffusion vehicle)を通して間接的に拡散する。 A^+_{s} による拡散と見なしたとき、拡散方程式は、実効的な拡散係数 D_{eff} を持つ下記の式(3)、(4)で表現される。

[数1]

$$\frac{\partial C^+_{\text{S}}}{\partial t} = \frac{\partial}{\partial x} \left[D_{\text{eff}}(n) \frac{\partial C^+_{\text{S}}}{\partial x} \right] \quad (3)$$

[数2]

$$D_{\text{eff}}(n) = D^*(n_{\text{i}}) \left(\frac{n}{n_{\text{i}}} \right)^2 \quad (4)$$

[0016] ここで、 $C^+_{\text{S}}(x, t)$ は、格子置換位置にあるn型不純物の正イオンの濃度であり、 x はn型不純物の座標（本明細書では基板表面からの深さと定義）、 t は拡散時間、 $n(x, t)$ は電子濃度、 $n_{\text{i}}(x, t; T)$ は真性キャリア濃度（温度 T に依存）、 $D^*(n_{\text{i}})$ は n_{i} に依存した係数である。このように、n型不純物の実効拡散係数は、電子濃度 n の自乗の依存性を持っている。これは、 A^+_{s} と $(AV)^-$ の電荷状態の差に由来している。Ge中のn型不純物は、この D_{eff} の電子濃度の自乗の依存性によって、特異な拡散現象を示す。Ge中にn型不純物しかない場合、不純物濃度が高くなるほど、それに伴って電子濃度も高くなると考えて良い。それゆえ、(4)式より、不純物濃度が高いときには D_{eff} は大きくなり、不純物濃度が低くなると D_{eff}

は小さくなる。

[0017] 図63は、磷（P）をGeにイオン注入して熱処理したときの不純物濃度プロファイルをSIMSによって分析したものである。Pのドーズ量は $5 \times 10^{15} \text{ cm}^{-2}$ 、加速エネルギーは30 keVであり、窒素雰囲気中で600°C、30分の熱処理を施している。比較のために、熱処理を加える前、つまりイオン注入しただけの場合のシミュレーションによる結果も示した。熱処理前は、ピーク濃度で略 10^{21} cm^{-3} あり、濃度が $1 \times 10^{19} \text{ cm}^{-3}$ である深さは約100 nmである。

[0018] 一方で、熱処理後は、ピーク濃度で $2 \times 10^{19} \text{ cm}^{-3}$ 程度までに大きく減少し、また濃度が $1 \times 10^{19} \text{ cm}^{-3}$ である深さは400 nmを超えるほど拡散してしまう。ここで特徴的なのはその箱形というべきプロファイルの形状である。表面から400 nm程度までは緩やかに濃度は減少するが、それよりも深くなると急峻に濃度が減少する。これは、 D_{eff} が n^2 に比例しているためである。つまり、濃度が高いと D_{eff} が大きいため拡散が速く、濃度が低くなると D_{eff} が小さくなるため、特徴的な箱形プロファイルになると説明できる。

[0019] このように、Ge中のn型不純物の拡散が $(AV)^{-}$ という形態を通して拡散し、電子濃度の自乗 n^2 に依存する拡散係数を持つのであれば、この負電荷を打ち消せば拡散が抑制できるかもしれない、と本発明者らは考えた。そこで、n型不純物を補償するp型不純物としてボロン（B）を選び、Ge基板に導入して、Pの拡散が抑制できるかを確かめた。その結果が図64である。Bを導入したGeにおけるPの不純物プロファイルをSIMS分析によって求めた。Ge基板にBをドーズ量 $5 \times 10^{15} \text{ cm}^{-2}$ 、加速エネルギー30 keVで導入したあと、図63と同じ条件でPを導入して熱処理している。

[0020] その結果によると、まず、Bのピーク濃度は約 $1 \times 10^{21} \text{ cm}^{-3}$ であり、またそのプロファイルから熱処理を加えても拡散していないことがわかる。従来までに、 BF_2 をドーズ量 $4 \times 10^{15} \text{ cm}^{-2}$ 、加速エネルギー20 keVでGeにイオン注入し、650°C、10秒の熱処理を施した場合でも、Bは

全く拡散しない、という報告があり (G. O. Chui et al., Appl. Phys. Lett. 83, 3275 (2003) 参照) 、本発明での結果と矛盾がない。

[0021] また、Pの濃度が $1 \times 10^{19} \text{ cm}^{-3}$ である深さは約100nmであって、これは熱処理前のプロファイルと同じである。つまりPは全く拡散していない。Bがない場合には、Pの濃度は $2 \times 10^{19} \text{ cm}^{-3}$ まで低下してしまったが(図63)、Bがある場合にはPはピークで約 $7 \times 10^{20} \text{ cm}^{-3}$ という高濃度を維持している。

[0022] こうして、Geにおけるn型不純物の拡散メカニズムに基づき、n型不純物の拡散形態である(PV)-を打ち消すようにp型不純物を導入すれば、n型不純物の拡散が完全に抑制できることを発見した。しかし、BによってPの拡散は完全に抑えられるが、図65からわかるように、基板の全体でPよりもBの濃度が高いため、 p^+Ge が形成されている。Pの拡散が抑制できても、 n^+Ge が形成されないのでは意味がない。

[0023] Pの拡散を抑制しながら n^+Ge を形成する方法としては、例えば、図66のような方法が考えられる。p型不純物としてBを基板の奥に高濃度に導入し、n型不純物としてPを基板の表面付近に導入する。熱処理を加えると、Bは拡散しないが、Pは基板の奥に拡散し、Pの濃度に較べてBの濃度が十分に高ければ、BによってPの拡散が抑制される。Pの不純物濃度が高くてできるので、電子濃度も高くでき、基板の表面に n^+Ge が形成されることになる。しかし、この構造では、 n^+Ge が形成されるかもしれないが、高濃度のBが存在するため p^+Ge も同時に形成されることになる。つまり、 n^+Ge/p^+Ge 構造ができてしまい、これではソース/ドレインには適用できない。

[0024] 本発明者らは、上記発見に伴う問題を解決し、 p^+Ge を存在させずに、極浅かつ高キャリア(電子)濃度である n^+Ge 構造を形成する方法を見出した。またそれによって形成された理想的な n^+Ge 構造を見出すことができた。これを以下に実施形態として説明する。本発明の実施形態について図面を参照しながら説明するが、各実施形態を通して共通の構成には同一符号を付す

ものとし、重複する説明は省略する。また、各図の中には本発明の説明とその理解を促すための模式図があり、その形状や寸法、比などが実際の装置と異なる個所があっても、これらは以下の説明と公知の技術を参酌して適宜、設計変更することができる。

[0025] なお、本明細書において「Geを主成分とする」とは、Geの含有量が85at.%以上であることをさす。例えば、Semicond. Sci. Technol. 12(1997)1515-1549には、Siの伝導帯の最小値は Δ 点であり、Geの伝導帯の最小値はL点であり、SiGeは組成比に依存して、 $\text{Si}_x\text{Ge}_{1-x}$ の場合、 $x < 0.85$ で Δ となり、 $x > 0.85$ でL点となることが報告されている。

[0026] (第1の実施形態)

ここでは、本発明の第1の実施形態に係わる極浅かつ高電子濃度からなる $n^+\text{Ge}$ 層を有する半導体装置(基板)とその製造方法を説明する。図1A、1Bは、Ge基板における不純物プロファイルを表す模式図である。

[0027] 図1Aは熱処理前を示している。一定で低濃度のp型不純物を含む基板に、基板濃度に較べれば高濃度の、n型不純物とp型不純物の二つを導入する。そのとき、p型不純物は基板の内奥側に導入し、n型不純物はそれよりも表面側に導入する。ここで、典型的な例として、n型不純物はP、p型不純物はBを選んだ。このとき、Ge中の各不純物が電氣的に活性化していれば、図に示すように、 $n^+\text{Ge}/p^+\text{Ge}/p^-\text{Ge}$ 構造が形成される。尚、熱処理前にこのように不純物が電氣的に活性化している必要は無い。各不純物の濃度は、図63の場合と異なり、Pのピーク濃度の方が、Bのそれよりも充分に高くなっていることが特徴である。

[0028] この構造に熱処理を加えると、前述したように、Geにおけるn型およびp型不純物の特性から、Pは拡散するが、Bは拡散しない。またGe中におけるPは、 $(P_V)^-$ という形態を通して間接的に拡散するため、プロファイルは箱形の、濃度が急峻に変化するものになる。そして、高濃度にBが存在する領域をPが拡散するとき、Bによって負電荷が打ち消されるため、 $(P_V)^-$ という形態での拡散が起こりにくくなり、Pの拡散が遅くなる。さらに

熱処理を続けると、Pは図1Bのように、Bが高濃度に存在する領域全体に拡散する。Ge中でBよりも常にPの濃度を高くできるので、 n^+Ge を形成できる。

[0029] つまり、最初はp型不純物を用いてn型不純物の拡散を抑制し、最終的にn型不純物をp型不純物よりも高くできるので、 p^+Ge 領域を残さずに、浅くて高電子濃度からなる n^+Ge 構造を形成できる。

[0030] 次に、本発明による n^+Ge が定量的にどのように形成され、どのような構造になるかを説明する。前述したように、Geにおけるn型不純物の拡散は、(2)～(4)式の拡散方程式で表現される。p型不純物も共存する場合は、それらに加えて次のことを考慮すれば良い。まず、p型不純物は熱処理をしても拡散しないと仮定する。また、Geは電荷中性条件である(5)式を満たすと仮定する。

$$[0031] \quad n + (N_A - p_A) = p + (N_D - n_D) \quad \cdots (5)$$

ここで、 n は電子濃度、 p はホール濃度、 N_A はp型不純物濃度、 N_D はn型不純物濃度、 p_A はアクセプターレベルに存在するホール密度、 n_D はドナーレベルに存在するドナー密度である。 n 、 p 、 p_A 、 n_D は通常の平衡系の統計力学で表現できるとする。この(5)式を用いて、Ge基板の各座標、拡散の各時間における n を求めながら、(3)式によって、Geにおけるn型不純物の拡散を計算した。n型不純物と共存するp型不純物の影響は、(5)式から決まる n を通して反映されている。

[0032] < n^+Ge 層にn型不純物だけが存在している場合>

図2は、本実施形態による n^+Ge が形成される過程を計算した一例であり、不純物濃度と深さの関係である。計算するには拡散係数などが必要であり、それらは実験値とフィッティングして求めた。図2は、n型不純物だけがGeに存在している場合である。ここで、n型不純物の例としてPを選んだ。Pの初期プロファイル(熱処理前のプロファイル)は、Ge基板表面から射影飛程(Projected Range) R_p が5.0 nm、標準偏差1.0 nm、ドーズ量 $1 \times 10^{15} \text{ cm}^{-2}$ のガウス分布であると想定した。熱処理は短時間(1

秒) のスパイクアニールを想定している。温度は 773 K である。熱処理中の時間発展を十等分 (0, 0.1, 0.2, ..., 1.0) にして、P の不純物濃度プロファイルの経時変化を示した。

[0033] 本例のように B が無い場合には、図 2 のプロファイルの経時変化からわかるように、最初に大きく拡散し、徐々にゆっくりになって拡散していく。熱処理前に濃度が $1 \times 10^{19} \text{ cm}^{-3}$ の位置は R p から 3.5 nm であるが、0.1 秒後は 13.2 nm まで広がり、0.2 秒後では 16.8 nm、0.3 秒後では 19.0 nm と広がり、1 秒後では 27.2 nm まで拡散する。

[0034] 図 3 は、図 2 と同じ条件のものであり、その電子濃度プロファイルを示したものである。図 2 と同様に、熱処理中の時間発展を十等分にして、P の電子濃度プロファイルの変化を示した。図 3 を図 2 と較べるとわかるように、 $7 \times 10^{17} \text{ cm}^{-3}$ 以上で不純物と電子濃度はほぼ一致している。これは Ge 中に n 型ドーパントである P だけが存在するからであり、表面から約 33 nm の深さまで電子だけからなる $n^+ \text{ Ge}$ になっている。

[0035] 尚、ここでの電子濃度は、773 K という不純物が拡散する温度のときのものである。そのため、不純物濃度が電子濃度とほぼ同じ、つまりほぼ 100% イオン化していると考えている。一方で、室温では不純物が不完全イオン化を起こし、電子濃度が不純物濃度よりも低くなることがある。しかし、不純物が高濃度の場合には金属絶縁体転移により不純物の不完全イオン化はなく、つまり室温でも不純物濃度と電子濃度はほとんど同じと考えて良い。電子濃度が $7 \times 10^{17} \text{ cm}^{-3}$ の一定領域は、真性キャリア濃度 n_i によるものであり、室温では基板濃度より低くなり、基板が通常の濃度の p 型であれば、ホール濃度一定の領域が室温では現れる。

[0036] < $n^+ \text{ Ge}$ 層に n 型不純物と p 型不純物が同時に存在している場合 >

図 4 は、n 型不純物と共に p 型不純物も同時に存在している場合である。図 2 の場合に加えて、p 型不純物が Ge 基板全体に $2.5 \times 10^{20} \text{ cm}^{-3}$ の高濃度で共存している。ここでは p 型不純物の例として B を選んだ。

[0037] B が Ge 基板全体にある場合でも、B が無い場合と同様に、最初は大きく

拡散し、徐々にゆっくり拡散していく。しかしながら、Bがある場合には、Bが無い場合に較べて、その拡散速度は相対的にゆっくりである。熱処理前に濃度が $1 \times 10^{19} \text{ cm}^{-3}$ の位置は R_p ら 3.5 nm であり、 0.1 秒後は 9.0 nm まで広がり、 0.2 秒後では 10.6 nm 、 0.3 秒後では 11.4 nm と広がり、 1 秒後では 14.2 nm まで拡散する。

[0038] 図5は、B無しの場合（図2）と有りの場合（図4）のPの拡散距離を比較したものである。濃度が $1 \times 10^{19} \text{ cm}^{-3}$ の場合の、同じ拡散時間におけるそれぞれの拡散距離（ R_p を原点に取ったときの深さ）をプロットした。図から明らかなように、Bがあることによって拡散距離が短くなっており、それは距離が大きくなるほど、言い換えれば拡散時間が長くなるほど、その差は大きくなっていく。このように、Bがあることによって拡散が抑えられることがわかる。

[0039] 図6は、図4と同じ条件のものであり、その電子濃度プロファイルを示したものである。BがGe基板全体に $2.5 \times 10^{20} \text{ cm}^{-3}$ という高濃度で存在しているため、熱処理前の状態でP濃度がB濃度より低い場所では、電子濃度は $2.8 \times 10^{15} \text{ cm}^{-3}$ になる。（4）式からわかるように実効拡散係数は電子濃度の自乗に比例しているため、電子濃度が低いほど拡散が遅くなる。Bが無い場合には $8.4 \times 10^{17} \text{ cm}^{-3}$ であるが、Bがある場合には $2.8 \times 10^{15} \text{ cm}^{-3}$ であり、電子濃度が2桁以上低くなる。それゆえ、Bの存在によって実効拡散係数が小さくなり、拡散がゆっくりになる。

[0040] こうして、BがあることによってPの拡散を抑えることができ、Bが無いときに較べて、浅くて高濃度の $n^+ \text{ Ge}$ が表面に形成されることになる。しかし、図4からわかるように、PよりBの濃度が高い領域があるため、これは $n^+ \text{ Ge} / p^+ \text{ Ge}$ である。 $p^+ \text{ Ge}$ におけるホール濃度 p は、図6と質量作用の法則 $n_p = n_i^2$ （ n は電子濃度）の関係式から求められ、それは $1.75 \times 10^{20} [= (7 \times 10^{17})^2 / (2.8 \times 10^{15})] \text{ cm}^{-3}$ という高濃度である。また、さらに、高濃度のPが存在していてもBによって補償されるため、Pの不純物濃度に較べて電子濃度が低くなっている。

[0041] < p^+Ge 層を作らずに n^+Ge を形成する方法 >

p^+Ge 層を作らず、また表面での電子濃度を下げずに浅くて電子が高濃度の n^+Ge を形成するには、Bのプロファイルを調整すればよい。図7はBのプロファイルを調整したものである。図3のように全体にBを入れず、 $2.5 \times 10^{20} \text{ cm}^{-3}$ の一定濃度であるという条件は同じままに、表面から7.3 nm ~ 18.9 nmまでの深さにだけBが存在するようにした。Pのプロファイルは、図7からわかるように、図4のPのプロファイルとほとんど差がない。また、このように一部にだけBがある場合とBが無い場合のPの拡散距離を比較したものが図8であるが、図5とほぼ同じである。つまり、Bを基板全体に入れずに、一部だけに入れてもPの拡散抑制の効果が同じくらいあるということを意味している。そして、一部だけにBを入れるために、図4からわかるように、熱処理後に最終的に得られるPのプロファイルは、Bよりも基板全体で濃度を高くすることができる。

[0042] 図9は、図7と同じ条件のものであり、その電子濃度プロファイルを示したものである。図9以降の類似図面には、熱処理前と熱処理後の注記の記載を省略するが、図2と同様に、放物線状の曲線が熱処理前、テラス状の曲線が熱処理後を示す。図6とは異なり、基板の内奥側では真性キャリア濃度になっていて、Bが無い場合の図3と同じである。つまり、基板の内奥側には p^+Ge ではなく、もともとのGe基板の状態、例えば通常程度の不純物を含んだ pGe 基板になっていることがわかる。また、図6と較べて、表面側において電子濃度が高くなっている。これは表面にBが存在しないため、電子濃度の減少、損失などが起こらず、したがって、電子濃度がPの不純物濃度とほぼ同じ濃度になっているためである。PはBによる拡散抑制効果により高い不純物濃度が維持されているので、Bが無い場合よりも高い電子濃度が実現されている。

[0043] このように、Bを表面と基板の内奥側に入れず、最適な場所に最適な濃度で導入すれば、BによってPの拡散を抑制し、Bがあっても p^+Ge を残さず、また表面の電子濃度を低くすることなく、浅くて高濃度の電子からなる n^+

G e 層を形成することができる。

[0044] < n 型不純物を抑制するために必要な p 型不純物の濃度 >

つづいて、n 型不純物を抑制するためには、どのくらいの濃度の p 型不純物が必要かを説明する。ここでも n 型不純物として P、p 型不純物として B を選んだ。P の初期プロファイル（熱処理前のプロファイル）は、G e 基板表面から R p が 5. 0 nm、標準偏差 1. 0 nm、ドーズ量 $1 \times 10^{14} \text{ cm}^{-2}$ のガウス分布であると想定した。拡散温度は 773 K である。B の濃度を 3 通りに変化させた場合を示した。B は G e 基板表面から P の R p の位置まで存在しない場合を想定した。

[0045] まず、図 10 は B を $5 \times 10^{19} \text{ cm}^{-3}$ の濃度で、R p (5 nm) から 10 nm まで入れた場合である。拡散時間は 3 秒とした。例えば、P 濃度が $1 \times 10^{18} \text{ cm}^{-3}$ の位置は、熱処理前には 8. 8 nm であったのが、熱処理後には 10. 4 nm まで拡散しており、熱処理前後の差で 1. 6 nm だけ拡散している。

[0046] 図 10 の場合から B だけを無くしたものが図 11 である。P 濃度が $1 \times 10^{18} \text{ cm}^{-3}$ の位置は、熱処理前は同じ 8. 8 nm であり、熱処理後には 14. 8 nm まで拡散している。拡散した距離は 6. 0 nm である。つまり、B が無い場合には 6. 0 nm 拡散しているが、 $5 \times 10^{19} \text{ cm}^{-3}$ の B があることによって 1. 6 nm 拡散するだけで抑えられている。

[0047] このときの図 10, 11 の不純物濃度プロファイルに対応する電子濃度プロファイルは、それぞれ、図 12, 13 である。B が無い場合（図 13）には、不純物濃度プロファイル（図 11）に対応して、電子濃度が $1 \times 10^{18} \text{ cm}^{-3}$ の位置は 10. 4 nm である。一方で、B がある場合（図 12）には、不純物濃度プロファイル（図 10）に対応して、14. 8 nm まで n⁺G e の領域が広がっている。また図からわかるように、拡散している途中は B によって補償されるため、真性キャリア濃度より電子濃度が低く（ホール濃度が高く）、つまり p⁺G e が形成されている。そのとき、電子濃度が低いのでゆっくり拡散し、最終的には電子濃度が真性キャリア濃度より低い領域が無

くなり、つまり $p^+G e$ 領域が無くて、極浅かつ高濃度の電子濃度からなる $n^+G e$ だけが形成できている。

[0048] 図 14 は、図 10 よりも B 濃度を減らして、 $1 \times 10^{19} \text{ cm}^{-3}$ にした場合である。B は R_p から 25.3 nm まで入れた。ここまでの内容から予想されるように、B 濃度が低くなれば、P が拡散する領域も広がるため、B を入れる領域も広くした方が良いからである。拡散時間は 95 秒とした。例えば、P 濃度が $1 \times 10^{18} \text{ cm}^{-3}$ の位置は、熱処理前には 8.8 nm であったのが、熱処理後には 25.4 nm まで拡散しており、熱処理前後の差で 17.0 nm だけ拡散している。

[0049] 図 14 の場合から B だけを無くしたものが図 15 である。P 濃度が $1 \times 10^{18} \text{ cm}^{-3}$ の位置は、熱処理前は同じ 8.4 nm であり、熱処理後には 32.2 nm まで拡散している。拡散した距離は 23.2 nm である。つまり、B が無い場合には 23.2 nm 拡散しているが、 $1 \times 10^{19} \text{ cm}^{-3}$ の B があることによって 17.0 nm 拡散するだけで抑えられている。

[0050] このときの図 14, 15 の不純物濃度プロファイルに対応する電子濃度プロファイルは、それぞれ、図 16, 17 である。B が無い場合（図 17）には、不純物濃度プロファイル（図 15）と対応して、電子濃度が $1 \times 10^{18} \text{ cm}^{-3}$ の位置は 32.2 nm である。

[0051] 一方で、B がある場合（図 16）には、不純物濃度プロファイル（図 14）と対応して、25.4 nm まで $n^+G e$ の領域が広がっている。また図からわかるように、拡散している途中は B によって補償されるため、真性キャリア濃度より電子濃度が低く（ホール濃度が高く）、つまり $p^+G e$ が形成されている。そのとき、電子濃度が低いのでゆっくり拡散し、最終的には電子濃度が真性キャリア濃度より低い領域が無くなり、つまり $p^+G e$ 領域が無くて、極浅かつ高濃度の電子濃度からなる $n^+G e$ だけが形成できている。

[0052] 図 18 は、図 10, 図 14 よりもさらに B 濃度を減らして、 $1 \times 10^{18} \text{ cm}^{-3}$ にした場合である。B は R_p から 31.8 nm まで入れている。前述したように、B 濃度が低くなれば、P が拡散する領域も広がるため、B を入

れる領域も広くした方が良いからである。拡散時間は100秒とした。例えば、P濃度が $1 \times 10^{18} \text{ cm}^{-3}$ の位置は、熱処理前には8.8 nmであったのが、熱処理後には31.6 nmまで拡散しており、熱処理前後の差で22.8 nmだけ拡散している。

[0053] 図18の場合からBだけを無くしたものが図19である。P濃度が $1 \times 10^{18} \text{ cm}^{-3}$ の位置は、熱処理前は同じ8.8 nmであり、熱処理後には32.6 nmまで拡散している。拡散した距離は23.8 nmである。つまり、Bが無い場合には23.8 nm拡散しているが、 $1 \times 10^{18} \text{ cm}^{-3}$ のBがあることによって22.8 nm拡散するだけで抑えられている。

[0054] このときの図18、図19の不純物濃度プロファイルに対応する電子濃度プロファイルは、それぞれ、図20、図21である。Bが無い場合（図21）には、不純物濃度プロファイル（図19）と対応して、電子濃度が $1 \times 10^{18} \text{ cm}^{-3}$ の位置は32.6 nmである。一方で、Bがある場合（図20）には、不純物濃度プロファイル（図18）と対応して、電子濃度が $1 \times 10^{18} \text{ cm}^{-3}$ の位置は31.6 nmである。また図からわかるように、拡散している途中はBによって補償されるため、真性キャリア濃度 n_i より電子濃度 n が低く（ホール濃度 p が高く）、つまり p^+G_e が形成されている。そのとき、電子濃度が低いのでゆっくり拡散し、最終的には電子濃度が真性キャリア濃度より低い領域が無くなり、つまり p^+G_e 領域が無くて、極浅かつ高濃度の電子濃度からなる n^+G_e だけが形成できている。

[0055] このように、Pの拡散距離を短くするには、B濃度が高いほど良い。Pの拡散を抑制して n^+G_e を形成するB濃度の上限は、極限的には、熱処理前のPの濃度 $C_n(x, 0)$ よりわずかに低くしておく（ $C_n(x, 0) > C_p(x, 0)$ ）、あるいは、熱処理後に拡散してBよりP濃度が高くなるようにする（ $C_n(x, t) > C_p(x, t)$ ）。ここで、 $C_n(x, t)$ 、 $C_p(x, t)$ は、それぞれ、P、Bの深さ x 、拡散時間 t における不純物濃度である。熱処理前には、拡散する方向であれば、PよりB濃度を高くしても構わない。また、Pの拡散を抑制する最低限のB濃度 $C_p(x, 0)$ は、

拡散温度 T における真性キャリア濃度 $n_i(x, 0; T)$ より高ければ効果がある ($C_p(x, 0) > n_i(x, 0; T)$)。

- [0056] P の拡散を抑制するための B のプロファイルとして、一定濃度の矩形領域を考えたが、これは前述したように、 Ge 中の n 型不純物拡散メカニズムにより、 n 型不純物のプロファイルが一定濃度の領域から急峻に濃度が減少する、いわば箱形プロファイルになるからである。より望ましくは、 p 型不純物のプロファイルを、最終的に得たい n 型不純物のプロファイルに近づけると、さらに浅くて高濃度の電子からなる n^+Ge が形成できる。
- [0057] ここまでは、 B による P の拡散抑制が最も適した時間の例を示してきた。ここでは、最適な時間を大きく超えた場合に、 P のプロファイルがどのようなかを示す。図 22 は、図 10 と拡散時間だけが違う場合である。図 10 では拡散時間が 3 秒であったが、図 22 では 10 秒である。図 22 からわかるように、図 10 より P の拡散が進んでいる。例えば、 P 濃度が $1 \times 10^{18} \text{ cm}^{-3}$ の位置は、熱処理前には 8.8 nm であったのが、熱処理後には 13.8 nm まで移動しており、熱処理前後の差で 5.0 nm だけ拡散している。
- [0058] 図 22 の場合から B だけを無くしたものが図 23 である。 P 濃度が $1 \times 10^{18} \text{ cm}^{-3}$ の位置は、熱処理前は同じ 8.4 nm であり、熱処理後には 18.9 nm まで拡散している。拡散した距離は 10.5 nm である。つまり、 B が無い場合には 10.5 nm 拡散してしまうが、 $1 \times 10^{19} \text{ cm}^{-3}$ の B があることによって 5.0 nm 拡散するだけで抑えられている。ここで注目すべきは、図 22 から明らかなように、 P が B のある領域を大きく超えて拡散しても、 B の濃度が P の濃度を超えることはない、ということである。
- [0059] 図 22, 23 の不純物濃度プロファイルに対応する電子濃度プロファイルは、それぞれ、図 24, 25 である。 B が無い場合 (図 25) には、不純物濃度プロファイル (図 23) と対応して、電子濃度が $1 \times 10^{18} \text{ cm}^{-3}$ の位置は 18.9 nm である。一方で、 B がある場合 (図 24) には、不純物濃度プロファイル (図 22) と対応して、13.8 nm まで n^+Ge の領域が広

がっている。また図からわかるように、拡散している途中はBによって補償されるため、真性キャリア濃度より電子濃度が低く（ホール濃度が高く）、つまり $p^+G e$ が形成されている。そのとき、電子濃度が低いのでゆっくり拡散し、最終的には電子濃度が真性キャリア濃度より低い領域が無くなる。そしてこの場合にはBが無い基板内奥側の領域にさらにPは拡散していくが、この位置ではPの濃度が低くなっているため、Pの拡散はゆっくりである。

[0060] また、Bがある領域から無い領域に遷移する場所で、電子濃度の若干の低下が見られるが、それでも真性キャリア濃度よりも高く、室温では基板濃度よりも十分に電子濃度が高い。尚、これは急峻に高濃度からゼロに落ち込むようなBのプロファイルを想定したからであり、現実には連続的に濃度は変化するため、電子濃度がこのように特異的に低くなることは無い。

[0061] このように、Pの拡散を抑制する最適な時間を大きく超えても、 $p^+G e$ が形成されることはなく、B無しの場合に較べて十分に拡散抑制の効果もあり、極浅かつ高濃度の電子濃度からなる $n^+G e$ だけが形成できる。

[0062] <PとBが導入されたG eのキャリア濃度プロファイル>

図26A、26Bは、PとBの二つを導入して形成したG eのキャリア濃度プロファイルである。スプレディングレジスタンスプローブ（Spreading resistance probe）分析により求めた。Pのドーズ量は $5 \times 10^{15} \text{ cm}^{-2}$ であり、窒素雰囲気中で30分の熱処理を施したものである。図26A、26Bは、それぞれBのドーズ量が 2×10^{14} 、 $1 \times 10^{15} \text{ cm}^{-2}$ である。熱処理温度は、400、500、600℃の3通りで行った。また、すべての条件において、Bが無い場合のキャリア濃度プロファイルも調べた。基板表面側に高濃度に存在するキャリアはすべて電子であり、また、基板の内奥側に存在する濃度一定領域は基板に含まれる不純物（Ga）により生じたホールである。

[0063] まず、図26A、26Bから、400、500、600℃と温度を高くするほど、電子が高濃度に存在する領域が基板の内奥側に広がっていくことがわかる。また、Bがある場合と無い場合を比較すると、Bがある方が拡散を

抑えられている。その傾向は、Bのドーズ量に強く依存していて、Bのドーズ量が $2 \times 10^{14} \text{ cm}^{-2}$ より $1 \times 10^{15} \text{ cm}^{-2}$ の方が、各熱処理温度で拡散が抑制される。また、この高濃度領域はすべて電子であり、Bがあっても、 p^+Ge の無い n^+Ge が形成できている。

[0064] (第2の実施形態)

第2の実施形態では、 n 型不純物層の形成方法の実施形態を説明する。まず、 p 型 Ge 基板1にBをイオン注入する(図27)。このとき、イオン注入の加速エネルギーを調整し、基板表面よりも内奥側に注入する。すると、 p 型 Ge 基板1の表面より内奥側にBの高濃度層2が形成される(図28)。続いて、 p 型 Ge 基板1にPをイオン注入する(図29)。加速エネルギーを調整し、Bの高濃度層2よりも表面側に注入する。 p 型 Ge 基板1には表面側にPの高濃度層3が形成され、それよりも基板奥側にBの高濃度層4が形成される(図30)。そして、この基板を熱処理すると、Pは拡散するがBにより拡散が抑制され、最終的にはPがBよりも濃度が高くなるため、 p^+Ge 領域が無くなり、浅くて高濃度の電子濃度からなる n^+Ge 層が形成される(図31)。この n^+Ge 層には基板1に含まれるよりも多くの p 型不純物が含まれている。

[0065] (第3の実施形態)

第3の実施形態では、 n 型不純物拡散層の別の形成方法を示す。まず、 p 型 Ge 基板1にBをドーブした Ge をCVDによって堆積する(図32)。すると、 p 型 Ge 基板1表面に p^+Ge 層6が形成される(図33)。つづいてPをドーブした Ge をCVDによって堆積する。 p^+Ge 層6の上に n^+Ge 層7が形成される(図34)。このとき基板を加熱しながら堆積、あるいは堆積してから熱処理すると、前述の効果により浅くて高濃度の電子からなる n^+Ge 層8が形成される(図35)。このプロセスで、図33の p^+Ge 層6を形成せずに、図34の n^+Ge 層7を堆積すると、 n 型不純物の拡散が速いため、 p 型 Ge 基板1の内奥側に拡散してしまい、浅くて高濃度の電子からなる n^+Ge 層8を形成できない。本プロセスのように、 p^+Ge 層6を

形成すれば、PをドーピングしたGeを堆積するときに、Pの基板奥側への拡散を防ぐことができる。

[0066] 以上第1～第3の実施形態によれば、p型不純物の濃度および分布を制御することによって、極浅く、かつ高濃度キャリア密度を有するn型領域を形成することができる。

[0067] (第4の実施形態)

図36は、上述のn⁺Ge層を用いた半導体装置(MISFET)の模式断面図である。第4の実施形態の半導体装置は、基板の上に形成されたGeを主成分とするp型半導体層10と、p型半導体層10の上に形成されたゲート絶縁層12と、ゲート絶縁層12の上に形成されたゲート電極14と、p型半導体10のゲート絶縁層12との境界領域をゲート長方向の両側から挟むようにp型半導体層10の表面に選択的に形成された一対のn型不純物拡散領域(ソース・ドレイン領域)18とを備えている。この半導体装置は、n型不純物拡散領域18の全部または一部に、n型不純物を含有すると同時に、p型半導体層10に含有されるよりも高濃度のp型不純物を含有している。n型不純物拡散領域の表面には、コンタクト電極16が接合されている。

[0068] p型半導体層10は、基板全体がGe、あるいは少なくとも表面はGeを主成分とした基板の表層からなり、p型不純物を含有している。また、p型不純物はn型不純物領域全体にあっても良いが、電子濃度を高くしてコンタクト抵抗を低くするために、基板表面にはないことが望ましい。さらに、n型不純物領域の周りに追加して、いわゆるLDDやn型エクステンション、ハロー(halo)層を形成しても良い。

[0069] 本実施形態によれば、p型不純物の濃度および分布を制御することによって、極浅く、かつ高濃度キャリア密度を有するn型ソース・ドレイン領域18を形成することができる。この結果、微細Geチャネル半導体装置において、短チャネル効果を抑制するとともに寄生抵抗を少なくすることが可能となり、電流駆動力の高いMISFETを提供できる。

[0070] (第5の実施形態)

図37は、上述の n^+Ge 層および p^+Ge 層を用いたCMISFET (Complementary Metal Insulator Semiconductor Field Effect Transistor : 相補型金属/酸化物/半導体型電界効果トランジスタ) の模式的断面図である。

[0071] より詳細には、図37は Ge チャネルを有するCMISFETのゲート長方向の断面図を表す。基板100の上部表面(主表面)に、 Ge からなる p 型ウェル領域102及び n 型ウェル領域104が、素子分離層106によって電氣的に分離されて形成される。基板100は、 Ge 基板や、 Si 基板や、 Si 基板上に Ge 層を形成したものや、 Si 基板上に $SiGe$ 層の中間層を形成しさらにその上に Ge 層を形成したものであってもよい。素子分離層106は、例えば SiO_2 によって形成される。 p 型ウェル領域102には、 n チャネルMISトランジスタが形成され、 n 型ウェル領域104には p チャネルMISトランジスタが形成される。

[0072] n チャネルMISトランジスタの構成としては、 p 型ウェル領域102内に、電流通路となる領域(チャネル領域)のゲート長両側に一对の n 型エクステンション領域108が形成され、これらの外側に一对の n 型ディープ領域110が形成される。 p 型ウェル領域102の上部表面には、対向する n 型エクステンション領域108、108のゲート長方向内側の端部にかかるようにしてチャネル領域上にゲート絶縁膜116が形成される。ゲート絶縁膜116の上部表面には、ゲート電極118が積層形成される。ゲート絶縁膜116及びゲート電極118の両側には、ゲート側壁124が形成される。

[0073] n 型ディープ領域110は、 n 型エクステンション領域108よりも p 型ウェル領域102との接合深さが深くなるように構成される。 n 型エクステンション領域108及び n 型ディープ領域110は、 n チャネルMISトランジスタのソース・ドレイン領域となる。

[0074] 同様に、 p チャネルMISトランジスタの構成としては、 n 型ウェル領域

１０４内に、電流通路となる領域（チャネル領域）のゲート長方向両側に一对のｐ型エクステンション領域１１２が形成され、これらの外側に一对のｐ型ディープ領域１１４が形成される。ｎ型ウェル領域１０４の上部表面には、一对のｐ型エクステンション領域１１２、１１２のゲート長方向内側の端部にかかるようにしてチャネル領域上にゲート絶縁膜１２０が形成される。ゲート絶縁膜１２０の上部表面には、ゲート電極１２２が積層形成される。ゲート絶縁膜１２０及びゲート電極１２２の両側には、ゲート側壁絶縁膜１２６が形成される。

[0075] ｐ型ディープ領域１１４は、ｐ型エクステンション領域１１２よりもｎ型ウェル領域１０４との接合深さが深くなるように構成される。ｐ型エクステンション領域１１２及びｐ型ディープ領域１１４は、ｐチャネルＭＩＳトランジスタのソース・ドレイン領域となる。

[0076] ｎチャネルＭＩＳトランジスタ及びｐチャネルＭＩＳトランジスタは、層間絶縁膜１３０によって覆われている。

[0077] 本実施形態において、ｎ型エクステンション領域１０８、ｎ型ディープ領域１１０のどちらか、あるいは両方は、前述の実施形態により形成されたものであり、ｐ型ドーパントを含んでいる。尚、このｐ型ドーパントは、ｐ型エクステンション領域１１２、ｐ型ディープ領域１１４に含まれているｐ型ドーパントと同じものにすることも可能である。

[0078] 次に、図１７を参照して上記のＣＭＩＳＦＥＴの製造方法について説明する。まず、基板１００の主表面上に素子分離層１０６を形成する。基板は、Ｇｅ基板や、Ｓｉ基板や、Ｓｉ基板の上にＧｅ層を形成したものや、Ｓｉ基板上にＳｉＧｅ層の中間層を挟みＧｅ層を形成したものであってよい。素子分離層１０６の形成方法は、局所酸化法や、ＳＴＩ（Shallow Trench Isolation）法であってもよく、素子分離層１０６の形状は、メサ型でもよい。素子分離層１０６を形成した後、ｐ型ウェル領域１０２及びｎ型ウェル領域１０４を形成する。ｐ型ウェル領域１０２及びｎ型ウェル領域１０４の形成には、Ｇｅ層に対する通常のイオン注入法を用いてもよいし、Ｇｅ層をエピタキ

シャル成長させた後にイオン注入を行ってもよい。

[0079] 次に、p型ウェル領域102及びn型ウェル領域104の上部表面にゲート絶縁膜116及び120を形成する。ゲート絶縁膜116及び120の形成方法については、例えば、Ge酸化物膜を熱酸化法で形成してもよく、Ge酸窒化膜をプラズマ酸窒化法で形成してもよく、Hf、Zr、La、Y、Alなどから選ばれる金属元素を含む酸化物からなる高誘電率膜をCVD（Chemical Vapor Deposition：化学気相蒸着）法で堆積させてもよい。その後、既存の成膜技術を用いて、ゲート絶縁膜116及び120の上部表面にゲート電極118及び122となる単層または多層の導電膜を形成する。ここでは、一例として次の手法を用いる。ゲート電極118（nチャネルMISトランジスタ用）にタンタルカーバイドを、ゲート電極122（pチャネルMISトランジスタ用）にタングステンを、PVD（Physical Vapor deposition：物理気相蒸着）により10nm成膜する。その後、その上部表面にチタンナイトライドをPVDにより10nm成膜する。さらにその後、その上部表面に多結晶Si層を減圧CVD法により50nm成膜する。

[0080] ゲート電極118（nチャネルMISトランジスタ用）には、タンタルシリサイド、窒化タンタルシリサイド、窒化チタンシリサイド、タングステンシリサイド、窒化タングステンシリサイド等を用いることができる。また、ゲート電極122（pチャネルMISトランジスタ用）には、ルテニウム、窒化チタン、窒化チタンアルミニウム、白金、白金イリジウム等を用いることができる。

[0081] その後、フォトリソグラフィ技術によるパターニングを行い、異方性エッチングにより不要な膜を削除し、ゲート電極118及び122を形成する。その後、例えば、前述の実施形態による方法を用いて、側壁絶縁膜124、n型エクステンション領域108、n型ディープ領域110を形成する。

[0082] 次に、自己整合ゲート方式により、pチャネルMISトランジスタのソース・ドレイン領域を形成する。ここで、「自己整合ゲート方法」とは、まずゲート積層を形成し、その後イオン注入等によってソース・ドレイン領域を

形成する、という手法である。すなわち、ゲート電極 122 を傘として用いてボロン (B) のイオン注入を行い、p チャネル型 MIS トランジスタの p 型エクステンション領域 112 を形成する。その後、ゲート電極 122 とソース・ドレイン領域 (p 型エクステンション領域 112 及び p 型ディープ領域 114) の間の絶縁のための側壁絶縁膜 124 を形成する。その後、p 型エクステンション領域 112 を作製した場合よりも大きな加速電圧によりボロン (B) のイオン注入を行い、p 型ディープ領域 114 を形成する。

[0083] ソース・ドレイン領域 (n 型エクステンション領域 108、n 型ディープ領域 110、p 型エクステンション領域 112、及び p 型ディープ領域 114) の活性化プロセス温度としては、ゲート積層部 (ゲート絶縁膜 116、ゲート電極 118、ゲート絶縁膜 120、及びゲート電極 122) 及びソース・ドレイン領域の np 接合部の特性を劣化させない温度が望ましく、例えば 600°C とすることができる。

[0084] また、ソース・ドレイン領域の活性化処理方法としては、フラッシュランプアニール、レーザアニール等を用いることもできる。これらによれば、より短時間の処理で半導体中の不純物の活性化を実現できるため、ゲート電極 118、122 / ゲート絶縁膜 116、120 / 半導体 (p 型ウェル領域 102、n 型ウェル領域 104、n 型エクステンション領域 108、n 型ディープ領域 110、p 型エクステンション領域 112、及び p 型ディープ領域 114) の構造を有する半導体装置の熱による劣化を低減することができる。

[0085] その後、減圧 CVD により層間絶縁膜 130 となる Si 酸化膜を堆積し、CMP (Chemical Mechanical Planarization: 化学機械平坦化) によりゲート電極 118 及び 122 の上端を露出させる。その後、スパッタ法等によりゲート電極 118 及び 122 の上面にニッケル層を 50 nm 成膜する。その後、500°C の低温熱処理を行うことによって、ニッケルと多結晶 Si との界面領域からシリサイドが形成され、Ni₂Si が形成される。ここで、本実施形態においては多結晶 Si が全てシリサイドへと変換されているが、Ni

の膜厚をより薄くすることによって多結晶Siの一部だけをシリサイド化してもよい。その後、硫酸と過酸化水素水との混合溶液等を用いて未反応のNiを除去する。

[0086] 以上説明した製造方法により、図37に表す構造のCMOSFET半導体装置が作製される。p型ドーパントの濃度および分布を制御することによって、極浅く、かつ高濃度キャリア密度を有するn型ソース・ドレイン領域（n型エクステンション領域108及びn型ディープ領域110）を形成することができる。この結果、微細Geチャネル半導体装置において、短チャネル効果を抑制するとともに寄生抵抗を少なくすることが可能となり、電流駆動力が高くなる。

[0087] （第6の実施形態）

図38は、第6の実施形態に係るFinMISFETの模式的斜視図である。本実施形態は、前述の n^+Ge/pGe 構造をFinMISFETに応用した例である。より詳細には、図38において、208は支持基板、209は絶縁層、210はGe層であり、208～210でGOI（Germanium on Insulator）基板211を形成している。GOI層210を加工して線状（直方体状）の素子領域202が形成されている。素子領域202の中央部分には、ゲート絶縁膜203を介してゲート電極204が形成されている。ゲート電極204を挟む素子領域202の部分がソース・ドレイン領域205となる。

[0088] 次に、本実施形態のFinMISFETの製造方法を説明する。まず図39に示すように、GOI層210に対し、例えばBイオンを 100keV 、 $2.0 \times 10^{12}\text{cm}^{-2}$ で注入し、その後に、例えば 500°C 、30秒の熱工程を施す。続いて、例えばRIE法（反応性イオンエッチング法）等の異方性エッチングを施す事により、素子領域202以外の領域のGOI層210を除去し、素子領域202を形成する。

[0089] 次に図39に示すように、例えばCVD法（化学的気相成長法）等の方法を用いることにより、例えば厚さ 5nm の HfO_2 膜212を形成する。次に

、図40に示すように、 HfO_2 膜212の上に、例えばCVD法により、例えば厚さ100nmの、例えばタングステン等の高融点金属膜を堆積し、例えばRIE法等の異方性エッチングを施すことにより、高融点金属膜を加工してゲート電極204を形成する。続いて、例えばRIE法等の異方性エッチングを施すことにより、 HfO_2 膜212を加工して、ゲート絶縁膜203を形成する。

[0090] 次に、第1の実施形態と同様に、例えば、Bを基板上方より全面に注入し、続いてPを注入する。PとBの注入の順序は逆でも良い。またこのとき、P注入の後にRIE法等によってゲート電極204、ゲート絶縁膜212をさらに細く加工してもよい。その後にBを注入すれば、GOI層210のチャネル側にBだけを導入できる。そして熱工程により n^+Ge からなるソース・ドレイン領域5を形成すれば、MOSFETが形成される。このようにすれば、表面を高キャリア濃度の n^+Ge にすることができ、またPの拡散を抑制できるので、チャネル領域への横方向への拡散も抑制できる。以後は通常の層間絶縁膜形成工程、配線孔開孔工程、配線工程等を経て半導体装置が形成される。

[0091] 本実施形態によれば、 n^+Ge からなるソース・ドレイン領域5を極浅かつ高キャリア濃度に形成することができ、高性能のFinMISFETを提供することができる。

[0092] (第7の実施形態)

第7の実施形態では、浅いn型拡散層を形成する別の方法について説明する。ここまでn型拡散層を浅くする方法として、p型不純物(B)を基板内部に導入する方法を示した。p型不純物によってn型不純物の基板奥側(内方)への拡散を抑制する。つまり、n型不純物(P)の内方への拡散を抑えようとだけ考えた。そのとき、基板表面から雰囲気中への不純物の拡散(外方拡散)は全く起こらない状況を設定した。外方拡散が起こると不純物のドーズを損失することになり、表面を高キャリア濃度にする目的とは相反しているため、これを抑えようとすることは通常のプロセスでは当然のことである。

る。しかしながら、内方への拡散を抑えようと考えたとき、むしろ積極的に外方拡散させた方がよいことが本発明での検討により明らかとなった。

[0093] 図4-1は、Ge中Pの不純物プロファイルであり、外方拡散を生じ、またその外方拡散の最大量が後述する何らかの方法によって制御された場合である。尚、表面に外方拡散を妨げるものが何もなく、真空へ外方拡散する場合が外方拡散量の上限と考える。図2とは外方拡散の有無が異なるだけで、その他はすべて同じ条件である。本発明において、外方拡散を表す物理量を、単位時間・単位面積あたりに基板最表面から外方へ放出される不純物の原子数と定義した。そのとき、(3)式は(6)式のように変更される。

[数3]

$$\frac{\partial C_S^+}{\partial t} = \frac{\partial}{\partial x} \left[D_{\text{eff}}(n) \frac{\partial C_S^+}{\partial x} \right] - J_{\text{out}}(x) \delta(x) \quad (6)$$

[0094] ここで、

[数4]

$$J_{\text{out}}(x) \doteq J \quad J < -D_{\text{eff}}(n) \frac{\partial C_S^+}{\partial x} \bigg|_{x=0}$$

$$J_{\text{out}}(x) \doteq -D_{\text{eff}}(n) \frac{\partial C_S^+}{\partial x} \bigg|_{x=0} \quad (> 0) \quad J > -D_{\text{eff}}(n) \frac{\partial C_S^+}{\partial x} \bigg|_{x=0}$$

[0095] と定義した。J (cm⁻² s⁻¹) は、外方拡散の最大量を決めるものであり、表面の濃度が高い場合には、表面でJだけが外方拡散し、表面濃度が低い場合には、Jよりも少ない量が外方拡散する。

[0096] 図4-1では、J = 1 × 10¹⁵ cm⁻² s⁻¹である。これからわかるように、外方拡散がない場合(図1)と同様に、最初は大きく拡散し、徐々にゆっくりになりながら拡散していく。しかし、外方拡散がある場合には、その拡散速度は、無い場合に較べて相対的にゆっくりである。熱処理前に濃度が1 × 10¹⁹ cm⁻³の位置はRpから3.5 nmであり、0.1秒後は12.7 nm

mまで広がり、0.2秒後では15.1nm、0.3秒後では16.6nmと広がり、1秒後では21.6nmまで拡散する。

[0097] 外方拡散がある場合には、無い場合に較べて、表面側の濃度が減少していくことが特徴的である。最表面において存在する不純物が表面の外側に抜けていくからである。この場合の外方拡散 J は、 $1 \times 10^{15} \text{ cm}^{-2} \text{ s}^{-1}$ である。最初は最表面と基板奥での不純物濃度が高いため、 J と同じ量の不純物が抜けていく。そのため、最初は表面での不純物濃度の減少が速い。しかし、時間が経過するに従って、不純物の内方への拡散も進み、最表面と基板奥での不純物濃度が低下する。すると、最表面では J よりも少ない量しか外方拡散できなくなるため、最表面での濃度の減少する速度も遅くなる。つまり、外方拡散は、内方への拡散の影響も受けている。内方への拡散が少なければ外方拡散は多くなり、反対に内方への拡散が多ければ外方への拡散は少なくなる。

[0098] 図42は、外方拡散無しの場合（図2）と有りの場合（図41）の P の拡散距離を比較したものである。濃度が $1 \times 10^{19} \text{ cm}^{-3}$ の場合の、同じ拡散時間におけるそれぞれの内方拡散距離（ R_p を原点に取ったときの深さ）をプロットした。図から明らかなように、外方拡散を起こすことによって内方への拡散距離が短くなっており、それは距離が大きくなるほど、言い換えれば拡散時間が長くなるほど、その差は大きくなっていく。このように、外方拡散をあえて起こすことによって、外方拡散を抑えた場合に較べて、内方拡散が抑えられることがわかる。

[0099] 図43は、図41と同じ条件のものであり、その電子濃度プロファイルを示したものである。図3と同様に、この場合には n 型ドーパントしかないため、電子濃度は、773Kにおける真性キャリア濃度 n_i 以上（ $> 7 \times 10^{17} \text{ cm}^{-3}$ ）で不純物濃度と一致している。このように、表面から26.6nmが n^+Ge となっており、外方拡散無しの場合に較べて、浅い n^+Ge 層が形成できることがわかる。

[0100] （第8の実施形態）

この外方拡散による内方拡散抑制の効果は、本発明のp型不純物によってn型不純物の拡散を抑制する効果と一緒に用いれば、単なる組み合わせ以上の効果があり、さらに効果的である。ここでは、Ge基板にn型不純物と共にp型不純物も同時に存在して、外方拡散がある場合と無い場合を比較した場合に、n型不純物の拡散にどのような違いが現れるかを示す。

[0101] 図44は、n型不純物Pとp型不純物Bが共存している場合で、外方拡散がない場合である。図2の場合に加えて、BがGe基板の表面から7.5～17.5nmまでの深さに存在している。ここでは、PがBの分布している領域を大きく超えて拡散する場合を示した。前述したように、n型不純物の拡散が、p型不純物が分布している領域を超えてしまっても、p型不純物が無い場合に較べれば、内方への拡散が極めて効果的に抑制できる。

[0102] 図45は、B無しの場合（図2）と有りの場合（図44）のPの拡散距離を比較したものであり、どちらも外方拡散が無い場合である。濃度が $1 \times 10^{19} \text{ cm}^{-3}$ の場合の、同じ拡散時間におけるそれぞれの拡散距離（ R_p を原点に取ったときの深さ）をプロットした。図から明らかなように、PがBの分布している領域を大きく超えても、Bが無い場合に較べて拡散距離が短くなっている。

[0103] 図46は、図44と同じ条件のものであり、その電子濃度プロファイルを示したものである。前述したものと同様に、全体が $n^+ \text{ Ge}$ になっていることがわかる。

[0104] （第9の実施形態）

Ge基板中にBが存在し、さらに外方拡散がある場合の不純物プロファイルを示したものが図47である。外方拡散量Jは $1 \times 10^{15} \text{ cm}^{-2} \text{ s}^{-1}$ である。これからわかるように、拡散の振る舞いは、外方拡散がない場合（図1）やBが内在する場合（図44）と大きく異なっている。この場合には、外方と内方への拡散が同時に起こる。内方へ拡散するPはBが存在する領域で拡散速度が遅くなる。外方拡散がない場合には、表面からPが外に抜けられないので、いわば内方へ跳ね返されることになる。そのため、図44の場合

にはBの存在する領域を多くのPが通り抜け、基板の内方へ拡散した。

[0105] 一方、図47の場合には、PはBの存在する領域をゆっくり拡散すると同時に、表面に向かい、表面から外側に抜け出すことができる。つまり、基板奥へ拡散しすぎないように表面から外方拡散させることにより、Bによる拡散抑制の効果を利用して内方への拡散を抑制することができる。熱処理前に濃度が $1 \times 10^{19} \text{ cm}^{-3}$ の位置はRpから3.5 nmであり、0.1秒後は8.9 nmまで広がり、0.2秒後では10.3 nm、0.3秒後では11.0 nmと広がり、1秒後では12.2 nmまで拡散する。

[0106] 図48は、Ge基板中にBが存在し、さらに外方拡散無しの場合（図44）と有りの場合（図47）のPの拡散距離を比較したものである。濃度が $1 \times 10^{19} \text{ cm}^{-3}$ の場合の、同じ拡散時間におけるそれぞれの内方拡散距離（Rpを原点に取ったときの深さ）をプロットした。図から明らかなように、外方拡散を起こすことによって内方への拡散距離が短くなっており、それは距離が大きくなるほど、言い換えれば拡散時間が長くなるほど、その差は大きくなっていく。このように、外方拡散をあえて起こすことによって、外方拡散を抑えた場合に較べて、内方拡散が抑えられることがわかる。

[0107] 図49は、図47と同じ条件のものであり、その電子濃度プロファイルを示したものである。BがGe基板の表面から7.5～17.5 nmの範囲に、 $2.5 \times 10^{20} \text{ cm}^{-3}$ という高濃度で存在しているため、熱処理前の状態でP濃度がB濃度より低い場所では、電子濃度は $2.8 \times 10^{15} \text{ cm}^{-3}$ になる。（4）式からわかるように実効拡散係数は電子濃度の自乗に比例しているため、電子濃度が低いほど拡散が遅くなる。またこの場合には、外方へ向かう方が電子濃度が高いため拡散が速い。図46の場合とは異なり、外方拡散があるため、Bのある領域を大幅に超えることがない。

[0108] 外方拡散するとドーズを損失することになるが、それ以上に500℃以上の熱処理をしても内部への拡散が抑えられる利点の方が遙かに大きい。n型不純物を導入したあとは、不純物の電気的活性化をさせなければならないので、高温での熱処理が必要になる。高温での熱処理を行うと拡散が速くなり

、 n^+Ge 層が深くなる。制御して外方拡散を起こせば、高温の熱処理を行っても、内方への拡散が遅くなるため、浅い n^+Ge 層が形成できる。

[0109] (第10の実施形態)

ここでは、 n 型不純物層の形成方法の実施形態を図50～53を参照して説明する。まず、 p 型 Ge 基板1の表面を、例えば、 HF や HCl などのハロゲン酸により前処理する。そして、通常はイオン注入前に形成する保護膜などは形成せず、表面に何も形成しない状態で p 型 Ge 基板1に P をイオン注入する(図50)。すると、 p 型 Ge 基板1の表面付近に P の高濃度層3が形成される(図51)。続いて、この基板を熱処理すると、 P の内方への拡散と外方への拡散が起きる(図52)。本発明の効果により、イオン注入したドーズよりは低くなるが、浅くて高濃度の n^+Ge 層が形成される(図53)。ここでは、表面の前処理などを行い、表面に何も形成していない状態にしてからイオン注入し、外方拡散を起こす例を示した。表面に保護膜などがある状態でイオン注入し、その後に表面の前処理などを行い、表面に何も形成していない状態にして、外方拡散を起こしても良い。

[0110] (第11の実施形態)

続いて、 n 型不純物層の他の形成方法の実施形態を図54～57を参照して説明する。まず、 p 型 Ge 基板1の表面に P イオン注入する(図54)。このとき、表面に保護膜があってもなくても構わない。続いて、 Ge 表面に SiO_x 薄膜20を CVD などの方法により堆積する。なお、イオン注入する前に形成しても構わない。そして、 p 型 Ge 基板に P をイオン注入する(図55)。続いて、この基板を熱処理すると、 P の内方への拡散と外方への拡散が起きる(図56)。このとき、 Ge 基板表面には SiO_x 薄膜があるため、 SiO_x 薄膜が無い場合と較べて外方拡散量を少なくすることができる。またその膜厚を調整することにより外方拡散量も制御できる。その膜厚は、 $0\sim 3\text{ nm}$ の範囲であることが望ましい。熱処理後、 HF 処理などのハロゲン酸前処理により SiO_x を Ge 基板表面から除去する(図57)。

[0111] こうして、浅くて高濃度の電子濃度からなる n^+Ge 層7が形成できる。尚

、ここでは SiO_x を通してすべてが外方拡散する例について示したが、 SiO_x 中や SiO_x/Ge 界面に一部、あるいはすべてPをトラップさせても良い。 SiO_x が、例えばポーラスである場合、Pは膜の中により取り込むことができる。 SiO_x が除去しきれずに、基板表面付近にSiやOが残っていても問題ない。コンタクトのメタルがGe基板表面の電荷中性準位 (charge neutrality level) にピンニング (pinning) される影響が低くなるため、むしろSiやOは残った方がよい。

[0112] 以上、 SiO_x 薄膜を用いて説明したが、これに代えて、 GeO_x 薄膜を用いてもよい。 GeO_x 薄膜の場合、Pをイオン注入した後に、Ge基板表面に、 GeO_x 薄膜22を堆積、あるいは酸素雰囲気中で成膜する。Geは GeO の形態で脱離する性質があるが、高圧の酸素雰囲気では脱離が抑えられるので、 GeO_x の成膜や膜厚の維持が可能である。

[0113] 続いて、この基板を熱処理すると、Pの内方への拡散と外方への拡散が起きる。このとき、 SiO_x 薄膜の場合と同じように、Ge基板表面には GeO_x 薄膜があるため、 GeO_x 薄膜が無い場合と較べて外方拡散量を少なくすることができる。またその膜厚を調整することにより外方拡散量も制御できる。その膜厚は、0～3 nmの範囲であることが望ましい。

[0114] 熱処理後、HF処理などのハロゲン酸前処理により GeO_x をGe基板表面から除去する。あるいは、酸素雰囲気からそれ以外の雰囲気中、例えば窒素雰囲気や真空中で熱処理して、 GeO_x 層を脱離させる。こうして、浅くて高濃度の電子濃度からなる $n^+\text{Ge}$ 層が形成できる。

[0115] なお、ここでは GeO_x を通してすべてが外方拡散する例について示したが、 GeO_x 中や GeO_x/Ge 界面に一部、あるいはすべてPをトラップさせても良い。 GeO_x が、例えばポーラスである場合、Pは膜の中により取り込むことができる。また、Ge表面をプラズマ酸化すれば、 GeO_x が形成されると同時に、Ge基板の表面付近に空孔が形成される。拡散係数は空孔の数が増えると大きくなるため、外方拡散が促進される。さらに表面が負に帯電していれば、拡散メカニズムにより、負に帯電した空孔が多く増え

るため、外方拡散が促進される。

[0116] 外方拡散を抑制する膜は、熱処理中常に存在する必要がない。例えば、それらの膜は、熱処理の最初は存在していなくて途中で形成しても良いし、熱処理の最初に存在していて途中で無くしても良い。例えば、 GeO_x の場合、常に熱処理中に GeO_x 層が表面に存在したが、そうでなくても良い。熱処理の最初の段階では、酸素の圧力を、例えば70気圧の高圧雰囲気で行う。すると、 GeO_x 層の脱離が起こらず、成長させることもできる。そして、熱処理の途中で圧力を下げ、例えば、酸素やそれ以外の雰囲気で常圧あるいは真空にすると GeO の脱離が起きるので、 GeO_x 層の除去が可能になる。あるいは、熱処理の最初の段階では、酸素やそれ以外の雰囲気で常圧あるいは真空にすると、表面に何もない状態にすることができる。そして、酸素の圧力が、例えば70気圧の高圧の雰囲気で行う。すると、 GeO_x 層の脱離が起こらないので、表面に GeO_x 層を形成することができる。

[0117] 以上、 SiO_x と GeO_x についての例を示したが、外方拡散の効果があれば他の膜でも良い。例えば、 SiON や SiGeO 、 GeON 、 HfO_x 、 LaO_x 、 AlO_x 、 TiO_x 、 TaO_x 、 ZrO_x などの薄膜の絶縁体でも良いし、 Si 、 SiGe などの半導体薄膜でも良い。これらが $n^+\text{Ge}$ 基板表面付近に残っていても良い。なお、上記膜の構成元素の構成比は、 x を用いて表示していない場合においても任意である。

[0118] (第12の実施形態)

続いて、 n 型不純物層の他の形成方法の実施形態を図58～62を参照して説明する。まず、 p 型 Ge 基板1の表面に P をイオン注入する(図58)。そして、 Ge 基板表面に、 Ni 薄膜24を堆積する(図59)。尚、 Ni 薄膜を形成してから P をイオン注入しても良い。続いて、この基板を熱処理すると、 P の内方への拡散と外方への拡散が起きる(図60)。

[0119] このとき、 Ge 基板1の表面には Ni 薄膜があるため、 NiGe 層26が形成されると共に、 Ni 薄膜が無い場合と較べて外方拡散量を少なくするこ

とができる。またその膜厚を調整することにより外方拡散量も制御できる。薄い方がよいため、熱処理前のNi層24の厚さ T_{Ni} は、 $0 < T_{Ni} < 5 \text{ nm}$ 、形成されたNiGe層26の厚さ T_{NiGe} は $0 < T_{NiGe} < 10 \text{ nm}$ の範囲を満たすことが望ましい（図61）。熱処理後、未反応のNiを例えばHClなどで除去する（図62）。

[0120] こうして、浅くて濃度の電子濃度からなる n^+ Ge層が形成できる。尚、NiGeが存在する領域にPが存在していても良い。また、Niについての実施例を示したが、Geと低温で反応し、低い抵抗率を持てばよい。そのような材料として、 $150 \sim 360^\circ\text{C}$ で反応し、 $22 \sim 129 \mu\Omega\text{cm}$ の低抵抗な相を持つFe, Co, Pd, Pt, Cuなどがある（S. Gaudet et al., International SiGe Technology and Devices Meeting, 18 (2006); J. Appl. Phys. 100, 034306 (2006). 参照）。これらの一つ以上を用いても良い。

[0121] なお実施形態を通じ、 n 型不純物としてPを例に取ったが、他のものでも良く、例えば、As, Sb, Biなどの一つ以上であっても良い。 p 型不純物も同様であり、他のものでも良く、例えば、B, Al, Ga, Inなどの一つ以上であっても良い。また本発明ではBが拡散しない温度773 Kを想定したが、Pよりも拡散が遅ければBが拡散する高い温度でも効果があるし、もちろん低い温度でも効果があり、温度には制限がない。不純物を導入する方法として、CVD、イオン注入の例を示したが、その他の方法でも構わない。

[0122] 基板としてGe主成分とする p 型半導体を例に取り説明したが、 n 型半導体でもよく、あるいは化合物半導体などの他の半導体でも構わない。その半導体にとって n 型不純物となるものが、本発明で説明したGeにおける n 型不純物の拡散メカニズムと同様に、空孔とペアになり、それが電荷を帯びているのならば、その電荷を打ち消す p 型不純物を本発明と同様に用いれば、本発明と同様の効果があり、 n 型不純物の拡散が抑制され、極浅かつ高キャリア濃度の n 型不純物領域が形成できる。

[0123] また半導体として、Ge主成分とする半導体を例に取り示したが、化合物

半導体でも構わない。化合物半導体としては、例えば、Ⅲ-Ⅴ族半導体があり、GaAs、InP、InSb、GaN、InGaAsなどがある。GaAsにおいてp型ドーパントは、例えばZn、n型ドーパントは、例えばSiが用いられる。GaAs中でのZnの拡散は、次の化学平衡で表されるキックアウト (kick-out) メカニズムによって説明される (例えば、H. Bracht et al., Physica B, 308, 831 (2001) 参照)。



ここで、 Zn^{+i} は格子間 (interstitial) のZn、 $\text{Zn}^{-\text{Ga}}$ はGaのサイトを占めるZn、 $\text{I}^{2+\text{Ga}}$ はセルフインタースティシヤル (self-interstitial) のGaである。 Zn^{+i} は格子間を拡散し、Gaが格子間にキックアウトされて ($\text{I}^{2+\text{Ga}}$)、Gaのサイトが空いたところにZnが入り込む ($\text{Zn}^{-\text{Ga}}$)。Znが 10^{20} cm^{-3} を超える高濃度では、キンクアンドテイル (kink-and-tail) メカニズムに従うという報告もあるが、いずれにしても、p型ドーパントとして働くZnの拡散を防ぐためには、電荷を補償、つまり打ち消すように、n型ドーパントとして働くSiを導入してやればよい。Znの拡散係数は大きいので、拡散係数の小さいSiと組み合わせれば、本発明の効果によって、最初はZnの拡散をSiによって抑え、最終的には浅くて高キャリア濃度の p^{+}GaAs が形成できる。

[0125] また、p型不純物層はGe基板の内奥側に形成した場合を述べたが、p型半導体基板の表面側にp型不純物層を形成して、熱処理の際におけるn型不純物の外方拡散、すなわち表面から外側への拡散を抑制するバリア層としても用いることができる。このとき、p型不純物層は、p型不純物を含むGeでも良いし、Siでもよく、あるいは SiO_2 などでも構わない。熱処理後、p型不純物層は除去しても良い。

[0126] さらにp型不純物層は、n型不純物の基板内奥側への拡散抑制だけでなく、チャネルのある横方向への拡散を抑えるように形成しても良い。その場合には、n型不純物拡散層のチャネル側にp型不純物が含まれることになる。また素子分離の方向へn型不純物が抜けて不純物濃度が低下するのを防ぐよ

うに p 型不純物を用いても良い。その場合には、n 型不純物拡散層は、素子分離側に p 型不純物を含む構造になる。このように p 型不純物は、n 型不純物の拡散を防ぐ方向に形成し、拡散を抑制した後、n 型不純物に補償させて、 n^+Ge だけが形成されるように用いることができる。

[0127] また、今までの説明を、n と p とを反対に置き換え、正負の符号を逆にとれば、 n^+ 層形成に限らず、 p^+ 層形成にも適用できる。n 型不純物が p 型不純物よりも拡散が速ければ、p 型不純物は n 型不純物の拡散抑制に利用できるし、反対に p 型不純物が n 型不純物よりも拡散が速ければ、n 型不純物は p 型不純物の拡散抑制に利用できるからである。つまり、拡散の遅い不純物を利用して、拡散の速い不純物の拡散を抑制することで、拡散の速い不純物からなる浅くて高キャリア濃度の不純物拡散層の形成が可能になる。

[0128] 以上、具体例を参照しつつ本発明の実施形態について説明した。しかし、本発明はこれらの具体例に限定されるものではない。すなわち、これら具体例に、当業者が適宜設計変更を加えたものも、本発明の特徴を備えている限り、本発明の範囲に包含される。例えば、前述した各具体例が備える各要素およびその配置、材料、条件、形状、サイズなどは、例示したものに限定されるわけではなく適宜変更することができる。

[0129] また、前述した実施形態は、技術的に可能な限りにおいて組み合わせることができ、これらを組み合わせたものも本発明の特徴を含む限り本発明の範囲に包含される。

符号の説明

[0130] 1…p 型 Ge 基板、2…高濃度の B が存在する Ge 層、3…高濃度の P が存在する Ge 層
 4…高濃度の P と B が共存する Ge 層、5…p 型不純物を含む n^+Ge 層、6… p^+Ge 層、
 7… n^+Ge 層、8…p 型不純物を含む n^+Ge 層、10…p 型半導体層、12…ゲート絶縁層、14…ゲート電極、16…コンタクト電極、18…n 型不純物拡散領域、20… SiO_x 薄膜、22… GeO_x 薄膜、24…Ni 層

、 2 6 … N i G e 層、 1 0 0 … 基板、 1 0 2 … p 型ウェル領域、 1 0 4 … n 型ウェル領域、 1 0 6 … 素子分離層、 1 0 8 … n 型エクステンション領域、 1 1 0 … n 型ディープ領域、 1 1 2 … p 型エクステンション領域、 1 1 4 … p 型ディープ領域、 1 1 6 … ゲート絶縁膜、 1 1 8 … ゲート電極、 1 2 0 … ゲート絶縁膜、 1 2 2 … ゲート電極、 1 2 4 、 1 2 6 … ゲート側壁絶縁膜、 1 3 0 … 層間絶縁膜、 2 0 2 … 素子（半導体）領域、 2 0 3 … ゲート絶縁膜、 2 0 4 … ゲート電極、 2 0 5 … ソース・ドレイン領域、 2 0 8 … 支持基板、 2 0 9 … 埋め込み絶縁層、 2 1 0 … G e 層、 2 1 1 … G O I 基板、 2 1 2 … H f O₂ 膜

請求の範囲

- [請求項1] n型とp型のうちの一方の導電型の半導体基板と、
前記半導体基板表面に選択的に設けられ、他方の導電型の一对の不純物拡散領域と、
前記一对の不純物拡散領域により挟まれた前記半導体基板上に設けられたゲート絶縁層と、
前記ゲート絶縁層の上に設けられたゲート電極と、
を備え、前記不純物拡散領域の少なくとも一部は、前記一方の導電型を有し、かつ前記基板の不純物濃度より高い不純物濃度を有していることを特徴とする半導体装置。
- [請求項2] 前記半導体基板はGeを主成分とするp型半導体からなる半導体層を前記表面に有し、前記一对の不純物拡散領域は前記半導体層に設けられたn型不純物拡散領域であり、前記n型不純物拡散領域の少なくとも一部は、前記p型半導体のp型不純物濃度よりも高いp型不純物濃度を有していることを特徴とする請求項1に記載の半導体装置。
- [請求項3] 前記n型不純物拡散領域に含有される前記p型不純物濃度は、前記n型拡散領域の表面側よりも内奥側において高いことを特徴とする請求項2に記載の半導体装置。
- [請求項4] Geを主成分とする半導体層の表面に、高濃度の不純物拡散領域を形成する方法であって、
前記半導体層の表面に、n型不純物およびp型不純物を導入する工程と、
前記n型不純物とp型不純物を導入後、熱処理して、前記半導体層内にn型不純物拡散領域を形成する工程と、
を含むことを特徴とする半導体装置の製造方法。
- [請求項5] 前記n型不純物およびp型不純物を導入する工程において、前記n型不純物は、前記p型不純物に比して、前記半導体層の表面側に形成することを特徴とする請求項4に記載の半導体装置の製造方法。

- [請求項6] 前記 n 型不純物および p 型不純物を導入する工程において、前記 n 型不純物を導入した後に、前記 p 型不純物を導入することを特徴とする請求項 4 に記載の半導体装置の製造方法。
- [請求項7] 前記 n 型不純物拡散領域に含有される前記 p 型不純物は、前記熱処理の温度における真性キャリア濃度よりも高いことを特徴とする請求項 4 に記載の半導体装置の製造方法。
- [請求項8] 前記半導体層は p 型不純物を含有し、前記 n 型不純物拡散領域の少なくとも一部は、前記半導体層の p 型不純物濃度よりも高い p 型不純物濃度を有することを特徴とする請求項 4 に記載の半導体装置の製造方法。
- [請求項9] 前記熱処理において、前記 n 型不純物が前記半導体層の外方に拡散することを特徴とする請求項 4 に記載の半導体装置の製造方法。
- [請求項10] 前記熱処理時に、前記半導体層の表面に Si, SiGe および Ge の何れかから選ばれた半導体、GeO, SiO, SiON, SiGeO, GeON, HfO_x, LaO_x, AlO_x, TiO_x, TaO_x および ZrO_x の何れかから選ばれた絶縁体、Ni, Fe, Co, Pd, Pt および Cu の何れかから選ばれた導電体のいずれかの薄膜が形成されていることを特徴とする請求項 4 に記載の半導体装置の製造方法。

補正された請求の範囲
[2010年6月15日 (15.06.2010) 国際事務局受理]

- [請求項 1] (補正後) Ge を主成分とする p 型半導体層と、
前記 p 型半導体層の表面に選択的に設けられ一対の n 型不純物拡散領域と、
前記一対の n 型不純物拡散領域により挟まれ前記 p 型半導体層上に設けられたゲート絶縁層と、
前記ゲート絶縁層の上に設けられたゲート電極と、
を備え、前記 n 型不純物拡散領域の少なくとも一部は、前記 p 型半導体層の p 型不純物濃度よりも高く、かつ前記 n 型不純物拡散領域の n 型不純物濃度よりも低い濃度の p 型不純物領域を有し、前記 p 型不純物領域は、前記 p 型半導体層の表面側から離間して設けられていることを特徴とする半導体装置。
- [請求項 2] (削除)
- [請求項 3] (削除)
- [請求項 4] (補正後) Ge を主成分とする半導体層の表面に、高濃度の n 型不純物拡散領域を形成する方法であって、
前記半導体層の表面に、n 型不純物および p 型不純物を導入する工程と、
前記 n 型不純物と p 型不純物を導入後、熱処理して、前記半導体層内に前記 n 型不純物拡散領域を形成する工程と、
を含み、
前記 n 型不純物および p 型不純物を導入する工程において、前記 n 型不純物を、前記 p 型不純物に比して、前記半導体層の表面側に導入することを特徴とする半導体装置の製造方法。
- [請求項 5] (削除)
- [請求項 6] 前記 n 型不純物および p 型不純物を導入する工程において、前記 n 型不純物を導入した後に、前記 p 型不純物を導入する

ことを特徴とする請求項 4 に記載の半導体装置の製造方法。

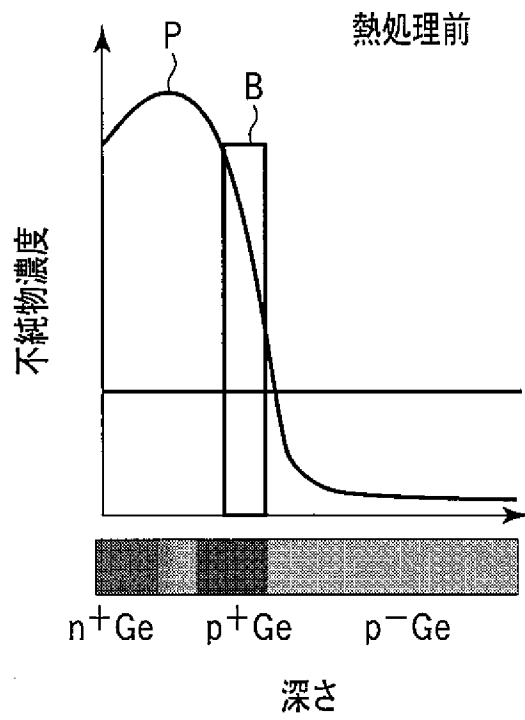
[請求項 7] 前記 n 型不純物拡散領域に含有される前記 p 型不純物は、前記熱処理の温度における真性キャリア濃度よりも高いことを特徴とする請求項 4 に記載の半導体装置の製造方法。

[請求項 8] 前記半導体層は p 型不純物を含有し、前記 n 型不純物拡散領域の少なくとも一部は、前記半導体層の p 型不純物濃度よりも高い p 型不純物濃度を有することを特徴とする請求項 4 に記載の半導体装置の製造方法。

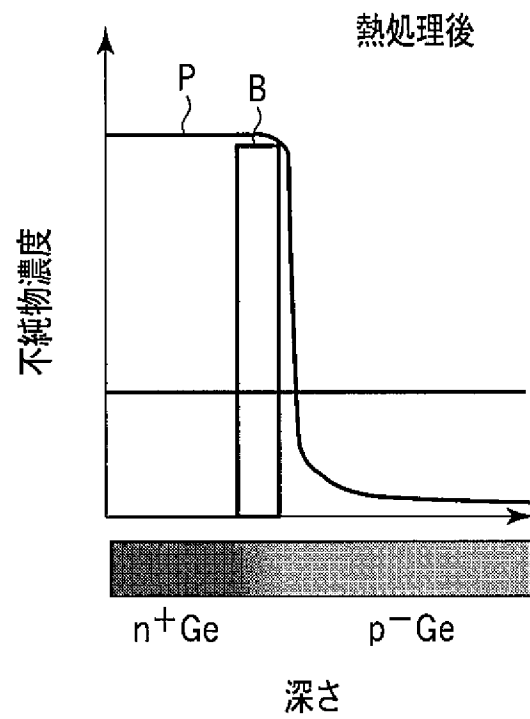
[請求項 9] 前記熱処理において、前記 n 型不純物が前記半導体層の外方に拡散することを特徴とする請求項 4 に記載の半導体装置の製造方法。

[請求項 10] 前記熱処理時に、前記半導体層の表面に Si, SiGe および Ge の何れかから選ばれた半導体、GeO, SiO, SiON, SiGeO, GeON, HfO_x, LaO_x, AlO_x, TiO_x, TaO_x および ZrO_x の何れかから選ばれた絶縁体、Ni, Fe, Co, Pd, Pt および Cu の何れかから選ばれた導電体のいずれかの薄膜が形成されていることを特徴とする請求項 4 に記載の半導体装置の製造方法。

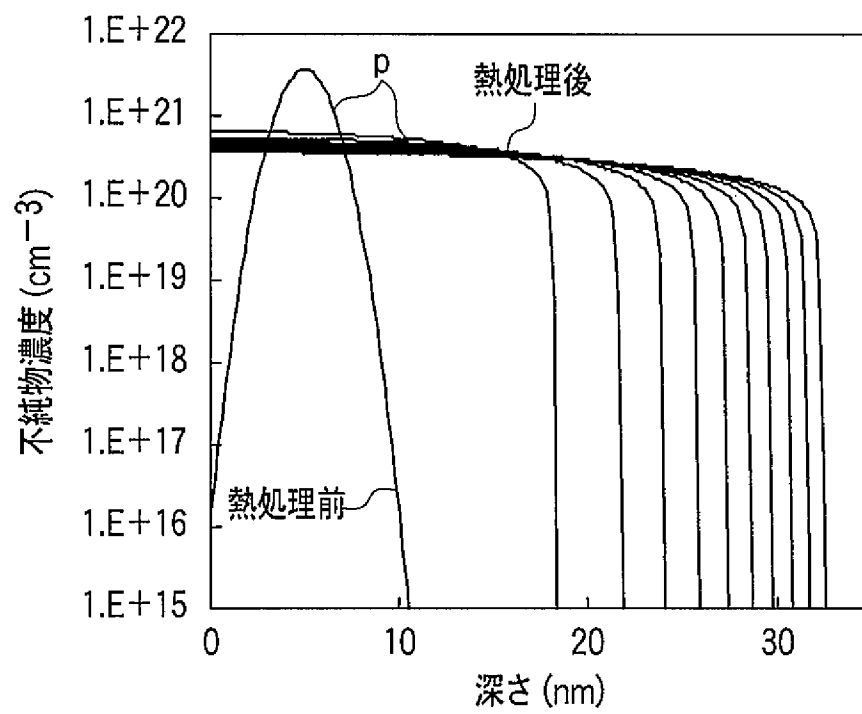
[図1A]



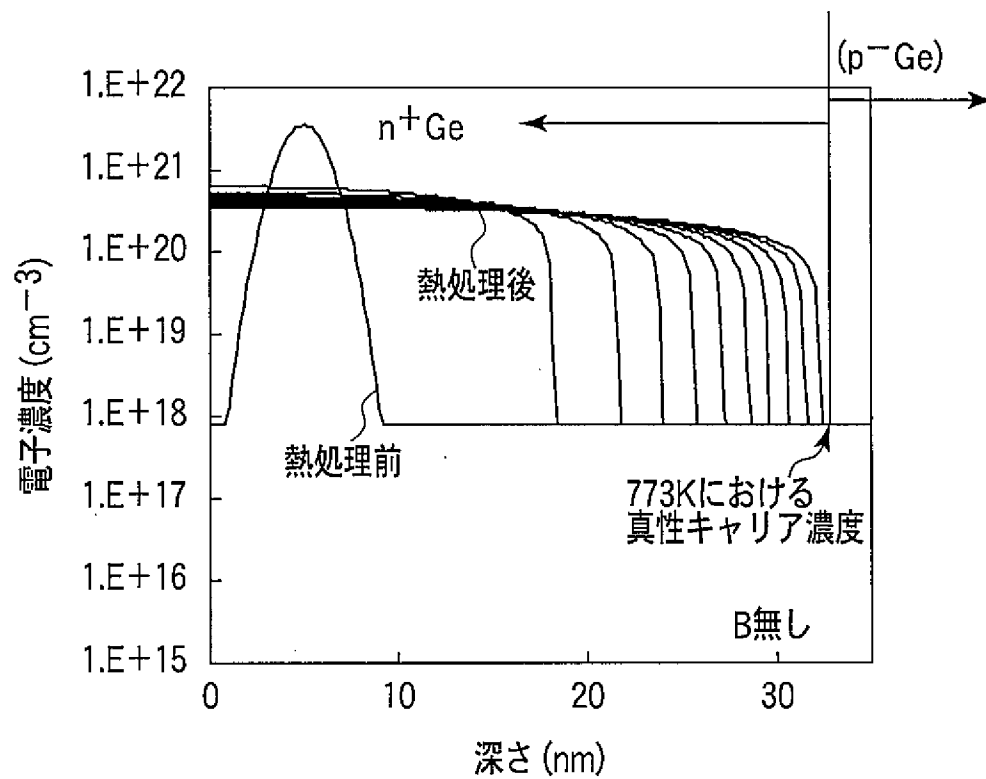
[図1B]



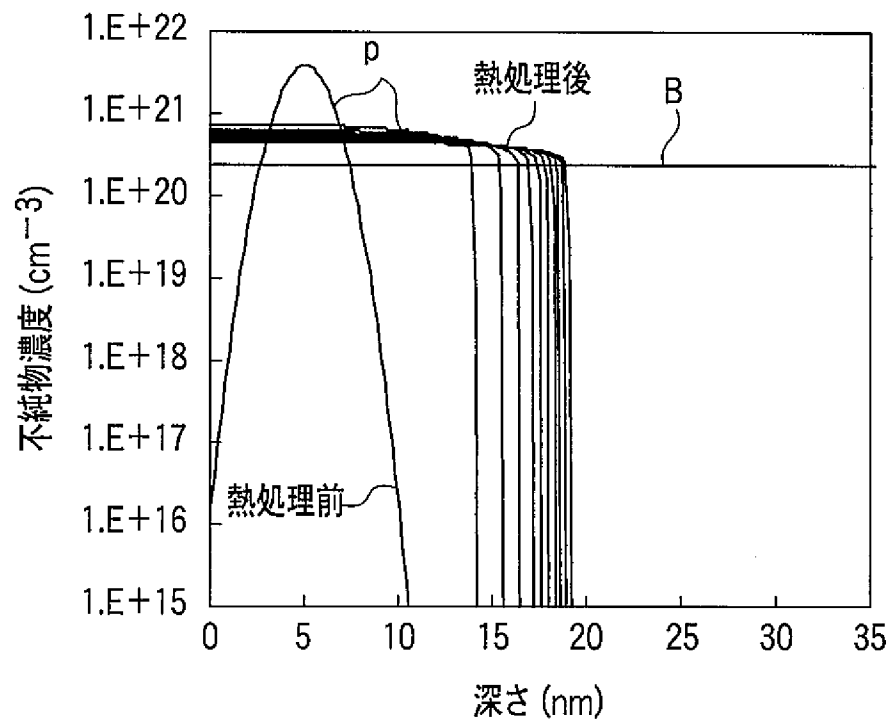
[図2]



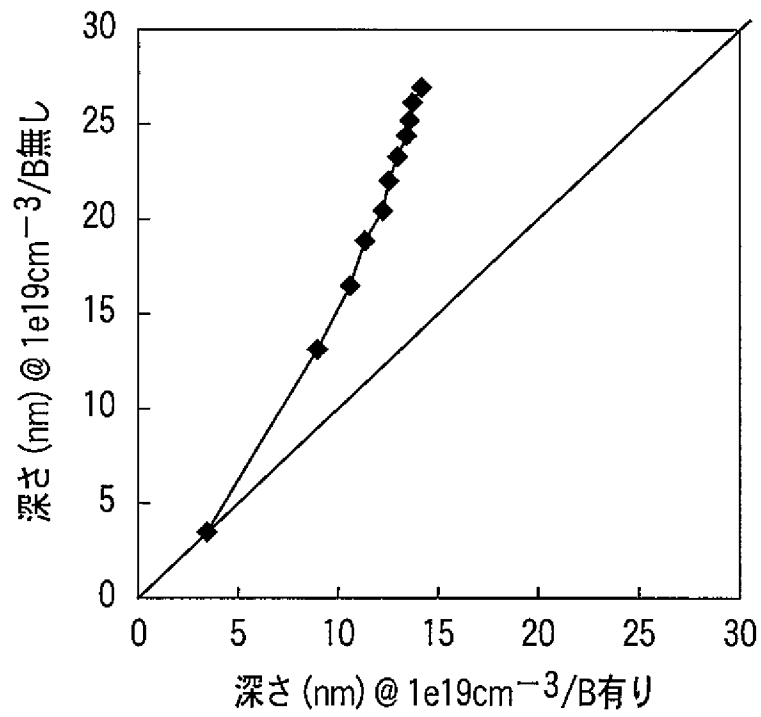
[図3]



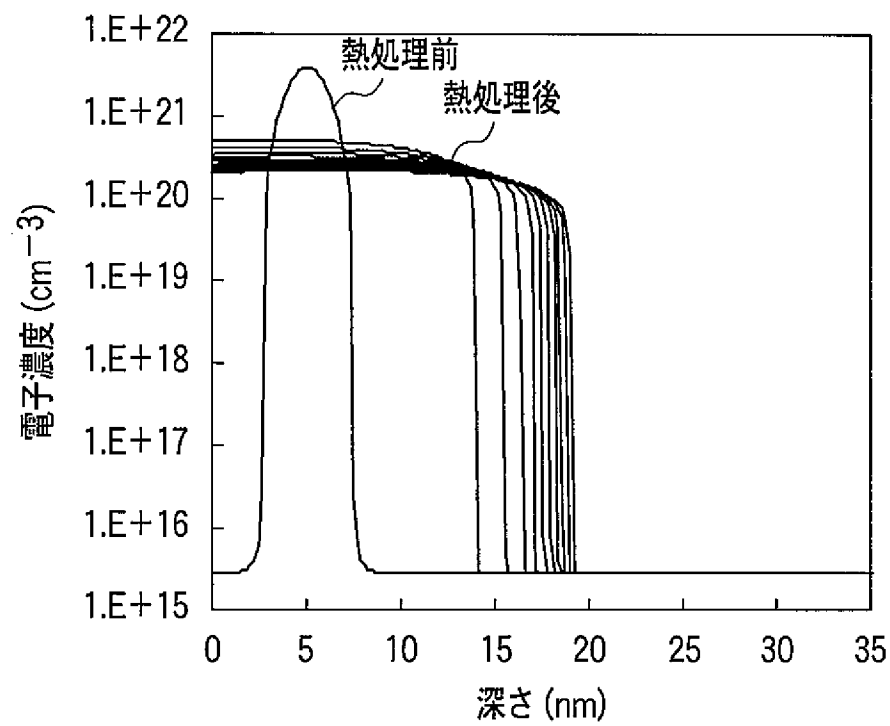
[図4]



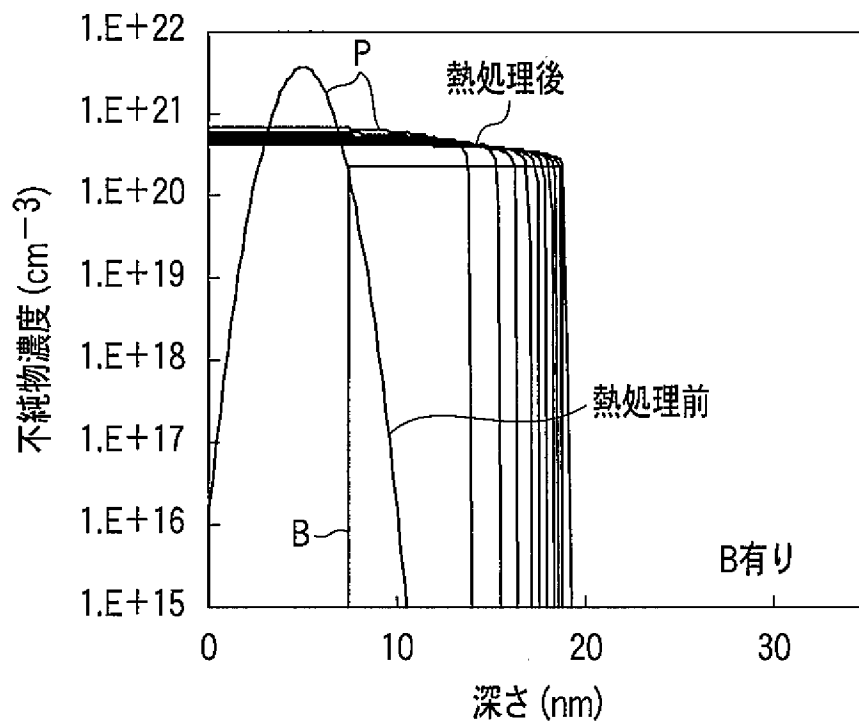
[図5]



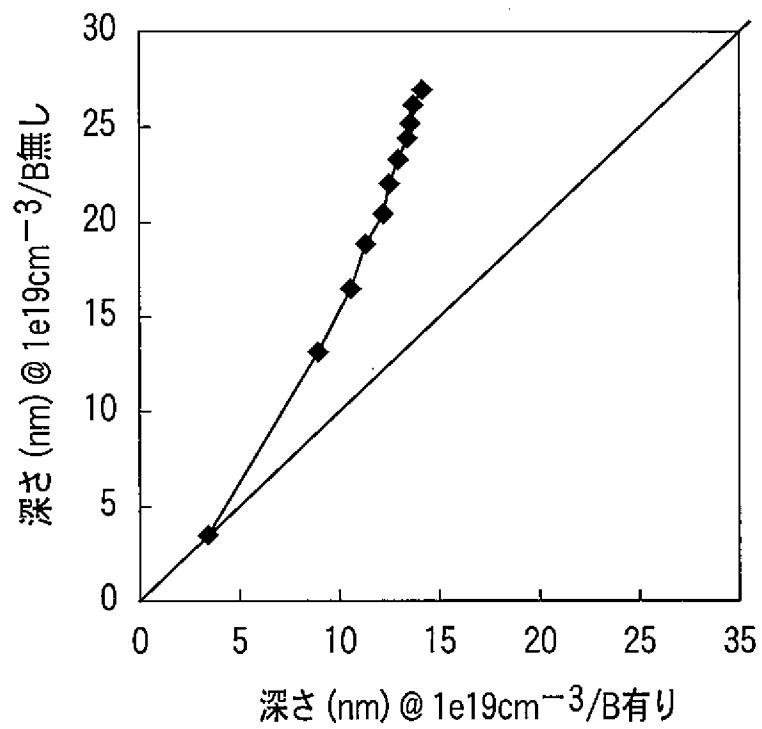
[図6]



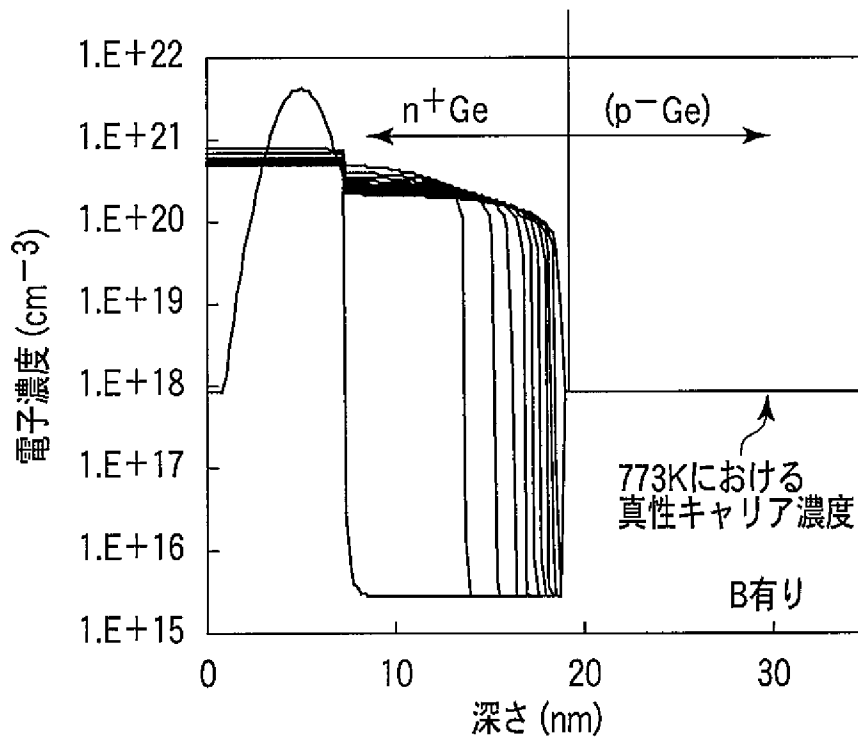
[図7]



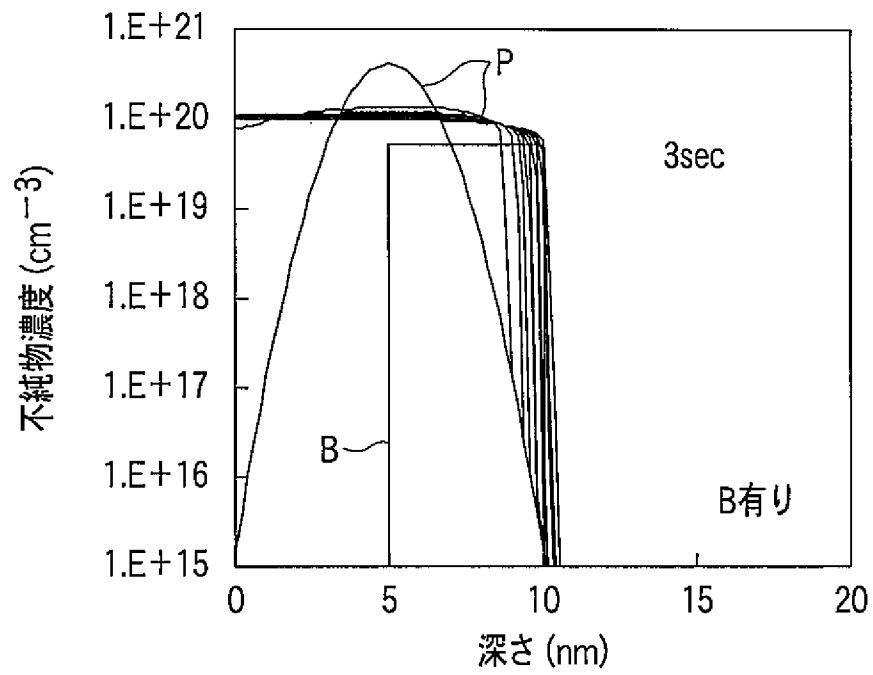
[図8]



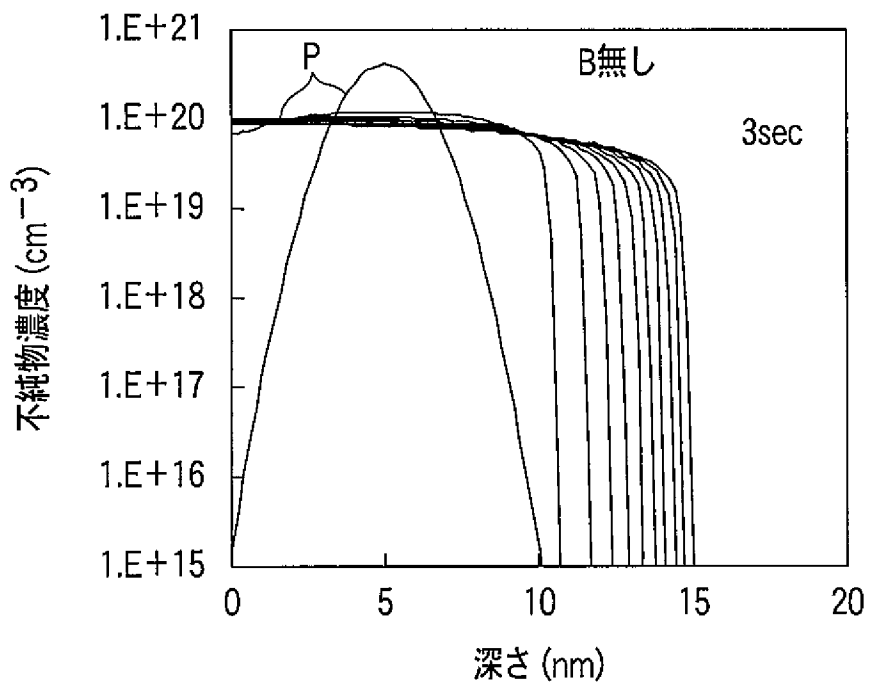
[図9]



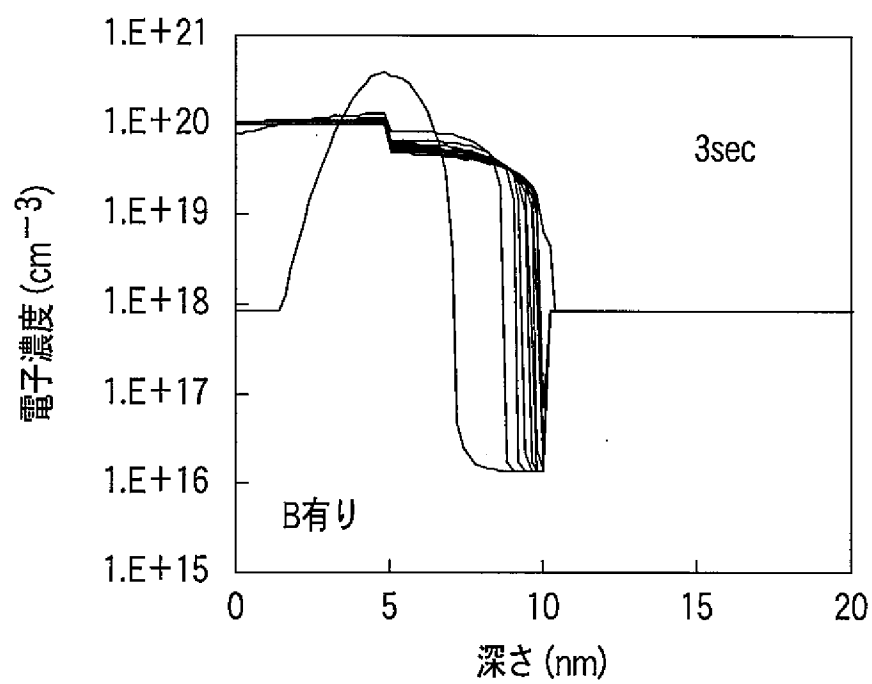
[図10]



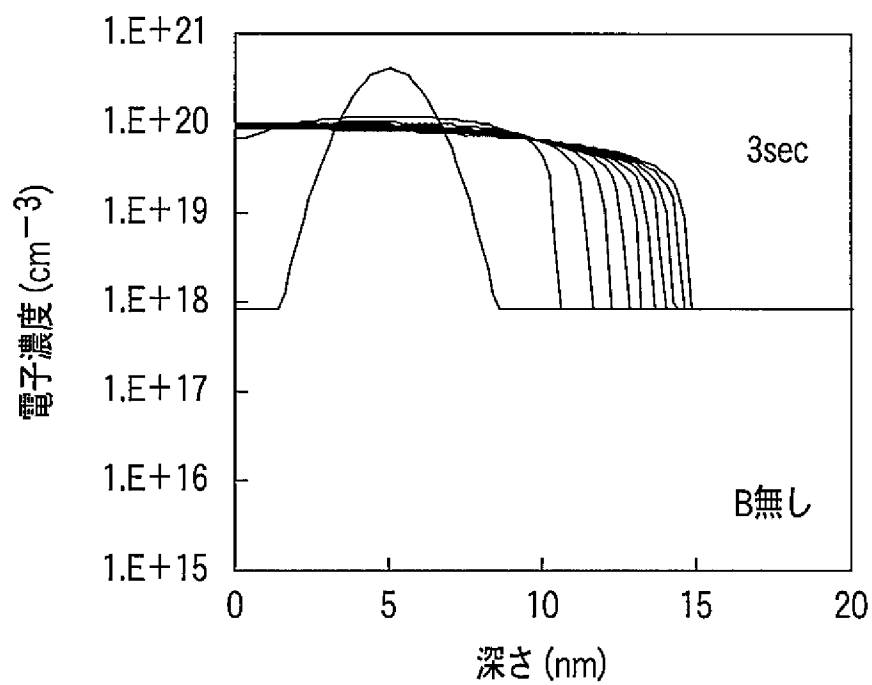
[図11]



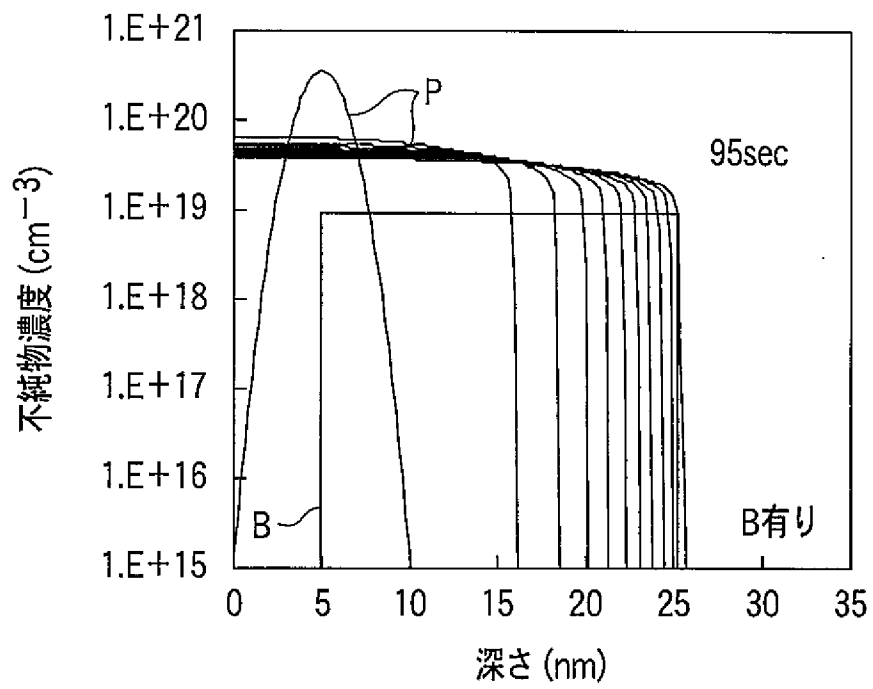
[図12]



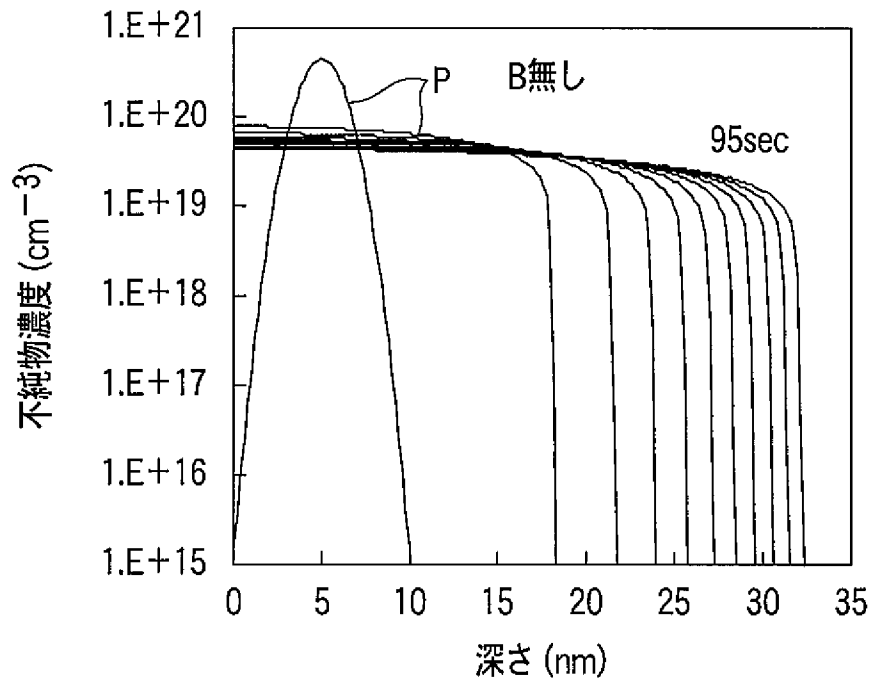
[図13]



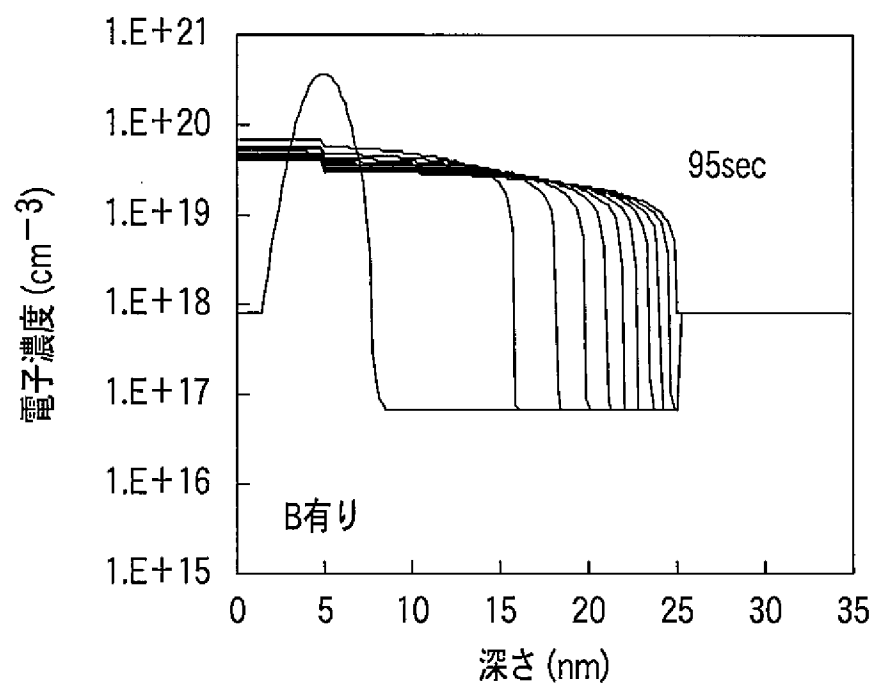
[図14]



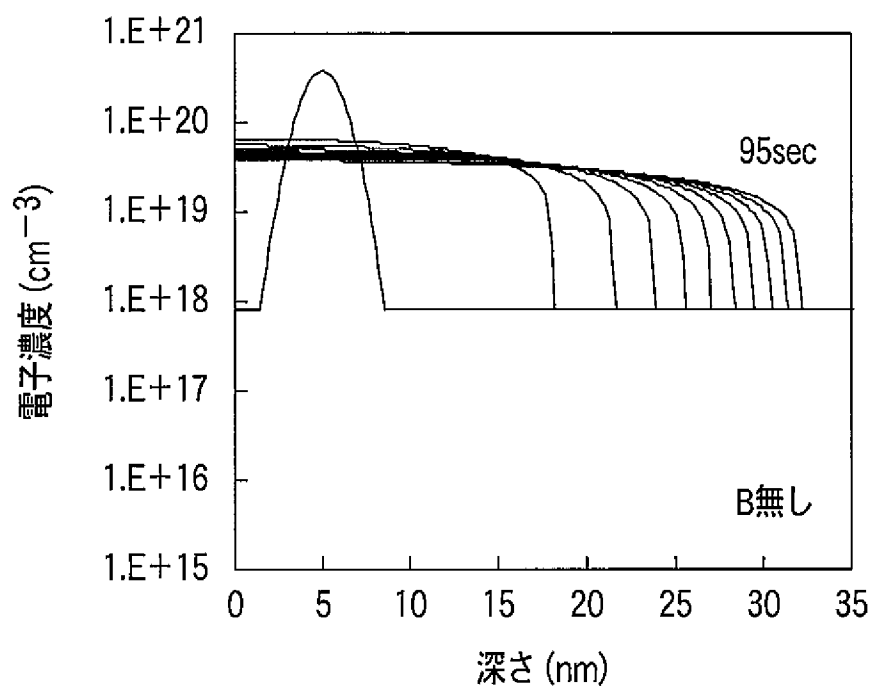
[図15]



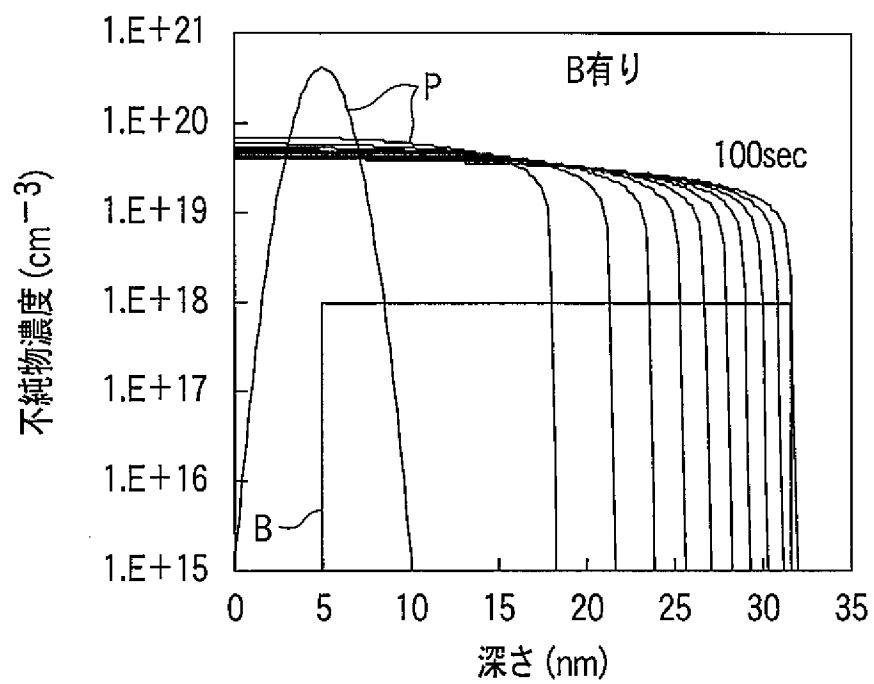
[図16]



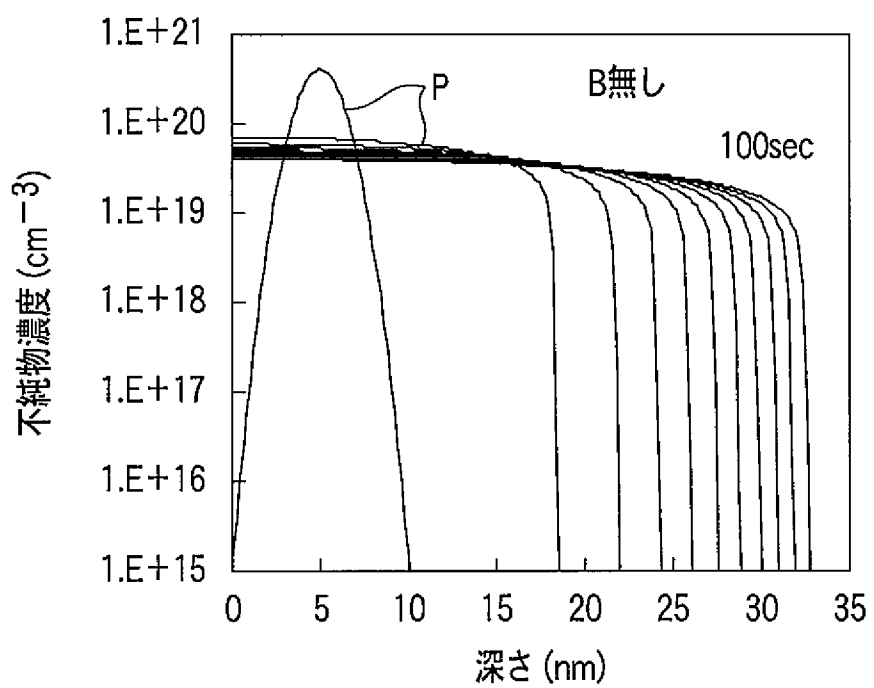
[図17]



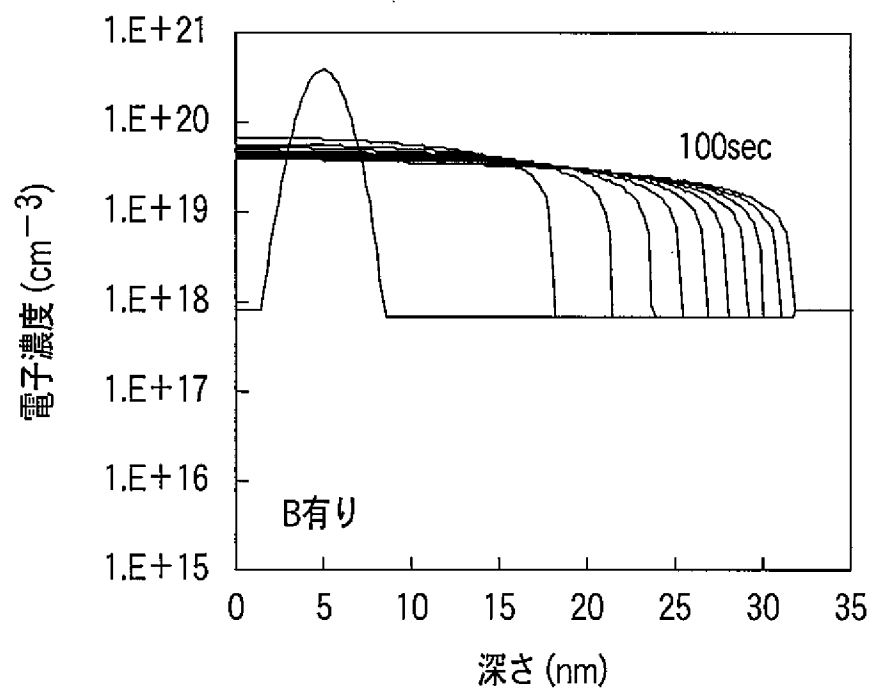
[図18]



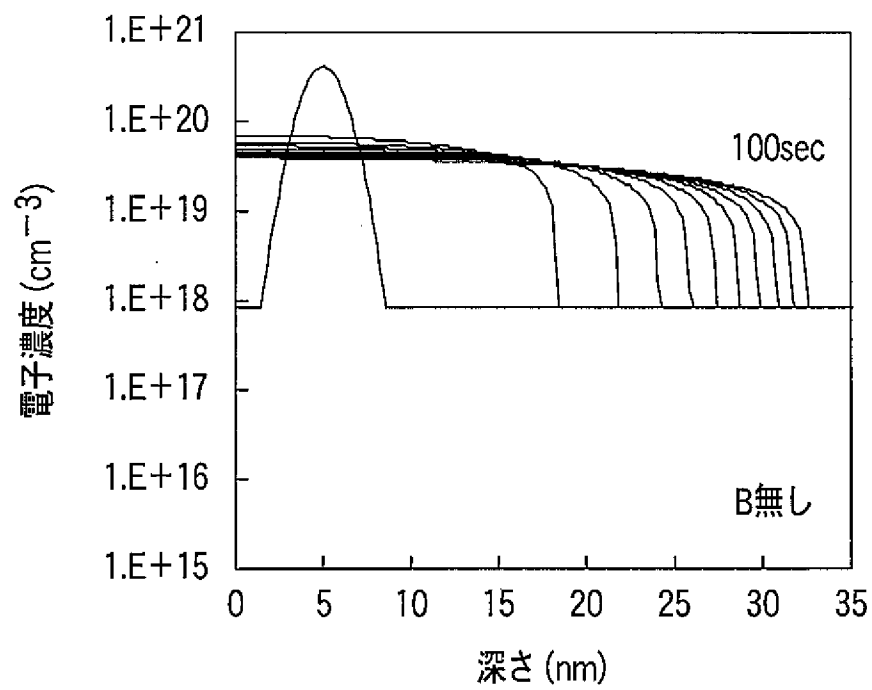
[図19]



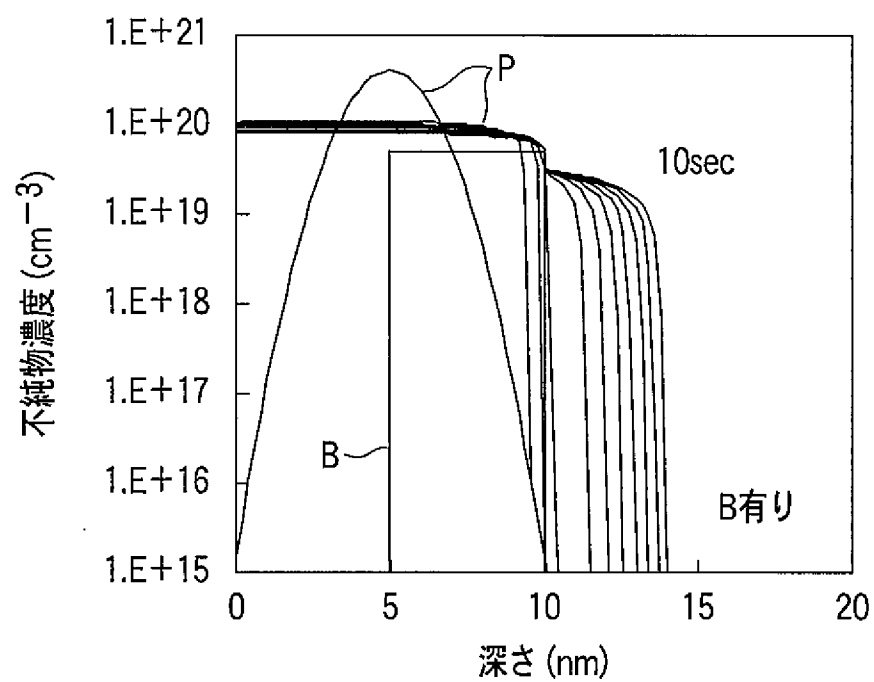
[図20]



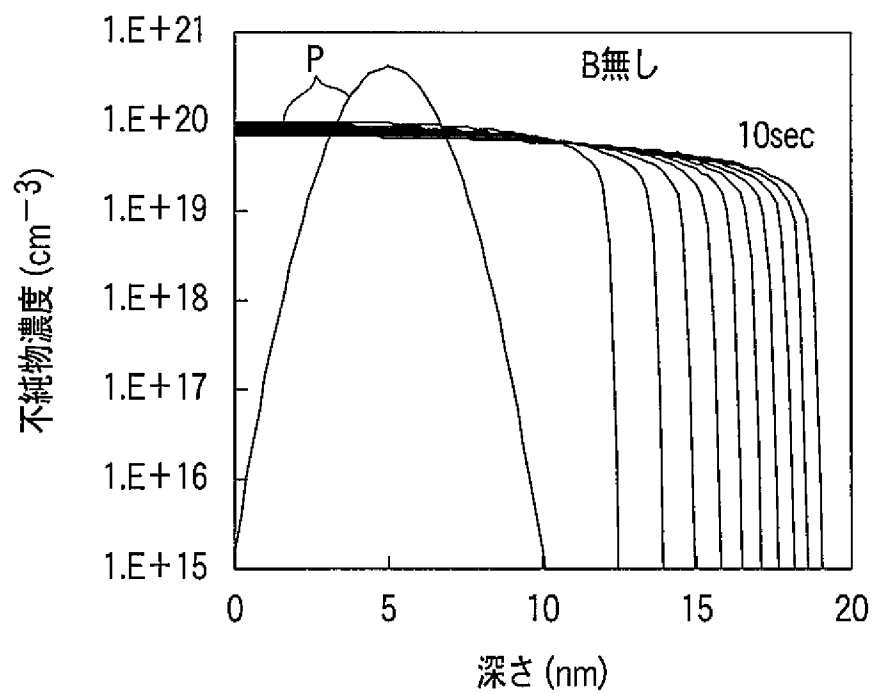
[図21]



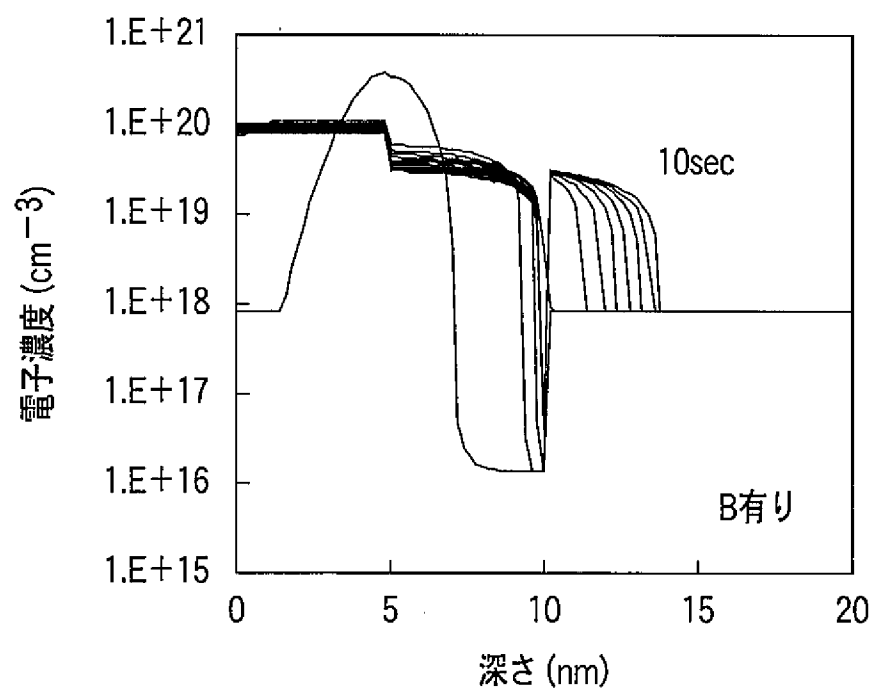
[図22]



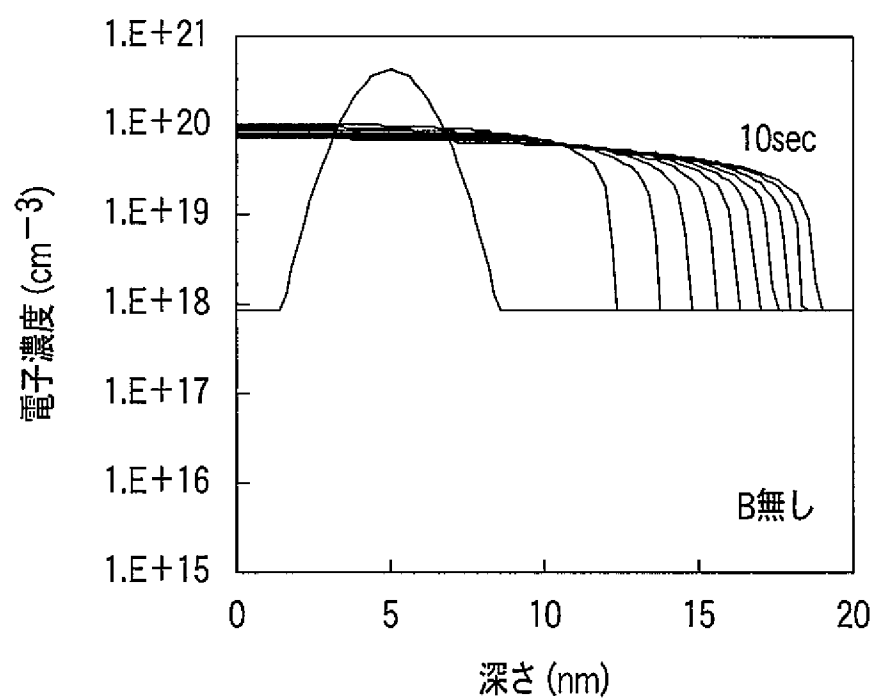
[図23]



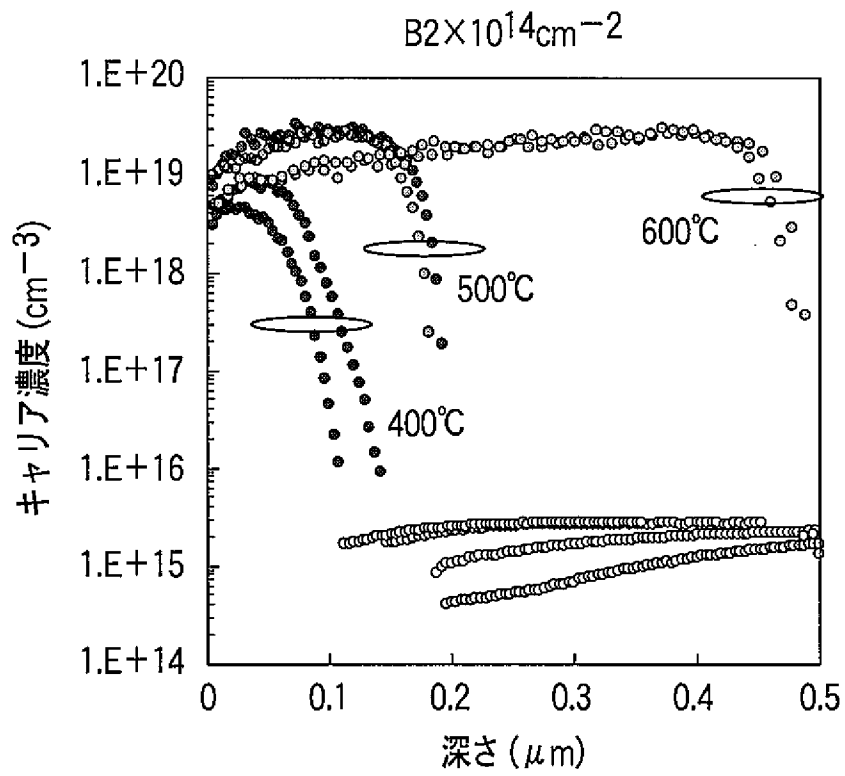
[図24]



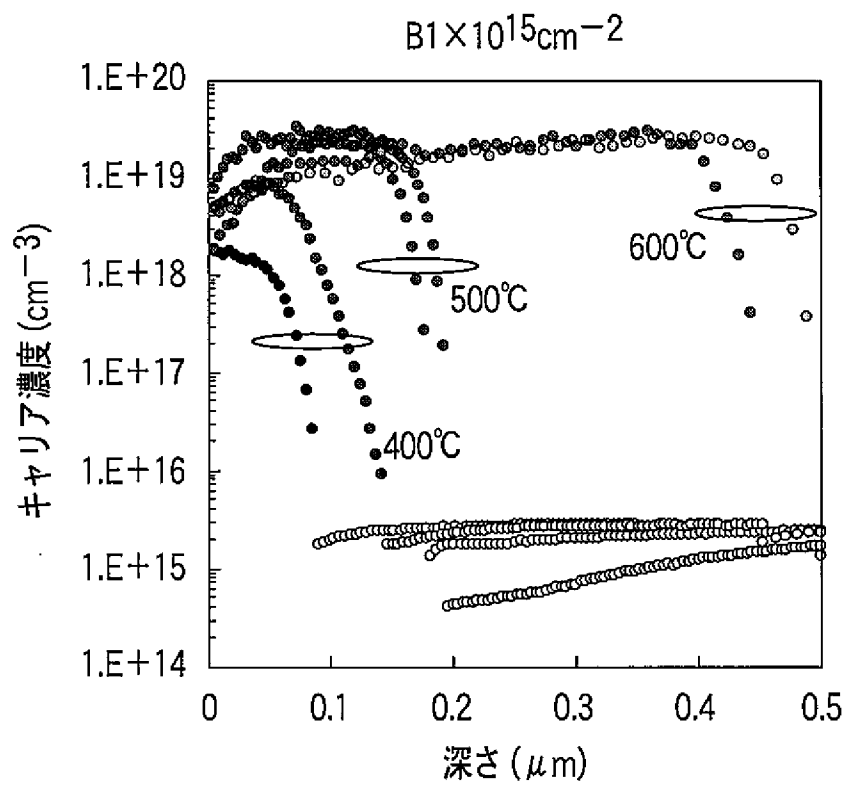
[図25]



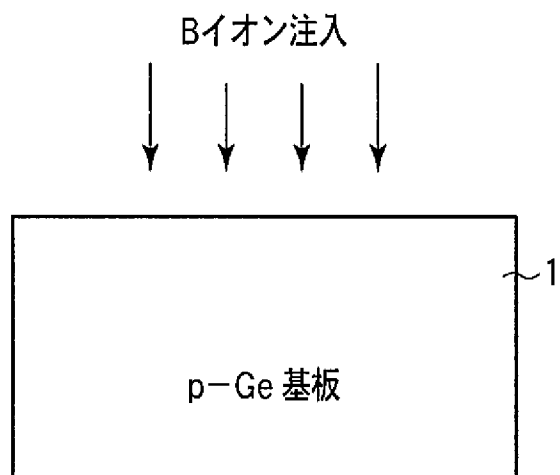
[図26A]



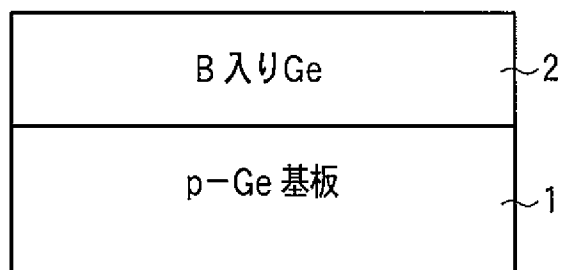
[図26B]



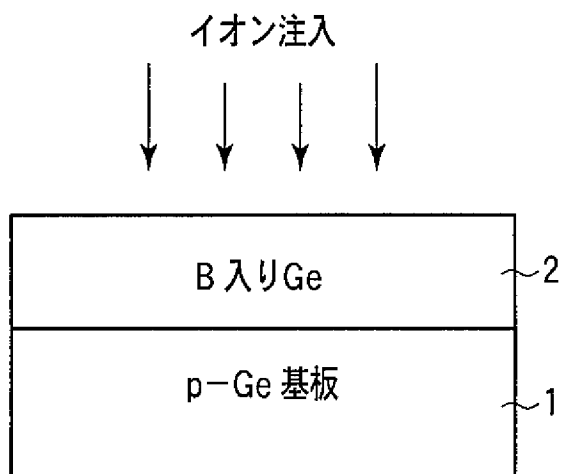
[図27]



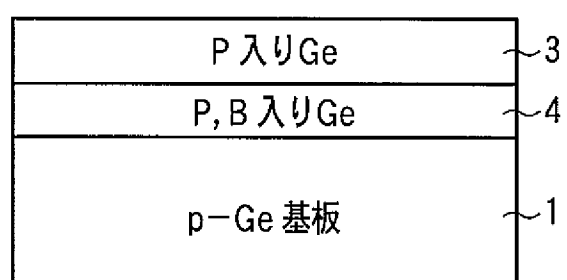
[図28]



[図29]

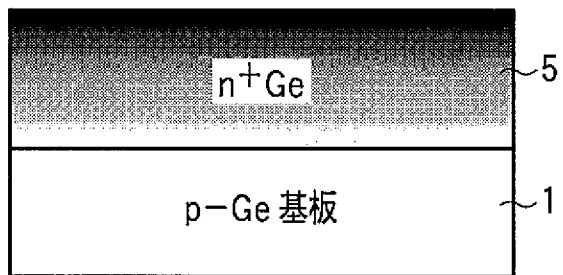


[図30]

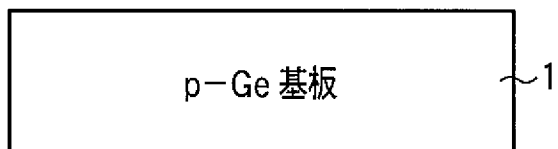


[図31]

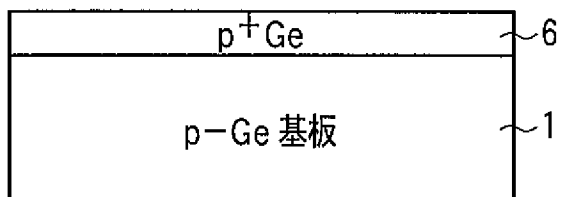
アニール



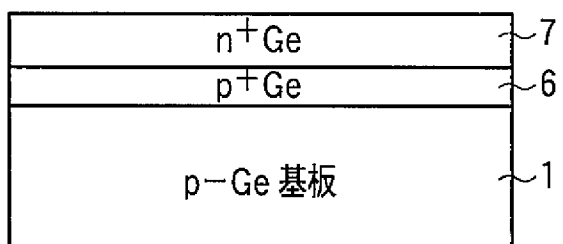
[図32]



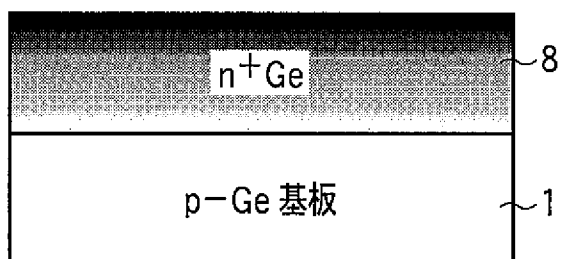
[図33]



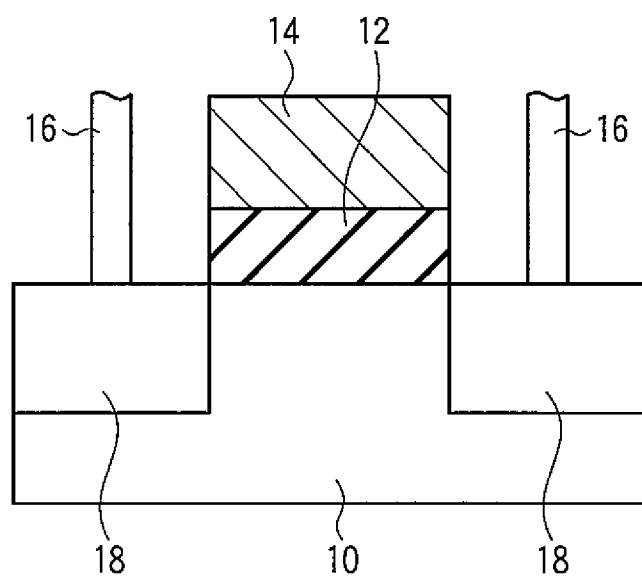
[図34]



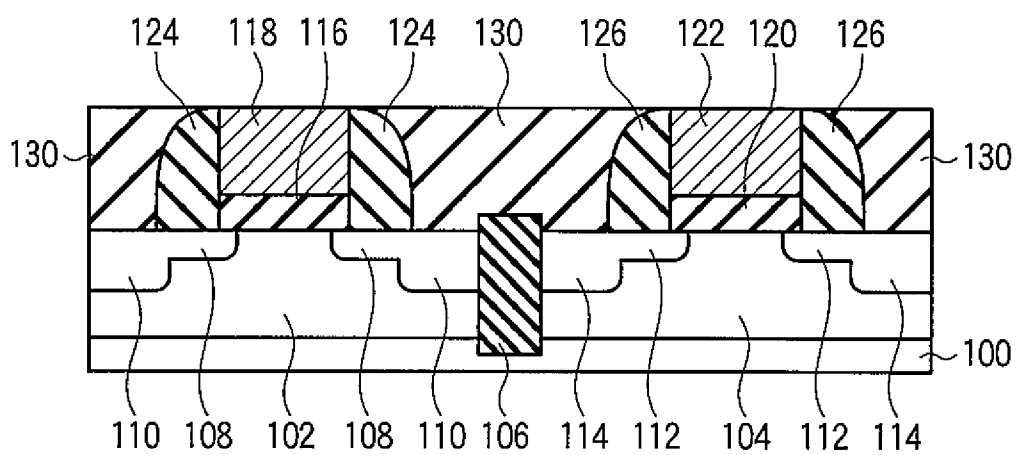
[図35]



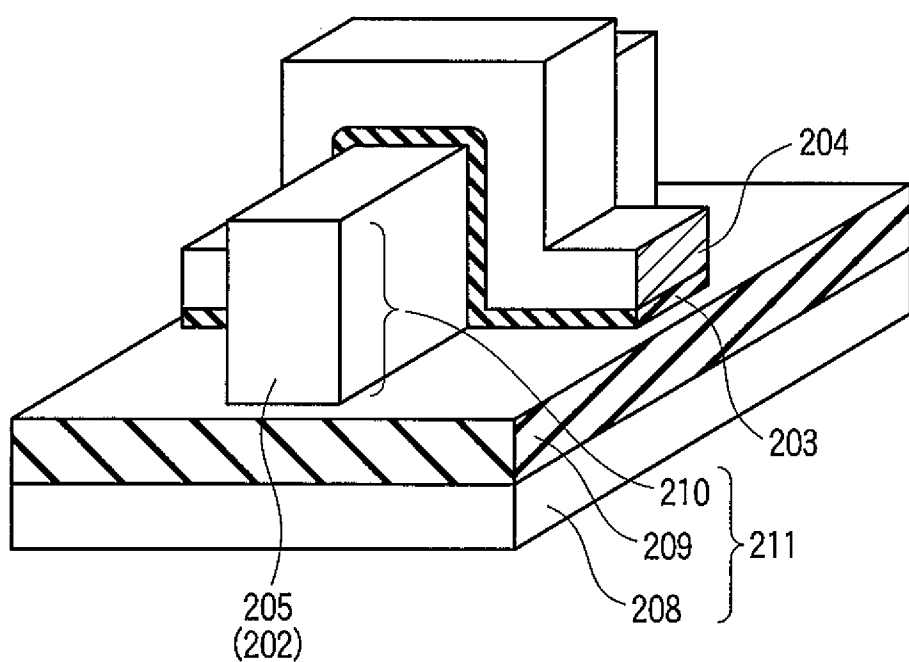
[図36]



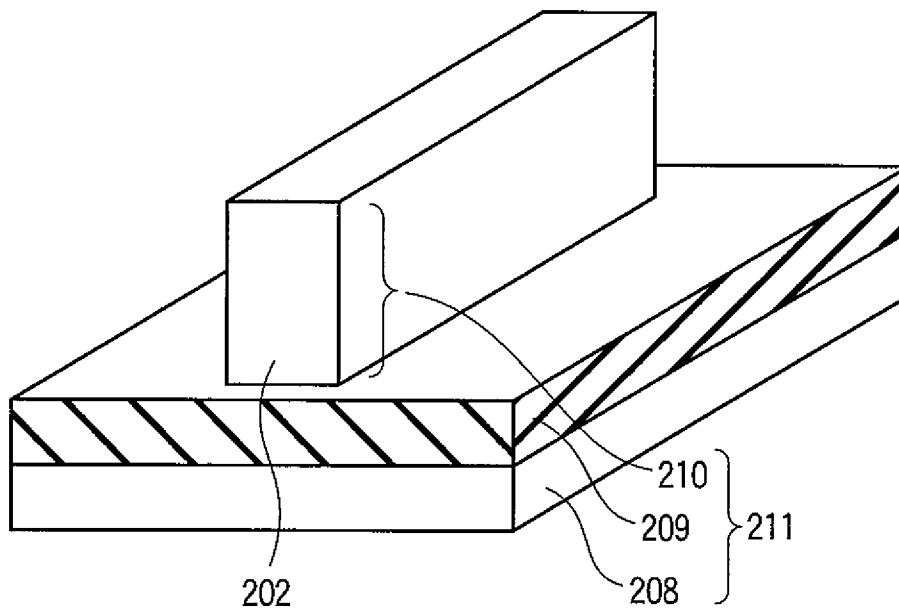
[図37]



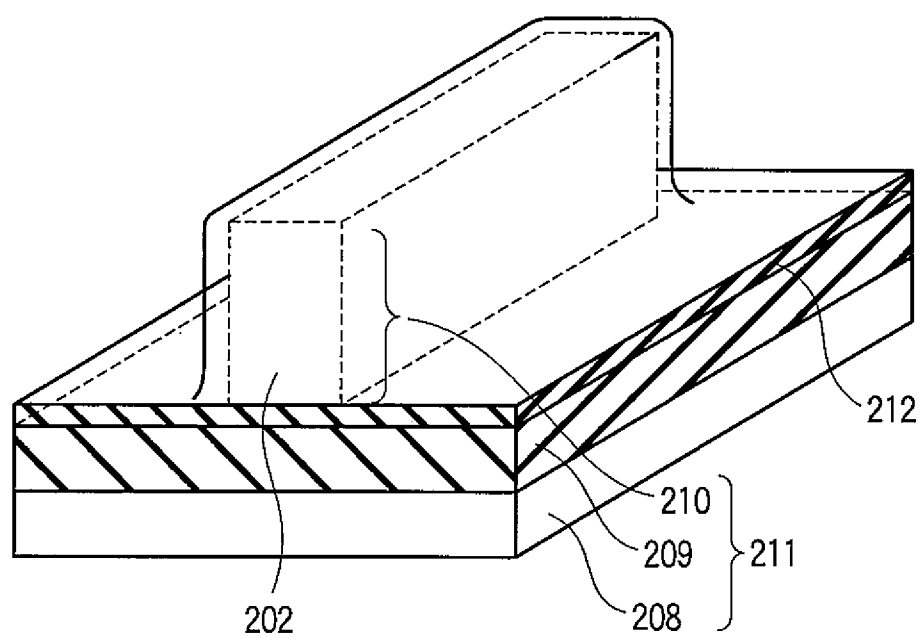
[図38]



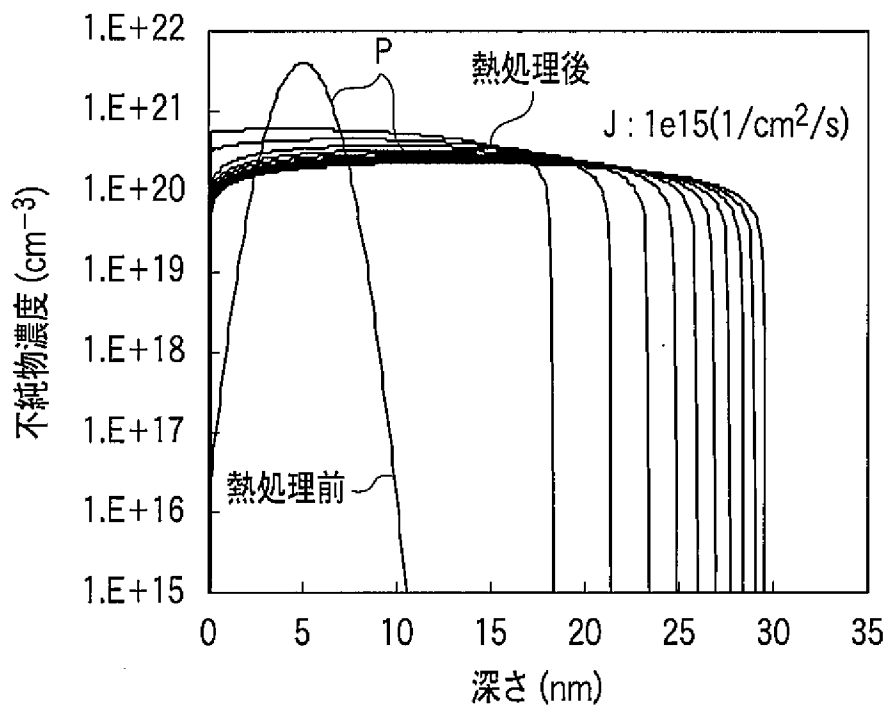
[図39]



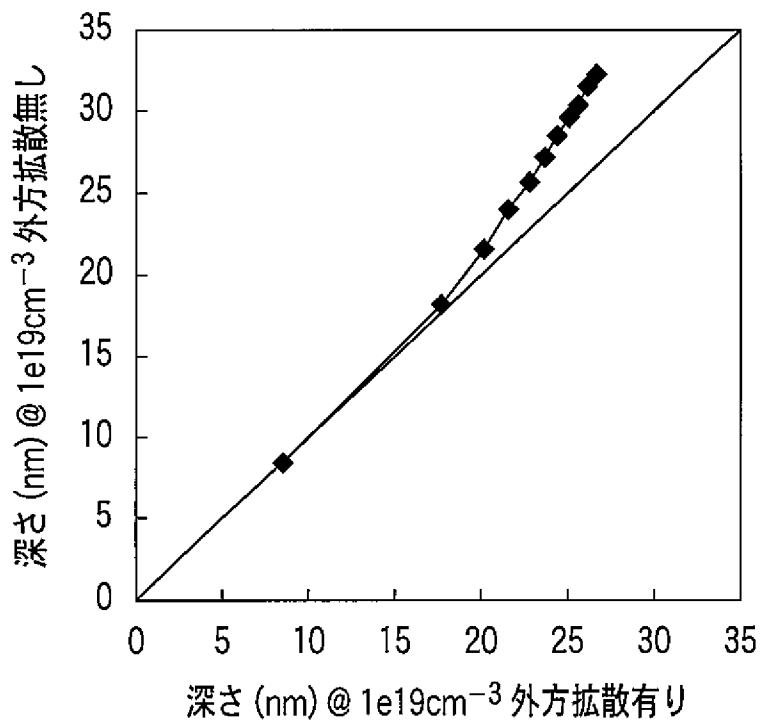
[図40]



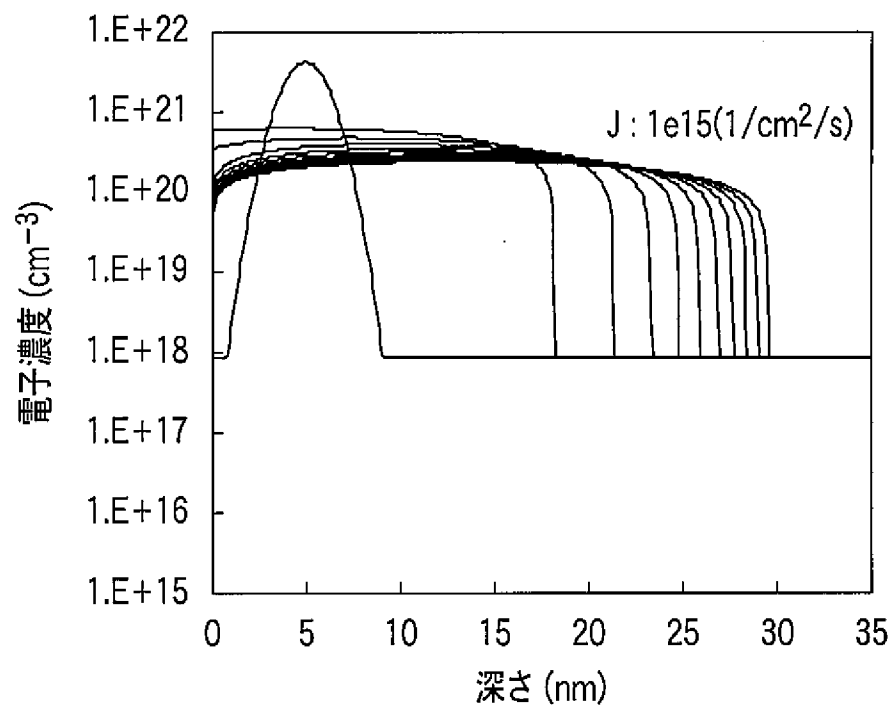
[図41]



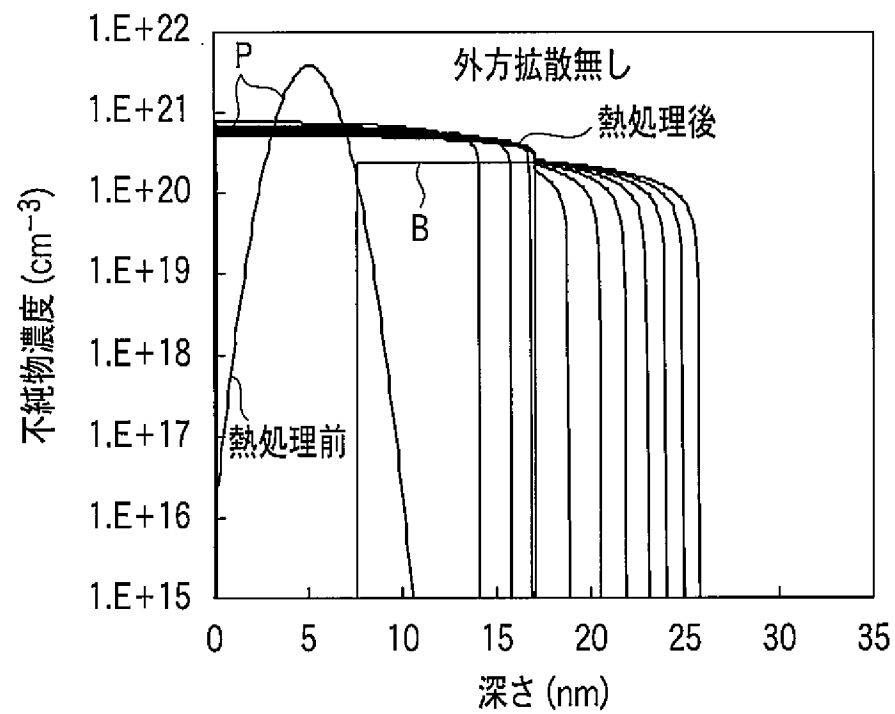
[図42]



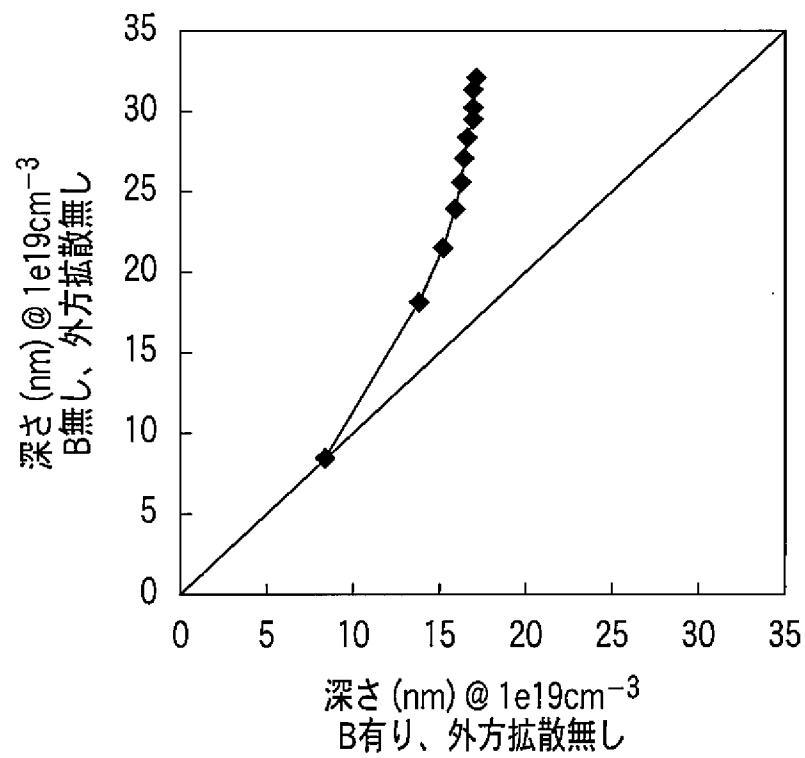
[図43]



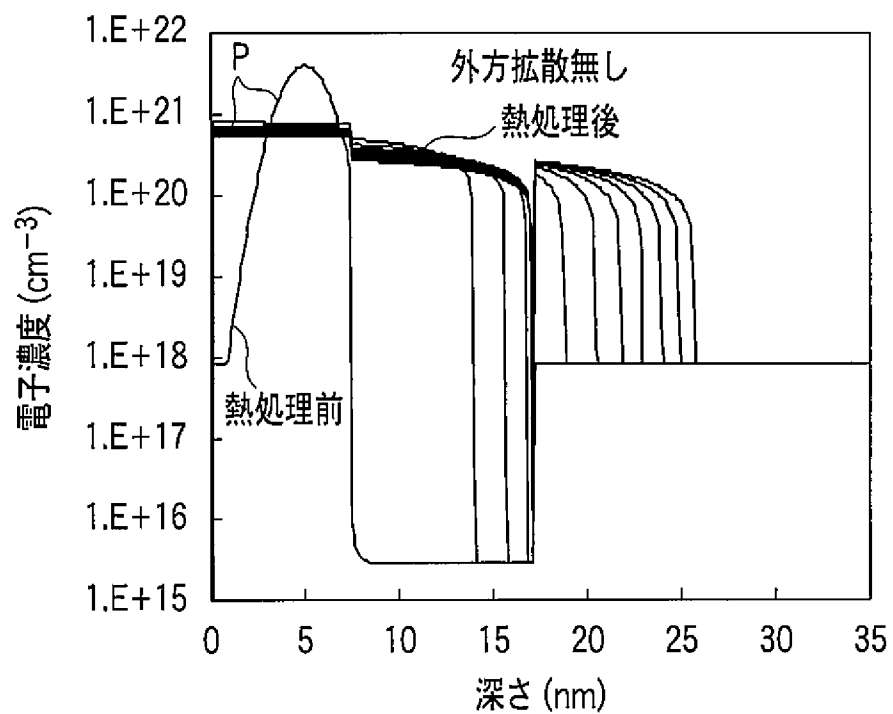
[図44]



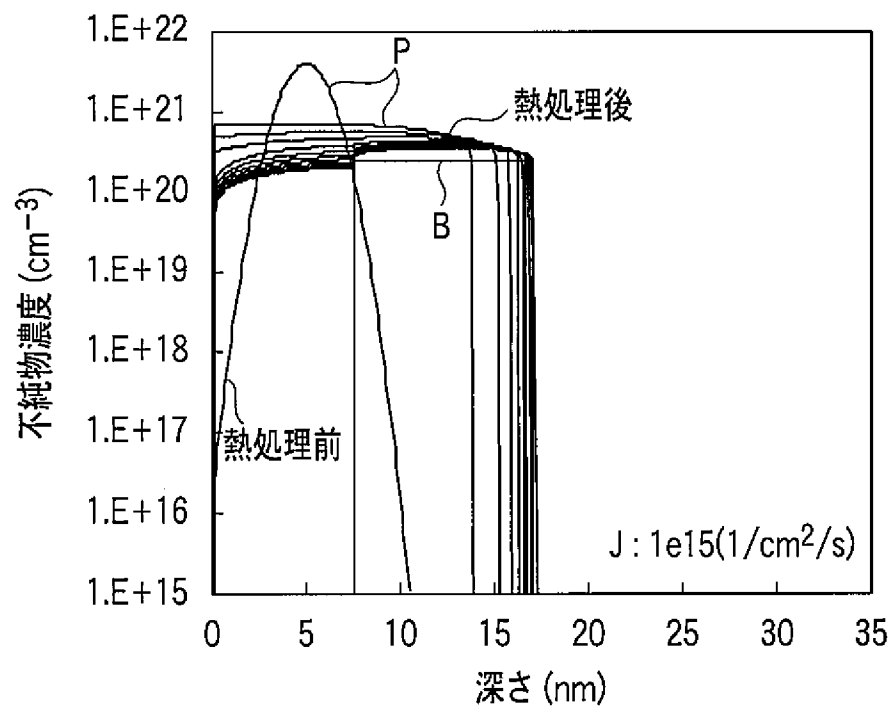
[図45]



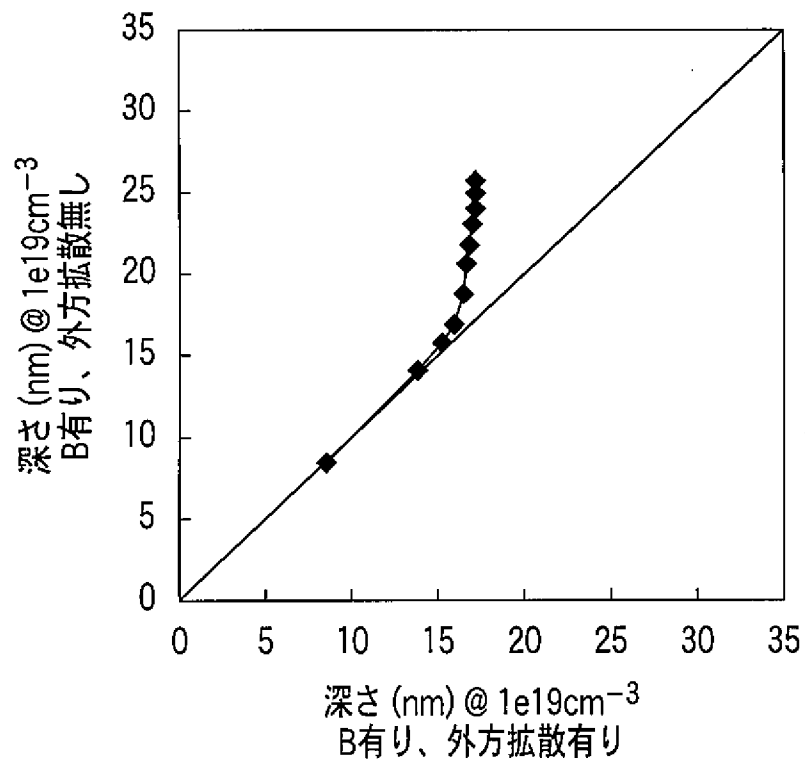
[図46]



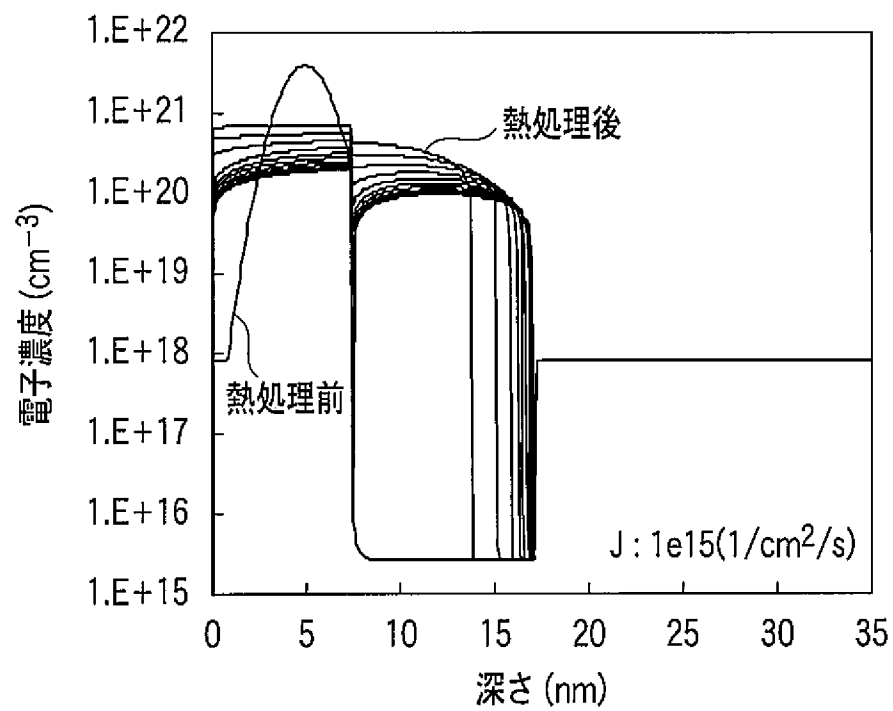
[図47]



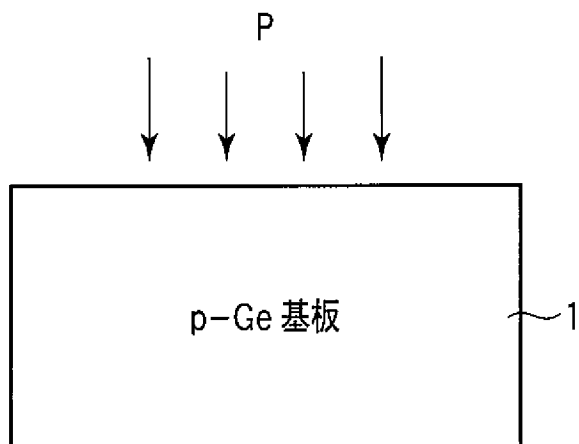
[図48]



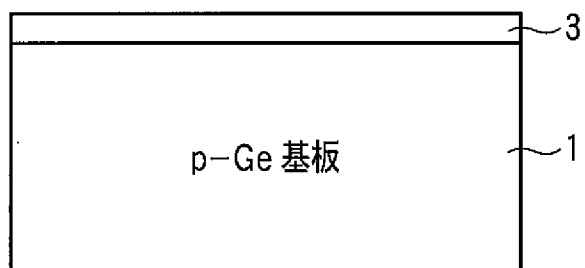
[図49]



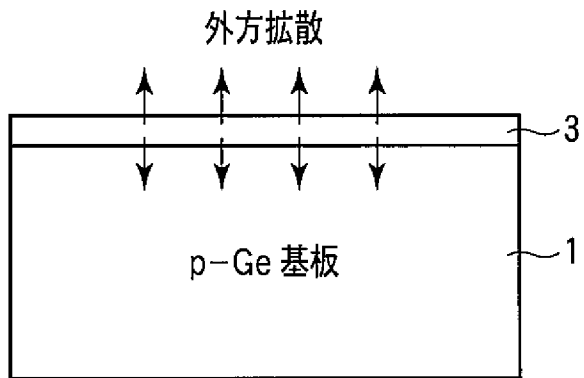
[図50]



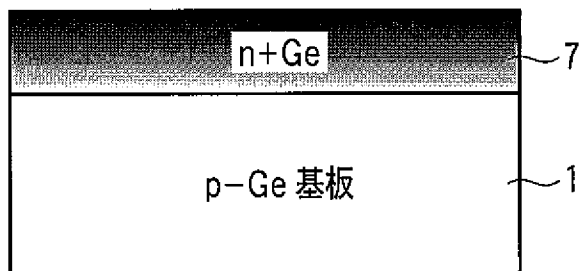
[図51]



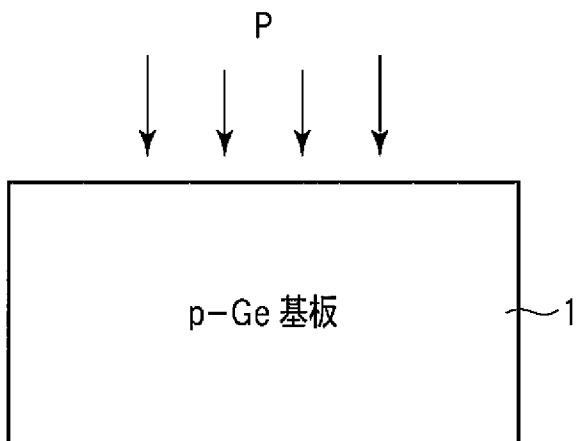
[图52]



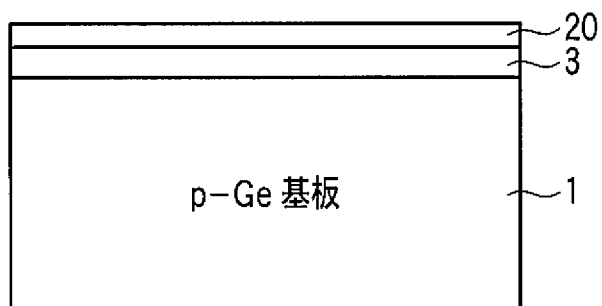
[图53]



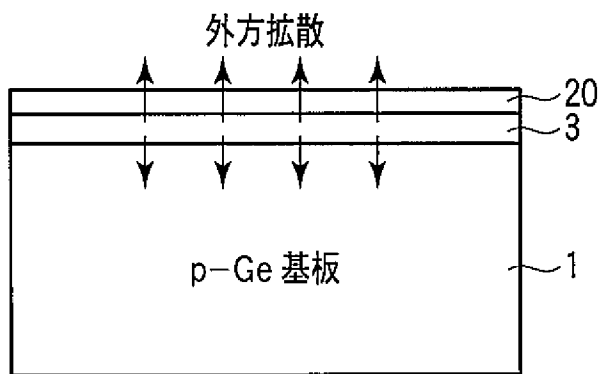
[图54]



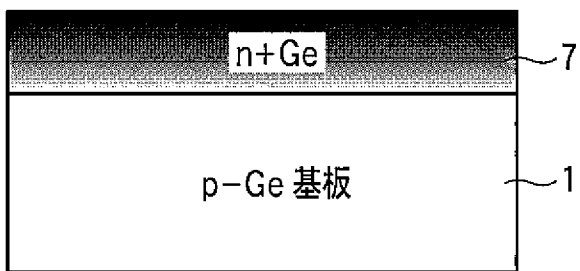
[图55]



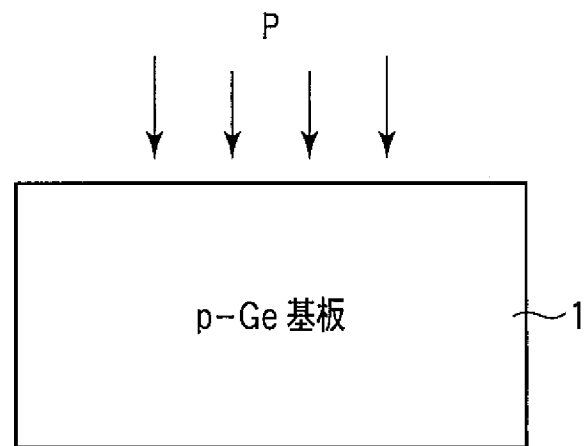
[图56]



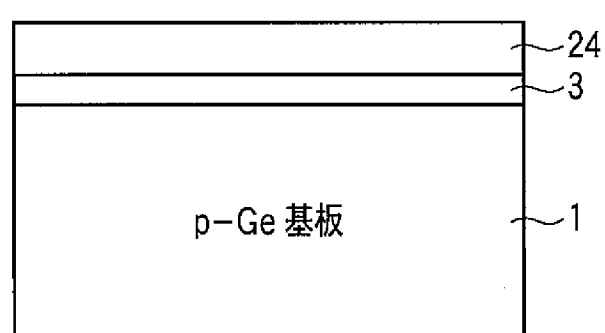
[图57]



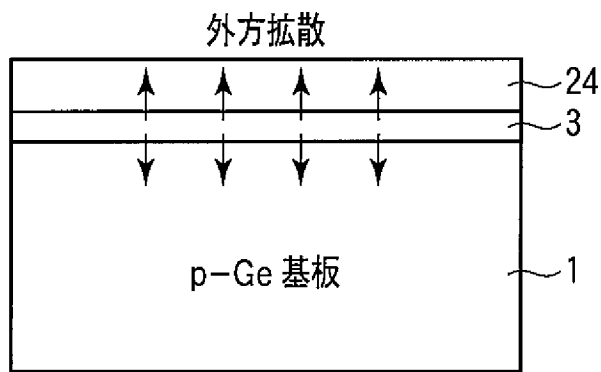
[图58]



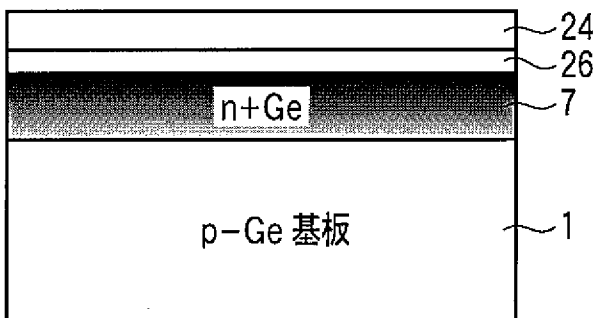
[图59]



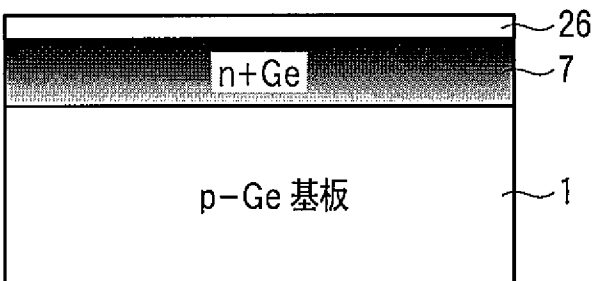
[図60]



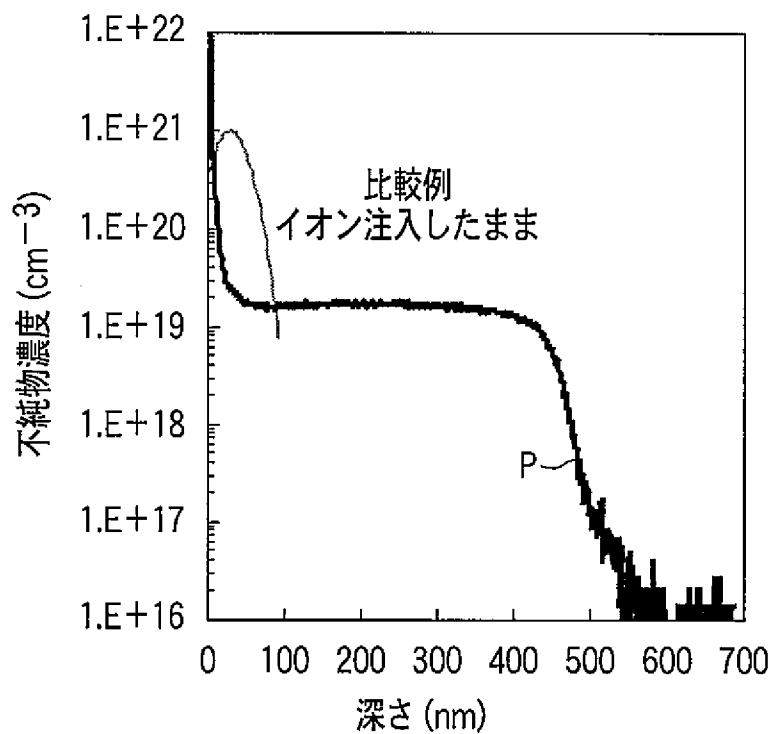
[図61]



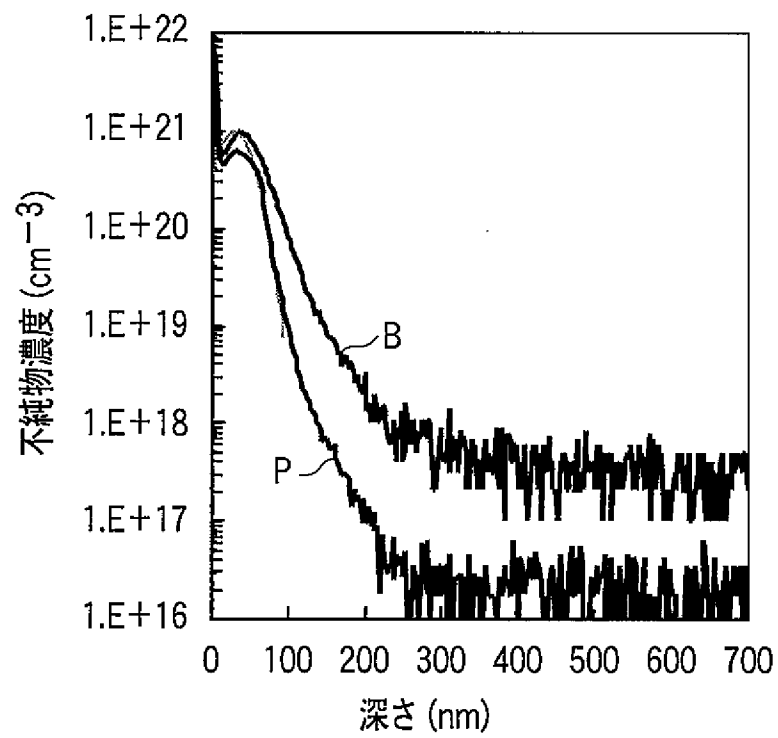
[図62]



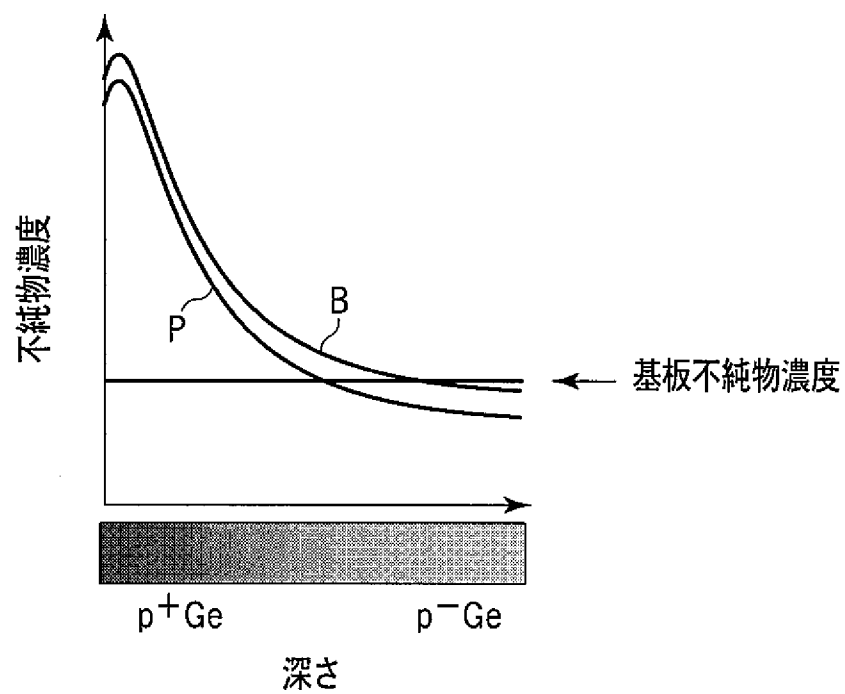
[図63]



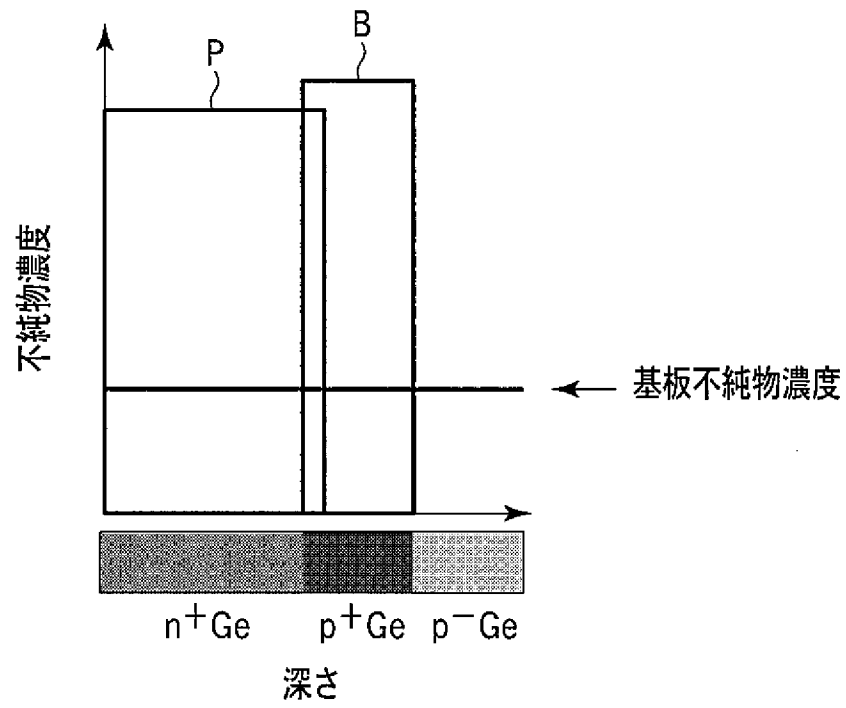
[図64]



[図65]



[図66]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2009/067423

A. CLASSIFICATION OF SUBJECT MATTER

H01L29/78(2006.01)i, H01L21/265(2006.01)i, H01L21/28(2006.01)i,
H01L21/336(2006.01)i, H01L21/8238(2006.01)i, H01L27/092(2006.01)i,
H01L29/423(2006.01)i, H01L29/49(2006.01)i, H01L29/786(2006.01)i
According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L29/78, H01L21/265, H01L21/28, H01L21/336, H01L21/8238, H01L27/092,
H01L29/423, H01L29/49, H01L29/786

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2009
Kokai Jitsuyo Shinan Koho	1971-2009	Toroku Jitsuyo Shinan Koho	1994-2009

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	JP 2007-335606 A (Fujitsu Ltd.), 27 December 2007 (27.12.2007), page 14, lines 6 to 8; fig. 14 & US 2008/0009111 A1	1-5, 7-9 2-5, 7-10 6
X Y A	JP 2005-347731 A (Matsushita Electric Industrial Co., Ltd.), 15 December 2005 (15.12.2005), paragraph [0058]; fig. 1 to 3 & US 2005/0247977 A1 & US 2006/0275964 A1 & US 2006/0279447 A1 & EP 1594166 A3 & EP 1594166 A2 & CN 1694263 A	1 2-5, 7-10 6
Y	JP 4-99037 A (Fujitsu Ltd.), 31 March 1992 (31.03.1992), fig. 1(f) (Family: none)	10

☒ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
25 December, 2009 (25.12.09)

Date of mailing of the international search report
12 January, 2010 (12.01.10)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2009/067423

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 1-166521 A (Hitachi, Ltd.), 30 June 1989 (30.06.1989), page 2, upper left column, lines 12 to 18 (Family: none)	1-10
A	JP 2008-41988 A (Hiroshima University), 21 February 2008 (21.02.2008), fig. 1 (Family: none)	1-10
A	JP 2004-289154 A (Texas Instruments Inc.), 14 October 2004 (14.10.2004), fig. 1 to 3 & US 2004/0185633 A1 & US 2005/0042848 A1 & EP 1460680 A2	1-10
A	S.Chakravarthi et al., Dopant diffusion modeling for heteroepitaxial SiGe/Si Devices, J. Vac. Sci. Technol. B, 2006, 24(2), pp.608- 612	1-10
A	A.Chroneos et al., Enginnering the free vacancy and active donor concentrations in phosphorus and arsenic double donor-doped germanium, Journal of Applied Physics, 2008, Vol.104, 113724-1-113724-4	1-10

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2009/067423

Box No. II Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. ☐ Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:

2. ☐ Claims Nos.:
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:

3. ☐ Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

The invention in claim 1 cannot be considered to be novel and does not have a special technical feature, since the invention is described in JP 2007-335606 A (Fujitsu Ltd.), 27 December 2007 (27.12.2007), page 14, lines 6 - 8, fig. 14, & US 2008/0009111 A1, and JP 2005-347731 A (Matsushita Electric Industrial Co., Ltd.), 15 December 2005 (15.12.2005), [0058], fig. 1 - 3, & US 2005/0247977 A1 & US 2006/0275964 A1 & US 2006/0279447 A1 & EP 1594166 A3 & EP 1594166 A2 & CN 1694263 A.

1. ☐ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. ☒ As all searchable claims could be searched without effort justifying additional fees, this Authority did not invite payment of additional fees.
3. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:

4. ☐ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:

Remark on Protest

- ☐ The additional search fees were accompanied by the applicant's protest and, where applicable, the payment of a protest fee.
- ☐ The additional search fees were accompanied by the applicant's protest but the applicable protest fee was not paid within the time limit specified in the invitation.
- ☐ No protest accompanied the payment of additional search fees.

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H01L29/78(2006.01)i, H01L21/265(2006.01)i, H01L21/28(2006.01)i, H01L21/336(2006.01)i,
H01L21/8238(2006.01)i, H01L27/092(2006.01)i, H01L29/423(2006.01)i, H01L29/49(2006.01)i,
H01L29/786(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H01L29/78, H01L21/265, H01L21/28, H01L21/336, H01L21/8238, H01L27/092, H01L29/423, H01L29/49,
H01L29/786

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 0 9 年
日本国実用新案登録公報	1 9 9 6 - 2 0 0 9 年
日本国登録実用新案公報	1 9 9 4 - 2 0 0 9 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y A	JP 2007-335606 A（富士通株式会社）2007. 12. 27 第 14 頁 6 行～8 行、図 14 & US 2008/0009111 A1	1-5, 7-9 2-5, 7-10 6
X Y A	JP 2005-347731 A（松下電器産業株式会社）2005. 12. 15 【0058】，図 1～3 & US 2005/0247977 A1 & US 2006/0275964 A1 & US 2006/0279447 A1 & EP 1594166 A3 & EP 1594166 A2 & CN 1694263 A	1 2-5, 7-10 6

☒ C 欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

2 5 . 1 2 . 2 0 0 9

国際調査報告の発送日

1 2 . 0 1 . 2 0 1 0

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官（権限のある職員）

松嶋 秀忠

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 4 6 2

4 M

9 8 3 6

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 4-99037 A (富士通株式会社) 1992. 03. 31 第 1 図(f) (ファミリーなし)	10
A	JP 1-166521 A (株式会社日立製作所) 1989. 06. 30 第 2 頁左上欄 12 行~18 行 (ファミリーなし)	1-10
A	JP 2008-41988 A (国立大学法人広島大学) 2008. 02. 21 図 1 (ファミリーなし)	1-10
A	JP 2004-289154 A (テキサス インストルメンツ インコーポレイ テッド) 2004. 10. 14 図 1-3 & US 2004/0185633 A1 & US 2005/0042848 A1 & EP 1460680 A2	1-10
A	S.Chakravarthi et al., Dopant diffusion modeling for heteroepitaxial SiGe/Si Devices, J. Vac. Sci. Technol. B, 2006, 24(2), pp.608-612	1-10
A	A.Chroneos et al., Enginnering the free vacancy and active donor concentrations in phosphorus and arsenic double donor-doped germanium, Journal of Applied Physics, 2008, Vol.104, 113724-1-113724-4	1-10

第Ⅱ欄 請求の範囲の一部の調査ができないときの意見（第1ページの2の続き）

法第8条第3項（PCT 17条(2)(a)）の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

1. ☐ 請求項 _____ は、この国際調査機関が調査をすることを要しない対象に係るものである。
つまり、
2. ☐ 請求項 _____ は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、
3. ☐ 請求項 _____ は、従属請求の範囲であってPCT規則6.4(a)の第2文及び第3文の規定に従って記載されていない。

第Ⅲ欄 発明の単一性が欠如しているときの意見（第1ページの3の続き）

次に述べるようにこの国際出願に二以上の発明があるところの国際調査機関は認めた。

JP 2007-335606 A（富士通株式会社）2007. 12. 27, 第14頁6行～8行、図14 & US 2008/0009111 A1及びJP 2005-347731 A（松下電器産業株式会社）2005. 12. 15, 【0058】, 図1～3 & US 2005/0247977 A1 & US 2006/0275964 A1 & US 2006/0279447 A1 & EP 1594166 A3 & EP 1594166 A2 & CN 1694263 Aには、請求項1に係る発明が記載されているから、請求項1に係る発明は、新規性が認められず、特別な技術的特徴を有しない。

1. ☐ 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求項について作成した。
2. ☒ 追加調査手数料を要求するまでもなく、すべての調査可能な請求項について調査することができたので、追加調査手数料の納付を求めなかった。
3. ☐ 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったため、この国際調査報告は、手数料の納付のあった次の請求項のみについて作成した。
4. ☐ 出願人が必要な追加調査手数料を期間内に納付しなかったため、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求項について作成した。

追加調査手数料の異議の申立てに関する注意

- ☐ 追加調査手数料及び、該当する場合には、異議申立手数料の納付と共に、出願人から異議申立てがあった。
- ☐ 追加調査手数料の納付と共に出願人から異議申立てがあったが、異議申立手数料が納付命令書に示した期間内に支払われなかった。
- ☐ 追加調査手数料の納付はあったが、異議申立てはなかった。