



(19) 中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201717371 A

(43)公開日：中華民國 106(2017)年 05 月 16 日

(21)申請案號：105142732

(22)申請日：中華民國 101(2012)年 08 月 15 日

(51)Int. Cl. : *H01L27/144 (2006.01)*

(30)優先權：2011/10/21 日本 2011-232106

(71)申請人：濱松赫德尼古斯股份有限公司(日本) HAMAMATSU PHOTONICS K.K. (JP)
日本

(72)發明人：永野輝昌 NAGANO, TERUMASA (JP)；細川暢郎 HOSOKAWA, NOBURO (JP)；
鈴木智史 SUZUKI, TOMOFUMI (JP)；馬場隆 BABA, TAKASHI (JP)

(74)代理人：陳長文

申請實體審查：有 申請專利範圍項數：13 項 圖式數：14 共 34 頁

(54)名稱

光檢測裝置

(57)摘要

本發明之半導體光檢測元件 10 包含：複數個雪崩光電二極體 APD，其以蓋革模式動作並且形成於半導體基板 1N 內；滅弧電阻 R1，其相對於各雪崩光電二極體 APD 串列連接並且配置於半導體基板 1N 之正面 1Na 側；及複數個貫通電極 TE，其與滅弧電阻 R1 電性連接且自正面 1Na 側至正面 1Nb 側為止貫通半導體基板 1N 而形成。搭載基板 20 包含對應於每個貫通電極 TE 而配置於正面 20a 側之複數個電極 E9。貫通電極 TE 與電極 E9 經由凸塊電極 BE 而電性連接，且半導體基板 1N 之側面 1Nc 與玻璃基板 30 之側面 30c 為同一平面。

指定代表圖：

符號簡單說明：

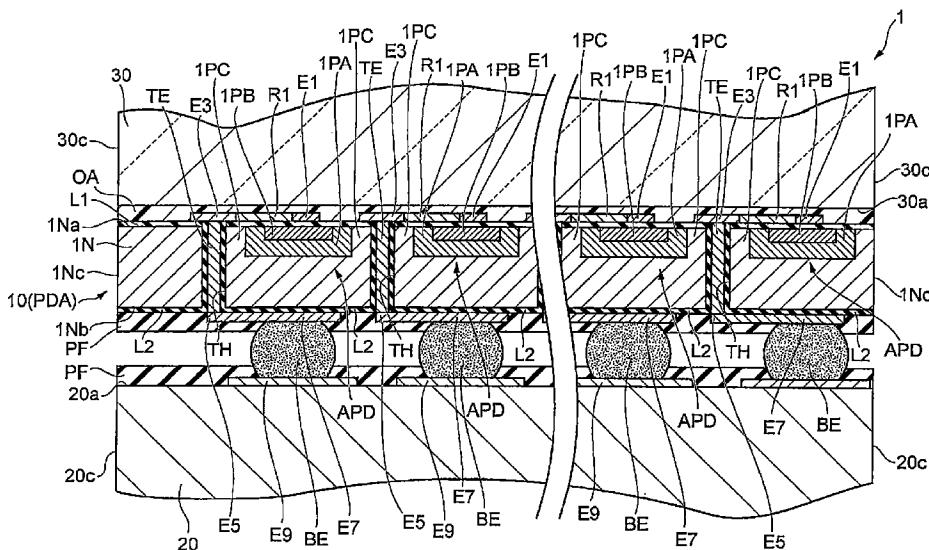


圖 2

1 · · · 光檢測裝置

1N...半導體基板

1Na · · · 主面

1Nb · · · 主面

1Nc・・・側面

1PA . . . 第一半導 體區域

1PB · · · 第二半導 體區域

1PC · · · N 型(第一
道 雷 利) 半 道 隅 反 戟

10 · · · 半導體光檢
測元件

植物志

三五七

201717371

TW 201717371 A

20c · · · 側面
30 · · · 玻璃基板
30a · · · 主面
30c · · · 側面
APD · · · 雪崩光電
二極體
BE · · · 凸塊電極
E1 · · · 電極
E3 · · · 電極
E5 · · · 電極
E7 · · · 電極
E9 · · · 電極
L1 · · · 絝緣層
L2 · · · 絝緣層
OA · · · 光學接著劑
PDA · · · 光電二極
體陣列
PF · · · 鈍化膜
R1 · · · 滅弧電阻
TE · · · 貫通電極
TH · · · 貫通孔

201717371

發明摘要

※ 申請案號：105142732（由101129605分割）

※ 申請日： 101/08/15 ※IPC 分類：~~H01L 27/144~~(2006.01)

【發明名稱】

光檢測裝置

【中文】

本發明之半導體光檢測元件10包含：複數個雪崩光電二極體APD，其以蓋革模式動作並且形成於半導體基板1N內；滅弧電阻R1，其相對於各雪崩光電二極體APD串列連接並且配置於半導體基板1N之正面1Na側；及複數個貫通電極TE，其與滅弧電阻R1電性連接且自正面1Na側至正面1Nb側為止貫通半導體基板1N而形成。搭載基板20包含對應於每個貫通電極TE而配置於正面20a側之複數個電極E9。貫通電極TE與電極E9經由凸塊電極BE而電性連接，且半導體基板1N之側面1Nc與玻璃基板30之側面30c為同一平面。

【英文】

【代表圖】

【本案指定代表圖】：第（2）圖。

【本代表圖之符號簡單說明】：

1	光檢測裝置
1N	半導體基板
1Na	正面
1Nb	正面
1Nc	側面
1PA	第一半導體區域
1PB	第二半導體區域
1PC	N型(第一導電型)半導體區域
10	半導體光檢測元件
20	搭載基板
20a	正面
20c	側面
30	玻璃基板
30a	正面
30c	側面
APD	雪崩光電二極體
BE	凸塊電極
E1	電極
E3	電極
E5	電極
E7	電極

E9	電極
L1	絕緣層
L2	絕緣層
OA	光學接著劑
PDA	光電二極體陣列
PF	鈍化膜
R1	滅弧電阻
TE	貫通電極
TH	貫通孔

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：
(無)

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】

光檢測裝置

【技術領域】

本發明係關於一種光檢測裝置。

【先前技術】

已知有一種光電二極體陣列(半導體光檢測元件)，其包括以蓋革模式(Geiger mode)動作之複數個雪崩光電二極體(avalanche photodiode)、串列連接於各雪崩光電二極體之滅弧電阻(quenching resistance)、及並列地連接有滅弧電阻之信號線(例如，參照專利文獻1)。該光電二極體陣列係於構成像素之雪崩光電二極體檢測光子並進行蓋革放電時，藉由連接於雪崩光電二極體之滅弧電阻之作用而獲得脈衝狀之信號。各雪崩光電二極體分別對光子進行計數。因此，即使於複數個光予以相同之時序入射時，亦根據總輸出脈衝之輸出電荷量或信號強度而判明已入射之光子數。

先前技術文獻

專利文獻

專利文獻1：日本專利特開2011-003739號公報

【發明內容】

發明所欲解決之問題

於上述半導體光檢測元件中，因滅弧電阻並列地連接於信號線，故各雪崩光電二極體彼此亦並列地連接。於具有並列連接之複數個雪崩光電二極體之半導體光檢測元件中，有用以導引自各雪崩光電二極體輸出之信號之配線(信號線)之距離(以下稱為「配線距離」)於

像素(雪崩光電二極體)間不同之情形。若配線距離於像素間不同，則受到配線所具有之電阻及電容之影響，時間解析力於像素間不同。

本發明之目的在於提供一種可抑制時間解析力於像素間不同並且可更進一步地提高時間解析力之光檢測裝置。

解決問題之技術手段

本發明係一種光檢測裝置，其包括：半導體光檢測元件，其具有包含相互對向之第一及第二主面之半導體基板；搭載基板，其與半導體光檢測元件對向配置並且具有與半導體基板之第二主面對向之第三主面；以及玻璃基板，其與半導體光檢測元件對向配置並且具有與半導體基板之第一主面對向之第四主面；且半導體光檢測元件包含：複數個雪崩光電二極體，其以蓋革模式動作並且形成於半導體基板內；滅弧電阻，其相對於各雪崩光電二極體串列連接並且配置於半導體基板之第一主面側；以及複數個貫通電極，其與滅弧電阻電性連接且自第一主面側至第二主面側為止貫通半導體基板而形成；且搭載基板包含：複數個第一電極，其對應於各貫通電極而配置於第三主面側；及信號處理部，其與複數個第一電極電性連接且處理來自各雪崩光電二極體之輸出信號；貫通電極與第一電極經由凸塊電極而電性連接，半導體基板之側面與玻璃基板之側面為同一平面。

於本發明中，於半導體光檢測元件之半導體基板，形成有與滅弧電阻電性連接且自第一主面側至第二主面側為止貫通半導體基板之複數個貫通電極，且半導體光檢測元件之貫通電極與搭載基板之第一電極經由凸塊電極而電性連接。因此，可使各像素之配線距離極短並且可使其值無差別而一致。因此，配線所具有之電阻及電容之影響明顯得到抑制，時間解析力更進一步地提高。

於本發明中，可藉由與半導體光檢測元件對向配置之玻璃基板而提高半導體基板之機械強度。因半導體基板之側面與玻璃基板之側

面為同一平面，故可減少無效空間。

於本發明中，與玻璃基板之第四主面對向之主面可為平坦。於該情形時，可極其容易地進行閃爍器對玻璃基板之設置。

於本發明中，貫通電極可位於各雪崩光電二極體間之區域。於該情形時，可防止各像素中之開口率之降低。

於本發明中，半導體光檢測元件亦可更包含電性連接於所對應之貫通電極並且配置於半導體基板之第二主面側之第二電極，且第一電極與第二電極經由凸塊電極而連接。於該情形時，可確實地進行第一電極與第二電極之藉由凸塊電極之連接。

於本發明中，各雪崩光電二極體亦可包含：第一導電體之半導體基板；第二導電型之第一半導體區域，其形成於半導體基板之第一主面側；第二導電型之第二半導體區域，其形成於第一半導體區域內且雜質濃度高於第一半導體區域；及第三電極，其配置於半導體基板之第一主面側且將第二半導體區域與滅弧電阻電性連接；且第二電極形成於第二主面之與第二半導體區域對應之區域上。於該情形時，可相對較大地設定第二電極之尺寸。藉此，可更進一步地確實地進行第一電極與第二電極之藉由凸塊電極之連接，並且可提高連接之機械強度。

於本發明中，亦可於貫通電極中電性連接有複數個滅弧電阻。於該情形時，於像素間可實現貫通電極之共用化，且減少形成於半導體基板之貫通電極之數量。藉此，可抑制半導體基板之機械強度之降低。

於本發明中，自各雪崩光電二極體至經由所對應之滅弧電阻之貫通電極為止之配線距離亦可相等。於該情形時，於像素間已實現貫通電極之共用化之構成中，亦能夠防止時間解析力降低。

發明之效果

根據本發明，可提供一種可抑制時間解析力於像素間不同並且可更進一步地提高時間解析力之光檢測裝置。

【圖式簡單說明】

圖1係表示本發明之實施形態之光檢測裝置之概略立體圖。

圖2係用以說明本實施形態之光檢測裝置之剖面構成之圖。

圖3係半導體光檢測元件之概略平面圖。

圖4係半導體光檢測元件之概略平面圖。

圖5係光檢測裝置之電路圖。

圖6係搭載基板之概略平面圖。

圖7係用以說明本實施形態之光檢測裝置之製造過程之圖。

圖8係用以說明本實施形態之光檢測裝置之製造過程之圖。

圖9係用以說明本實施形態之光檢測裝置之製造過程之圖。

圖10係用以說明本實施形態之光檢測裝置之製造過程之圖。

圖11係用以說明本實施形態之光檢測裝置之製造過程之圖。

圖12係用以說明本實施形態之光檢測裝置之製造過程之圖。

圖13係用以說明本實施形態之光檢測裝置之製造過程之圖。

圖14係半導體光檢測元件之概略平面圖。

【實施方式】

以下，參照隨附圖式，對於本發明之較佳之實施形態進行詳細說明。再者，於說明中，對於相同要素或具有相同功能之要素使用相同符號，並省略重複之說明。

參照圖1~圖6，對本實施形態之光檢測裝置1之構成進行說明。

圖1係表示本實施形態之光檢測裝置之概略立體圖。圖2係用以說明本實施形態之光檢測裝置之剖面構成之圖。圖3及圖4係半導體光檢測元件之概略平面圖。圖5係光檢測裝置之電路圖。圖6係搭載基板之概略平面圖。

如圖1及圖2所示，光檢測裝置1包括半導體光檢測元件10、搭載基板20、及玻璃基板30。搭載基板20與半導體光檢測元件10對向配置。玻璃基板30與半導體光檢測元件10對向配置。半導體光檢測元件10配置於搭載基板20與玻璃基板30之間。

半導體光檢測元件10包含光電二極體陣列PDA (photodiode array)。光電二極體陣列PDA具有於俯視時呈矩形形狀之半導體基板1N。半導體基板1N包含相互對向之正面1Na與正面1Nb。半導體基板1N為包含Si之N型(第一導電型)半導體基板。

光電二極體陣列PDA包含形成於半導體基板1N之複數個雪崩光電二極體APD(avalanche photodiode)。於各雪崩光電二極體APD中，亦如圖3所示，串列連接有滅弧電阻R1。一個雪崩光電二極體APD構成光電二極體陣列PDA中之一個像素。各雪崩光電二極體APD係於分別與滅弧電阻R1串列連接之狀態下全部並列地連接，且自電源施加逆向偏壓。來自雪崩光電二極體APD之輸出電流係藉由下述信號處理部SP而檢測。於圖3中，為使結構明確化，而省略圖2所示之絕緣層L1之記載。

各雪崩光電二極體APD包含P型(第二導電型)第一半導體區域1PA、及P型(第二導電型)第二半導體區域1PB。第一半導體區域1PA形成於半導體基板1N之正面1Na側。第二半導體區域1PB形成於第一半導體區域1PA內且雜質濃度高於第一半導體區域1PA。第二半導體區域1PB之平面形狀為例如多邊形(於本實施形態中為八邊形)。第一半導體區域1PA之深度較第二半導體區域1PB深。

半導體基板1N具有N型(第一導電型)半導體區域1PC。半導體區域1PC形成於半導體基板1N之正面1Na側。半導體區域1PC係防止形成於N型半導體基板1N與P型第一半導體區域1PA之間之PN接面於下述配置有貫通電極TE之貫通孔TH露出。半導體區域1PC形成於與貫

通孔TH(貫通電極TE)對應之位置。

如圖3所示，各雪崩光電二極體APD包含電極E1及電極E3。電極E1及電極E3係分別配置於半導體基板1N之正面1Na側。電極E1電性連接於第二半導體區域1PB。電極E3自主面1Na側觀察係隔著絕緣層L1而配置於第二半導體區域1PB之外側之半導體基板1N上。第一半導體區域1PA係經由第二半導體區域1PB而電性連接於電極E1。

雪崩光電二極體APD亦如圖4所示包含分別配置於半導體基板1N之正面1Nb側且電性連接於半導體基板1N之電極(省略圖示)、電極E5、及連接於該電極E5之電極E7。電極E5自主面1Nb側觀察係隔著絕緣層L2而配置於第二半導體區域1PB之外側之半導體基板1N上。電極E7自主面1Nb側觀察係隔著絕緣層L2而配置於與第二半導體區域1PB重複之半導體基板1N上。電極E7配置於正面1Nb中之與第二半導體區域1PB對應之區域上。於圖4中，為使結構明確化，而省略圖2所示之鈍化膜PF之記載。

光電二極體陣列PDA係針對各雪崩光電二極體APD之每一個而具有滅弧電阻R1。各滅弧電阻R1係隔著絕緣層L1而配置於第二半導體區域1PB之外側之半導體基板1N上。滅弧電阻R1配置於半導體基板1N之正面1Na側。滅弧電阻R1之一端連接於電極E1，另一端連接於電極E3。

光電二極體陣列PDA包含複數個貫通電極TE。貫通電極TE係針對各雪崩光電二極體APD之每一個而設置。貫通電極TE係自主面1Na側至正面1Nb側為止貫通半導體基板1N而形成。貫通電極TE配置於貫通半導體基板1N之貫通孔TH內。絕緣層L2亦形成於貫通孔TH內。因此，貫通電極TE隔著絕緣層L2而配置於貫通孔TH內。

貫通電極TE之一端連接於電極E3，另一端連接於電極E5。滅弧電阻R1經由電極E3、貫通電極TE、及電極E5而電性連接於電極E7。

貫通電極TE於俯視時係配置於雪崩光電二極體APD間之區域。於本實施形態中，雪崩光電二極體APD係於第一方向上二維排列為M列，於與第一方向正交之第二方向上二維排列為N行(M、N為自然數)。貫通電極TE形成於由4個雪崩光電二極體APD包圍之區域。貫通電極TE因針對每個雪崩光電二極體APD而設置，故於第一方向上二維排列為M列，於第二方向上二維排列為N行。

滅弧電阻R1之電阻率高於連接滅弧電阻R1之電極E1。滅弧電阻R1例如包含多晶矽。作為滅弧電阻R1之形成方法，可使用CVD(Chemical Vapor Deposition，化學氣相沈積)法。

電極E1、E3、E5、E7及貫通電極TE包含鋁等金屬。於半導體基板包含Si之情形時，作為電極材料，除鋁以外，亦較多地使用AuGe/Ni等。雖亦取決於製程設計，但電極E5、電極E7、及貫通電極TE可一體地形成。作為電極E1、E3、E5、E7及貫通電極TE之形成方法，可使用濺鍍法。

作為使用Si之情形時之P型雜質，使用B等3族元素，同樣地作為N型雜質，使用N、P、或As等5族元素。即便作為半導體之導電型之N型與P型相互置換而構成元件，亦能夠使該元件發揮功能。作為該等雜質之添加方法，可使用擴散法或離子植入法。

作為絕緣層L1、L2之材料，可使用 SiO_2 或 SiN 。作為絕緣層L1、L2之形成方法，於絕緣層L1、L2包含 SiO_2 之情形時，可使用熱氧化法或濺鍍法。

於上述結構之情形時，藉由在N型半導體基板1N與P型第一半導體區域1PA之間構成PN接面，而形成有雪崩光電二極體APD。半導體基板1N電性連接於形成於基板1N之背面之電極(省略圖示)，第一半導體區域1PA經由第二半導體區域1PB而連接於電極E1。滅弧電阻R1相對於雪崩光電二極體APD而串列連接(參照圖5)。

於光電二極體陣列PDA中，使各雪崩光電二極體APD以蓋革模式動作。於蓋革模式中，將大於雪崩光電二極體APD之擊穿電壓(breakdown voltage)之逆向電壓(逆向偏壓)施加於雪崩光電二極體APD之陽極與陰極之間。對陽極施加(-)電位V1，對陰極施加(+)電位V2。該等電位之極性相對，且亦能夠將其中一個電位設為接地電位。

陽極為P型第一半導體區域1PA，陰極為N型半導體基板1N。若光(光子)入射至雪崩光電二極體APD，則於基板內部進行光電轉換而產生光電子。於第一半導體區域1PA之PN接面界面之附近區域，進行雪崩倍增，經放大之電子群向形成於半導體基板1N之背面之電極流動。即，若光(光子)入射至半導體光檢測元件10(光電二極體陣列PDA)中之任一像素(雪崩光電二極體APD)，則倍增而作為信號自電極E3(貫通電極TE)發出。

如圖2及圖13所示，搭載基板20包含相互對向之主面20a與主面20b。搭載基板20於俯視時呈矩形形狀。主面20a與半導體基板1N之主面1Nb對向。搭載基板20包含配置於主面20a側之複數個電極E9。如圖2所示，電極E9對應於貫通電極TE而配置。具體而言，電極E9配置於主面20a之與電極E7對向之各區域上。

半導體基板1N之側面1Nc與搭載基板20之側面20c如圖1及圖2所示為同一平面。於俯視時，半導體基板1N之外緣與搭載基板20之外緣一致。

電極E7與電極E9係藉由凸塊電極BE而連接。藉此，貫通電極TE經由電極E5、電極E7、及凸塊電極BE而電性連接於電極E9。而且，滅弧電阻R1經由電極E3、貫通電極TE、電極E5、電極E7、及凸塊電極BE而電性連接於電極E9。電極E9亦與電極E1、E3、E5、E7及貫通電極TE同樣地包含鋁等金屬。作為電極材料，除鋁以外，亦可使用AuGe/Ni等。凸塊電極BE例如包含焊料。

搭載基板20亦如圖5所示包含信號處理部SP。搭載基板20構成ASIC(Application Specific Integrated Circuit，特殊應用積體電路)。各電極E9係經由形成於搭載基板20內之配線(省略圖示)而與信號處理部SP電性連接。於信號處理部SP中，輸入來自各雪崩光電二極體APD(半導體光檢測元件10)之輸出信號，信號處理部SP處理來自各雪崩光電二極體APD之輸出信號。信號處理部SP包含將來自各雪崩光電二極體APD之輸出信號轉換為數位脈衝之CMOS (Complementary Metal Oxide Semiconductor，互補金屬氧化半導體)電路。搭載基板20係以對應於各像素(雪崩光電二極體APD)而包含記錄時間資訊之電路之方式構成。作為記錄時間資訊之電路，使用時間數位轉換器(TDC：Time to Digital Convertor)、或時間電壓轉換器(TAC：Time to Amplitude Convertor)等。藉此，於搭載基板20內之配線距離之差不會對時間解析力造成影響。

於半導體基板1N之正面1Nb側及搭載基板20之正面20a側配置有於與凸塊電極BE對應之位置形成有開口之鈍化膜PF。鈍化膜PF例如包含SiN。作為鈍化膜PF之形成方法，可使用CVD法。

玻璃基板30包含相互對向之正面30a與正面30b。玻璃基板30於俯視時呈矩形形狀。正面30a與半導體基板1N之正面1Nb對向。正面30b為平坦。於本實施形態中，正面30a亦為平坦。玻璃基板30與半導體光檢測元件10係藉由光學接著劑OA而光學性地連接。玻璃基板30亦可直接形成於半導體光檢測元件10上。

雖省略圖示，但於玻璃基板30之正面30b藉由光學接著劑而光學性地連接有閃爍器。來自閃爍器之閃爍光通過玻璃基板30入射至半導體光檢測元件10。

半導體基板1N之側面1Nc與玻璃基板30之側面30c亦如圖1所示為同一平面。於俯視時，半導體基板1N之外緣與玻璃基板30之外緣一

致。

其次，參照圖7~圖13，對上述光檢測裝置1之製造過程進行說明。圖7~圖13係用以說明本實施形態之光檢測裝置之製造過程之圖。

首先，準備形成有與光電二極體陣列PDA對應之部分(第一半導體區域1PA、第二半導體區域1PB、絕緣層L1、滅弧電阻R1、電極E1、及電極E3)之半導體基板1N(參照圖7)。半導體基板1N係以形成有複數個與光電二極體陣列PDA對應之部分之半導體晶圓之態樣準備。

其次，於所準備之半導體基板1N上經由光學接著劑OA而接著玻璃基板30(參照圖8)。藉此，玻璃基板30與半導體光檢測元件10光學性地連接。玻璃基板30亦與半導體基板1N同樣地以包含複數個玻璃基板30之玻璃基板母材之態樣準備。

繼而，使半導體基板1N自主面1Nb側薄化(參照圖9)。半導體基板1N之薄化方法可使用機械研磨法或化學研磨法。

繼而，於半導體基板1N形成用以配置貫通電極TE之貫通孔TH(參照圖10)。貫通孔TH之形成方法可適當選擇應用乾式蝕刻法及濕式蝕刻法。

繼而，於形成有貫通孔TH之半導體基板1N形成與光電二極體陣列PDA對應之部分(貫通電極TE、電極E5、及電極E7)(參照圖11)。

繼而，於半導體基板1N之主面1Nb側形成於與凸塊電極BE對應之位置形成有開口之鈍化膜PF，其後，形成凸塊電極BE(參照圖12)。藉此，獲得半導體光檢測元件10與玻璃基板30對向配置之構成。於形成凸塊電極BE之前，於電極E7之自鈍化膜PF露出之區域形成UBM(Under Bump Metal，凸塊底層金屬)。UBM包含與凸塊電極BE電性及物理性連接優異之材料。UBM之形成方法可使用非電解鍍敷法。凸塊電極BE之形成方法可使用搭載焊球之方法或印刷法。

繼而，將配置有玻璃基板30之半導體光檢測元件10與另外準備之搭載基板20凸塊連接(參照圖13)。藉此，獲得對向配置有玻璃基板30之半導體光檢測元件10與搭載基板20對向配置之構成。於搭載基板20之正面20a側，於與電極E9對應之位置形成有凸塊電極BE。搭載基板20亦以形成有複數個搭載基板20之半導體晶圓之態樣中準備。

繼而，藉由切割而切斷包含玻璃基板30(玻璃基板母材)、半導體光檢測元件10(半導體晶圓)、及搭載基板20(半導體晶圓)之積層體。藉此，半導體基板1N之側面1Nc、搭載基板20之側面20c及玻璃基板30之側面30c為同一平面。藉由該等過程而獲得各光檢測裝置1。

如以上般，於本實施形態中，於半導體光檢測元件10(光電二極體陣列PDA)之半導體基板1N形成有與滅弧電阻R1電性連接且自主面1Na側至正面1Nb側為止貫通半導體基板1N之複數個貫通電極TE。半導體光檢測元件10之貫通電極TE與搭載基板20之電極E9經由凸塊電極BE而電性連接。藉此，可自各像素(雪崩光電二極體APD)使配線距離極短並且可使其值無差別而一致。因此，自各像素之配線所具有之電阻及電容之影響明顯得到抑制，時間解析力更進一步地提高。

於本實施形態中，可藉由與半導體光檢測元件10對向配置之玻璃基板30而提高半導體基板1N之機械強度。尤其於半導體基板1N已薄化之情形時極其有效。

半導體基板1N之側面1Nc與玻璃基板30之側面30c為同一平面。因此，可減少無效空間。半導體基板1N之側面1Nc與搭載基板20之側面20c亦為同一平面。因此，可更進一步地減少無效空間。

玻璃基板30之正面30b為平坦。藉此，可極其容易地進行閃爍器對玻璃基板30之設置。

於本實施形態中，貫通電極TE位於各雪崩光電二極體APD間之區域。藉此，可防止各像素中之開口率之降低。

半導體光檢測元件10包含電性連接於所對應之貫通電極TE並且配置於半導體基板1N之正面1Nb側之電極E7，且電極E7與電極E9經由凸塊電極BE而連接。藉此，可確實地進行電極E7與電極E9之藉由凸塊電極BE之連接。

各雪崩光電二極體APD包含半導體基板1N、第一半導體區域1PA、第二半導體區域1PB、及將第二半導體區域1PB與滅弧電阻R1電性連接之電極E1，且電極E7形成於正面1Nb之與第二半導體區域1PB對應之區域上。藉此，可相對較大地設定電極E7之尺寸。結果，可更進一步地確實地進行電極E7與電極E9之藉由凸塊電極BE之連接，並且可提高該連接之機械強度。

以上，對本發明之較佳之實施形態進行了說明，但本發明未必限定於上述實施形態，可於不脫離其主旨之範圍內進行各種變更。

於一個貫通電極TE中，電性連接有一個滅弧電阻R1，但並不限定於此。亦可如圖14所示，於一個貫通電極TE中電性連接有複數個滅弧電阻(例如4個滅弧電阻)1R。於該情形時，於像素間可實現貫通電極TE之共用化，從而可減少形成於半導體基板1N之貫通電極TE之數量。藉此，可抑制半導體基板1N之機械強度之降低。電性連接於一個貫通電極TE之滅弧電阻之數量並不限定於「4」，可為「3」以下，且亦可為「5」以上。

當於一個貫通電極TE中電性連接有複數個滅弧電阻R1之情形時，較佳為自各雪崩光電二極體APD至經由所對應之滅弧電阻R1之貫通電極TE為止之配線距離相等。於該情形時，於像素間已實現貫通電極TE之共用化之構成中，亦能夠防止時間解析力降低。

第一及第二半導體區域1PA、1PB之形狀並不限定於上述形狀，亦可為其他形狀(例如圓形狀等)。雪崩光電二極體APD(第二半導體區域1PB)之數量(列數及行數)或排列並不限定於上述者。

產業上之可利用性

本發明可利用於檢測微弱光之光檢測裝置。

【符號說明】

1	光檢測裝置
1N	半導體基板
1Na	正面
1Nb	正面
1Nc	側面
1PA	第一半導體區域
1PB	第二半導體區域
10	半導體光檢測元件
20	搭載基板
20a	正面
20b	正面
20c	側面
30	玻璃基板
30a	正面
30b	正面
30c	側面
APD	雪崩光電二極體
BE	凸塊電極
E1	電極
E3	電極
E5	電極
E7	電極
E9	電極

PDA	光電二極體陣列
R1	滅弧電阻
SP	信號處理部
TE	貫通電極

申請專利範圍

1. 一種光檢測裝置，其包括：

半導體光檢測元件，其具有包含相互對向之第一及第二主面之半導體基板；

搭載基板，其與上述半導體光檢測元件對向配置並且具有與上述半導體基板之上述第二主面對向之第三主面；以及

光透過性基板，其與上述半導體光檢測元件對向配置並且具有與上述半導體基板之上述第一主面對向之第四主面；且

上述半導體光檢測元件包含：複數個雪崩光電二極體，其以蓋革模式動作並且形成於上述半導體基板；滅弧電阻，其相對於各上述雪崩光電二極體串列連接並且配置於上述半導體基板之上述第一主面側；及貫通電極，其與上述滅弧電阻電性連接且貫通上述半導體基板；且

上述搭載基板包含：第一電極，其配置於上述第三主面側並且與上述貫通電極電性連接；且

上述半導體基板之側面與上述光透過性基板之側面為同一平面。

2. 如請求項1之光檢測裝置，其中與上述光透過性基板之上述第四主面對向之主面為平坦。

3. 如請求項1或2之光檢測裝置，其中上述貫通電極位於各上述雪崩光電二極體間之區域。

4. 如請求項1或2之光檢測裝置，其中上述半導體光檢測元件更包含電性連接於上述貫通電極並且配置於上述半導體基板之上述第二主面側之第二電極；且

上述第一電極與上述第二電極經由上述凸塊電極而連接。

5. 如請求項3之光檢測裝置，其中上述半導體光檢測元件更包含電性連接於上述貫通電極並且配置於上述半導體基板之上述第二正面側之第二電極；且

上述第一電極與上述第二電極經由上述凸塊電極而連接。

6. 如請求項4之光檢測裝置，其中各上述雪崩光電二極體包含：

第一導電體之上述半導體基板；

第二導電型之第一半導體區域，其形成於上述半導體基板之上述第一正面側；

第二導電型之第二半導體區域，其形成於上述第一半導體區域內且雜質濃度高於上述第一半導體區域；及

第三電極，其配置於上述半導體基板之上述第一正面側且將上述第二半導體區域與上述滅弧電阻電性連接；且

上述第二電極形成於上述第二正面之與上述第二半導體區域對應之區域上。

7. 如請求項5之光檢測裝置，其中各上述雪崩光電二極體包含：

第一導電體之上述半導體基板；

第二導電型之第一半導體區域，其形成於上述半導體基板之上述第一正面側；

第二導電型之第二半導體區域，其形成於上述第一半導體區域內且雜質濃度高於上述第一半導體區域；及

第三電極，其配置於上述半導體基板之上述第一正面側且將上述第二半導體區域與上述滅弧電阻電性連接；且

上述第二電極形成於上述第二正面之與上述第二半導體區域對應之區域上。

8. 如請求項1或2之光檢測裝置，其中自各上述雪崩光電二極體至經由所對應之上述滅弧電阻之上述貫通電極為止之配線距離相

等。

9. 如請求項3之光檢測裝置，其中自各上述雪崩光電二極體至經由所對應之上述滅弧電阻之上述貫通電極為止之配線距離相等。
10. 如請求項4之光檢測裝置，其中自各上述雪崩光電二極體至經由所對應之上述滅弧電阻之上述貫通電極為止之配線距離相等。
11. 如請求項5之光檢測裝置，其中自各上述雪崩光電二極體至經由所對應之上述滅弧電阻之上述貫通電極為止之配線距離相等。
12. 如請求項6之光檢測裝置，其中自各上述雪崩光電二極體至經由所對應之上述滅弧電阻之上述貫通電極為止之配線距離相等。
13. 如請求項7之光檢測裝置，其中自各上述雪崩光電二極體至經由所對應之上述滅弧電阻之上述貫通電極為止之配線距離相等。

圖式

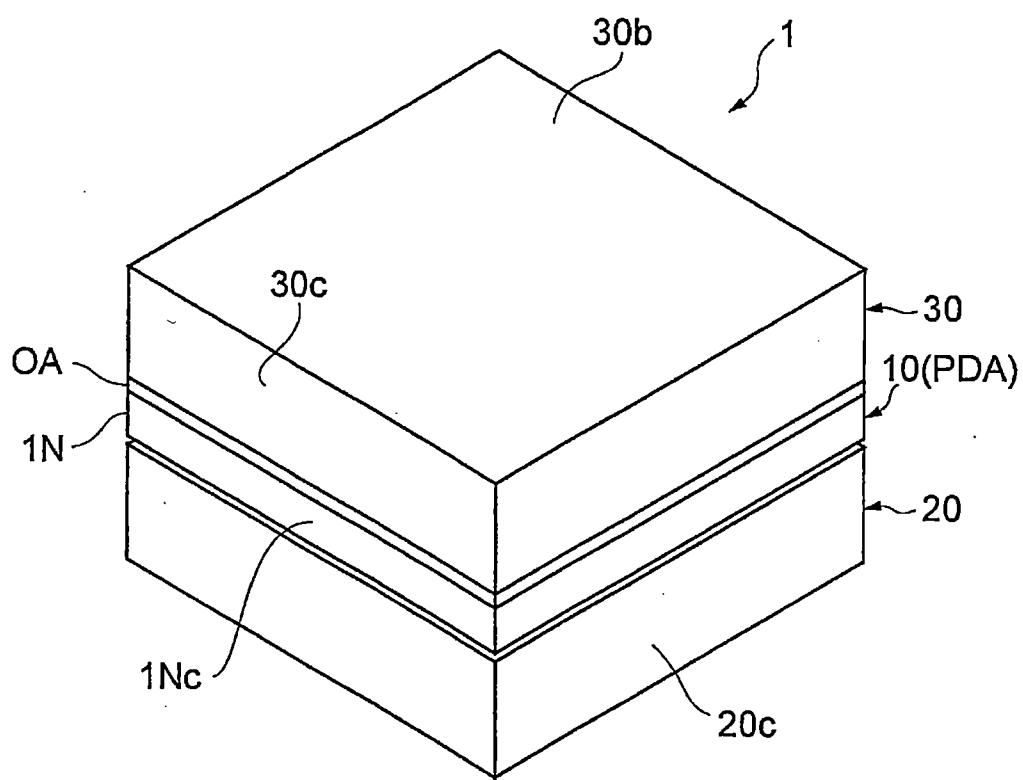
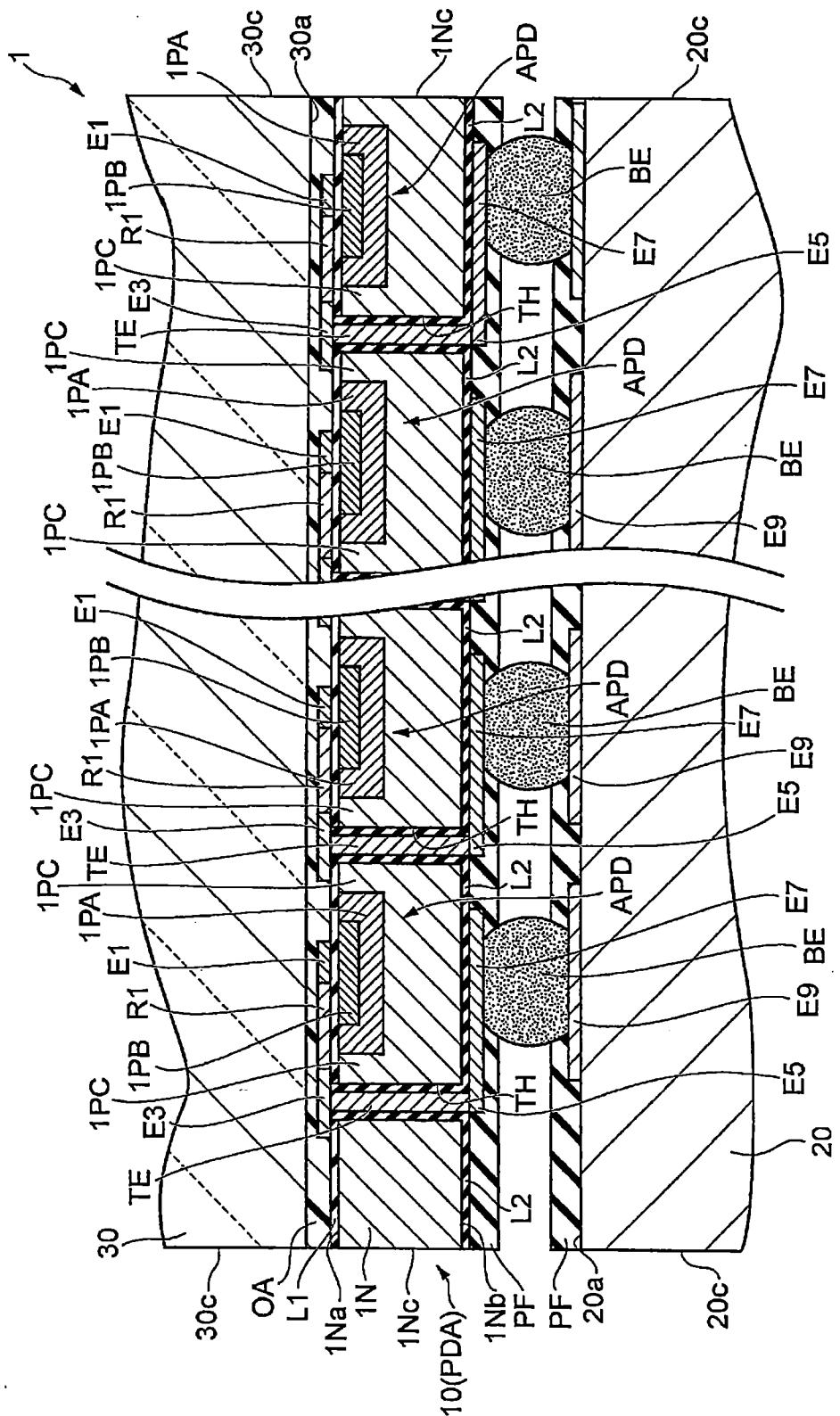


圖 1



2

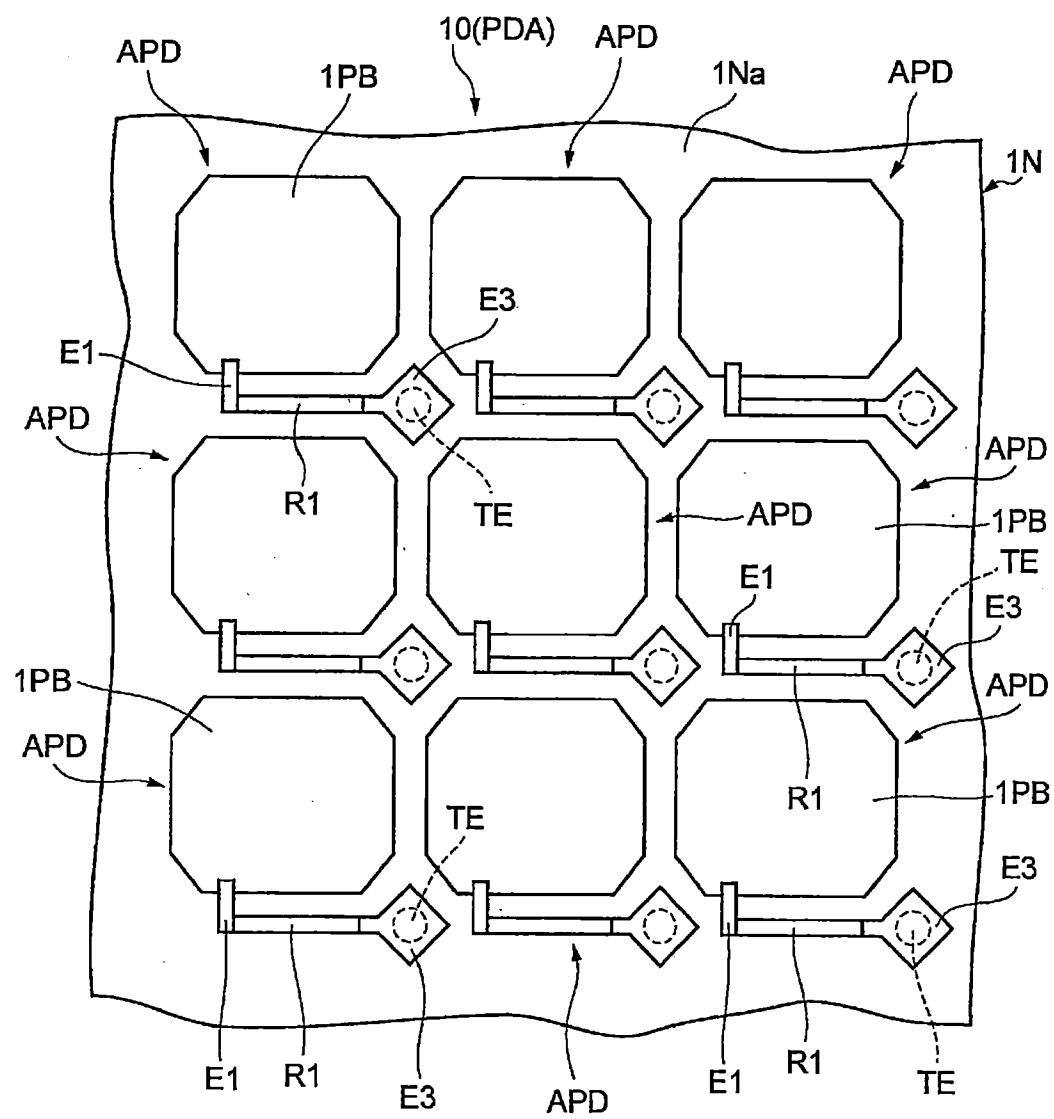


圖 3

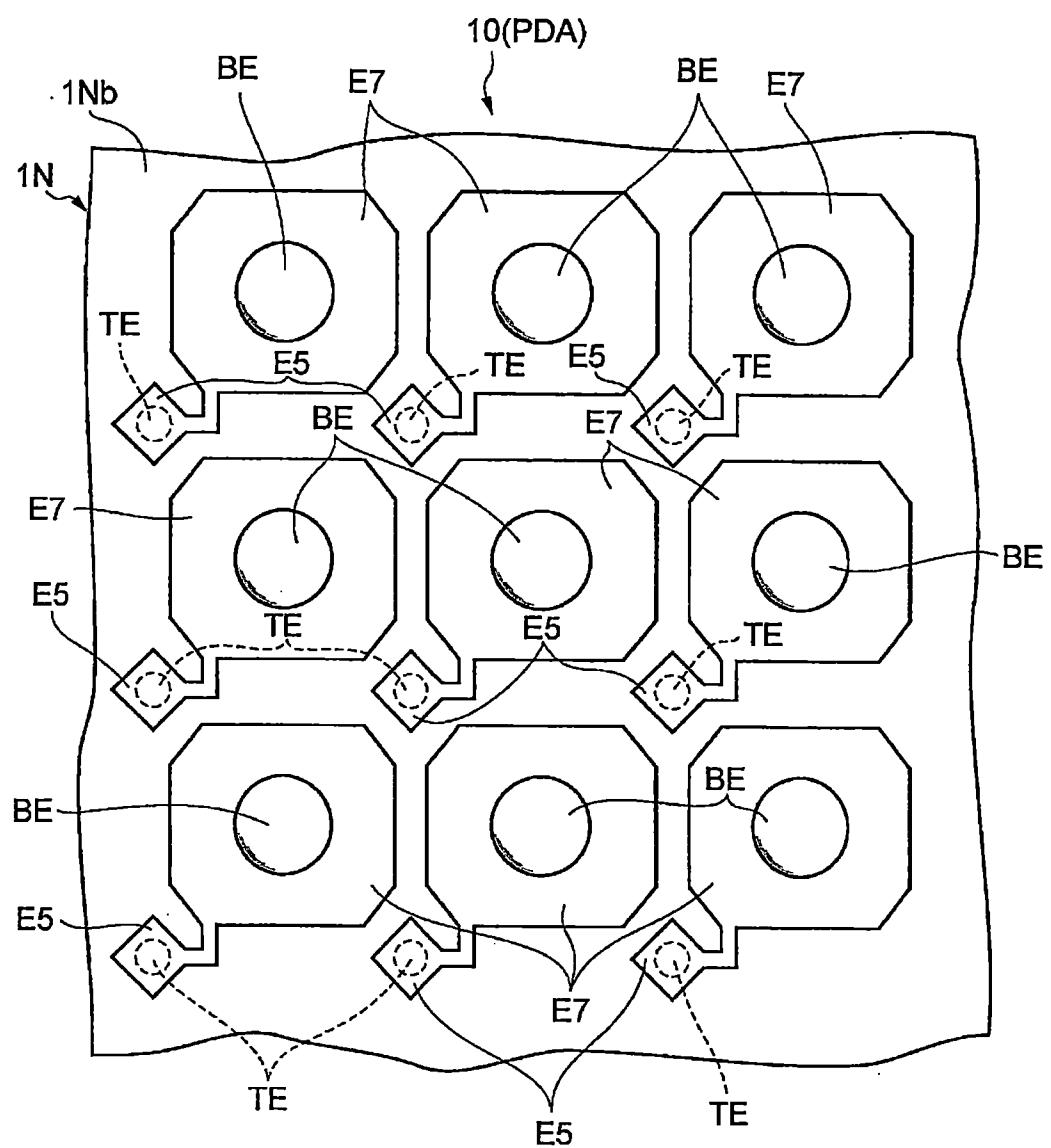


圖 4

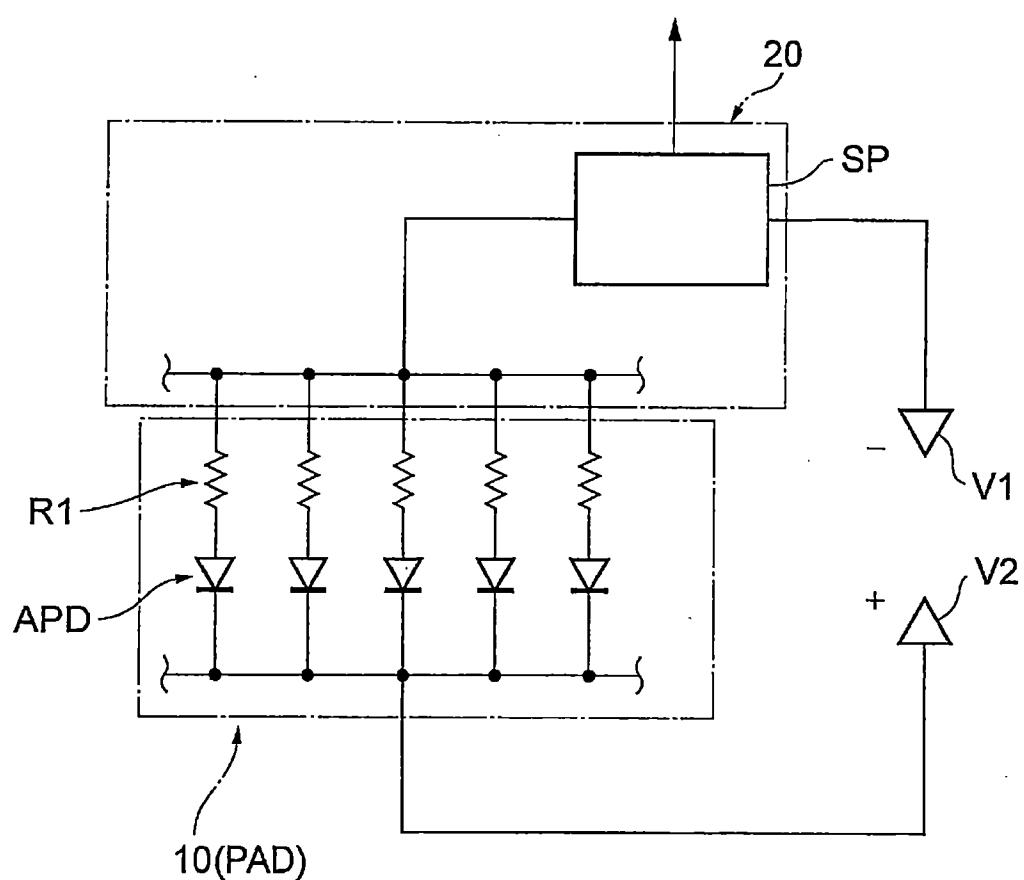


圖 5

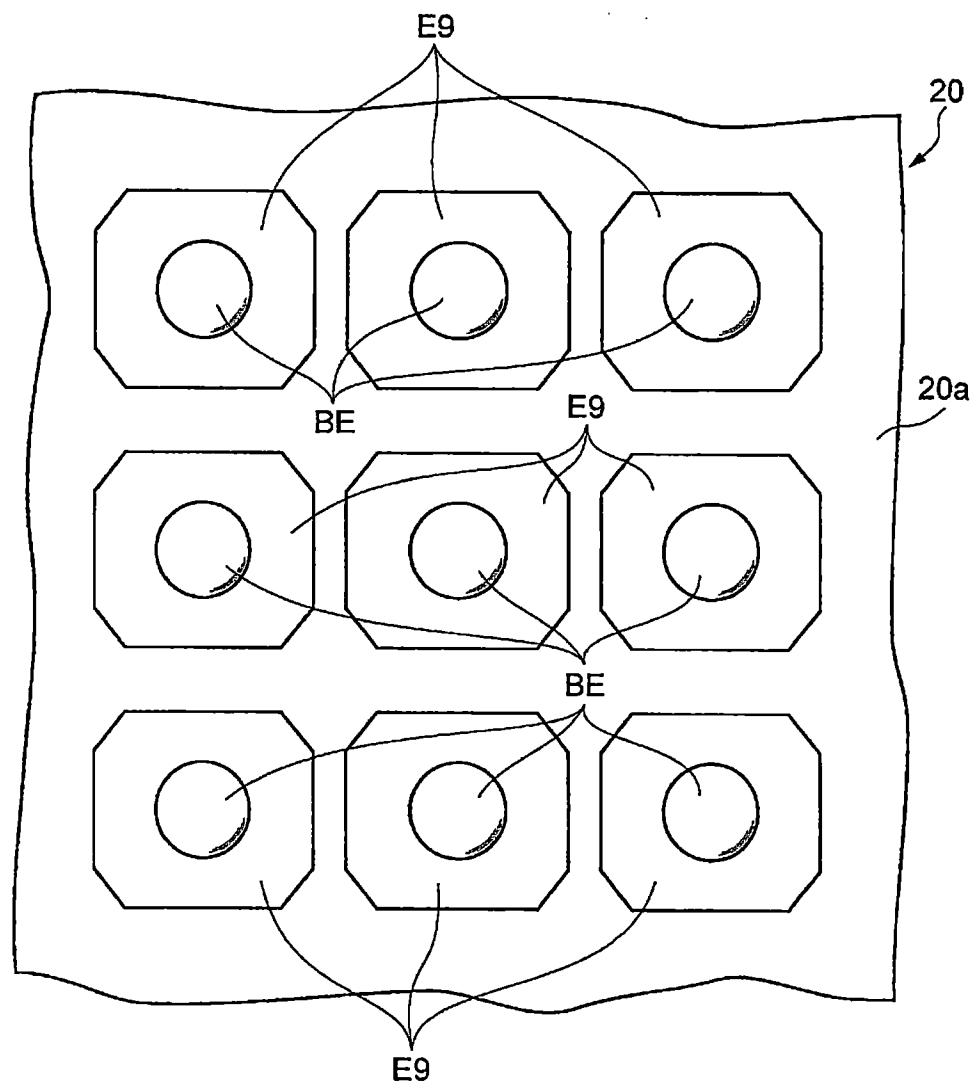


圖 6

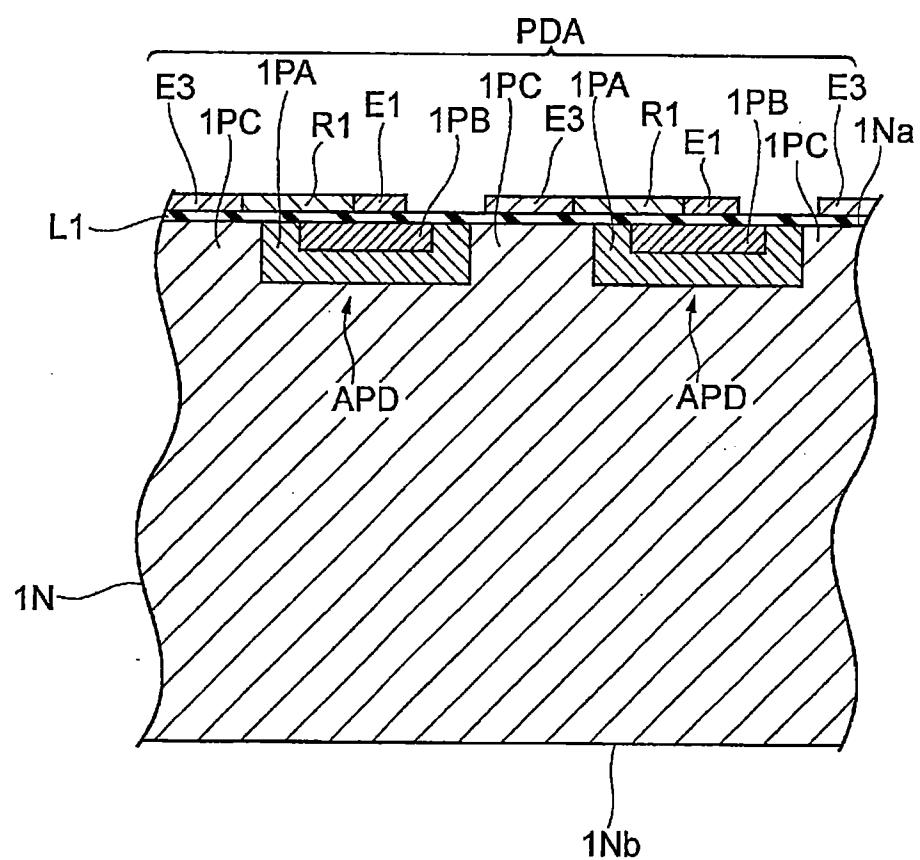


圖 7

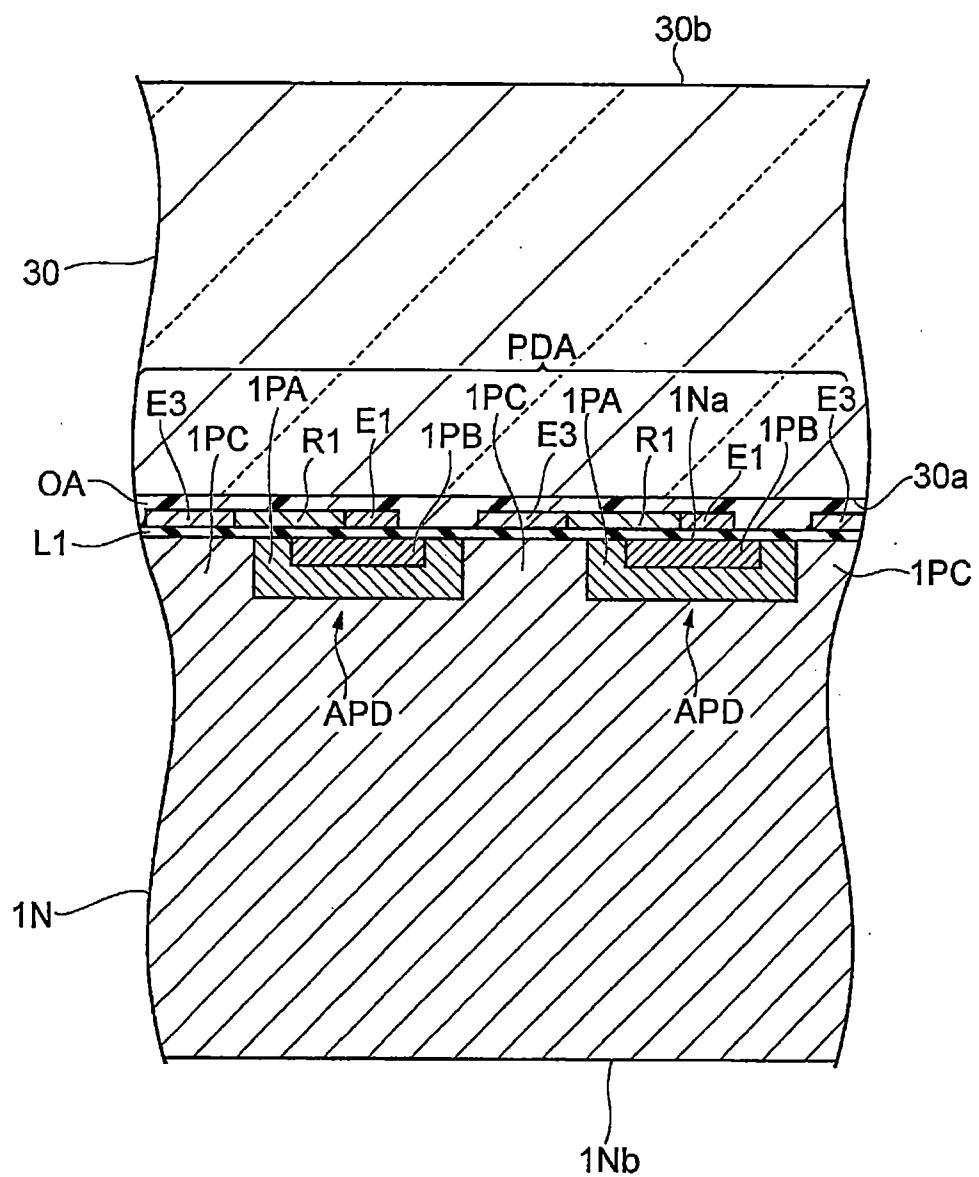


圖 8

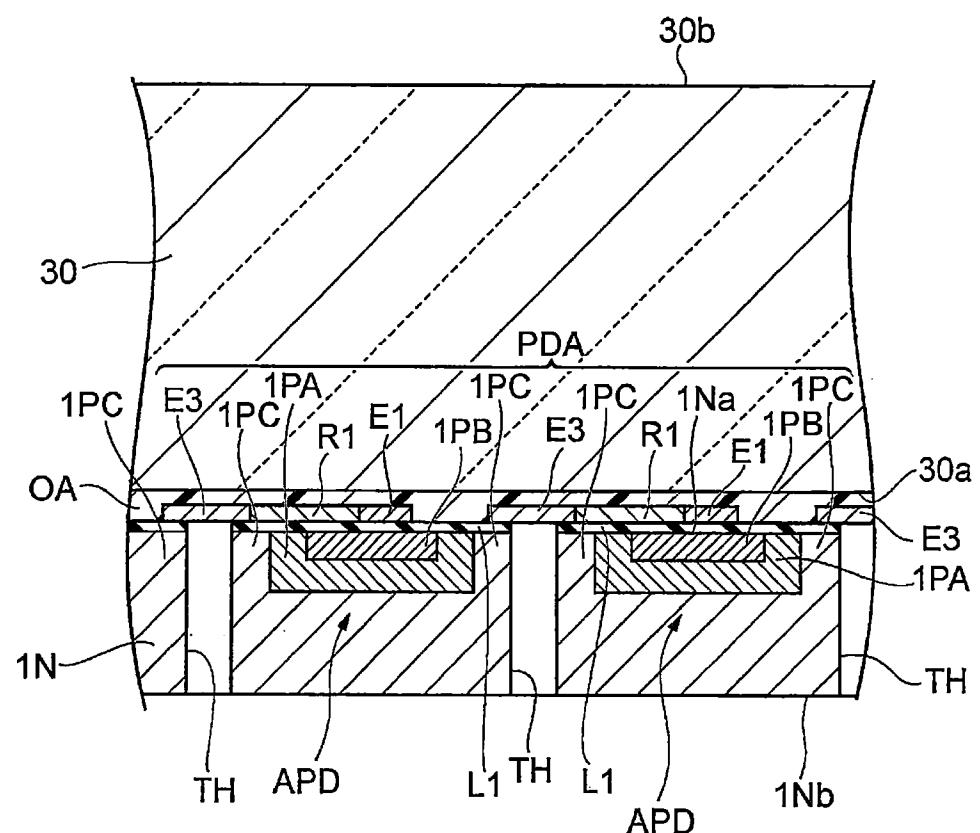


圖 9

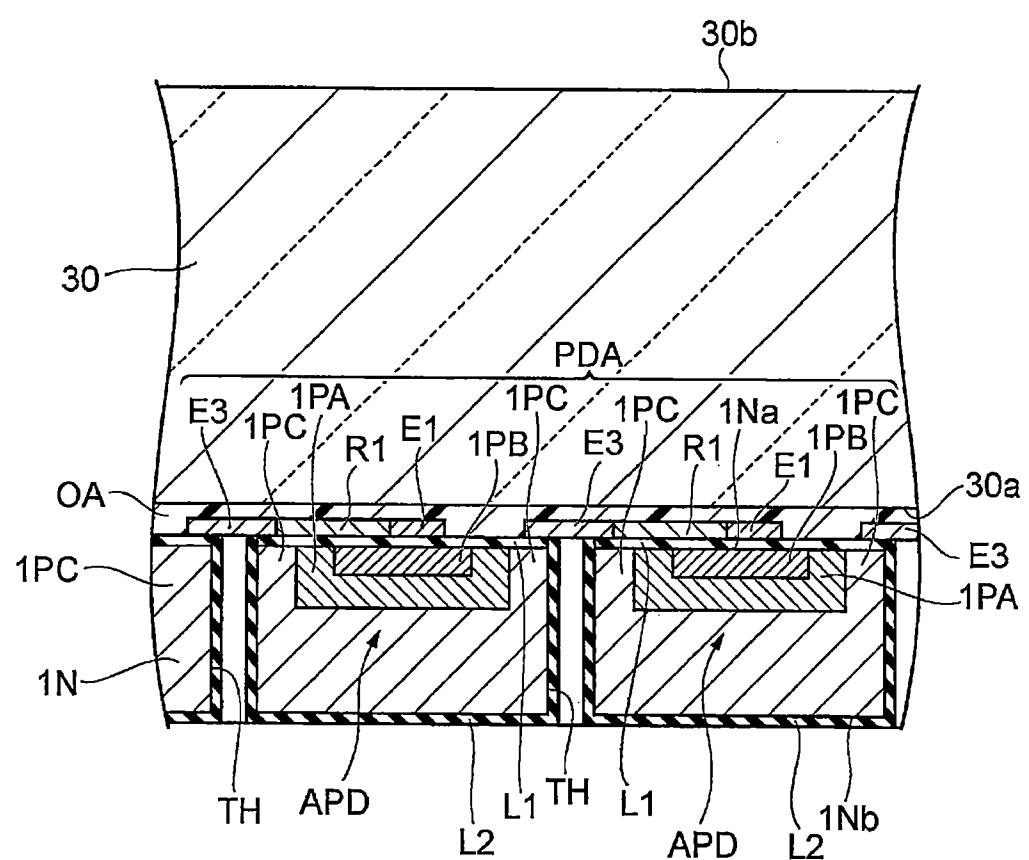


圖 10

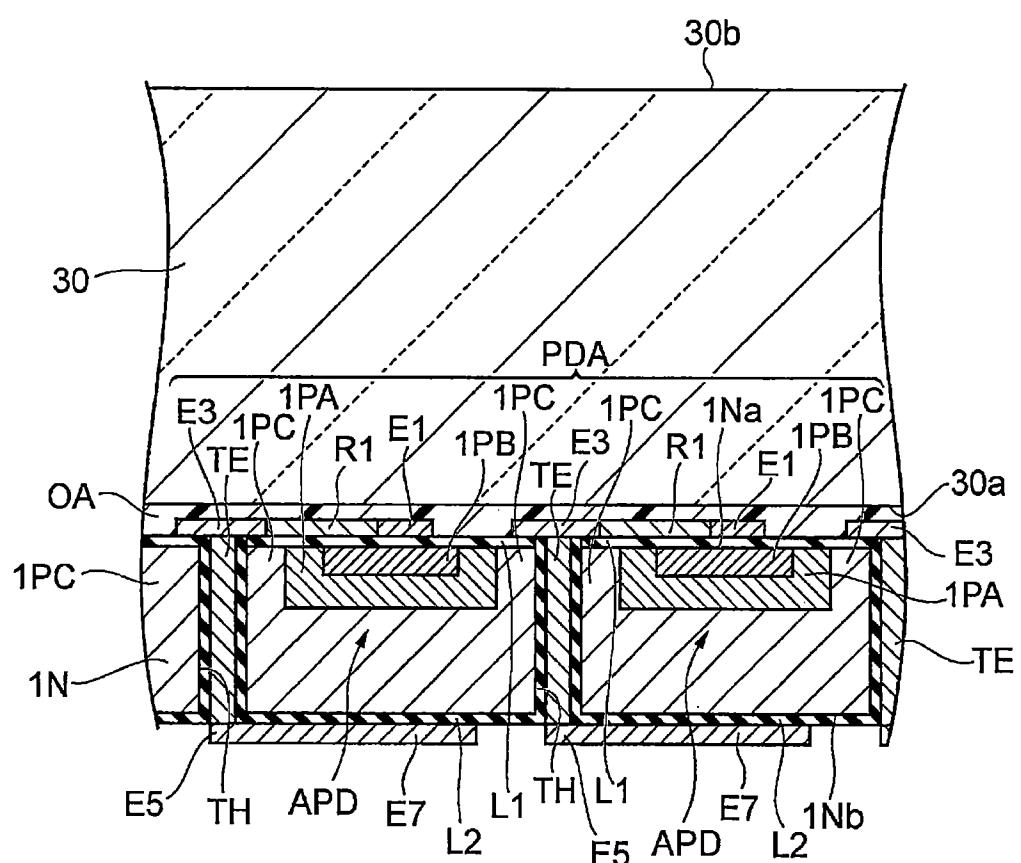


圖 11

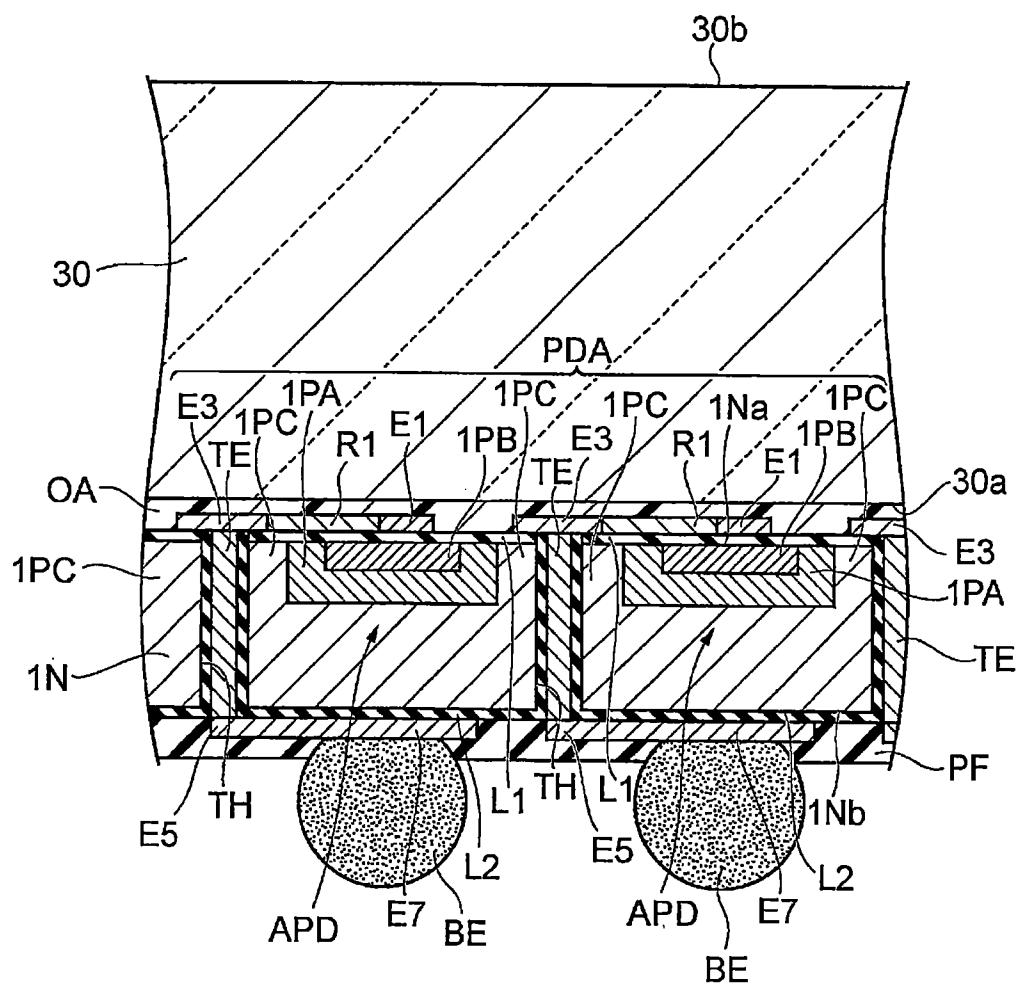


圖 12

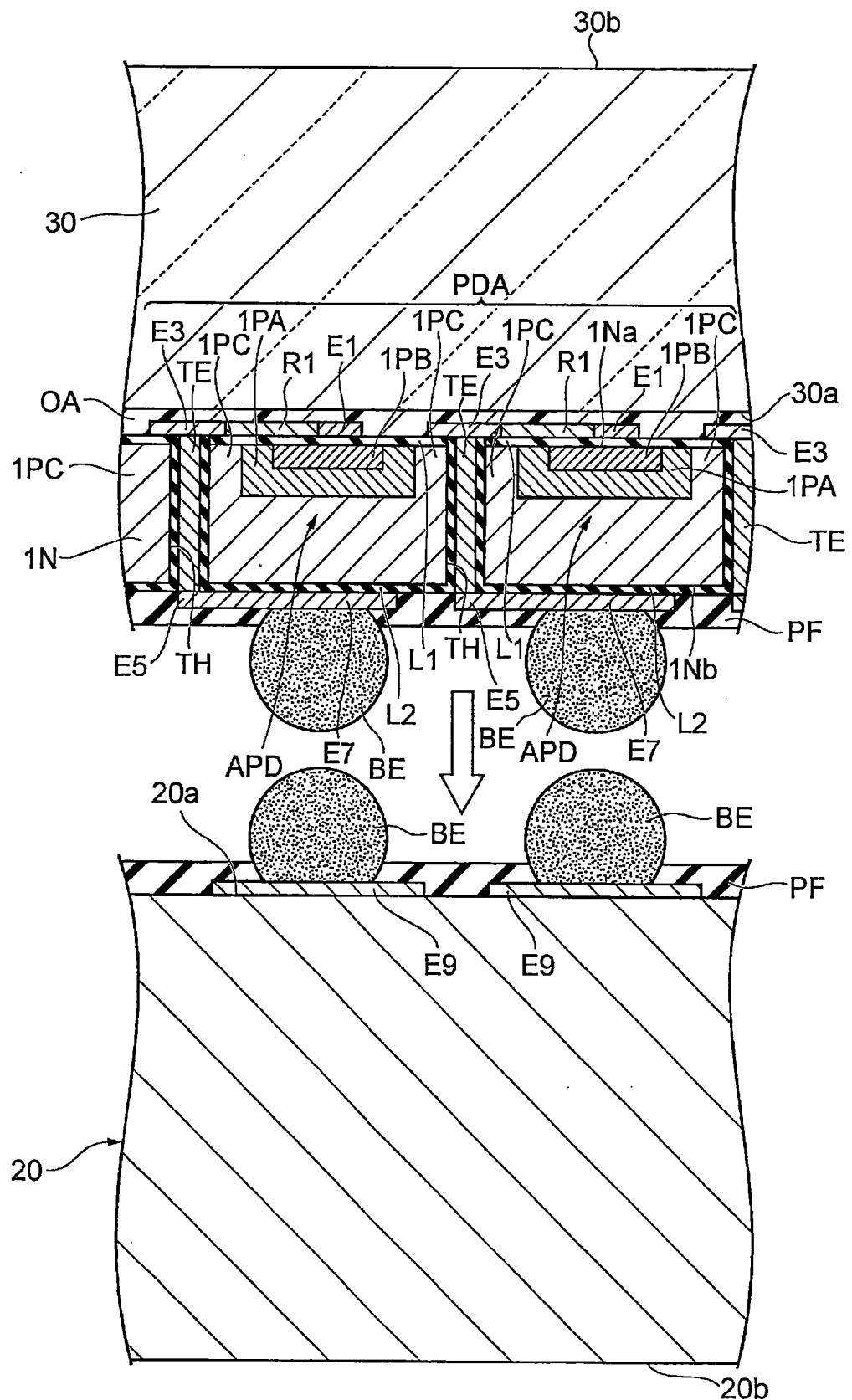


圖 13

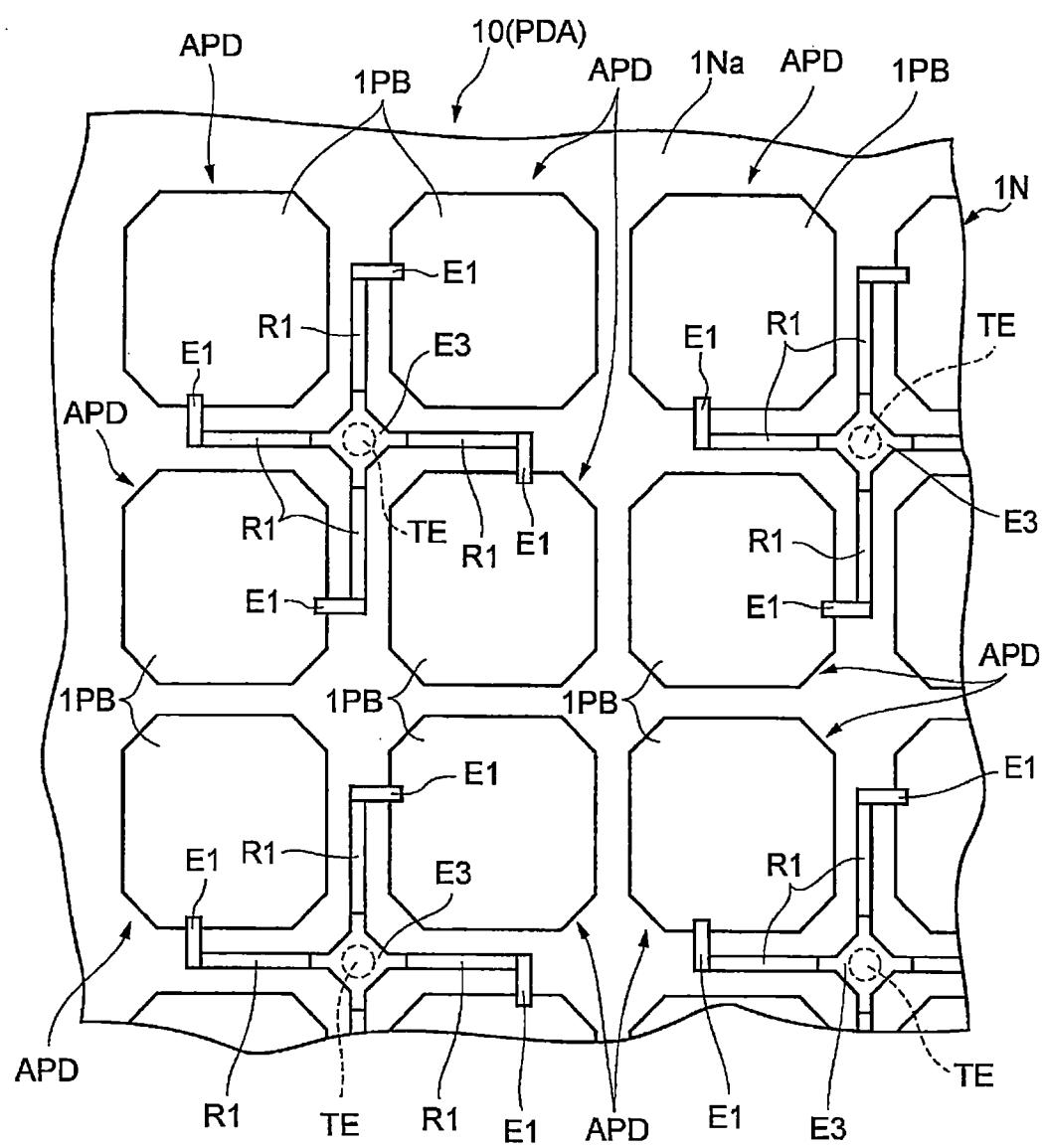


圖 14