

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4991042号
(P4991042)

(45) 発行日 平成24年8月1日(2012.8.1)

(24) 登録日 平成24年5月11日(2012.5.11)

(51) Int.Cl. F I
H O 1 L 23/48 (2006.01)
 H O 1 L 23/48 L
 H O 1 L 23/48 M
 H O 1 L 23/48 R

請求項の数 1 (全 17 頁)

(21) 出願番号	特願平11-152080	(73) 特許権者	591077450
(22) 出願日	平成11年5月31日(1999.5.31)		シリコンックス・インコーポレイテッド
(65) 公開番号	特開平11-354702		S I L I C O N I X I N C O R P O R A
(43) 公開日	平成11年12月24日(1999.12.24)		T E D
審査請求日	平成17年11月9日(2005.11.9)		アメリカ合衆国カリフォルニア州9505
審査番号	不服2009-16993(P2009-16993/J1)		4・サンタクララ・ローレルウッドロード
審査請求日	平成21年9月14日(2009.9.14)		2201
(31) 優先権主張番号	09/089310	(74) 代理人	100089266
(32) 優先日	平成10年6月2日(1998.6.2)		弁理士 大島 陽一
(33) 優先権主張国	米国(US)	(72) 発明者	ワイ・モハメッド・カセム
			アメリカ合衆国カリフォルニア州9505
			4・サンタクララ・レジナコート 232
			1

最終頁に続く

(54) 【発明の名称】 直付リード線を備える I C チップパッケージ

(57) 【特許請求の範囲】

【請求項 1】

パワー M O S F E T を有する半導体デバイスであって、

上側及び下側表面を備え、前記上側及び下側表面のうちの選択された 1 つに設けられた複数のソースコンタクト領域及び複数のゲートコンタクト領域を備え、かつ前記上側表面と前記下側表面との間で電流を流すべく形成された複数のパワー M O S F E T を備える半導体ダイと、

複数のソースリードであって、少なくとも 1 つのソースリードは、前記複数のソースコンタクト領域の 1 つと、第 1 の導電性接着剤層によって結合する平坦な第 1 のソース部分と、前記第 1 のソース部分から延び出し、前記半導体ダイの第 1 の側から突出する第 2 のソース部分と、前記第 1 のソース部分から延び出し、前記半導体ダイの前記第 1 の側と反対側の第 2 の側から突出する第 3 のソース部分とを有する、該複数のソースリードと、

複数のゲートリードであって、少なくとも 1 つのゲートリードは、前記複数のゲートコンタクト領域の 1 つと、第 2 の導電性接着剤層によって結合する平坦な第 1 のゲート部分と、前記第 1 のゲート部分から延び出し、前記半導体ダイの第 1 の側から突出する第 2 のゲート部分と、前記第 1 のゲート部分から延び出し、前記半導体ダイの前記第 1 の側と反対側の第 2 の側から突出する第 3 のゲート部分とを有する、該複数のゲートリードと、

前記半導体ダイの少なくとも一部、前記複数のソースリードの少なくとも一部、及び前記複数のゲートリードの少なくとも一部を封入する封入体とを備えることを特徴とする半導体デバイス。

10

20

【発明の詳細な説明】**【 0 0 0 1 】****【発明の属する技術分野】**

本発明は半導体デバイスに関連し、詳細には直付リード線を備える集積回路（ＩＣ）チップパッケージに関連する。

【 0 0 0 2 】**【従来の技術】**

電力半導体、特にパワーＭＯＳＦＥＴの分野では製品の性能は、高電流時に理想的なスイッチとして動作する能力により確定される。それゆえその性能は、オフ状態時にほぼ無限抵抗を与え、オン状態時にほぼゼロ抵抗を与える能力に依存する。

10

【 0 0 0 3 】

パワーＭＯＳＦＥＴ技術における最近の進歩により、パワーＭＯＳＦＥＴデバイスの半導体構成要素のオン状態抵抗は著しく低減されているが、コンタクト金属配線抵抗及びパッケージ抵抗がデバイスのオン状態抵抗のかなりの部分を占めている。従ってオン状態抵抗をさらに著しく低減するために、金属配線抵抗及びパッケージ抵抗が低減されなければならない。

【 0 0 0 4 】

さらにパワーＭＯＳＦＥＴデバイスの抵抗は熱を発生するが、高性能を維持するためには熱は除去されなければならない。パワーＭＯＳＦＥＴデバイスの冷却は現在のデバイス構造により根本的に制限される。縦型パワーＭＯＳＦＥＴデバイスの場合においても、パワーＭＯＳＦＥＴデバイスにおいて発生する熱の大部分は半導体ダイの上側１０ミクロンにおいて発生する。セラミックパッケージのような熱伝導性パッケージは高価であるため、典型的にはプラスチックのような断熱性パッケージ材料が用いられる。こうして冷却表面に到達するためには、ダイの上側表面付近で発生した熱は、熱の総量の一部しか伝導することができないボンディングワイヤ及びリード線或いはその半導体の何れかを介してダイの背面側まで伝達されなければならない。シリコンの熱伝導性は著しく変化させることはできないため、熱の除去を著しく改善するためには、ダイの上側から良好に熱を移動させるデバイス構造にする必要がある。

20

【 0 0 0 5 】**【発明が解決しようとする課題】**

オン抵抗を低減すると共に、放熱特性に優れた半導体デバイス構造を提供する。

30

【 0 0 0 6 】**【課題を解決するための手段】**

従って従来技術の不都合な点及び欠点を処理する半導体デバイスが必要とされる。特にパッケージからの電氣的及び熱的抵抗を低減した半導体デバイスが必要とされる。

【 0 0 0 7 】

従って改善された半導体デバイスが開示される。ある実施例では、半導体デバイスは上側或いは下側表面の何れかに複数のコンタクト領域を有する半導体チップを備える。第１のリードアセンブリは、導電性材料からなる半硬質のシートから形成され、半導体チップのコンタクト領域の１つに取着されるリードアセンブリコンタクトを備える。第１のリードアセンブリは、リードアセンブリコンタクトに接続され、そこから延在する少なくとも１本のリード線を備える。第２のリードアセンブリも導電性材料の半硬質のシートから形成されており、半導体チップのコンタクト領域の別の１つに取着されるリードアセンブリコンタクトを備える。第２のリードアセンブリは、リードアセンブリコンタクトに接続され、そこから延在する少なくとも１本のリード線を備える。封入体が半導体チップ、第１のリードアセンブリのリードアセンブリコンタクト及び第２のリードアセンブリのリードコンタクトを封入する。

40

【 0 0 0 8 】

本発明の技術的な利点は、半導体デバイスにおいてパッケージが関与する電氣的及び熱的抵抗が低いという点である。本発明の別の技術的な利点は、チップよりも小さなチップコ

50

ンタクト領域を有するリードフレームが用いられ、それによりパッケージサイズが小さくなり、プリント回路基板上で利用可能な制限された表面積をより有効に利用できるという点である。さらに別の技術的な利点は、半導体デバイスがリード線付パッケージ或いはリードレスチップキャリアパッケージの何れとして形成されてもよいという点である。

【 0 0 0 9 】

【 発明の実施の形態 】

本発明の特徴及び利点をより完全に理解するために、ここで添付の図面と共に取り上げられる以下の説明を参照されたい。

【 0 0 1 0 】

本発明の好適な実施例及びその利点は、図 1 A ~ 図 8 B の図面を参照することにより明確に理解されよう。同様の参照番号が、種々の図面における同様の及び対応する部品を示すために用いられる。

【 0 0 1 1 】

図 1 A 及び図 1 B では、本発明に従って構成されたパワー MOSFET パッケージ 1 0 がそれぞれ平面図及び断面図にて示される。パワー MOSFET パッケージ 1 0 では、パワー MOSFET チップ或いはダイ 1 2 が共通のコンタクト領域により駆動される縦型 MOSFET (明示されず) のアレイを備える。パワー MOSFET チップ 1 2 は、例えば 1 9 9 7 年 9 月 9 日に Richard K. Williams 及び Mohammad Kasem に付与された「 Vertical Power MOSFET Having Thick Metal Layer to Reduce Distributed Resistance」というタイトルの米国特許第 5, 6 6 5, 9 9 6 号に従って製造することができ、該特許は参照して本明細書の一部としている。別法ではチップ 1 2 は任意の半導体集積回路チップであってもよい。

【 0 0 1 2 】

チップ 1 2 の上側のソースコンタクト領域 1 4 及びゲートコンタクト領域 1 6 はそれぞれアルミニウム、ニッケル或いは銅のような導電性金属から形成される金属配線層で覆われる。同様にチップ下側のドレインコンタクト領域 (図示せず) も金属配線層で覆われる。ソースリードアセンブリ 1 8 はチップ 1 2 のソースコンタクト領域 1 4 と接触するコンタクト領域 1 8 a を備える。ソースリードアセンブリ 1 8 のコンタクト領域 1 8 a は、電氣的導電性接着層 1 9 によりチップ 1 2 ソースコンタクト領域 1 4 と接触状態に保持される。3 本のソースリード線 1 8 b はコンタクト領域 1 8 a から延在し、プリント回路基板との電氣的コンタクトを与える。

【 0 0 1 3 】

リードアセンブリ 1 8 は、例えば 2 5 0 ミクロン (約 0 . 0 1 インチ) の厚さを有する銅合金のような金属のシートから形成される。リードアセンブリ 1 8 は、ここで記載される他のリードアセンブリも同様であるが、約 1 2 7 ~ 1 2 7 0 ミクロン (5 ~ 5 0 ミル) の厚さを有することが好ましい。アルミニウムのような他の電氣的導電性金属がソースリードアセンブリ 1 8 に用いられてもよい。

【 0 0 1 4 】

ソースリードアセンブリ 1 8 上のコンタクト領域 1 8 a は、ソースコンタクト領域 1 4 の大部分との電氣的コンタクトを保持する。コンタクト領域 1 8 a がソースコンタクト領域 1 4 を形成する金属配線層より厚いため、コンタクト領域 1 8 a はソースコンタクト領域 1 4 より分布抵抗が小さい。それゆえコンタクト領域 1 8 a はソースコンタクト領域 1 4 の表面間で生じる電圧降下を排除するか或いは低減することができるが、そうでなければ従来のボンディングワイヤコンタクトのような小さな領域のコンタクトを用いて、ソースコンタクト領域 1 4 の一部と電氣的に接触する場合には、電圧降下が生じてしまうであろう。またソースリード線 1 8 b は、従来のボンディングワイヤより低い電氣的抵抗をもたらし、それによりパワー MOSFET パッケージ 1 0 のパッケージ抵抗を著しく低減する。

【 0 0 1 5 】

ソースリードアセンブリ 18 と同様に、ゲートリードアセンブリ 20 はチップ 12 のゲートコンタクト領域 16 と接触するコンタクト領域 20a を備える。ゲートリードアセンブリ 20 のコンタクト領域 20a は、電氣的導電性接着層 19 によりチップ 12 のゲートコンタクト領域 16 と接触状態に保持される。ゲートリードアセンブリ 20 をゲートコンタクト領域 16 に固定する接着層 19 部分は、当然ソースリードアセンブリ 18 をチップ 12 のソースコンタクト領域 14 に固定する接着層 19 部分から分離される（非接触状態になる）。1 本のゲートリード線 20b がコンタクト領域 20a から延在し、プリント回路基板との電氣的コンタクトを与える。

【0016】

同様にドレインリードアセンブリ 22 は、チップ 12 の下側のドレインコンタクト領域と接触するコンタクト領域 22a 及びコンタクト領域 22a から延在する 4 本のドレインリード線 22b を備え、プリント回路基板との電氣的コンタクトを与える。ドレインリードアセンブリ 22 のコンタクト領域 22a は、電氣的導電性接着層 23 によりチップ 12 のドレインコンタクト領域と接触状態に保持される。

【0017】

プラスチック製封入体 24 はチップ 12、リードアセンブリ 18、20 及び 22 のコンタクト領域 18a、20a 及び 22a 並びにリード線 18b、20b 及び 22b の部分を封入する。封入体 24 は、チップ 12 を外部から電氣的及び熱的に絶縁し、同時にパワー MOSFET パッケージ 10 に構造的な支持及び剛性を与える。封入体 24 は、エポキシノボラック系成形材料のような任意の既知の封入体であってもよい。

【0018】

パワー MOSFET パッケージ 10 の製造工程を示すために、図 2A ~ 図 2D に、種々の製造段階におけるパワー MOSFET パッケージ 10 の断面図を示す。最初にパワー MOSFET チップ 12 がパターン形成され、半導体ウエハから切取られる。第 1 のリードフレームストリップ 26 が、銅合金或いは他の金属からなる半硬質の 250 ミクロン厚シートから打抜かれる。リードフレームストリップ 26 はソースリードアセンブリ 18 及びゲートリードアセンブリ 20 を含む。またリードフレームストリップ 26 はソースリードアセンブリ 18 及びゲートリードアセンブリ 20 を共に保持し、さらにリードフレームストリップ 26 を構造的に支持する接続部分（明示せず）を備える。またリードフレームストリップ 26 の接続部分は、ソースリードアセンブリ 18 及びゲートリードアセンブリ 20 を、パワー MOSFET パッケージ 10 と同時に製造されるいくつかの他のパワー MOSFET パッケージ（図示せず）用のソース及びゲートリードアセンブリに接続する。

【0019】

図 2A では電氣的導電性接着剤 19 が、パワー MOSFET チップ 12 のソースコンタクト領域 14 及びゲートコンタクト領域 16 上に、別々に被着される。ここで記載される接着層 19 及び他の接着層は、例えば銀充填エポキシ或いはポリイミドペーストであってもよい。別法では接着層 19 は一連のハンダバンプ或いは他の電氣的導電性接着材料からなる。その後リードフレームストリップ 26 はチップ 12 の上側表面上で押圧され、リードフレームストリップ 26 のコンタクト領域 18a 及び 20a が、それぞれソース及びゲートコンタクト領域 14 及び 16 に配列される。

【0020】

図 2B ではチップ 12 を反転し、第 2 の接着層 23 がチップ 12 の下側のドレインコンタクト領域上に被着される。第 2 の予備形成されたリードフレームストリップ 32 は、ドレインリードアセンブリ 22 及びいくつかの他のパワー MOSFET パッケージのドレインリードアセンブリとドレインリードアセンブリ 22 を接続することができる接続部分（図示せず）を備える。リードフレームストリップ 32 のコンタクト領域 22a はチップ 12 のドレインコンタクト領域に対して押圧される。リードフレームストリップ 32 は最初に、ドレインリード線 22b がリードフレームストリップ 26 のソース及びゲートリード線 18b 及び 20b とほぼ同一面上をなすように成形される。その後チップ 12 は図 2B に示される直立位置に再度反転される。その後接着層 19 及び 23 は、必要に応じて硬化炉

10

20

30

40

50

内で硬化される。

【0021】

上記ダイ取付過程に代わる方法として、チップ12の下側のドレインコンタクト領域上ではなく、リードフレームストリップ32のコンタクト領域22a上に第2の接着層23を被着する方法がある。その後チップ12はリードフレームストリップ32に対して押圧され、リードフレームストリップ32のコンタクト領域22aがチップ12上のドレインコンタクト領域に配列される。さらに接着層19及び23は上記のように硬化炉内で硬化されてもよい。この代替のダイ取付過程では、ダイの取付けに前にチップ12を反転する必要がない。

【0022】

接着層19及び23を硬化する前に、リードフレームストリップ26及び32の相対的な位置を保持するために、リードフレームストリップは溶接、圧締め或いははんだ付けのように機械的に固定する方法を用いて互いに取着されることが好ましい。この取着によりリードアセンブリ18、20、及び22が、互いに接触してソースからドレイン或いはゲートからドレインへの短絡が発生するのを防ぐ。取着手段は、接着層19及び23が硬化した後、好ましくは以下に記載するトリミング及び形成過程前或いはその最中の任意の時点で除去されてもよい。

【0023】

図2Cではチップ12は型内に配置され、プラスチック製封入体24がチップ12及びリードフレームストリップ26及び32部分の周囲に射出成形される。図2Dではリードフレームストリップ26はトリミングされ、リードフレームストリップの接続部分を除去し、それによりソースリード線18bをゲートリード線20bから分離し、ソース及びゲートリード線18b及び20bをリードフレームストリップ26により接続される他のパワーMOSFETパッケージのソース及びゲートリード線から分離する。同様にリードフレームストリップ32もトリミングされ、リードフレームストリップの接続部分を除去する。

【0024】

またソース、ゲート及びドレインリード線18b、20b及び22bは、プリント回路基板上に面実装するためにガルウイング形状に成形される。上記トリミング及び形成過程は、リードフレームストリップ26及び32により接続されるチップ数を収容することができる単一のプレスにより同時に行われることが好ましい。

【0025】

製造後、パワーMOSFETパッケージ10はプリント回路基板上に実装され、ソース、ゲート及びドレインリード線18b、20b及び22bが、プリント回路基板上の対応するコンタクト領域に配列される。標準的なはんだリフロープロセスを用いて、パワーMOSFETパッケージ10とプリント回路基板との間に剛性の構造的及び電気的コンタクトを与える。

【0026】

上記のように、パワーMOSFETパッケージ10のソース、ゲート及びドレインリード線18b、20b及び22bは、プリント回路基板とパワーMOSFETチップ12との間の電気的抵抗を低くする。またリード線18b及び20bは従来のボンディングワイヤと異なり、プリント回路基板とパワーMOSFETチップ12の上側との間の熱的抵抗も低くする。それゆえリード線18b及び20bはパワーMOSFETチップ12の上側に冷却能を与えるように冷却され、熱の大部分がパワーMOSFETパッケージ10において発生する。

【0027】

図3A及び図3Bでは、本発明に従って構成された第2のパワーMOSFETパッケージ40が、それぞれ平面図及び断面図にて示される。パワーMOSFETパッケージ40は、パワーMOSFETパッケージ10と同様に、共通のコンタクト領域により駆動されるパワーMOSFETチップ42を備える。チップ42の上側のソースコンタクト領域44

10

20

30

40

50

及びゲートコンタクト領域 4 6 は、アルミニウム、ニッケル或いは銅のような導電性金属から形成される金属配線層でそれぞれ覆われる。同様にチップ 4 2 の下側のドレインコンタクト領域（図示せず）も金属配線層で覆われる。

【 0 0 2 8 】

ソースリードアセンブリ 4 8 はチップ 4 2 のソースコンタクト領域 4 4 と接触するコンタクト領域 4 8 a を備える。ソースリードアセンブリ 4 8 のコンタクト領域 4 8 a は、電氣的導電性接着層 4 9 によりチップ 4 2 のソースコンタクト領域 4 4 と接続状態に保持される。3 本のソースリード線 4 8 b はコンタクト領域 4 8 a から延在し、プリント回路基板との電氣的コンタクトを与える。

【 0 0 2 9 】

ソースリードアセンブリ 4 8 のコンタクト領域 4 8 a はソースコンタクト領域 4 4 の大部分との電氣的コンタクトを保持する。コンタクト領域 4 8 a 及びソースリード線 4 8 b は、例えば 2 5 0 ミクロン（約 0 . 0 1 インチ）の厚さを有する銅合金のような金属のシートから形成される。アルミニウムのような他の電氣的導電性金属がソースリードアセンブリ 4 8 に対して用いられてもよい。

【 0 0 3 0 】

コンタクト領域 4 8 a はソースコンタクト領域 4 4 を形成する金属配線層より厚いため、コンタクト領域 4 8 a はソースコンタクト領域 4 4 より小さな抵抗分布をもたらす。それゆえコンタクト領域 4 8 a は、ソースコンタクト領域 4 4 の表面間の電圧降下を排除或いは低減することができるが、そうでなければ、従来のボンディングワイヤコンタクトのような小さな領域のコンタクトを用いて、ソースコンタクト領域 4 4 の部分を電氣的に接触する場合、電圧降下が生じてしまうであろう。またソースリード線 4 8 b は従来のボンディングワイヤより低い電氣的抵抗を与え、それによりパワー M O S F E T パッケージ 4 0 のパッケージ抵抗を著しく低減する。

【 0 0 3 1 】

ソースリードアセンブリ 4 8 と同様に、ゲートリードアセンブリ 5 0 はチップ 4 2 のゲートコンタクト領域 4 6 と接触するコンタクト領域 5 0 a を備える。ゲートリードアセンブリ 5 0 のコンタクト領域 5 0 a は、電氣的導電性接着層（図示せず）によりチップ 4 2 のゲートコンタクト領域 4 6 と接続状態に保持される。1 本のゲートリード線 5 0 b がコンタクト領域 5 0 a から延在し、プリント回路基板との電氣的コンタクトを与える。同様に、ドレインリードアセンブリ 5 2 はチップ 4 2 の下側のドレインコンタクト領域と接触するコンタクト領域 5 2 a 及びコンタクト領域 5 2 a から延在する 4 本のドレインリード線 5 2 b を備え、プリント回路基板との電氣的コンタクトを与える。ドレインリードアセンブリ 5 2 のコンタクト領域 5 2 a は、電氣的導電性接着層 5 3 によりチップ 4 2 のドレインコンタクト領域と接触状態に保持される。

【 0 0 3 2 】

プラスチック製封入体 5 4 は、チップ 4 2、リードアセンブリ 4 8、5 0 及び 5 2 のコンタクト領域 4 8 a、5 0 a 及び 5 2 a、並びにリードアセンブリ 4 8、5 0 及び 5 2 のリード線部分 4 8 b、5 0 b 及び 5 2 b を封入する。封入体 5 4 はチップ 4 2 を外部から電氣的及び熱的に絶縁し、同時にパワー M O S F E T パッケージ 4 0 に構造的な支持及び剛性を与える。封入体 5 4 はエポキシノボラック系成形材料のような任意の既知のプラスチック製封入体であってよい。封入体 5 4 は、リード線 4 8 b、5 0 b 及び 5 2 b の大部分を封入し、リードレスチップキャリアタイプのパッケージを形成する。

【 0 0 3 3 】

パワー M O S F E T パッケージ 1 0 と異なり、パワー M O S F E T パッケージ 4 0 は、リード線 4 8 b、5 0 b 及び 5 2 b をほぼ完全に封入する封入体 5 4 を備える。それゆえパワー M O S F E T パッケージ 4 0 は、リード線 4 8 b、5 0 b 及び 5 2 b の面実装コンタクト領域と同一平面をなす下側封入体表面 5 4 a を有する。

【 0 0 3 4 】

パワー M O S F E T パッケージ 4 0 の製造はパワー M O S F E T パッケージ 1 0 の製造と

10

20

30

40

50

同様であり、それゆえ詳述はしないであろう。2つの製造工程間で1つ異なる点は、パワーMOSFETパッケージ40のリードアセンブリ48、50及び52がチップ42に取
着される前に、ガルウイング状に予備形成されるという点である。こうしてパワーMOS
FETパッケージ10の場合に上記したトリミング及び形成過程は、リード線48b、5
0b及び52bを成形せず、余剰の材料及び接続部分をパワーMOSFETパッケージ4
0のそれぞれのリードフレームストリップから除去することのみが必要とされる。さらに
パワーMOSFETパッケージ40の場合の封入過程は、下側封入体表面がリード線48
b、50b及び52bの面実装コンタクト領域と同一平面上に形成され、同時に後にプリ
ント回路基板に取着的ために面実装コンタクト領域を露出するように行われなければなら
ない。

10

【0035】

図4A及び図4Bでは、本発明に従って構成された第3のパワーMOSFETパッケージ
60が、それぞれ平面図及び断面図にて示される。パワーMOSFETパッケージ60は
、パワーMOSFETパッケージ10及び40と同様に、共通のコンタクト領域により駆
動されるパワーMOSFETチップ62を備える。チップ62の上側のソースコンタクト
領域64及びゲートコンタクト領域66は、アルミニウム、ニッケル、或いは銅のような
導電性金属から形成される金属配線層でそれぞれ覆われる。同様に、チップ62の下側の
ドレインコンタクト領域(図示せず)も金属配線層で覆われる。

【0036】

ソースリードアセンブリ68はチップ62のソースコンタクト領域64と接触するコンタ
クト領域68aを備える。ソースリードアセンブリ68のコンタクト領域68aは、電気
的導電性接着層69によりチップ62のソースコンタクト領域64と接触状態に保持され
る。3本のソースリード線68bはコンタクト領域68aから延在し、プリント回路基板
との電気的コンタクトを与える。

20

【0037】

ソースリードアセンブリ68のコンタクト領域68aはソースコンタクト領域64の大部
分との電気的コンタクトを保持する。コンタクト領域68a及びソースリード線68bは
、例えば250ミクロン(約0.01インチ)の厚さを有する銅合金のような金属のシー
トから形成される。アルミニウムのような他の電気的導電性金属がソースリードアセン
ブリ68に対して用いられてもよい。

30

【0038】

コンタクト領域68aがソースコンタクト領域64を形成する金属配線層より厚いため、
コンタクト領域68aはソースコンタクト領域64より小さい分布抵抗をもたらす。それ
ゆえコンタクト領域68aは、ソースコンタクト領域64の表面間の電圧降下を排除或い
は低減することができるが、そうでなければ、従来のボンディングワイヤコンタクトのよ
うな小さな領域のコンタクトを用いて、ソースコンタクト領域64の一部と電気的に接触
する場合、電圧降下が生じてしまうであろう。またソースリード線68bは従来のボンデ
ィングワイヤより低い電気的抵抗を与え、それによりパワーMOSFETパッケージ60
のパッケージ抵抗を著しく低減する。

【0039】

ソースリードアセンブリ68と同様に、ゲートリードアセンブリ70はチップ62のゲー
トコンタクト領域66と接触するコンタクト領域70aを備える。ゲートリードアセン
ブリ70のコンタクト領域70aは、電気的導電性接着層(図示せず)によりチップ62の
ゲートコンタクト領域66と接触状態に保持される。1本のゲートリード線70bはコン
タクト領域70aから延在し、プリント回路基板との電気的コンタクトを与える。同様に
ドレインリードアセンブリ72はチップ62の下側のドレインコンタクト領域と接触する
コンタクト領域72a及びコンタクト領域72aから延在する4本のドレインリード線7
2bを備え、プリント回路基板との電気的コンタクトを与える。ドレインリードアセン
ブリ72のコンタクト領域72aは電気的導電性接着層73によるチップ62のドレインコ
ンタクト領域と接触状態に保持される。

40

50

【 0 0 4 0 】

プラスチック製封入体 7 4 は、チップ 6 2、リードアセンブリ 6 8、7 0 及び 7 2 のコンタクト領域 6 8 a、7 0 a 及び 7 2 a、並びにリードアセンブリ 6 8、7 0 及び 7 2 のリード線部分 6 8 b、7 0 b 及び 7 2 b を封入する。封入体 7 4 はチップ 6 2 を外部から電氣的及び熱的に絶縁し、同時にパワー MOS F E T パッケージ 6 0 に構造的な支持及び剛性を与える。封入体 7 4 はエポキシノボラック系成形材料のような任意の既知のプラスチック製封入体であってよい。

【 0 0 4 1 】

パワー MOS F E T パッケージ 1 0 及び 4 0 と異なり、パワー MOS F E T パッケージ 6 0 は、下側封入体表面 7 4 a と同一平面をなす下側表面 7 2 c を有するドレインリードアセンブリ 7 2 を備える。ドレインリードアセンブリ 7 2 の全下側表面 7 2 c は露出され、プリント回路基板に取着的するための大きな電氣的及び熱的コンタクト領域をもたらす。

10

【 0 0 4 2 】

パワー MOS F E T パッケージ 6 0 の製造工程が図 5 A ~ 図 5 D に示される。最初にリードフレームストリップ 7 6 が銅合金或いは他の金属からなる半硬質の 2 5 0 ミクロン厚シートから打抜かれる。リードフレームストリップ 7 6 はソースリードアセンブリ 6 8 及びゲートリードアセンブリ 7 0 を備える。またリードフレームストリップ 7 6 は、ソースリードアセンブリ 6 8 及びゲートリードアセンブリ 7 0 を共に保持する接続部分（明示せず）を備え、リードフレームストリップ 7 6 に対する構造的な支持を与える。リードフレームストリップ 7 6 の接続部分は、ソースリードアセンブリ 6 8 及びゲートリードアセンブリ 7 0 を、パワー MOS F E T パッケージ 1 0 と同時に製造される場合があるいくつかの他のパワー MOS F E T パッケージ（図示せず）のソース及びゲートリードアセンブリに接続することができる。

20

【 0 0 4 3 】

図 5 A では、電氣的導電性接着層 6 9 が、パワー MOS F E T チップ 6 2 のソースコンタクト領域 6 4 及びゲートコンタクト領域 6 6 上に、別々に被着される。接着層 6 9 は、例えば銀充填エポキシ或いはポリイミドペーストであってよい。その後リードフレームストリップ 7 6 はチップ 6 2 の上側表面上で押圧され、リードフレームストリップ 7 6 上のコンタクト領域 6 8 a 及び 7 0 a がそれぞれソース及びゲートコンタクト領域 6 4 及び 6 6 に配列される。

30

【 0 0 4 4 】

図 5 B ではチップ 6 2 は反転され、第 2 の接着層 7 3 がチップ 6 2 の下側のドレインコンタクト領域上に被着される。第 2 の予備形成されたリードフレームストリップ 7 8 は、ドレインリードアセンブリ 7 2 及びドレインリードアセンブリ 7 2 をいくつかの他のパワー MOS F E T パッケージのドレインリードアセンブリに接続することができる接続部分（図示せず）を備える。ドレインリードアセンブリ 7 2 は、コンタクト領域 7 2 a 及びドレインリード線 7 2 b の下側表面 7 2 c が平坦になるように成形される。リードフレームストリップ 7 8 のコンタクト領域 7 2 a はチップ 6 2 のドレインコンタクト領域に対して押圧される。その後チップ 6 2 は、図 5 B に示される直立位置に再度反転される。その後接着層 6 9 及び 7 3 は必要に応じて硬化炉内で硬化される。

40

【 0 0 4 5 】

上記のダイ取付過程に代わる方法は、チップ 6 2 の下側のドレインコンタクト領域上ではなく、リードフレームストリップ 7 8 のコンタクト領域 7 2 上に第 2 の接着層 7 3 を被着することである。その後チップ 6 2 はリードフレームストリップ 7 8 に対して押圧され、リードフレームストリップ 7 8 のコンタクト領域 7 2 a がチップ 6 2 のドレインコンタクト領域に配列される。接着層 6 9 及び 7 3 は上記のように硬化炉内で硬化されてもよい。この代替のダイ取付過程は、リードフレームストリップ 7 8 の取着前にチップ 6 2 を反転する必要がない。

【 0 0 4 6 】

接着層 6 9 及び 7 3 の硬化前に、リードフレームストリップ 7 6 及び 7 8 の相対的な位置

50

を保持するために、リードフレームストリップは圧締め、溶接或いははんだ付けのような機械的に固定する方法で互いに取着されることが好ましい。この取着により、リードアセンブリ68、70及び72が互いに接触して、ソースからドレイン或いはゲートからドレインへの短絡が発生するのを防止する。取着手段は、接着層69及び73を硬化した後、好ましくは以下に記載するトリミング及び形成過程前或いはその最中の任意の時点で除去されてもよい。

【0047】

図5Cではチップ62が型内に配置され、プラスチック製封入体74がチップ62及びリードフレームストリップ76及び78の部分の周囲に射出成形される。ドレインリードアセンブリ72の全下側表面がプリント回路基板上に実装するために露出したまま残される。

10

【0048】

図5Dではリードフレームストリップ76がトリミングされ、リードフレームストリップの接続部分を除去し、それによりソースリード線68bをゲートリード線70bから分離し、さらにソース及びゲートリード線68b及び70bをリードフレームストリップ76により接続される任意の他のパワーMOSFETパッケージのソース及びゲートリード線から分離する。同様にリードフレームストリップ78はトリミングされ、リードフレームストリップの接続部分を除去する。

【0049】

またソース及びゲートリード線68b及び70bは、プリント回路基板上に面実装するためにガルウイング形状に成形される。リード線68b及び70bの先端部はドレインリードアセンブリ72と同一平面をなすように形成される。上記トリミング及び形成過程は、リードフレームストリップ76及び78により接続されるチップ数を収容することができる単一のプレスにより同時に行われることが好ましい。

20

【0050】

製造後パワーMOSFETパッケージ60はプリント回路基板上に実装され、ソース及びゲートリード線68b及び70b並びにドレインリードアセンブリ72がプリント回路基板上的対応するコンタクト領域に配列されるようになる。標準的なはんだリフロープロセスを用いて、パワーMOSFETパッケージ60とプリント回路基板との間に硬質の構造的及び電氣的コンタクトを設けることができる。

30

【0051】

図6A及び図6Bでは、本発明に従って構成される4つのパワーMOSFETパッケージ80が、それぞれ平面図及び断面図にて示される。パワーMOSFETパッケージ80は、パワーMOSFETパッケージ10、40及び60と同様に、共通なコンタクト領域により駆動されるパワーMOSFETチップ82を備える。

【0052】

しかしながらパワーMOSFETチップ82は、パワーMOSFETチップ82のMOSFETが並列には接続されないため、上記のパワーMOSFETチップとは異なる。その代わりにパワーMOSFETチップ82のMOSFETは2つのグループに分割される。第1のグループのMOSFETは、チップ82の上側に金属配線共通ソースコンタクト領域84及び金属配線共通ゲートコンタクト領域85を備える。また第1のグループのMOSFETは、共通ドレイン(図示せず)も備え、それは例えばチップ82の下側に金属配線層として実装されてもよい。上記の各金属配線層はアルミニウム、ニッケル或いは銅のような導電性金属から形成される。

40

【0053】

第2のグループのMOSFETは、チップ82の上側に金属配線共通ソースコンタクト領域86及び金属配線共通ゲートコンタクト領域87を備える。また第2のグループのMOSFETは、第1のグループのMOSFETと共有される共通ドレイン(図示せず)も備える。こうして2つのグループのMOSFETは、共通ドレイン接続部を介して直列に接続される2つのパワーMOSFETデバイスを効率的に形成する。2つのMOSFETデ

50

バイスは2つの個別ゲートにより個々に制御される。

【0054】

第1のソースリードアセンブリ87は、チップ82の第1のソースコンタクト領域84と接触するコンタクト領域87aを備える。ソースリードアセンブリ87のコンタクト領域87aは、電氣的導電性接着層89によりチップ82のソースコンタクト領域84と接触状態に保持される。2つのソースリード線87bはチップ82の各側のコンタクト領域87aから延在し、プリント回路基板との電氣的コンタクトを与える。

【0055】

ソースリードアセンブリ87のコンタクト領域87aは、ソースコンタクト領域84の大部分との電氣的コンタクトを保持する。コンタクト領域87a及びソースリード線87bは、例えば250ミクロン（約0.01インチ）の厚さを有する銅合金のような金属のシートから形成される。アルミニウムのような他の電氣的導電性金属がソースリードアセンブリ87に用いられてもよい。

10

【0056】

コンタクト領域87aはソースコンタクト領域84を形成する金属配線層より厚いため、コンタクト領域87aはソースコンタクト領域84より小さな分布抵抗をもたらす。それゆえコンタクト領域87aはソースコンタクト領域84の表面間の電圧降下を排除或いは低減することができるが、そうでなければ、従来のボンディングワイヤコンタクトのような小さな領域のコンタクトを用いて、ソースコンタクト領域84の一部と電氣的に接続する場合、電圧降下が生じてしまうであろう。またソースリード線87bは従来のボンディングワイヤより低い電氣的抵抗を与え、それによりパワーMOSFETパッケージ80のパッケージ抵抗を著しく低減する。

20

【0057】

ソースリードアセンブリ87と同様に、ゲートリードアセンブリ88はチップ82のゲートコンタクト領域86と接触するコンタクト領域88aを備える。ゲートリードアセンブリ88のコンタクト領域88aは、電氣的導電性接着層（図示せず）によりチップ82のゲートコンタクト領域86と接触状態に保持される。2つのゲートリード線88bはチップ82の各側のコンタクト領域88aから延在し、プリント回路基板との電氣的コンタクトを与える。

30

【0058】

同様に、ソースリードアセンブリ90及びゲートリードアセンブリ91はそれぞれソース及びゲートコンタクト領域86及び87に接続される。各リードアセンブリはチップ82の何れか一方の側まで延在するリード線を備える。

【0059】

プラスチック製封入体94がチップ82及びリードアセンブリ部分87、88、90及び91を封入する。封入体94はチップ82を外部から電氣的及び熱的に絶縁し、同時にパワーMOSFETパッケージ80に構造的な支持及び剛性を与える。封入体94はエポキシノボラック系成形材料のような任意の既知のプラスチック製封入体であってよい。

【0060】

パワーMOSFETパッケージ80の製造工程が図7A～図7Cに示される。最初にリードフレームストリップ96が銅合金或いは他の金属からなる半硬質の250ミクロン厚シートから打抜かれる。リードフレームストリップ96はリードアセンブリ87及び90並びにゲートリードアセンブリ88及び91を備える。またリードフレームストリップ96は、上記リードアセンブリを共に保持し、リードフレームストリップ96に対する構造的な支持を与える接続部分（明示せず）を備える。またリードフレームストリップ96の接続部分は、リードアセンブリ87、88、90、91を、パワーMOSFETパッケージ10と同時に製造される場合もあるいくつかの他のパワーMOSFETパッケージ（図示せず）のソース及びゲートリードアセンブリに接続することができる。

40

【0061】

図7Aでは、電氣的導電性接着層89が、パワーMOSFETチップ82のソースコンタ

50

クト領域 8 4 及びソースコンタクト領域 8 6 並びにゲートコンタクト領域 8 5 及び 8 7 上に個別に被着される。接着層 8 9 は、例えば銀充填エポキシ或いはポリイミドペーストであってよい。その後リードフレームストリップ 9 6 はチップ 8 2 の上側表面上に押圧され、リードアセンブリ 8 7、8 8、9 0 及び 9 1 のコンタクト領域がそれぞれのソース及びゲートコンタクト領域に配列される。その後接着層 8 9 は必要に応じて硬化炉内で硬化される。

【 0 0 6 2 】

図 7 B ではチップ 8 2 が型内に配置され、プラスチック製封入体 9 4 がチップ 8 2 及びリードフレームストリップ 9 6 部分の周囲に射出成形される。図 7 C ではリードフレームストリップ 9 6 はトリミングされ、リードフレームストリップの接続部分を除去し、それによりリードアセンブリ 8 7、8 8、9 0 及び 9 1 を互いから、さらにリードフレームストリップ 9 6 により接続される任意の他のパワー MOS F E T パッケージのソース及びゲートリード線から分離する。

10

【 0 0 6 3 】

またソース及びゲートリード線 8 7 b、8 8 b、9 0 b 及び 9 1 b はプリント回路基板上に面実装するためにガルウイング状に形成される。上記トリミング及び形成過程は、リードフレームストリップ 9 6 により接続されるチップ数を収容することができる単一のプレスにより同時に行われることが好ましい。

【 0 0 6 4 】

製造後、パワー MOS F E T パッケージ 8 0 はプリント回路基板上に実装され、ソース及びゲートリード線 8 7 b、8 8 b、9 0 b 及び 9 1 b がプリント回路基板上の対応するコンタクト領域に配列されることができる。標準的なはんだリフロープロセスを用いて、パワー MOS F E T パッケージ 8 0 とプリント回路基板との間に硬質の構造的及び電気的コンタクトを与えることができる。

20

【 0 0 6 5 】

図 8 A 及び図 8 B では、本発明に従って構成される第 5 のパワー MOS F E T パッケージ 1 0 0 が、それぞれ平面図及び断面図にて示される。パワー MOS F E T パッケージ 1 0 0 はパワー MOS F E T パッケージ 8 0 に対する設計と同様であり、それゆえ詳細には記載されないであろう。

【 0 0 6 6 】

パワー MOS F E T パッケージ 1 0 0 とパワー MOS F E T パッケージ 8 0 との間で 1 つ異なる点は、ソース及びゲートコンタクト領域（図示せず）がパワー MOS F E T チップ 1 0 2 の下側にあるという点である。ソース及びゲートリードアセンブリ 1 0 3 はそれゆえチップ 1 0 2 の下側に取着される。

30

【 0 0 6 7 】

パワー MOS F E T パッケージ 1 0 0 とパワー MOS F E T 8 0 との間で他の異なる点は、パワー MOS F E T パッケージ 1 0 0 の封入体 1 0 4 が、ソース及びゲートリードアセンブリ 1 0 3 のさらに大きな部分を封入し、リードレスチップキャリアタイプのパッケージを形成するという点である。

【 0 0 6 8 】

パワー MOS F E T パッケージ 1 0 0 とパワー MOS F E T パッケージ 8 0 との間でさらに異なる点は、ソース及びゲートリードアセンブリ 1 0 3 がそれぞれ半分に分離されるという点である。それゆえ各リードアセンブリは、2 つの個別のコンタクト領域を備え、図 8 B に示されるように各コンタクト領域がそこから延在する 1 本のリード線を備える。リードアセンブリ 1 0 3 のいずれのコンタクト領域も、チップ 1 0 2 下側にソース或いはゲートコンタクト領域を形成する単一の連続的な金属配線層と接触する。またこの後者の特性のパワー MOS F E T パッケージ 1 0 0 は、パワー MOS F E T パッケージ 8 0 のような形状に実装され、ソース及びゲートコンタクト領域がパワー MOS F E T チップ 8 2 の上側に存在する。

40

【 0 0 6 9 】

50

ここに記載される種々の実施例は、従来のリード線或いはリードレスＩＣパッケージより優れたいくつかの利点を有する。第１に、ここに記載されたパッケージは、リード線が従来のボンディングワイヤより低い抵抗を有し、さらにリード線がチップ上のそれぞれのコンタクト表面の大部分と接触し、コンタクト表面を効率的に短絡するため、パッケージが関与する電氣的抵抗が低くなる。

【００７０】

第２にここに記載されるパッケージは、チップの上側からプリント回路基板まで良好な熱伝導をもたらし、熱の大部分が発生するチップの上側を冷却することができる。良好な熱伝導はリード線とチップとの間の良好な熱的コンタクト及びリード線の低い熱抵抗により可能となる。

10

【００７１】

第３にここで記載されるパッケージは全般的に、チップより小さいコンタクト領域を有するリードフレームを用いる。これは、チップがチップより大きい表面を有するダイパッドに結合される従来のＩＣパッケージと対照的である。ここに記載されるより小さいサイズのリードフレームにより、所与のチップサイズに対するパッケージサイズをより小さくすることができ、それによりプリント回路基板或いは他のチップ環境において利用可能な限られた表面積をより効率的に利用することができる。他の利点はＩＣパッケージ製造及び実装にかかわる当業者には明らかであろう。

【００７２】

本発明及びその利点が詳細に記載されてきたが、種々の変形例、代替例及び変更例が添付の請求の範囲により画定される本発明の精神及び範囲から逸脱することなく行われることができるということは理解されたい。

20

【００７３】

【発明の効果】

本発明によれば、パッケージ関与するオン抵抗を低減し、チップ上側からプリント基板に対して良好に放熱し、さらにパッケージサイズを小型化できる半導体デバイスを実現することができる。

【図面の簡単な説明】

【図１】 Ａ及びＢからなり、Ａは本発明の１つの実施例に従って構成された第１のパワーＭＯＳＦＥＴパッケージの平面図であり、Ｂは第１のパワーＭＯＳＦＥＴパッケージの断面図である。

30

【図２】 Ａ乃至Ｄからなり、それぞれ種々の製造段階における第１のパワーＭＯＳＦＥＴパッケージの断面図である。

【図３】 Ａ及びＢからなり、Ａは本発明の１つの実施例に従って構成された第２のパワーＭＯＳＦＥＴパッケージの平面図であり、Ｂは第２のパワーＭＯＳＦＥＴパッケージの断面図である。

【図４】 Ａ及びＢからなり、Ａは本発明の１つの実施例に従って構成された第３のパワーＭＯＳＦＥＴパッケージの平面図であり、Ｂは第３のパワーＭＯＳＦＥＴパッケージの断面図である。

【図５】 Ａ乃至Ｄからなり、それぞれ種々の製造段階における第３のパワーＭＯＳＦＥＴパッケージの断面図である。

40

【図６】 Ａ及びＢからなり、Ａは本発明の１つの実施例に従って構成された第４のパワーＭＯＳＦＥＴパッケージの平面図であり、Ｂは第４のパワーＭＯＳＦＥＴパッケージの断面図である。

【図７】 Ａ乃至Ｃからなり、それぞれ種々の製造段階における第４のパワーＭＯＳＦＥＴパッケージの断面図である。

【図８】 Ａ及びＢからなり、Ａは本発明の１つの実施例に従って構成された第５のパワーＭＯＳＦＥＴパッケージの平面図であり、Ｂは第５のパワーＭＯＳＦＥＴパッケージの断面図である。

【符号の説明】

50

1 0	パワー MOS F E T パッケージ	
1 2	パワー MOS F E T チップ	
1 4	ソースコンタクト領域	
1 6	ゲートコンタクト領域	
1 8	ソースリードアセンブリ	
1 8 a	コンタクト領域	
1 8 b	ソースリード線	
1 9	接着層	
2 0	ゲートリードアセンブリ	
2 2	ドレインリードアセンブリ	10
2 2 a	コンタクト領域	
2 2 b	ドレインリード線	
2 3	接着層	
2 4	プラスチック製封入体	
2 6、3 2	リードフレームストリップ	
4 0	パワー MOS F E T パッケージ	
4 2	パワー MOS F E T チップ	
4 4	ソースコンタクト領域	
4 6	ゲートコンタクト領域	
4 8	ソースリードアセンブリ	20
4 8 a	コンタクト領域	
4 8 b	ソースリード線	
4 9	接着層	
5 0	ゲートリードアセンブリ	
5 0 a	コンタクト領域	
5 0 b	ゲートリード線	
5 2	ドレインリードアセンブリ	
5 2 a	コンタクト領域	
5 2 b	ドレインリード線	
5 3	接着層	30
5 4	封入体	
6 0	パワー MOS F E T パッケージ	
6 2	パワー MOS F E T チップ	
6 4	ソースコンタクト領域	
6 6	ゲートコンタクト領域	
6 8	ソースリードアセンブリ	
6 8 a	コンタクト領域	
6 8 b	ソースリード線	
6 9	接着層	
7 0	ゲートリードアセンブリ	40
7 0 a	コンタクト領域	
7 0 b	ゲートリード線	
7 2	ドレインリードアセンブリ	
7 2 a	コンタクト領域	
7 2 b	ドレインリード線	
7 2 c	下側表面	
7 3	接着層	
7 4	封入体	
7 4 a	下側封入体表面	
7 6、7 8	リードフレームストリップ	50

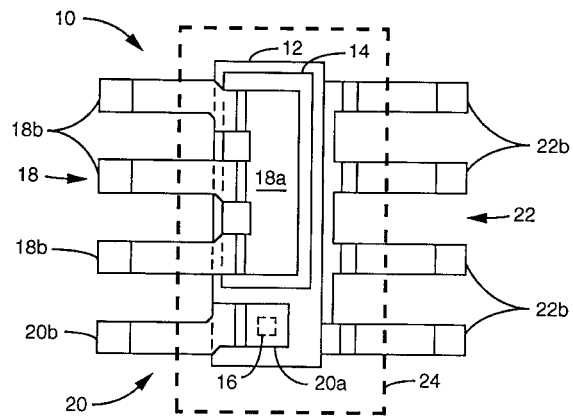
- 80 パワーMOSFETパッケージ
- 82 パワーMOSFETチップ
- 84 共通ソースコンタクト領域
- 85 共通ゲートコンタクト領域
- 86 共通ソースコンタクト領域
- 87 第1のソースリードアセンブリ
- 87a コンタクト領域
- 87b ソースリード線
- 88 ゲートリードアセンブリ
- 88a コンタクト領域
- 88b ゲートリード線
- 89 接着層
- 90 ソースリードアセンブリ
- 91 ゲートリードアセンブリ
- 94 封入体
- 96 リードフレームストリップ
- 100 パワーMOSFETパッケージ
- 102 パワーMOSFETチップ
- 103 ゲートリードアセンブリ
- 104 封入体

10

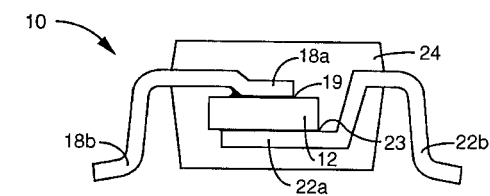
20

【図1】

A



B

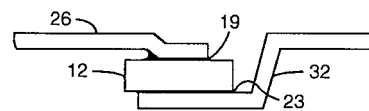


【図2】

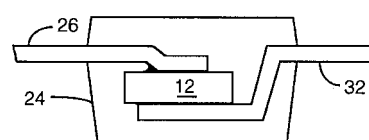
A



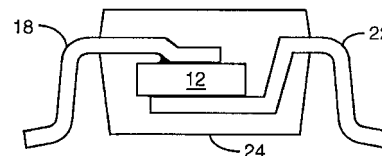
B



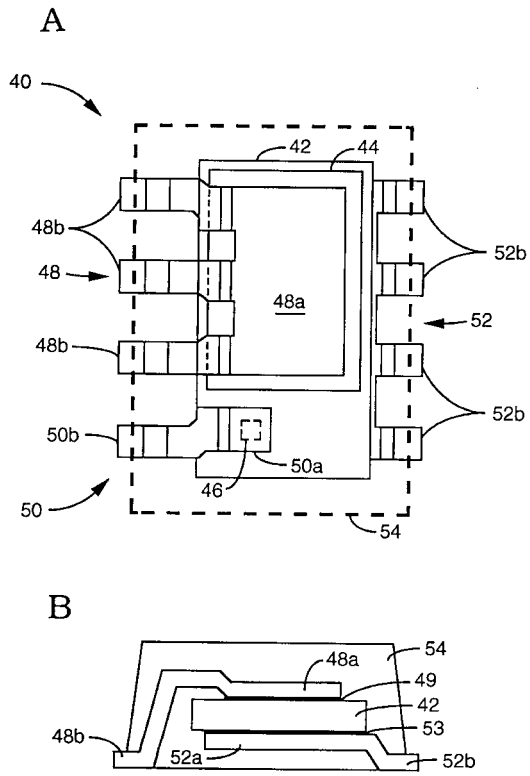
C



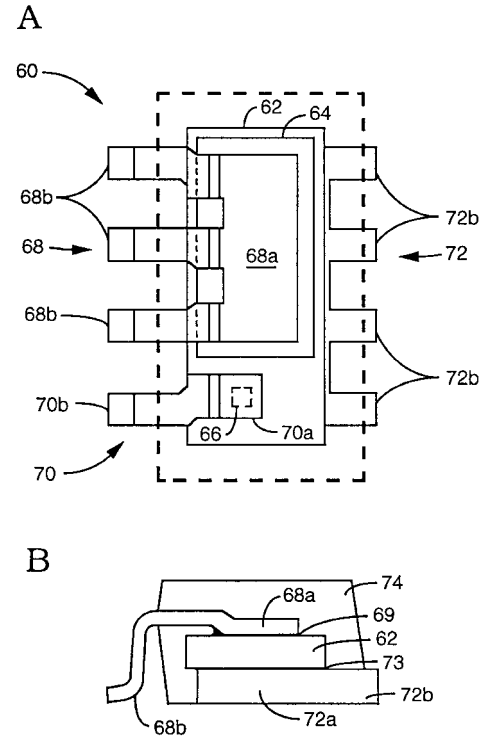
D



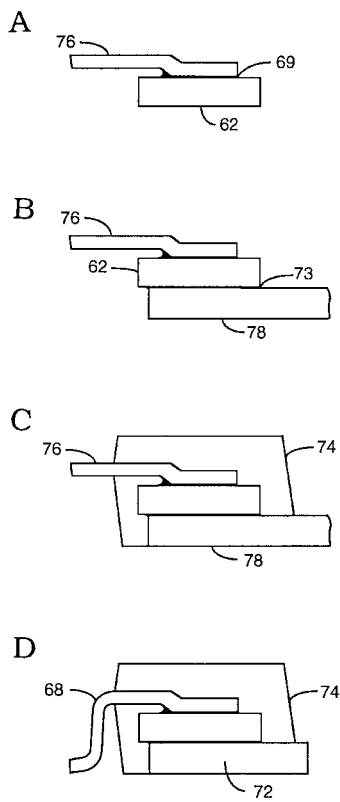
【図 3】



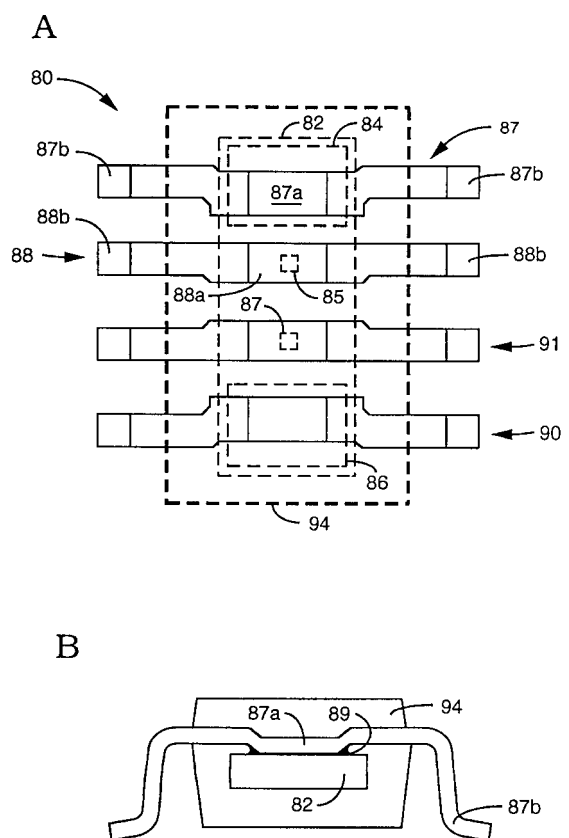
【図 4】



【図 5】

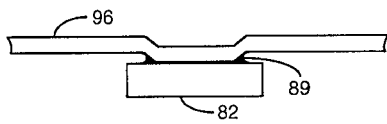


【図 6】

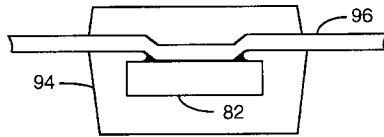


【図 7】

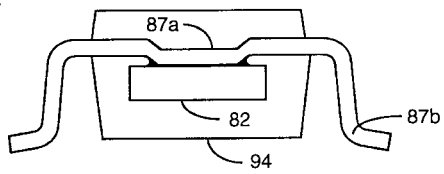
A



B

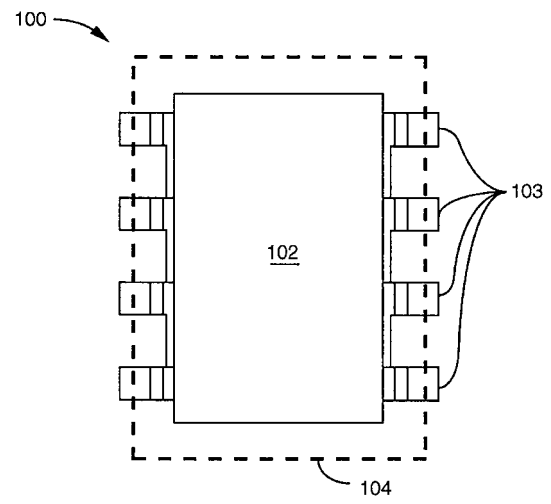


C

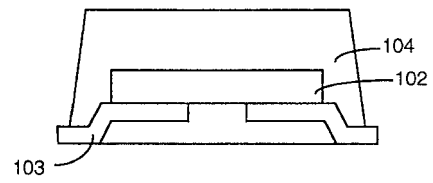


【図 8】

A



B



フロントページの続き

- (72)発明者 アンソニー・シー・ツイ
アメリカ合衆国カリフォルニア州 9 5 0 7 0 ・サラトガ・ケンブリッジドライブ 1 2 6 4 6
- (72)発明者 リソング・ラオ
アメリカ合衆国カリフォルニア州 9 5 1 2 9 ・サンノゼ・ハンティングドライブ 1 0 9 7
- (72)発明者 ユエ - セ・ホー
アメリカ合衆国カリフォルニア州 9 4 0 8 6 ・サニーベイル・アイリスアベニュー 7 3 5

合議体

審判長 藤原 敬士

審判官 川端 修

審判官 川村 健一

- (56)参考文献 実開平 4 - 1 0 7 8 3 2 (J P , U)
特開平 7 - 2 5 4 6 2 0 (J P , A)
国際公開第 9 8 / 0 3 9 9 8 (W O , A 1)
特開平 9 - 6 4 2 5 8 (J P , A)

- (58)調査した分野(Int.Cl. , D B 名)

H01L 23/48