

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6151568号
(P6151568)

(45) 発行日 平成29年6月21日(2017.6.21)

(24) 登録日 平成29年6月2日(2017.6.2)

(51) Int.Cl.	F 1
G 0 6 F 1/32 (2006.01)	G 0 6 F 1/32 E
G 0 6 F 11/14 (2006.01)	G 0 6 F 11/14 6 4 1 D
G 0 6 F 12/16 (2006.01)	G 0 6 F 12/16 3 4 0 Q

請求項の数 3 (全 24 頁)

(21) 出願番号	特願2013-112441 (P2013-112441)	(73) 特許権者	000153878
(22) 出願日	平成25年5月29日(2013.5.29)		株式会社半導体エネルギー研究所
(65) 公開番号	特開2014-6889 (P2014-6889A)		神奈川県厚木市長谷398番地
(43) 公開日	平成26年1月16日(2014.1.16)	(72) 発明者	米田 誠一
審査請求日	平成28年5月4日(2016.5.4)		神奈川県厚木市長谷398番地 株式会社
(31) 優先権主張番号	特願2012-125651 (P2012-125651)		半導体エネルギー研究所内
(32) 優先日	平成24年6月1日(2012.6.1)		
(33) 優先権主張国	日本国(JP)	審査官	山崎 誠也

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項 1】

データ退避時間制御回路と、
 パワーゲーティング制御回路と、
 汎用レジスタ、誤り訂正符号用レジスタ、及び誤り訂正符号回路を有するデータ処理回路と、を有し、

前記汎用レジスタ及び前記誤り訂正符号用レジスタは、それぞれ揮発性記憶部及び不揮発性記憶部を有し、

前記データ退避時間制御回路は、前記誤り訂正符号用レジスタの不揮発性記憶部に記憶された誤り訂正符号を前記誤り訂正符号回路で検出して得られるエラーの有無に従って、
 前記パワーゲーティング制御回路より出力され、前記汎用レジスタの揮発性記憶部から不揮発性記憶部に記憶するデータを記憶するためのデータ退避時間を変更する回路である半導体装置。

【請求項 2】

請求項 1 において、

前記パワーゲーティング制御回路は、前記データ退避時間制御回路によって制御されるデータ退避時間カウンタを有し、

前記データ退避時間カウンタは、前記データ退避時間カウンタのカウント値に従って、前記データ処理回路への電源供給を制御する半導体装置。

【請求項 3】

10

20

請求項 1 または請求項 2 において、

前記不揮発性記憶部は、不揮発性記憶素子を有し、

前記不揮発性記憶素子は、酸化物半導体層を有するトランジスタを用いた電荷の保持により前記データまたは前記誤り訂正符号の保持を行う半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、電源供給を停止してもデータの保持が可能な半導体装置、またはその駆動方法に関する。

【0002】

なお本明細書において、半導体装置は、半導体素子を含む装置または回路をいう。

【背景技術】

【0003】

MPU (Micro Processing Unit) などの半導体装置は、性能の向上及び消費電力の低減を図るため、動作周波数の向上及び素子の微細化の研究開発が進められている。一方で半導体装置の消費電力は、素子の微細化に伴うリーク電力等に起因して上昇の一途をたどっている。

【0004】

この消費電力の上昇の問題に対し、電源供給の必要ないわずかな期間を見つけてその期間に電源供給を遮断するパワーゲーティング技術等の低消費電力化技術を駆使して解決しようとする試みがなされている。また近年では、電源供給が常に必要な回路であっても、不揮発性の記憶部に必要なデータを退避させておき、必要なときのみ電源供給を行うよう制御するノーマリー・オフ・コンピュータといわれる技術が注目されている。

【0005】

特許文献 1 は、不揮発性の記憶部が有する記憶素子として MRAM (Magnetoresistive Random Access Memory) を用いる構成について開示している。特許文献 1 では、電源供給を停止する際に、揮発性の記憶部から不揮発性の記憶部にデータを退避させておき、電源供給の再開時に不揮発性の記憶部から揮発性の記憶部にデータの復元を行う構成について開示している。

【先行技術文献】

【特許文献】

【0006】

【特許文献 1】国際公開第 2009 / 136442 号

【発明の概要】

【発明が解決しようとする課題】

【0007】

揮発性の記憶部から不揮発性の記憶部へのデータの退避を確実に行うための、最適なデータ退避時間が設定されることが重要である。すなわち、データ退避時間は、揮発性の記憶部から不揮発性の記憶部へのデータの退避が確実に行われる期間に設定されることが好ましい。その一方で、電源供給の停止と再開を繰り返す半導体装置においても、動作速度の向上が求められている。そのため、データ退避時間は短い期間とすることが求められている。

【0008】

しかしながら、予めデータ退避時間を短い期間に設定すると、半導体装置の製造時の特性のばらつき等により、データの退避が確実に行われないといった問題がある。すなわち、半導体装置毎に、最適なデータ退避時間が一定ではないため、データ退避時間を長めに取らざるを得ず、動作速度の向上が図れないといった問題がある。

【0009】

そこで本発明の一態様は、電源供給を停止と再開を繰り返す半導体装置において、製造時の特性のばらつきに関わらず、揮発性の記憶部から不揮発性の記憶部へのデータの退避を

10

20

30

40

50

確実に行うための、最適なデータ退避時間を設定することを課題の一とする。

【課題を解決するための手段】

【0010】

本発明の一態様は、データ退避時間制御回路と、パワーゲーティング制御回路と、汎用レジスタ、誤り訂正符号用レジスタ、及び誤り訂正符号回路を有するデータ処理回路と、を有し、汎用レジスタ及び誤り訂正符号用レジスタは、それぞれ揮発性記憶部及び不揮発性記憶部を有し、データ退避時間制御回路は、誤り訂正符号用レジスタに記憶された誤り訂正符号を誤り訂正符号回路で検出して得られるエラーの有無に従って、パワーゲーティング制御回路より出力される汎用レジスタが有する揮発性記憶部から不揮発性記憶部に記憶するデータを記憶するためのデータ退避時間を変更する回路である、半導体装置である。

10

【0011】

本発明の一態様において、誤り訂正符号回路は、誤り訂正符号を生成するための誤り訂正符号計算回路と、前記汎用レジスタが有する前記不揮発性記憶部に記憶された前記データを用いて前記誤り訂正符号計算回路によって計算された比較用誤り訂正符号と、前記誤り訂正符号用レジスタが有する不揮発性記憶部に記憶された前記誤り訂正符号とを比較して得られる比較結果を出力するための誤り訂正符号比較回路と、誤り訂正符号に従って汎用レジスタに記憶されたデータを訂正する訂正回路と、を有する半導体装置が好ましい。

【0012】

本発明の一態様において、データ退避時間制御回路は、比較結果を保持するためのエラー信号記憶回路と、比較結果に基づいて決定されるデータ退避時間の決定フラグを保持するためのデータ退避時間決定フラグ記憶回路と、を有する半導体装置が好ましい。

20

【0013】

本発明の一態様において、パワーゲーティング回路は、データ退避時間制御回路によって制御されるデータ退避時間カウンタを有し、データ退避時間カウンタは、データ退避時間カウンタのカウント値に従って、データ処理回路への電源供給を制御する、半導体装置が好ましい。

【0014】

本発明の一態様において、不揮発性記憶部が有する不揮発性記憶素子は、酸化物半導体層を有するトランジスタを用いた電荷の保持によりデータまたは誤り訂正符号の保持を行う記憶素子である半導体装置が好ましい。

30

【0015】

本発明の一態様は、データ退避時間制御回路と、パワーゲーティング制御回路と、揮発性記憶部及び不揮発性記憶部をそれぞれ有する汎用レジスタ、及び誤り訂正符号用レジスタ、並びに誤り訂正符号回路を有するデータ処理回路と、を備え、パワーゲーティング制御回路が、データ処理回路への電源供給の有無の切り替え、及び揮発性記憶部と不揮発性記憶部との間のデータの退避または復帰を切り替えるステップと、誤り訂正符号回路が、誤り訂正符号用レジスタが有する不揮発性記憶部に記憶された誤り訂正符号よりエラーを検出すると、データ退避時間制御回路が、汎用レジスタが有する揮発性記憶部から不揮発性記憶部に記憶するデータを記憶するためのデータ退避時間を長くするよう変更するステップと、誤り訂正符号回路が、誤り訂正符号用レジスタが有する不揮発性記憶部に記憶された誤り訂正符号よりエラーを検出しないと、データ退避時間制御回路が、汎用レジスタが有する揮発性記憶部から不揮発性記憶部に記憶するデータを記憶するためのデータ退避時間を短くするよう変更するステップと、を行う半導体装置の駆動方法である。

40

【0016】

本発明の一態様において、誤り訂正符号回路は、誤り訂正符号計算回路、誤り訂正符号比較回路、及び訂正回路を備え、誤り訂正符号計算回路が、データ処理回路への電源供給を停止する前に、汎用レジスタが有する不揮発性記憶部に記憶されたデータを用いて誤り訂正符号を生成するステップと、前記誤り訂正符号比較回路が、前記汎用レジスタが有する前記不揮発性記憶部に記憶された前記データを用いて前記誤り訂正符号計算回路によって計算された比較用誤り訂正符号と、前記誤り訂正符号用レジスタが有する不揮発性記憶部

50

に記憶された前記誤り訂正符号と、を比較して得られる比較結果を出力するステップと、前記訂正回路が、前記誤り訂正符号比較回路での前記比較結果において前記誤り訂正符号においてエラーを検出し、前記誤り訂正符号をもとに前記汎用レジスタの前記不揮発性記憶部に記憶された前記データが訂正可能である場合、該データを訂正し、前記汎用レジスタが有する前記揮発性記憶部から前記不揮発性記憶部に記憶するデータを記憶するためのデータ退避時間を長くするよう変更するステップと、訂正回路が、誤り訂正符号比較回路での比較結果において誤り訂正符号においてエラーを検出し、誤り訂正符号をもとに汎用レジスタの不揮発性記憶部に記憶されたデータが訂正不能である場合、汎用レジスタが有する揮発性記憶部から不揮発性記憶部に記憶するデータを記憶するためのデータ退避時間を長くするよう変更するステップと、を行う半導体装置の駆動方法が好ましい。

10

【0017】

本発明の一態様において、データ退避時間制御回路は、誤り訂正符号用レジスタが有する不揮発性記憶部に記憶された誤り訂正符号においてエラーを検出しないと、前のステップでの該エラーの有無に従って、データ退避時間を確定するステップ、を行う半導体装置の駆動方法が好ましい。

【発明の効果】

【0018】

本発明の一態様により、電源供給を停止と再開を繰り返す半導体装置において、製造時の特性のばらつきに関わらず、揮発性の記憶部から不揮発性の記憶部へのデータの退避を確実にするための、最適なデータ退避時間を設定することができる。

20

【図面の簡単な説明】

【0019】

【図1】半導体装置の構成を示すブロック図。

【図2】半導体装置の動作を説明するフローチャート図。

【図3】半導体装置の構成を示すブロック図。

【図4】半導体装置の動作を説明するフローチャート図。

【図5】不揮発性記憶部の構成例を説明する回路図。

【図6】不揮発性記憶部の構成例を説明するタイミングチャート。

【図7】不揮発性記憶部の構成例を説明する回路図。

【図8】オフ電流を説明するためのアレニウスプロット図。

30

【図9】半導体装置が有するトランジスタの断面図。

【発明を実施するための形態】

【0020】

以下、本発明の実施の形態について図面を参照しながら説明する。但し、本発明は多くの異なる態様で実施することが可能であり、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って実施の形態の記載内容に限定して解釈されるものではない。なお、以下に説明する発明の構成において、同じ物を指し示す符号は異なる図面間において共通とする。

【0021】

(実施の形態1)

40

図1に示す図は、電源供給を停止してもデータの保持が可能な半導体装置のブロック図である。図1に示す半導体装置100は、データ処理回路101、データ退避時間制御回路102、パワーゲーティング制御回路103を有する。

【0022】

データ処理回路101は、汎用レジスタ105(第1のレジスタ回路ともいう)、誤り訂正符号用レジスタ106(第2のレジスタ回路ともいう)、及び誤り訂正符号回路107を有する。汎用レジスタ105は、揮発性記憶部108及び不揮発性記憶部109を有する。誤り訂正符号用レジスタ106は、揮発性記憶部110及び不揮発性記憶部111を有する。

【0023】

50

データ退避時間制御回路 102 は、誤り訂正符号回路 107 より出力されるエラー信号 ERR が入力される。

【0024】

パワーゲーティング制御回路 103 は、データ退避時間制御回路 102 より出力される制御信号に基づいてデータ退避時間が変更されるデータ退避信号 EN__W を、不揮発性記憶部 109 及び不揮発性記憶部 111 に出力する。またパワーゲーティング制御回路 103 は、データ処理回路 101 への電源供給を停止または再開を制御するためのパワーゲーティング制御信号 EN__PG を出力する。パワーゲーティング制御信号 EN__PG は、スイッチ 112 のオン又はオフを制御する。

【0025】

なおスイッチ 112 は、高電源電位 VDD が与えられる配線とグラウンド電位 GND が与えられる配線との間に設けられる。データ処理回路 101 への電源供給は、スイッチ 112 のオン又はオフを選択することで制御することができる。なおグラウンド電位 GND は、低電源電位 VSS に置き換えることができる。

【0026】

データ処理回路 101 は、所定のプログラムに従って入力されるデータを演算処理して出力する。データ処理回路 101 は、図 1 では図示していないが、汎用レジスタ 105、誤り訂正符号用レジスタ 106、及び誤り訂正符号回路 107 の他にも演算器、演算レジスタ、命令レジスタ、命令デコーダ、制御部、アドレス管理部等を有する。データ処理回路 101 が有する回路は、内部バス（図 1 中、太線矢印で図示）等を介して、データの出入力を行うことができる。データ処理回路 101 におけるデータの保持は、汎用レジスタ 105 で行うことができる。

【0027】

汎用レジスタ 105 は、データ処理回路 101 に入力されるデータ、またはプログラム、若しくはデータ処理回路 101 での演算により得られるデータを保持する。汎用レジスタ 105 が有する記憶部としては、揮発性記憶部 108 及び不揮発性記憶部 109 がある。

【0028】

誤り訂正符号用レジスタ 106 は、汎用レジスタ 105 で保持されるデータを元に誤り訂正符号回路 107 で計算される誤り訂正符号（ECC: Error Correction Code）を保持する。誤り訂正符号用レジスタ 106 が有する記憶部としては、汎用レジスタ 105 と同様に、揮発性記憶部 110 及び不揮発性記憶部 111 がある。

【0029】

なお誤り訂正符号は、例えばハミング符号を用いればよい。また、2つの符号計算結果を比較することで誤りを訂正することができる方式であればその他の方式の符号でもよい。

【0030】

なお誤り訂正符号は、誤り検出符号に置き換えた構成にしてもよい。すなわち、図 1 の誤り訂正符号回路 107 は、誤り検出符号回路に置き換えることができる。同様に、誤り訂正符号用レジスタ 106 は、誤り検出符号用レジスタに置き換えることができる。

【0031】

誤り検出符号のほうが誤り訂正符号よりもデータ量が少ない。そのため、誤り訂正符号用レジスタ 106 及び誤り訂正符号回路 107 を、誤り検出符号用レジスタ及び誤り検出符号回路に置き換えることで、回路の占有面積を縮小させることができる。よって、半導体装置 100 の回路面積を縮小させることができる。

【0032】

なお誤り検出符号は、例えば巡回冗長検査（CRC: Cyclic Redundancy Check）を用いればよい。また、2つの符号計算結果を比較することで誤りを検出することができる方式であればその他の方式の符号でもよい。

【0033】

揮発性記憶部 108 は、電源供給が行われている際に、汎用レジスタ 105 でデータを保持する記憶部である。また揮発性記憶部 110 は、電源供給が行われている際に、誤り訂

10

20

30

40

50

正符号用レジスタ１０６でデータを保持する記憶部である。揮発性記憶部１０８及び揮発性記憶部１１０は、一例としては、フリップフロップで構成することができる。揮発性記憶部１０８及び揮発性記憶部１１０でのデータの保持の動作は、不揮発性記憶部１０９及び不揮発性記憶部１１１でのデータの保持の動作よりも高速に行う構成とすることが好ましい。揮発性記憶部１０８及び揮発性記憶部１１０でのデータの保持の動作を高速で行わせることで、データ処理回路１０１の動作速度の向上を図ることができる。

【００３４】

不揮発性記憶部１０９は、電源供給が停止している際に、汎用レジスタ１０５でデータを保持する記憶部である。また不揮発性記憶部１１１は、電源供給が停止している際に、誤り訂正符号用レジスタ１０６でデータを保持する記憶部である。不揮発性記憶部１０９及び不揮発性記憶部１１１は、一例としては、フラッシュメモリその他、強誘電体メモリ（FeRAM）、磁気メモリ（MRAM）、相変化メモリ（PRAM）、電界誘起巨大抵抗変化を利用した抵抗変化型メモリ（ReRAM）で構成することができる。または電源供給が停止してもデータの保持が可能なメモリ素子であれば、他のメモリ素子でもよい。

【００３５】

誤り訂正符号回路１０７は、汎用レジスタ１０５で保持されるデータを元に誤り訂正符号を計算するための誤り訂正符号計算回路を有する。また誤り訂正符号回路１０７は、不揮発性記憶部１１１に保持された誤り訂正符号と、誤り訂正符号計算回路での計算と比較した比較結果を、エラー信号ERRとしてデータ退避時間制御回路１０２に出力する誤り訂正符号比較回路を有する。また誤り訂正符号回路１０７は、誤り訂正符号比較回路でエラー信号ERRが生成された場合、誤り訂正符号による汎用レジスタ１０５の保持されるデータの訂正をするための訂正回路を有する。

【００３６】

データ退避時間制御回路１０２は、誤り訂正符号回路１０７が有する誤り訂正符号比較回路より出力されるエラー信号ERRの有無に従って、データ退避時間を変更するための信号を出力する回路である。具体的には、データ退避時間制御回路１０２は、エラー信号ERRの有無に従って、パワーゲーティング制御回路１０３内のデータ退避時間カウンターの加算または減算を行うための制御信号を出力する。

【００３７】

またデータ退避時間制御回路１０２は、エラー信号ERRの有無を保持するための比較結果記憶部、エラー信号ERRの有無に従ってデータ退避時間を確定するためのデータ退避時間決定フラグ記憶回路を有する。

【００３８】

パワーゲーティング制御回路１０３は、データ退避時間制御回路１０２により、カウント値の加算または減算が制御されるデータ退避時間カウンターの有する。パワーゲーティング制御回路１０３は、データ退避時間カウンターのカウント値に従って、データ退避時間を変更することができる。データ退避信号EN_Wは、不揮発性記憶部１０９及び不揮発性記憶部１１１に出力される。パワーゲーティング制御回路１０３は、一例としては、データ退避時間カウンターのカウント値によってHレベルの信号を出力する期間を制御することにより、データ退避信号EN_Wによるデータ退避時間を変更することができる。

【００３９】

またパワーゲーティング制御回路１０３は、データ処理回路１０１への電源供給を停止または再開を制御するためのパワーゲーティング制御信号EN_PGを出力する。パワーゲーティング制御信号EN_PGは、一定時間、データ処理回路１０１へのデータの入出力が行われない場合等に、スイッチ１１２をオフにして電源供給を停止するように制御する信号とすればよい。

【００４０】

次いで、図２に、図１に示す半導体装置１００の動作の一例についてのフローチャート図を示す。

【００４１】

なお図2に示すフローチャート図では、初期状態として、電源供給し、揮発性記憶部でのデータの保持を行う動作を通常動作として説明を行う。図2では、通常動作の状態から、不揮発性記憶部へのデータの退避を行って電源供給を停止するデータ退避動作の状態を経て、その後、退避したデータを揮発性記憶部に復帰する際に不揮発性記憶部でのデータ退避時間を変更する際の各ステップについて説明する。

【0042】

まずステップS101では、初期状態として、上述した通常動作を示している。このときデータ処理回路101で処理されるデータは、汎用レジスタ105の揮発性記憶部108で保持される。揮発性記憶部108でのデータの保持の動作は、不揮発性記憶部109でのデータの保持の動作よりも高速に行う構成とすることができ、データ処理回路101の動作速度の向上を図ることができる。

10

【0043】

ステップS102では、通常動作時において、電源供給を停止するか継続するかの判断を行う。電源供給を停止する場合は次のステップS103に進み、電源供給を継続する場合は、ステップS101とステップS102を繰り返す。

【0044】

ステップS103では、データ処理回路101への電源供給を停止する前に、汎用レジスタ105の揮発性記憶部108に保持されたデータをもとに、誤り訂正符号回路107で誤り訂正符号（図中、ECCと略記）の計算を行う。計算により得られた誤り訂正符号は、誤り訂正符号用レジスタ106の揮発性記憶部110に保持される。

20

【0045】

ステップS104では、汎用レジスタ105の揮発性記憶部108に保持されたデータ、及び誤り訂正符号用レジスタ106の揮発性記憶部110に保持された誤り訂正符号、の不揮発性記憶部109及び不揮発性記憶部111への退避を行う。この処理は、パワーゲーティング制御回路103より出力されるデータ退避信号EN_Wが不揮発性記憶部109及び不揮発性記憶部111に出力されることで行うことができる。このとき、データ退避時間は、データ処理回路101の処理速度の向上を図る上で、データの退避が可能な程度で、且つ短い期間で行うことが望ましい。

【0046】

ステップS105では、電源供給を停止する処理を行う。この処理は、パワーゲーティング制御回路103より出力されるパワーゲーティング制御信号EN_PGがスイッチ112をオフにすることで行うことができる。なお汎用レジスタ105のデータ、及び誤り訂正符号用レジスタ106の誤り訂正符号は、不揮発性記憶部に保持されているため、電源供給が停止しても保持され続けることとなる。

30

【0047】

ステップS106では、電源供給を再開するか停止を継続するかの判断を行う。電源供給を再開する場合は次のステップS107に進み、電源供給の停止を継続する場合は、ステップS105とステップS106を繰り返す。

【0048】

ステップS107では、汎用レジスタ105の不揮発性記憶部109に保持されたデータ、及び誤り訂正符号用レジスタ106の不揮発性記憶部111に保持された誤り訂正符号、の揮発性記憶部108及び揮発性記憶部110への復帰を行う。

40

【0049】

ステップS108では、誤り訂正符号用レジスタ106の揮発性記憶部110に復帰した誤り訂正符号と、揮発性記憶部108に復帰したデータをもとに比較用誤り訂正符号を計算し、比較用誤り訂正符号と保持しておいた誤り訂正符号を比較することで、誤り訂正符号のエラー発生の有無の判断を行う。誤り訂正符号のエラー発生がある場合は次のステップS109に進み、誤り訂正符号のエラー発生がない場合は、ステップS110に進む。

【0050】

ステップS108におけるエラー発生は、データ退避時間が長い時間の場合、揮発性記憶

50

部から不揮発性記憶部へのデータの退避が確実にできており、ほとんど起こらない。一方で、データ退避時間が短い時間の場合、半導体装置の製造時の特性のばらつきや動作速度の設定に起因して、揮発性記憶部から不揮発性記憶部へのデータの退避が行えていないことがある。

【0051】

ステップS109では、誤り訂正符号のエラー発生がある場合、パワーゲーティング制御回路103がデータ退避時間を長くするように変更する処理を行う。

【0052】

ステップS108におけるエラー発生がある場合は、前に設定されたデータ退避時間が短いために、揮発性記憶部から不揮発性記憶部へのデータの退避が行えていなかったこととなる。そのため、ステップS109において、データ退避信号EN_Wによるデータ退避時間を長くするように変更する構成とすることで、次に、揮発性記憶部から不揮発性記憶部へのデータの退避を行う場合、データの退避をより確実に行うことができる。

10

【0053】

ステップS110では、誤り訂正符号のエラー発生がない場合、データ退避時間を確定するか否かの判断を行う。データ退避時間を確定する場合は処理が終了となり、データ退避時間を確定しない場合には、ステップS111に進む。

【0054】

ステップS110におけるデータ退避時間を確定する場合は、前に設定されたデータ退避時間が適正な時間であるか、または適正な時間より長い時間であったために、揮発性記憶部から不揮発性記憶部へのデータの退避が行えていたこととなる。そのため、ステップS110において、データ退避時間が動作速度の向上を図るために短い期間に設定され、且つ揮発性記憶部から不揮発性記憶部へのデータの退避が確実にできる時間に設定された、データ退避時間として既に確定している場合、そのまま処理を終了することとなる。

20

【0055】

ステップS111では、パワーゲーティング制御回路103がデータ退避時間を短くするように変更する処理を行う。ステップS111の後には、処理が終了となる。

【0056】

ステップS111において、エラー発生がなく、且つデータ退避時間が確定していない場合は、前に設定されたデータ退避時間が適正な時間より長い時間であったために、揮発性記憶部から不揮発性記憶部へのデータの退避が行えていたこととなる。そのため、ステップS111において、データ退避信号EN_Wによるデータ退避時間を短くするように変更する構成とすることで、次に、揮発性記憶部から不揮発性記憶部へのデータの退避を行う場合、動作速度の向上を図ることができる。

30

【0057】

以上が、図1に示した半導体装置100の動作の一例についてのフローチャート図である。

【0058】

以上の本実施の形態で示した構成により、電源供給を停止と再開を繰り返す半導体装置において、製造時の特性のばらつきに関わらず、揮発性の記憶部から不揮発性の記憶部へのデータの退避を確実にするための、最適なデータ退避時間を設定することができる。

40

【0059】

(実施の形態2)

本実施の形態では、実施の形態1で説明した半導体装置において、より具体的な構成を示し、その動作について詳述する。なお実施の形態1で示す構成と同じ構成については同じ符号を付し、重複する説明を省略し、上記実施の形態1での説明を援用するものとする。

【0060】

図3に示す図は、電源供給を停止してもデータの保持が可能な半導体装置のブロック図である。図3に示すブロック図は、図1に示す半導体装置100における、誤り訂正符号回路107、データ退避時間制御回路102、及びパワーゲーティング制御回路103の構

50

成を詳細に示したものである。

【 0 0 6 1 】

誤り訂正符号回路 1 0 7 は、誤り訂正符号計算回路 2 0 1、誤り訂正符号比較回路 2 0 2、及び訂正回路 2 0 3 を有する。

【 0 0 6 2 】

データ退避時間制御回路 1 0 2 は、エラー信号記憶回路 2 1 1、データ退避時間決定フラグ記憶回路 2 1 2 を有する。

【 0 0 6 3 】

パワーゲーティング制御回路 1 0 3 は、データ退避時間カウンタ 2 2 1 を有する。

【 0 0 6 4 】

データ退避時間制御回路 1 0 2 には、誤り訂正符号回路 1 0 7 の誤り訂正符号比較回路 2 0 2 より出力されるエラー信号 E R R が入力される。エラー信号 E R R による誤り訂正符号の復帰データと誤り訂正符号計算回路 2 0 1 の計算結果との比較結果は、エラー信号記憶回路 2 1 1 に記憶される。また、エラー信号記憶回路 2 1 1 に記憶された比較結果と、次に入力されるエラー信号 E R R に従って、データ退避時間決定フラグ記憶回路 2 1 2 への決定フラグの保持が決定される。

【 0 0 6 5 】

パワーゲーティング制御回路 1 0 3 には、データ退避時間制御回路 1 0 2 でのエラー信号 E R R の有無、及びエラー信号記憶回路 2 1 1 に記憶された前回のエラー信号 E R R の有無、及びデータ退避時間決定フラグ記憶回路 2 1 2 に記憶された決定フラグに従って、データ退避時間制御回路 1 0 2 より出力される制御信号が入力される。該制御信号に基づいてデータ退避時間カウンタ 2 2 1 のカウント値のインクリメントまたはデクリメントが行われる。データ退避時間カウンタ 2 2 1 のカウント値に従って H レベルの出力期間が変化したデータ退避信号 E N _ W が不揮発性記憶部 1 0 9 及び不揮発性記憶部 1 1 1 に出力される。

【 0 0 6 6 】

誤り訂正符号計算回路 2 0 1 は、汎用レジスタ 1 0 5 で保持されるデータを元に誤り訂正符号を計算するための回路である。また誤り訂正符号比較回路 2 0 2 は、不揮発性記憶部 1 1 1 に保持された誤り訂正符号を、揮発性記憶部 1 0 8 に復帰したデータをもとに誤り訂正符号計算回路 2 0 1 が計算した比較用誤り訂正符号と比較した比較結果を、エラー信号 E R R としてデータ退避時間制御回路 1 0 2 に出力するための回路である。また訂正回路 2 0 3 は、誤り訂正符号比較回路 2 0 2 でエラー信号 E R R が生成された場合、誤り訂正符号による汎用レジスタ 1 0 5 の保持されるデータの訂正をするための回路である。

【 0 0 6 7 】

データ退避時間制御回路 1 0 2 のエラー信号記憶回路 2 1 1 は、前回行った処理におけるエラー信号 E R R の有無を保持する。また、データ退避時間制御回路 1 0 2 のデータ退避時間決定フラグ記憶回路 2 1 2 は、エラー信号 E R R の有無と、エラー信号記憶回路 2 1 1 に記憶された前回行った処理におけるエラー信号 E R R の有無に従って、データ退避時間を確定するフラグを生成し保持する。

【 0 0 6 8 】

エラー信号記憶回路 2 1 1 は、前に設定されたデータ退避時間が適正な時間であるか、または適正な時間より長い時間であったか、を判断するために、前回のエラー信号 E R R の有無を保持しておくための回路である。

【 0 0 6 9 】

具体的にいえば、エラー信号記憶回路 2 1 1 に前回のエラー信号 E R R が保持され、再度エラー信号 E R R が入力される場合は、データ退避時間が短すぎることを示している。つまり、この場合、データ退避時間を長くしても、まだデータ退避時間が短い状態にあることを示している。逆に、エラー信号記憶回路 2 1 1 に前回のエラー信号 E R R が保持されておらず、エラー信号 E R R が入力される場合は、データ退避時間が適正であることを示している。つまり、この場合、データ退避時間を短くしてしまったために、データ退避時

10

20

30

40

50

間が適正な時間より短い状態となったことを示している。

【 0 0 7 0 】

また、エラー信号記憶回路 2 1 1 に前回のエラー信号 E R R が保持され、エラー信号 E R R が入力されない場合は、データ退避時間が適正であることを示している。つまり、この場合、データ退避時間が短い状態から、データ退避時間を長くすることで、データ退避時間が適正な時間となったことを示している。逆に、エラー信号記憶回路 2 1 1 に前回のエラー信号 E R R が保持されておらず、エラー信号 E R R が入力されない場合は、データ退避時間が適正な時間よりも長すぎることを示している。つまり、この場合、データ退避時間が適正な時間よりも長すぎるために、データ退避時間を短くしても、データの退避が行えていることを示している。

10

【 0 0 7 1 】

データ退避時間決定フラグ記憶回路 2 1 2 は、エラー信号記憶回路 2 1 1 において、データ退避時間が適正な時間であると判断される場合に、データ退避時間を確定させ、以降のエラー信号 E R R の入力がなくとも、データ退避時間の変更を行わないようにするための決定フラグを保持するための回路である。データ退避時間決定フラグ記憶回路 2 1 2 に決定フラグが保持される場合、エラー信号 E R R の入力がない場合でも、データ退避時間の変更を行わないようにすることができる。データ退避時間決定フラグ記憶回路 2 1 2 に決定フラグが保持されていない場合、エラー信号 E R R の入力に従って、データ退避時間の変更を行う動作をする。

【 0 0 7 2 】

パワーゲーティング制御回路 1 0 3 は、データ退避時間カウンタ 2 2 1 のカウント値に従って、データ退避時間が変更されたデータ退避信号 E N _ W を、不揮発性記憶部 1 0 9 及び不揮発性記憶部 1 1 1 に出力する。例えばデータ退避時間制御回路 1 0 2 でエラー信号 E R R が入力される場合、データ退避時間カウンタ 2 2 1 のカウント値をインクリメントする。逆にデータ退避時間制御回路 1 0 2 でエラー信号 E R R が入力されない場合、データ退避時間カウンタ 2 2 1 のカウント値をデクリメントする。

20

【 0 0 7 3 】

前述のカウント値の増減に従って、データ退避時間カウンタ 2 2 1 のカウント値が大きい場合には、データ退避信号 E N _ W の H レベルの信号を出力する期間を長くするようにデータ退避信号 E N _ W を調整して、データ退避時間を長くする。逆に、データ退避時間カウンタ 2 2 1 のカウント値が小さい場合には、データ退避信号 E N _ W の H レベルの信号を出力する期間を短くするようデータ退避信号 E N _ W を調整して、データ退避時間を短くする。

30

【 0 0 7 4 】

次いで、図 4 に、図 3 に示す半導体装置 1 0 0 の動作の一例についてのフローチャート図を示す。なお図 4 に示すフローチャート図は、図 2 に示すフローチャート図におけるステップ S 1 0 8 以降のステップ S 1 0 9 乃至 S 1 1 1 を詳細に説明するものである。図 4 では、図 2 におけるステップ S 1 0 8 をステップ S 2 0 1 として、以降のフローを説明するものとする。なお図 4 におけるステップ S 2 0 1 以前のフローは、図 2 に示すフローチャート図における S 1 0 1 乃至 S 1 0 7 のフローと同様である。

40

【 0 0 7 5 】

まずステップ S 2 0 1 では、誤り訂正符号用レジスタ 1 0 6 の揮発性記憶部 1 1 0 に復帰した誤り訂正符号と、揮発性記憶部 1 0 8 に復帰したデータをもとに誤り訂正符号計算回路 2 0 1 が計算した比較用誤り訂正符号と比較し、誤り訂正符号のエラー発生の有無の判断を行う。誤り訂正符号のエラー発生がある場合は次のステップ S 2 0 2 に進み、誤り訂正符号のエラー発生がない場合は、ステップ S 2 0 7 に進む。

【 0 0 7 6 】

ステップ S 2 0 2 では、誤り訂正符号によって汎用レジスタ 1 0 5 のデータが訂正可能か否かの判断を行う。誤り訂正符号によって汎用レジスタ 1 0 5 のデータが訂正可能な場合はステップ S 2 0 5 に進み、誤り訂正符号によって汎用レジスタ 1 0 5 のデータが訂正不

50

能な場合はステップS 2 0 3に進む。

【0077】

ステップS 2 0 3では、パワーゲーティング制御回路1 0 3がデータ退避時間を長くするように変更する処理を行う。具体的にはデータ退避時間制御回路1 0 2は、データ退避時間カウンタ2 2 1のカウント値をインクリメントする制御信号をパワーゲーティング制御回路1 0 3のデータ退避時間カウンタ2 2 1に出力する。ステップS 2 0 3の後は、ステップS 2 0 4に進む。

【0078】

ステップS 2 0 4では、初期動作から開始する処理を行う。ステップS 2 0 4の後は、処理が終了となる。

10

【0079】

なお初期動作とは、データ処理回路1 0 1の内部に保持されたデータをすべてリセットした状態から処理を行う動作のことをいう。

【0080】

ステップS 2 0 5では、訂正回路2 0 3で誤り訂正符号によるデータを訂正する処理を行う。ステップS 2 0 5の後は、ステップS 2 0 6に進む。

【0081】

ステップS 2 0 6では、パワーゲーティング制御回路1 0 3がデータ退避時間を長くするように変更する処理を行う。具体的にはデータ退避時間制御回路1 0 2は、データ退避時間カウンタ2 2 1のカウント値をインクリメントする制御信号をパワーゲーティング制御回路1 0 3のデータ退避時間カウンタ2 2 1に出力する。ステップS 2 0 6の後は、処理が終了となる。

20

【0082】

ステップS 2 0 7では、エラー信号記憶回路2 1 1での、前回行った処理におけるエラー信号E R Rの有無の判断を行う。具体的には、エラー信号記憶回路2 1 1を参照し、前回入力されたエラー信号E R Rの有無を判断する。そして前回入力されたエラー信号E R Rがある場合はステップS 2 0 8に進み、前回入力されたエラー信号E R Rがない場合はステップS 2 0 9に進む。

【0083】

ステップS 2 0 8では、データ退避時間を確定する処理を行う。具体的には、データ退避時間決定フラグ記憶回路2 1 2での決定フラグの保持により、パワーゲーティング制御回路1 0 3のデータ退避時間カウンタ2 2 1のカウント値を固定し、データ退避信号E N _ Wによるデータ退避時間を一定にする処理を行う。ステップS 2 0 8の後は、処理が終了となる。

30

【0084】

ステップS 2 0 9では、データ退避時間決定フラグ記憶回路2 1 2に保持されたデータによって、データ退避時間が確定済みであるか否かの判断を行う。具体的には、データ退避時間決定フラグ記憶回路の決定フラグを参照し、データ退避時間が確定済みであるか否かを判断する。データ退避時間が確定済みの場合は処理が終了となり、データ退避時間が確定しない場合はステップS 2 1 0に進む。

40

【0085】

ステップS 2 1 0では、パワーゲーティング制御回路1 0 3がデータ退避時間を短くするように変更する処理を行う。具体的にはデータ退避時間制御回路1 0 2は、データ退避時間カウンタ2 2 1のカウント値をデクリメントする制御信号をパワーゲーティング制御回路1 0 3のデータ退避時間カウンタ2 2 1に出力する。ステップS 2 1 0の後は、処理が終了となる。

【0086】

以上が、半導体装置1 0 0のデータ退避時間を変更する際の動作の一例についてのフローチャート図である。

【0087】

50

以上の本実施の形態で示した構成により、電源供給を停止と再開を繰り返す半導体装置において、製造時の特性のばらつきに関わらず、揮発性の記憶部から不揮発性の記憶部へのデータの退避を確実に行うための、最適なデータ退避時間を設定することができる。

【0088】

(実施の形態3)

本実施の形態では、上記実施の形態1及び実施の形態2で説明した揮発性記憶部及び不揮発性記憶部の構成について説明する。図5には、揮発性記憶部及び不揮発性記憶部のブロック図の一例を示す。

【0089】

図5(A)では n ビット(n は自然数)のデータを保持する揮発性記憶部及び不揮発性記憶部のブロック図について説明を行い、次いで図5(B)では1ビットのデータを保持する揮発性記憶部及び不揮発性記憶部の構成について説明していく。

10

【0090】

図5(A)に、揮発性記憶部及び不揮発性記憶部のブロック図の一例を示す。図5(A)に示す揮発性記憶部及び不揮発性記憶部は、 n 個の単位記憶部501で表すことができる。当該揮発性記憶部と不揮発性記憶部とを一組とした単位記憶部501で1ビットまたは複数ビットのデータを記憶することができる。

【0091】

図5(A)に示す単位記憶部501は、揮発性記憶部502及び不揮発性記憶部503を有する。

20

【0092】

揮発性記憶部502は、一例としては、フリップフロップで構成することができる。図5(A)では、フリップフロップとしてD-フリップフロップを示している。揮発性記憶部502は、高電源電位VDD及びグラウンド電位GNDによる電源供給がされ、クロック信号CLK、及びデータD₁乃至D_nが入力される。他にも、揮発性記憶部502の回路構成に応じて、制御を行うための信号を入力する構成としてもよい。揮発性記憶部502の端子Dに入力されるデータD₁乃至D_nはクロック信号に同期して、データの保持と、出力端子Q₁乃至Q_nからの出力と、を行う構成となる。

【0093】

不揮発性記憶部503は、高電源電位VDD及びグラウンド電位GNDによる電源供給がされ、データ退避信号EN_W、データ復帰信号EN_R、揮発性記憶部502に記憶されたデータが入力される。他にも、不揮発性記憶部503の回路構成に応じて、制御を行うための信号を入力する構成としてもよい。不揮発性記憶部503に記憶されるデータは、データ退避信号EN_W及びデータ復帰信号EN_Rの制御により、データの書き込み及び読み出しを行う構成となる。

30

【0094】

不揮発性記憶部503が有する不揮発性記憶素子としては、フラッシュメモリの他、FeRAM、MRAM、PRAM、ReRAMを用いることができる。

【0095】

なお特に不揮発性記憶部503に用いる不揮発性記憶素子としては、酸化物半導体層を有するトランジスタを用いた電荷の保持によりデータの保持を行う回路で構成される不揮発性記憶素子とすることが好適である。酸化物半導体層を有するトランジスタを用いて不揮発性記憶部503を形成することで、トランジスタの作製工程と同様に不揮発性記憶部503を作製することができ、記憶回路の作製における低コスト化を図ることができる。

40

【0096】

データ退避信号EN_W及びデータ復帰信号EN_Rは、不揮発性記憶部503の不揮発性記憶素子へのデータの書き込み及び読み出しを制御するための信号である。具体的にデータ退避信号EN_W及びデータ復帰信号EN_Rは、不揮発性記憶部503が有する各スイッチまたはトランジスタのオンとオフを切り替えて、不揮発性記憶素子に印加する電

50

気信号の切り替えを行うことでデータの書き込みまたは読み出しを行う。

【 0 0 9 7 】

なおデータ退避信号 EN_W 及びデータ復帰信号 EN_R は、パワーゲーティング制御回路 103 より出力される信号である。データ退避信号 EN_W 及びデータ復帰信号 EN_R は、パワーゲーティング制御信号 EN_PG のオンまたはオフに従って出力される。上記実施の形態で説明したようにデータ退避信号 EN_W は、例えばデータ退避時間カウンタ 221 のカウント値が大きい場合には、データ退避信号 EN_W の H レベルの信号が長くなるようデューティ比を調整し、データ退避時間カウンタ 221 のカウント値が小さい場合には、データ退避信号 EN_W の H レベルの信号が短くなるようデューティ比を調整される。H レベルの時間の長さに従って、データ退避時間を変更することができる。

10

【 0 0 9 8 】

次いで、図 5 (A) に示した単位記憶部 501 が有する揮発性記憶部 502 及び不揮発性記憶部 503 の具体的な回路の構成について図 5 (B) に示す。

【 0 0 9 9 】

図 5 (B) では、揮発性記憶部 502 の具体的な回路構成として、インバータ及びクロックドインバータを組み合わせたフリップフロップを示している。なお図 5 (B) において、クロック信号 CLK は、インバータ INV に入力し、反転クロック信号を生成する構成としている。反転クロック信号は、外部より入力する構成としてもよい。

【 0 1 0 0 】

なお図 5 (B) において、単位記憶部 501 への電源供給を停止するために揮発性記憶部 502 に記憶されたデータを不揮発性記憶部 503 に書き込む場合、ノード Sig の電位をデータとしてサンプリングするものとする。また、単位記憶部 501 への電源供給を再開するために不揮発性記憶部 503 に記憶されたデータを揮発性記憶部 502 に読み出す場合、ノード Out にデータに応じた電位を出力するものとする。

20

【 0 1 0 1 】

また図 5 (B) に示す不揮発性記憶部 503 は、書き込み制御回路 511、不揮発性記憶素子 512、及び読み出し制御回路 513 を有する。

【 0 1 0 2 】

書き込み制御回路 511 は、揮発性記憶部 502 に記憶されたデータに応じて、不揮発性記憶素子 512 に出力する信号の切り替えを行うための回路である。具体的には、例えば不揮発性記憶素子 512 が $ReRAM$ の場合、 $ReRAM$ の両端に印加する書き込み電圧の極性をデータに応じて切り替えるための回路である。書き込み制御回路 511 の制御は、データ退避信号 EN_W 及びデータにより行われる。

30

【 0 1 0 3 】

不揮発性記憶素子 512 は、フラッシュメモリの他、 $FeRAM$ 、 $MRAM$ 、 $PRAM$ 、 $ReRAM$ を用いればよい。または、酸化物半導体層を有するトランジスタを用いた電荷の保持によりデータの保持を行う回路で構成される不揮発性記憶素子を用いればよい。

【 0 1 0 4 】

読み出し制御回路 513 は、不揮発性記憶素子 512 に記憶されたデータに応じて、揮発性記憶部 502 に出力する信号の切り替えを行うための回路である。具体的には、例えば不揮発性記憶素子 512 が $ReRAM$ の場合、書き込まれたデータに応じて、高抵抗状態または低抵抗状態に切り替わっている。読み出し制御回路 513 は、データ復帰信号 EN_R により、 $ReRAM$ の抵抗値の高低として記憶されたデータを、定電流源または抵抗素子を用いた抵抗分割等により、電圧値として取り出すための回路である。

40

【 0 1 0 5 】

なお図 5 (A) で説明した単位記憶部 501 は、電源供給を停止してもデータの保持を行うことができる。そのため、図 1 または図 3 で示したデータ処理回路 101 における汎用レジスタ 105 及び誤り訂正符号用レジスタ 106 はデータを消失することなく、電源供給の停止を行なうことができる。従って、データ処理に必要な期間だけ電源供給を行い、使用状況に応じて適宜電源供給を停止することができる。

50

【 0 1 0 6 】

次いで、図 5 (B) で示した単位記憶部 5 0 1 が有する不揮発性記憶部 5 0 3 の回路動作についてタイミングチャート図を示し説明する。

【 0 1 0 7 】

図 6 に示すタイミングチャート図では、図 5 (B) で示した揮発性記憶部 5 0 2 のノード S i g の電位、データ退避信号 E N _ W の電位、データ復帰信号 E N _ R の電位、電源電圧の供給または停止の状態、及び不揮発性記憶素子のデータの保持状態を表すものである。

【 0 1 0 8 】

なお図 6 において、各信号の電位は、H レベルまたは L レベルの 2 値で説明するものとする。また図 6 において、ノード S i g のデータの電位は、揮発性記憶部 5 0 2 が動作している期間において H レベルまたは L レベルのいずれかの値が保持されていることを「H / L」としてあらわし、揮発性記憶部 5 0 2 への電源電圧の供給が停止することで記憶しているデータがない状態を「O F F」として表している。

10

【 0 1 0 9 】

また図 6 において、データ退避信号 E N _ W、及びデータ復帰信号 E N _ R は、H レベルで読み出し制御回路 5 1 3 及び書き込み制御回路 5 1 1 が動作状態となり、L レベルで読み出し制御回路 5 1 3 及び書き込み制御回路 5 1 1 が非動作状態となることを表している。

【 0 1 1 0 】

また図 6 において、電源電圧の供給の有無については、供給される期間を「供給」、停止している期間を「停止」として表している。また、不揮発性記憶素子のデータの保持、書き込み、または読み出しは、それぞれ「保持」、「書込」、「読出」と表すものとして説明する。

20

【 0 1 1 1 】

期間 T 0 は、単位記憶部 5 0 1 に電源電圧の供給が行われ、揮発性記憶部 5 0 2 が動作してデータを保持する期間を表している。期間 T 0 では、データ退避信号 E N _ W は L レベル、データ復帰信号 E N _ R は L レベル、電源電圧の供給が行われるとする。なお不揮発性記憶素子には、前の期間で書き込まれたデータが保持されており、期間 T 0 では「保持」と表している。

30

【 0 1 1 2 】

期間 T 1 は、単位記憶部 5 0 1 に電源電圧の供給が行われ、揮発性記憶部 5 0 2 に保持された H レベルまたは L レベルのデータ (H / L) を不揮発性記憶素子に書き込む期間を表している。期間 T 1 では、データ退避信号 E N _ W は H レベル、データ復帰信号 E N _ R は L レベル、電源電圧の供給が行われるとする。なお不揮発性記憶素子は、期間 T 1 では揮発性記憶部 5 0 2 に保持されたデータに応じた書き込みが行われる。

【 0 1 1 3 】

上記実施の形態で説明したようにデータ退避信号 E N _ W は、H レベルとなる期間 T 1 の長さを変更することで、データ退避時間を変更することができる。例えばデータ退避時間カウンタ 2 2 1 のカウント値が大きい場合には、H レベルとなる期間 T 1 が長くなるよう調整し、データ退避時間カウンタ 2 2 1 のカウント値が小さい場合には、H レベルとなる期間 T 1 が短くなるよう調整する。H レベルの時間の長さに従って、データ退避時間を変更することができる。

40

【 0 1 1 4 】

期間 T 2 は、不揮発性記憶素子 5 1 2 が期間 T 1 で書き込まれたデータを保持することにより、単位記憶部 5 0 1 への電源電圧の供給を停止してもデータを失わない期間を表している。期間 T 2 では、揮発性記憶部 5 0 2 からのデータの入力はなく (O F F)、データ退避信号 E N _ W は L レベル、データ復帰信号 E N _ R は L レベル、電源電圧の供給を停止しているとする。なお不揮発性記憶素子には、期間 T 1 で書き込まれたデータが保持されており、期間 T 2 では「保持」と表している。

50

【 0 1 1 5 】

期間 T 3 は、単位記憶部 5 0 1 への電源電圧の供給を再開し、不揮発性記憶素子に書き込まれた H レベルまたは L レベルのデータ (H / L) を再度、揮発性記憶部 5 0 2 に読み出す期間を表している。期間 T 3 では、揮発性記憶部 5 0 2 には不揮発性記憶部 5 0 3 から読み出したデータ (H / L) が保持され、データ退避信号 E N _ W は L レベル、データ復帰信号 E N _ R は H レベル、電源電圧の供給が行われるとする。なお不揮発性記憶素子は、期間 T 3 では揮発性記憶部 5 0 2 に保持されたデータに応じた読み出しが行われる。

【 0 1 1 6 】

なおデータ復帰信号 E N _ R をデータ退避信号 E N _ W と同様にして、H レベルとなる期間 T 3 の長さを変更し、データ復帰時間を変更する構成としてもよい。データ復帰信号 E N _ R の H レベルの時間の長さに従って、データ復帰時間を変更することができる。

10

【 0 1 1 7 】

以上が、図 5 (B) で示した単位記憶部 5 0 1 が有する不揮発性記憶部 5 0 3 の具体的な回路動作についてタイミングチャート図の説明である。

【 0 1 1 8 】

次いで、図 5 (B) で示した不揮発性記憶素子 5 1 2 が取り得る回路構成の一例を図 7 (A)、(B) を示し説明する。

【 0 1 1 9 】

図 7 (A) では、不揮発性記憶素子として、可変抵抗記憶素子 6 0 2 を用いた場合を表している。書き込み制御回路 6 0 1 には、データ退避信号 E N _ W 及び揮発性記憶部 5 0 2 のデータであるノード S i g の電位が入力される。また、読み出し制御回路 6 0 3 には、データ復帰信号 E N _ R が入力され、可変抵抗記憶素子 6 0 2 の抵抗値の高低に応じたデータをノード O u t に出力する。

20

【 0 1 2 0 】

書き込み制御回路 6 0 1 は、ノード S i g の電位に応じて、可変抵抗記憶素子 6 0 2 に出力する信号の切り替えを行うための回路である。具体的には、可変抵抗記憶素子 6 0 2 が R e R A M の場合、両端に印加する書き込み電圧の極性をデータに応じて切り替える。なお可変抵抗記憶素子 6 0 2 が M R A M の場合は、両端に流れる電流の向きをデータに応じて切り替える。

【 0 1 2 1 】

また読み出し制御回路 6 0 3 は、可変抵抗記憶素子 6 0 2 に記憶されたデータに応じて、揮発性記憶部 5 0 2 に出力する信号の切り替えを行うための回路である。具体的には、可変抵抗記憶素子 6 0 2 の抵抗値の高低として記憶されたデータを、定電流源または抵抗素子を用いた抵抗分割等により、電圧値として取り出す。

30

【 0 1 2 2 】

また図 7 (B) は、酸化物半導体層を有するトランジスタを用いた電荷の保持によりデータの保持を行う回路の一例である。図 7 (B) に示す回路は、酸化物半導体層を有するトランジスタ (以下、O S トランジスタ 6 1 1)、p チャネル型トランジスタ 6 1 2、n チャネル型トランジスタ 6 1 3、n チャネル型トランジスタ 6 1 4 及びインバータ 6 1 5 で構成される。図 7 (B) において、O S トランジスタ 6 1 1 は、酸化物半導体層を有することを明示するために、O S の符号を合わせて付している。

40

【 0 1 2 3 】

ここで O S トランジスタ 6 1 1 の半導体層に用いる酸化物半導体について詳述する。

【 0 1 2 4 】

トランジスタの半導体層中のチャネル形成領域に用いる酸化物半導体としては、少なくともインジウム (I n) または亜鉛 (Z n) を含むことが好ましい。特に I n 及び Z n を含むことが好ましい。また、それらに加えて、酸素を強く結びつけるスタビライザーを有することが好ましい。スタビライザーとしては、ガリウム (G a)、スズ (S n)、ジルコニウム (Z r)、ハフニウム (H f) 及びアルミニウム (A l) の少なくともいずれかを有すればよい。

50

【0125】

また、他のスタビライザーとして、ランタノイドである、ランタン(La)、セリウム(Ce)、プラセオジウム(Pr)、ネオジウム(Nd)、サマリウム(Sm)、ユウロピウム(Eu)、ガドリニウム(Gd)、テルビウム(Tb)、ジスプロシウム(Dy)、ホルミウム(Ho)、エルビウム(Er)、ツリウム(Tm)、イッテルビウム(Yb)、ルテチウム(Lu)のいずれか一種または複数種を有してもよい。

【0126】

例えば、In-Sn-Ga-Zn系酸化物や、In-Ga-Zn系酸化物、In-Sn-Zn系酸化物、In-Zr-Zn系酸化物、In-Al-Zn系酸化物、Sn-Ga-Zn系酸化物、Al-Ga-Zn系酸化物、Sn-Al-Zn系酸化物や、In-Hf-Zn系酸化物、In-La-Zn系酸化物、In-Ce-Zn系酸化物、In-Pr-Zn系酸化物、In-Nd-Zn系酸化物、In-Sm-Zn系酸化物、In-Eu-Zn系酸化物、In-Gd-Zn系酸化物、In-Tb-Zn系酸化物、In-Dy-Zn系酸化物、In-Ho-Zn系酸化物、In-Er-Zn系酸化物、In-Tm-Zn系酸化物、In-Yb-Zn系酸化物、In-Lu-Zn系酸化物や、In-Zn系酸化物、Sn-Zn系酸化物、Al-Zn系酸化物、Zn-Mg系酸化物、Sn-Mg系酸化物、In-Mg系酸化物や、In-Ga系の材料、In系酸化物、Sn系酸化物、Zn系酸化物などを用いることができる。

10

【0127】

なお、ここで、例えば、In-Ga-Zn系酸化物とは、In、Ga及びZnを主成分として有する酸化物という意味であり、In、Ga及びZnの比率は問わない。

20

【0128】

また、酸化物半導体として、 $\text{InMO}_3(\text{ZnO})_m$ ($m > 0$) で表記される材料を用いてもよい。なお、Mは、Ga、Fe、Mn及びCoから選ばれた一の金属元素または複数の金属元素を示す。また、酸化物半導体として、 $\text{In}_2\text{SnO}_5(\text{ZnO})_n$ ($n > 0$) で表記される材料を用いてもよい。

【0129】

例えば、 $\text{In}:\text{Ga}:\text{Zn} = 3:1:2$ 、 $\text{In}:\text{Ga}:\text{Zn} = 1:1:1$ または $\text{In}:\text{Ga}:\text{Zn} = 2:2:1$ の原子数比のIn-Ga-Zn系酸化物やその組成の近傍の酸化物を用いることができる。または、 $\text{In}:\text{Sn}:\text{Zn} = 1:1:1$ 、 $\text{In}:\text{Sn}:\text{Zn} = 2:1:3$ または $\text{In}:\text{Sn}:\text{Zn} = 2:1:5$ の原子数比のIn-Sn-Zn系酸化物やその組成の近傍の酸化物を用いるとよい。

30

【0130】

なお、例えば、In、Ga、Znの原子数比が $\text{In}:\text{Ga}:\text{Zn} = a:b:c$ ($a+b+c=1$) である酸化物の組成が、原子数比が $\text{In}:\text{Ga}:\text{Zn} = A:B:C$ ($A+B+C=1$) の酸化物の組成の近傍であるとは、a、b、cが、式(1)を満たすことをいう。

【0131】

$$(a-A)^2 + (b-B)^2 + (c-C)^2 \leq r^2 \quad (1)$$

【0132】

rとしては、例えば、0.05とすればよい。他の酸化物でも同様である。

40

【0133】

しかし、これらに限られず、必要とする半導体特性(電界効果移動度、しきい値電圧等)に応じて適切な組成のものを用いればよい。また、必要とする半導体特性を得るために、キャリア濃度や不純物濃度、欠陥密度、金属元素と酸素の原子数比、原子間距離、密度等を適切なものとするのが好ましい。

【0134】

また、酸化物半導体を半導体層中のチャネル形成領域に用いたトランジスタは、酸化物半導体を高純度化することにより、オフ電流(ここでは、オフ状態のとき、たとえばソース電位を基準としたときのゲート電位との電位差がしきい値電圧以下のときのドレイン電流とする)を十分に低くすることが可能である。例えば、加熱成膜により水素や水酸基を酸

50

化物半導体中に含ませないようにし、または成膜後の加熱により膜中から除去し、高純度化を図ることができる。高純度化されることにより、チャネル形成領域に In-Ga-Zn 系酸化物を用いたトランジスタで、チャネル長が $10\ \mu\text{m}$ 、半導体膜の膜厚が $30\ \text{nm}$ 、ドレイン電圧が $1\ \text{V} \sim 10\ \text{V}$ 程度の範囲である場合、オフ電流を、 $1 \times 10^{-13}\ \text{A}$ 以下とすることが可能である。またチャネル幅あたりのオフ電流（オフ電流をトランジスタのチャネル幅で除した値）を $1 \times 10^{-23}\ \text{A}/\mu\text{m}$ ($10\ \text{yA}/\mu\text{m}$) から $1 \times 10^{-22}\ \text{A}/\mu\text{m}$ ($100\ \text{yA}/\mu\text{m}$) 程度とすることが可能である。

【0135】

なお酸化物半導体を高純度化して極小となるオフ電流を検出するためには、比較的サイズの大きいトランジスタを作製し、オフ電流を測定することで、実際に流れるオフ電流を見積もることができる。図8にはサイズの大きいトランジスタとして、チャネル幅 W を $1\ \text{m}$ ($1000000\ \mu\text{m}$)、チャネル長 L を $3\ \mu\text{m}$ とした際に、温度を 150 、 125 、 85 、 27 と変化させた際のチャネル幅 W $1\ \mu\text{m}$ あたりのオフ電流をアレニウスプロットした図を示す。図8からもわかるように、オフ電流は $3 \times 10^{-26}\ \text{A}/\mu\text{m}$ と極めて小さいことがわかる。なお、昇温してオフ電流を測定したのは、室温では電流が極めて小さいため、測定が困難だったためである。

10

【0136】

また、成膜される酸化物半導体膜は、単結晶、多結晶（ポリクリスタルともいう。）または非晶質などの状態をとる。

【0137】

20

以上がOSトランジスタ611の半導体層に用いる酸化物半導体についての説明である。

【0138】

図7(B)に示す回路では、OSトランジスタ611は、ソースまたはドレインとなる一方が、揮発性記憶部502のデータであるノード Sig の電位が与えられる配線に接続される。OSトランジスタ611は、ゲートが、データ退避信号 EN_W が入力される配線に接続される。OSトランジスタ611は、ソースまたはドレインとなる他方が、 n チャネル型トランジスタ614のゲートに接続される。

【0139】

なおOSトランジスタ611のソースまたはドレインとなる他方と、 n チャネル型トランジスタ614のゲートとが接続されるノードを Node_M とする。該 Node_M では、OSトランジスタ611をオフ状態にすることで、揮発性記憶部502のデータに応じた電荷の保持ができる。

30

【0140】

なおOSトランジスタ611は、ゲート電圧が $0\ \text{V}$ のときのドレイン電流が小さいことが望ましく、このときのドレイン電流は、上述したオフ電流と同様に、 $1 \times 10^{-23}\ \text{A}/\mu\text{m}$ ($10\ \text{yA}/\mu\text{m}$) から $1 \times 10^{-22}\ \text{A}/\mu\text{m}$ ($100\ \text{yA}/\mu\text{m}$) 程度とすることが望ましい。従って、OSトランジスタ611のしきい値電圧をプラスシフトさせておく構成とすることが好適である。具体的には、OSトランジスタにバックゲート電極を設け、チャネル形成領域に負バイアスを印加することでしきい値電圧をプラスシフトすることができる。

40

【0141】

図7(B)に示す回路では、 p チャネル型トランジスタ612は、ソースまたはドレインとなる一方が、高電源電位 VDD が与えられる配線に接続される。 p チャネル型トランジスタ612は、ゲートが、データ復帰信号 EN_R が入力される配線に接続される。 p チャネル型トランジスタ612は、ソースまたはドレインとなる他方が、 n チャネル型トランジスタ613のソースまたはドレインとなる一方に接続される。

【0142】

図7(B)に示す回路では、 n チャネル型トランジスタ613は、ゲートが、データ復帰信号 EN_R が入力される配線に接続される。 p チャネル型トランジスタ612は、ソースまたはドレインとなる他方が、 n チャネル型トランジスタ614のソースまたはドレイン

50

ンとなる一方に接続される。

【0143】

図7(B)に示す回路では、nチャネル型トランジスタ614は、ソースまたはドレインとなる他方が、グラウンド線に接続される。

【0144】

図7(B)に示す回路では、インバータ615は、入力端子が、pチャネル型トランジスタ612のソースまたはドレインとなる他方及びnチャネル型トランジスタ613のソースまたはドレインとなる一方に接続される。インバータ615は、出力端子が、ノードOutに接続される。

【0145】

図7(B)に示す回路は、OSTランジスタ611が書き込み制御回路621、Node_Mが不揮発性記憶素子622、pチャネル型トランジスタ612、nチャネル型トランジスタ613、nチャネル型トランジスタ614及びインバータ615が読み出し制御回路623である。すなわち、データ退避信号EN_Wに応じて書き込み制御回路621は、不揮発性記憶素子622であるNode_Mに電荷を保持する。不揮発性記憶素子622に保持された電荷に応じて、読み出し制御回路623では、ノードOutにデータに応じた信号を出力することができる。

【0146】

以上説明した揮発性記憶部及び不揮発性記憶部の構成を、上記実施の形態1または2で説明した構成に用いることができる。

【0147】

なお、本実施の形態に示す構成は、他の実施の形態に示した構成を適宜組み合わせて用いることができる。

【0148】

(実施の形態4)

本実施の形態では、上記実施の形態3で説明したOSTランジスタ611と、nチャネル型トランジスタ613及びpチャネル型トランジスタ612と、を積層して設けた半導体装置の断面図の構成について図9に示し、説明する。

【0149】

なお図9に示す半導体装置の断面図の構成では、下層部を構成する制御回路が有するトランジスタの一例として、nチャネル型トランジスタ613及びpチャネル型トランジスタ612を示し、上層部を構成するトランジスタとして酸化物半導体層にチャネルが形成されるOSTランジスタ611を示す。

【0150】

図9に示す半導体装置は、下部素子層321にシリコン材料がチャネル形成領域に用いられたnチャネル型トランジスタ613及びpチャネル型トランジスタ612を有し、配線層322を間に挟んで、上部素子層323にOSTランジスタ611を有する。

【0151】

図9におけるnチャネル型トランジスタ613は、半導体材料(例えば、シリコンなど)を含む基板333上にBOX層334を介して設けられたSOI層335と、SOI層335に形成されたn型不純物領域336と、ゲート絶縁層337と、ゲート電極338とを有する。SOI層335には、n型不純物領域336の他、図示していないが、金属間化合物領域及びチャネル形成領域が設けられる。またpチャネル型トランジスタ612は、SOI層335中にp型不純物領域339が形成されている。

【0152】

nチャネル型トランジスタ613及びpチャネル型トランジスタ612が有するSOI層335の間には素子分離絶縁層342が設けられており、nチャネル型トランジスタ613及びpチャネル型トランジスタ612を覆うように絶縁層340が設けられている。なお、nチャネル型トランジスタ613及びpチャネル型トランジスタ612は、図9に示すようにゲート電極338の側面にサイドウォールを設け、不純物濃度が異なる領域を含

10

20

30

40

50

む n 型不純物領域 3 3 6 及び p 型不純物領域 3 3 9 としてもよい。

【 0 1 5 3 】

n 型不純物領域 3 3 6 及び p 型不純物領域 3 3 9 上の絶縁層 3 4 0 は開口部を有し、開口部を埋めるように配線 3 4 1 が設けられている。絶縁層 3 4 0 及び配線 3 4 1 上の配線層 3 2 2 では、絶縁層 3 4 4、配線 3 5 1、配線 3 5 2 及び配線 3 5 3 が設けられている。配線 3 5 1 は、O S トランジスタ 6 1 1 のソース電極として機能させることができる。配線 3 5 2 は、O S トランジスタ 6 1 1 のゲート電極として機能させることができる。配線 3 5 3 は、O S トランジスタ 6 1 1 のドレイン電極として機能させることができる。

【 0 1 5 4 】

なお下部素子層 3 2 1 の絶縁層 3 4 0 中の配線 3 4 1、配線層 3 2 2 の絶縁層 3 4 4 中の配線 3 5 1、配線 3 5 2 及び配線 3 5 3 は、デュアルダマシン法を用いて形成すればよい。また、コンタクトプラグを形成して異なる配線層間の接続を図ってもよい。

【 0 1 5 5 】

半導体材料を具備する S O I 層 3 3 5 を用いた n チャネル型トランジスタ 6 1 3 及び p チャネル型トランジスタ 6 1 2 は、O S トランジスタ 6 1 1 に比べて、高速動作及び微細化が可能である。

【 0 1 5 6 】

配線層 3 2 2 の上面は、CMP (C h e m i c a l M e c h a n i c a l P o l i s h i n g) 処理を施して、O S トランジスタ 6 1 1 の形成を行えばよい。

【 0 1 5 7 】

O S トランジスタ 6 1 1 は、絶縁層 3 4 4 及び配線 3 5 2 上に、積層して島状に形成されたゲート絶縁層 3 6 1 及び酸化物半導体膜 3 6 2 を有する。また O S トランジスタ 6 1 1 は、島状に形成されたゲート絶縁層 3 6 1 及び酸化物半導体膜 3 6 2 上及び配線 3 5 3 に接続されるソース電極 3 6 3 A、及び島状に形成されたゲート絶縁層 3 6 1 及び酸化物半導体膜 3 6 2 上及び配線 3 5 1 に接続されるドレイン電極 3 6 3 B を有する。また O S トランジスタ 6 1 1 は、島状に形成されたゲート絶縁層 3 6 1 及び酸化物半導体膜 3 6 2 上、絶縁層 3 4 4 上、ソース電極 3 6 3 A 及びドレイン電極 3 6 3 B 上に絶縁層 3 6 4 を有する。また O S トランジスタ 6 1 1 は、絶縁層 3 6 4 を間に挟んで、島状に形成されたゲート絶縁層 3 6 1 及び酸化物半導体膜 3 6 2 上にバックゲート電極 3 6 5 を有する。O S トランジスタ 6 1 1 は、絶縁層 3 4 5 で覆われる。

【 0 1 5 8 】

バックゲート電極 3 6 5 を有する O S トランジスタ 6 1 1 は、バックゲート電極 3 6 5 にしきい値電圧を制御するためのバックゲート電圧を入力する構成とすることができる。バックゲート電圧を制御して O S トランジスタ 6 1 1 のしきい値電圧を制御する構成とすることで、O S トランジスタ 6 1 1 でのオフ電流の低減を、より確実に行うことができる。

【 0 1 5 9 】

以上説明したように本実施の形態における半導体装置の構成は、シリコンをチャネル形成領域に用いたトランジスタと酸化物半導体膜をチャネル形成領域に用いたトランジスタとを積層して設けることができる。そのため、各素子の省スペース化ができ、半導体装置の小型化を図ることができる。

【 0 1 6 0 】

本実施の形態は、上記実施の形態と適宜組み合わせて実施することが可能である。

【 符号の説明 】

【 0 1 6 1 】

D _ n データ
D _ 1 データ
Q _ n 出力端子
Q _ 1 出力端子
T 0 期間
T 1 期間

10

20

30

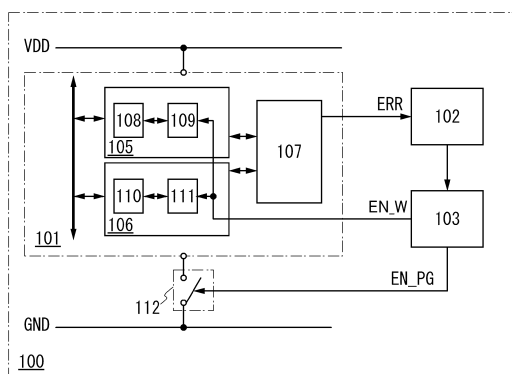
40

50

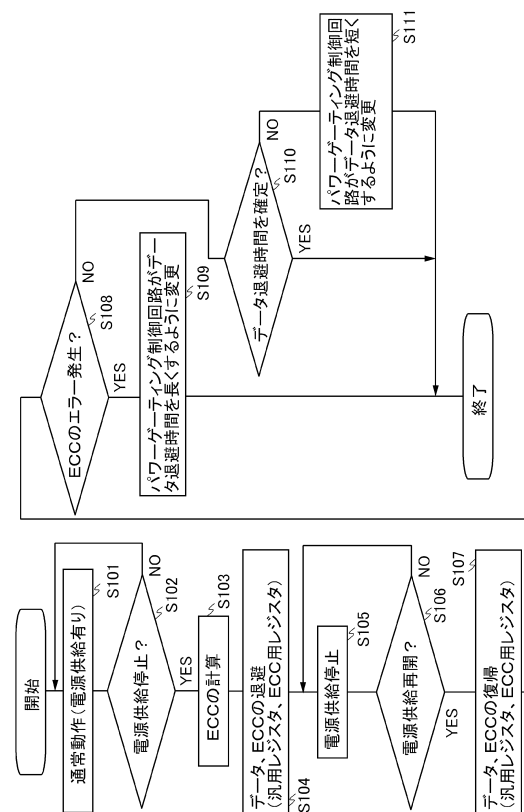
T 2	期間	
T 3	期間	
1 0 0	半導体装置	
1 0 1	データ処理回路	
1 0 2	データ退避時間制御回路	
1 0 3	パワーゲーティング制御回路	
1 0 5	汎用レジスタ	
1 0 6	誤り訂正符号用レジスタ	
1 0 7	誤り訂正符号回路	
1 0 8	揮発性記憶部	10
1 0 9	不揮発性記憶部	
1 1 0	揮発性記憶部	
1 1 1	不揮発性記憶部	
1 1 2	スイッチ	
2 0 1	誤り訂正符号計算回路	
2 0 2	誤り訂正符号比較回路	
2 0 3	訂正回路	
2 1 1	エラー信号記憶回路	
2 1 2	データ退避時間決定フラグ記憶回路	
2 2 1	データ退避時間カウンタ	20
3 2 1	下部素子層	
3 2 2	配線層	
3 2 3	上部素子層	
3 3 3	基板	
3 3 4	B O X 層	
3 3 5	S O I 層	
3 3 6	n 型不純物領域	
3 3 7	ゲート絶縁層	
3 3 8	ゲート電極	
3 3 9	p 型不純物領域	30
3 4 0	絶縁層	
3 4 1	配線	
3 4 2	素子分離絶縁層	
3 4 4	絶縁層	
3 4 5	絶縁層	
3 5 1	配線	
3 5 2	配線	
3 5 3	配線	
3 6 1	ゲート絶縁層	
3 6 2	酸化物半導体膜	40
3 6 3 A	ソース電極	
3 6 3 B	ドレイン電極	
3 6 4	絶縁層	
3 6 5	バックゲート電極	
5 0 1	単位記憶部	
5 0 2	揮発性記憶部	
5 0 3	不揮発性記憶部	
5 1 1	制御回路	
5 1 2	不揮発性記憶素子	
5 1 3	制御回路	50

6 0 1	制御回路
6 0 2	可変抵抗記憶素子
6 0 3	制御回路
6 1 1	O S トランジスタ
6 1 2	p チャネル型トランジスタ
6 1 3	n チャネル型トランジスタ
6 1 4	n チャネル型トランジスタ
6 1 5	インバータ
6 2 1	制御回路
6 2 2	不揮発性記憶素子
6 2 3	制御回路

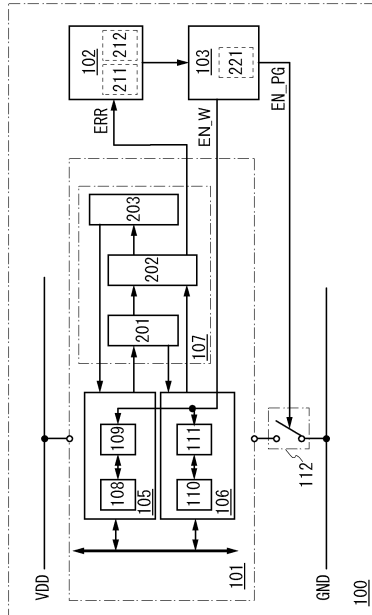
【図 1】



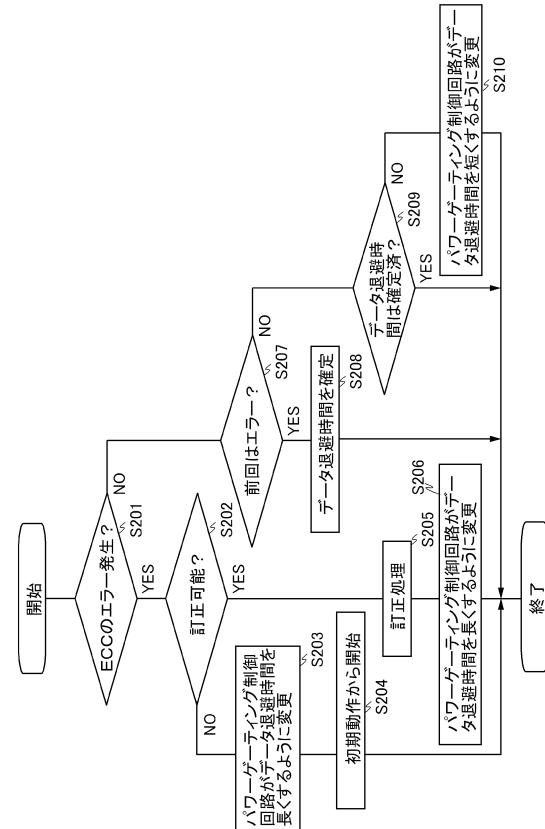
【図 2】



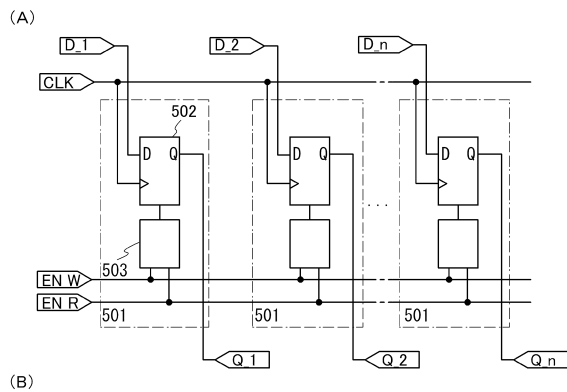
【図 3】



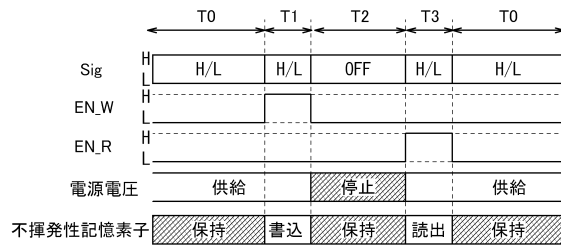
【図 4】



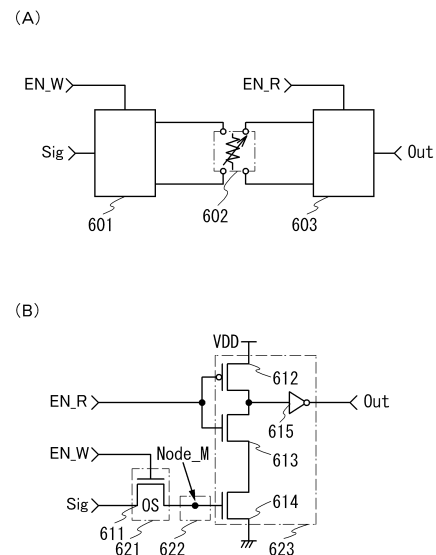
【図 5】



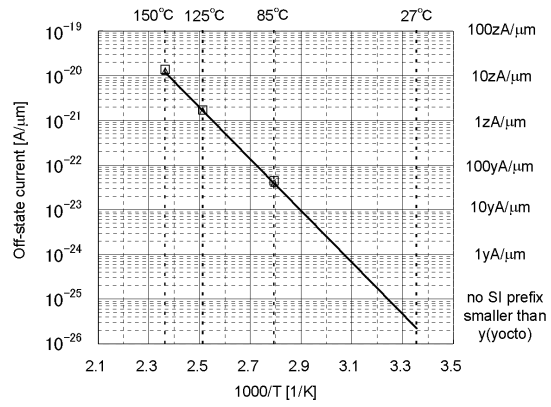
【図 6】



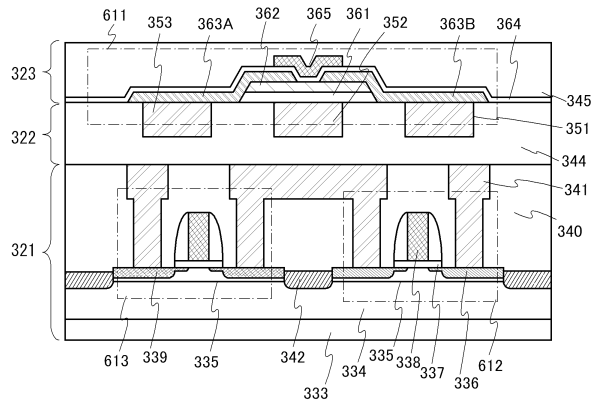
【図 7】



【図 8】



【図 9】



フロントページの続き

- (56)参考文献 特開平10-260912(JP,A)
特開2012-022726(JP,A)
特開昭61-193591(JP,A)
特開平08-272701(JP,A)
特開平09-288619(JP,A)
特開2008-97068(JP,A)
米国特許出願公開第2005/0144551(US,A1)
米国特許第5414861(US,A)
米国特許第5535399(US,A)
米国特許出願公開第2004/0136273(US,A1)

(58)調査した分野(Int.Cl., DB名)

G06F 1/26 - 1/32
G06F 11/14
G06F 12/16