(19)中華民國智慧財產局
(12)發明說明書公開本 (11)公開編號：TW 201214460 A1
(43)公開日： 中華民國 101 (2012) 年 04 月 01 日

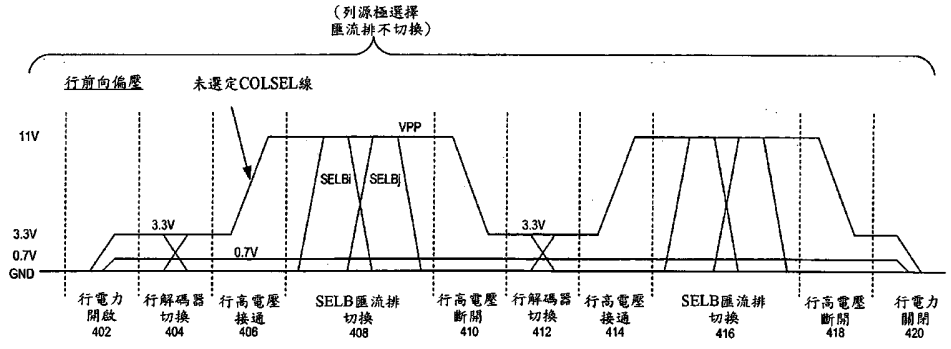
(21)申請案號：100131818 (22)申請日： 中華民國 100 (2011) 年 09 月 02 日
(51)Int. Cl.： *G11C7/18 (2006.01)* *G11C8/12 (2006.01)*
G11C8/14 (2006.01) *G11C8/10 (2006.01)*
(30)優先權：2010/09/30 美國 12/895,523
(71)申請人：桑迪士克３Ｄ公司 (美國) SANDISK 3D LLC (US)
美國
(72)發明人：史契爾籃 羅伊Ｅ SCHEUERLEIN, ROY E. (US)；佛斯里 路卡Ｇ FASOLI, LUCA G. (IT)
(74)代理人：黃章典；樓穎智
申請實體審查：無 申請專利範圍項數：19 項 圖式數：20 共 114 頁

(54)名稱

提供記憶體陣列操作之前向及反向模式之解碼器電路及其偏壓方法
DECODER CIRCUITRY PROVIDING FORWARD AND REVERSE MODES OF MEMORY ARRAY OPERATION AND METHOD FOR BIASING SAME

(57)摘要

本發明描述用於解碼可程式化及(在一些實施例中)可重寫被動元件記憶體單元之例示性記憶體陣列的電路及方法，該等電路及方法特定有用於具有一個以上記憶體平面的極緻密三維記憶體陣列。另外，本發明描述下列用途的電路及方法：用於選擇此記憶體陣列之一或多個陣列區塊；用於選擇選定陣列區塊內之一或多條字線及位元線；用於將資料資訊傳送至選定陣列區塊內之選定記憶體單元及自選定陣列區塊內之選定記憶體單元傳送資料資訊；及用於將未選定偏壓條件傳送至未選定陣列區塊。



402：行電力開啟間隔
404：行解碼器切換間隔
406：行高電壓接通間隔
408：SELB 匯流排切換/SELB 切換間隔
410：行高電壓斷開間隔
412：行解碼器切換間隔
414：行高電壓接通間隔
416：間隔
418：間隔

420：行電力關閉間隔

(19)中華民國智慧財產局
(12)發明說明書公開本 (11)公開編號：TW 201214460 A1
(43)公開日： 中華民國 101 (2012) 年 04 月 01 日

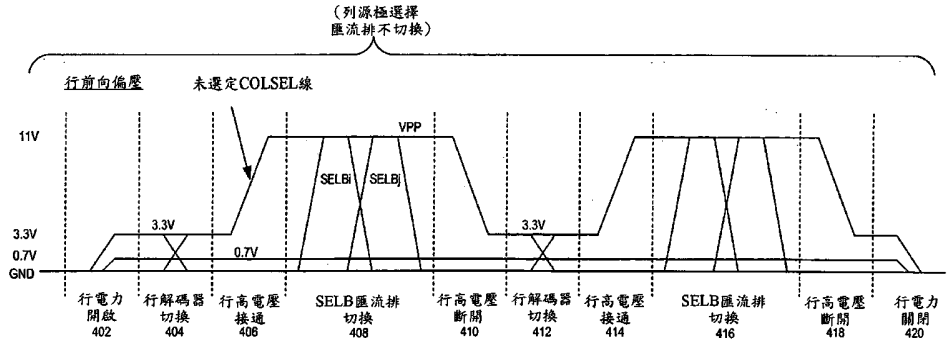
(21)申請案號：100131818 (22)申請日： 中華民國 100 (2011) 年 09 月 02 日
(51)Int. Cl.： *G11C7/18 (2006.01)* *G11C8/12 (2006.01)*
G11C8/14 (2006.01) *G11C8/10 (2006.01)*
(30)優先權：2010/09/30 美國 12/895,523
(71)申請人：桑迪士克３Ｄ公司 (美國) SANDISK 3D LLC (US)
美國
(72)發明人：史契爾籃 羅伊Ｅ SCHEUERLEIN, ROY E. (US)；佛斯里 路卡Ｇ FASOLI, LUCA G. (IT)
(74)代理人：黃章典；樓穎智
申請實體審查：無 申請專利範圍項數：19 項 圖式數：20 共 114 頁

(54)名稱

提供記憶體陣列操作之前向及反向模式之解碼器電路及其偏壓方法
DECODER CIRCUITRY PROVIDING FORWARD AND REVERSE MODES OF MEMORY ARRAY OPERATION AND METHOD FOR BIASING SAME

(57)摘要

本發明描述用於解碼可程式化及(在一些實施例中)可重寫被動元件記憶體單元之例示性記憶體陣列的電路及方法，該等電路及方法特定有用於具有一個以上記憶體平面的極緻密三維記憶體陣列。另外，本發明描述下列用途的電路及方法：用於選擇此記憶體陣列之一或多個陣列區塊；用於選擇選定陣列區塊內之一或多條字線及位元線；用於將資料資訊傳送至選定陣列區塊內之選定記憶體單元及自選定陣列區塊內之選定記憶體單元傳送資料資訊；及用於將未選定偏壓條件傳送至未選定陣列區塊。



402：行電力開啟間隔
404：行解碼器切換間隔
406：行高電壓接通間隔
408：SELB 匯流排切換/SELB 切換間隔
410：行高電壓斷開間隔
412：行解碼器切換間隔
414：行高電壓接通間隔
416：間隔
418：間隔

六、發明說明：

【發明所屬之技術領域】

本發明係關於可程式化記憶體陣列，且特定言之，係關於併有被動元件記憶體單元之半導體積體電路記憶體陣列，且甚至更特定言之，係關於併有此等記憶體單元之三維記憶體陣列。

【先前技術】

某些被動元件記憶體單元展現可重寫特性。舉例而言，在某些記憶體單元中，可藉由用大約6 V至8 V的電壓對記憶體單元加前向偏壓(例如，根據其中之二極體之極性)而達成單元程式化，而可藉由用大約10 V至14 V的電壓對記憶體單元加反向偏壓而達成抹除。此等高電壓需要使用字線及位元線解碼器內之特別高電壓CMOS電晶體。此等高電壓電晶體並不隨著記憶體單元字線及位元線間距減小而適當地按比例調整。此情形對於3D記憶體技術而言特別有問題，在3D記憶體技術中，引出陣列且必須與字線及位元線驅動器介接的字線及位元線之純粹密度使得提供與愈來愈小的陣列線間距相容的仍能夠跨越選定記憶體單元而外加充分高的電壓之解碼器電路(且特別地字線及位元線驅動器電路)之能力更為重要。

【發明內容】

在一態樣中，本發明提供一種積體電路，該積體電路包括：記憶體單元之一記憶體陣列，每一記憶體單元耦接於一第一類型之一相關聯之陣列線與一第二類型之一相關聯

之陣列線之間；一第一陣列線選擇電路，其包含經組態以產生第一複數個經解碼之輸出節點的一第一解碼器電路，第一複數個經解碼之輸出節點各自耦接至一各別多頭第一類型陣列線驅動器電路，且每一多頭第一類型陣列線驅動器電路包含各自耦接至該第一類型之一各別陣列線的各別複數個第一陣列線驅動器電路；及一第二陣列線選擇電路，其包含經組態以產生第二複數個經解碼之輸出節點的一第二解碼器電路，第二複數個經解碼之輸出節點各自耦接至一各別多頭第二類型陣列線驅動器電路，且每一多頭第二類型陣列線驅動器電路包含各自耦接至該第二類型之一各別陣列線的各別複數個第二陣列線驅動器電路。該第一解碼器電路在一第一操作模式與一第二操作模式兩者下維持相同極性及操作電壓；該第二解碼器電路在該第一操作模式與該第二操作模式兩者下維持相同極性；相較於在該第一操作模式下，該等多頭第一類型陣列線驅動器電路在該第二操作模式下具有一反向極性；相較於在該第一操作模式下，該等多頭第二類型陣列線驅動器電路在該第二操作模式下具有一反向極性；且相較於在該第二操作模式下外加之偏壓電壓，該第一陣列線選擇電路及該第二陣列線選擇電路在該第一操作模式下跨越一選定記憶體單元外加相反極性之一偏壓電壓。

在一態樣中，本發明提供一種用於解碼一記憶體陣列之方法，該方法包括：向一第一解碼器電路提供一第一量值之一操作電壓直至其所有經解碼之輸出為穩定的且一第一

電壓差建立於其一選定經解碼之輸出與一未選定經解碼之輸出之間為止，每一經解碼之輸出耦接至各別複數個陣列線驅動器電路；及在一源極選擇匯流排之每一匯流排線上提供一第一非作用電壓位準，該源極選擇匯流排耦接至該各別複數個陣列線驅動器電路中之每一者，給定複數個陣列線驅動器電路中之每一各別陣列線驅動器電路用於對耦接至該給定複數個陣列線驅動器電路之該第一解碼器電路的一經解碼之輸出作出回應而將該源極選擇匯流排之一各別匯流排線耦接至一第一類型之一各別陣列線；接著將該第一解碼器電路之該操作電壓增加至大於該第一量值之一第二量值，以藉此將選定經解碼之輸出與未選定經解碼之輸出之間的該差動電壓增加至大於該第一差動電壓的一第二差動電壓；接著使該源極選擇匯流排之一第一匯流排線產生脈衝至一第一作用電壓位準，接著返回至該第一非作用電壓位準，以藉此使對應於該第一解碼器電路之該選定經解碼之輸出的該第一類型之一第一陣列線產生脈衝；接著在允許該第一解碼器之任何經解碼之輸出改變狀態之前將該第一解碼器之該操作電壓減小至該第一量值。

在若干態樣中，本發明適合於具有一記憶體陣列之積體電路，適合於用於操作此等積體電路及記憶體陣列之方法，適合於製造併有此等陣列的記憶體產品之方法，其皆如本文中更詳細描述且如附加申請專利範圍中所闡述。所描述之技術、結構及方法可單獨使用或相互結合使用。

前述內容為發明內容且因此必要地含有對細節之簡化、

概括及省略。因此，熟習此項技術者應瞭解，前述發明內容僅為說明性的，且並不意欲以任何方式限制本發明，本發明係由附加申請專利範圍界定。如僅由申請專利範圍所界定的本發明之其他態樣、發明性特徵及優點可自下文所闡述之實施方式顯而易見。

【實施方式】

藉由參看隨附圖式，可更好地理解本發明，且使本發明之眾多目標、特徵及優點對於熟習此項技術者而言為顯而易見的。

不同圖式中之相同參考符號之使用指示類似或相同項目。

圖1為例示性被動元件記憶體陣列100之示意圖。展示兩條字線102、104以及兩條位元線106、108。假定字線102為選定字線(SWL)，且假定字線104為未選定字線(UWL)。類似地，假定位元線106為選定位元線(SBL)，且假定位元線108為未選定位元線(UBL)。展示四個被動元件記憶體單元101、103、105、107，其各自耦接於相關聯之字線與相關聯之位元線之間。

記憶體單元101與選定字線102及選定位元線106相關聯，且可被視為「S」單元(亦即，「選定」單元)。記憶體單元103與未選定字線104及選定位元線106相關聯，且可被視為「F」單元(亦即，「斷開」單元)。記憶體單元105與選定字線102及未選定位元線108相關聯，且可被視為「H」單元(亦即，「半選定」單元)。最後，記憶體單

元107與未選定字線104及未選定位元線108相關聯，且可被視為「U」單元(亦即，「未選定」單元)。

在圖1中亦說明前向偏壓操作模式之例示性偏壓條件。此前向偏壓模式可用於程式化模式、抹除模式、區塊抹除模式，及/或讀取模式(但通常針對此等不同模式具有不同電壓位準或條件)。如所展示，可將偏壓條件視為適於選定陣列區塊的程式化操作模式，且將如此加以描述。

在VSX電壓(例如，接地)下對選定字線102加偏壓，在VSB電壓(例如，+11伏特)下對選定位元線106加偏壓，在VUX電壓(例如，+10.3伏特)下對未選定字線104加偏壓，且在VUB電壓(例如，+0.7伏特)下對未選定位元線108加偏壓。可將選定位元線偏壓電壓VSB視為程式化電壓VPP，此係因為實質上跨越選定記憶體單元101外加此整個電壓(由於在接地下對選定字線加偏壓)，所以較小的某些電阻降外加於匯流排及陣列線自身中。亦將未選定位元線偏壓電壓VUB較佳設定成處於對應於在每一記憶體單元之加前向偏壓方向上的視在「臨限電壓」之值，且因此將其展示為外加於未選定位元線108上的電壓VT。類似地，亦將未選定字線偏壓電壓VUX較佳設定成處於VPP-VT之值。

在此等偏壓條件下，S單元101接收等於VPP(例如，+11伏特)之前向偏壓電壓，F單元103接收等於VT(例如，+0.7伏特)之前向偏壓電壓，H單元105接收等於VT(例如，+0.7伏特)之前向偏壓電壓，且U單元107接收等於VPP-2VT(例如，-9.6伏特)之反向偏壓電壓。存在若干例示性記憶體單

元技術：當在此等條件下加偏壓時，選定單元將改變至較低電阻值，而F、H及U單元將不會明顯地改變電阻。下文中描述例示性單元技術。

現參看圖2，針對反向偏壓操作模式展示例示性偏壓條件200。此反向偏壓模式可用於程式化模式、抹除模式及/或區塊抹除模式(但通常針對此等不同模式具有不同條件)，可將該等模式中之一或多者特徵化為第二「寫入」操作模式。如所展示，可將偏壓條件視為適於選定陣列區塊的程式化操作模式或抹除操作模式，且將如此加以描述。

現針對適於本操作模式之值而重新定義偏壓條件VSX、VUX、VSB及VUB中之每一者。在VWL之VSX電壓(例如，+6伏特)下對選定字線102加偏壓，且在-VBL之VSB電壓(例如，-6伏特)下對選定位元線106加偏壓。未選定字線電壓VUX與未選定位元線電壓VUB兩者皆接地。

在此等偏壓條件下，S單元101接收量值等於VWL-(-VBL)的反向偏壓電壓(有時被稱作VRR)(例如，-12伏特)，F單元103接收等於VBL的反向偏壓電壓(例如，-6伏特)，且H單元105接收等於VWL的反向偏壓電壓(例如，-6伏特)。值得注意的是，U單元107未接收到跨越單元之任何偏壓。

存在若干例示性記憶體單元技術(下文所提到)：當在此等條件下加偏壓時，選定單元將自電阻之較低值改變至電阻之較高值，而F、H及U單元將不會顯著地改變電阻。亦關注如下記憶體單元技術：當在此等反向模式條件下加偏

壓時，選定單元將自高電阻改變至較低電阻。舉例而言，所關注之特定材料為金屬氧化物記憶體裝置，其中金屬氧化物金屬分層結構中之某不對稱性(諸如，電極選擇)產生用於設定對重設的優先場方向。此等材料可用於反向偏壓設定，如下文中更充分描述。亦應注意，未選定U記憶體單元(其原本在藉由跨越此單元之若干伏特來加偏壓時可能會支援相當大量的洩漏電流)不具有偏壓且因此無洩漏電流。如將進一步詳細描述，許多有用的記憶體陣列實施例包括比F單元之H單元的數目大得多之U單元，且與在其他偏壓方案之情況下相比，此等陣列將在陣列之未選定記憶體單元中具有顯著少的洩漏電流且因此具有少得多的功率耗散。

藉由在此反向模式下「分裂」VRR電壓，且在等於程式化電壓之一半的負電壓(亦即，-VBL)下對SBL加偏壓，且在等於程式化電壓之一半的正電壓(亦即，VWL)下對SWL加偏壓，顯著放寬位元線解碼器與字線解碼器兩者之電壓要求。因此，與陣列線(例如，字線及位元線)之小間距一致，陣列線驅動器電路中之高電壓電晶體佔據較小面積，此係因為其可經設計成用於相對較低之「分裂」電壓。

其他記憶體技術已面臨關於程式化及抹除電壓(及需要用於此等高電壓電晶體之面積)並不隨記憶體單元間距而以相同速率按比例調整之問題。舉例而言，由於典型基於FLASH的記憶體陣列之較大扇出而稍微減少FLASH記憶體中之此問題的影響。在一些較新技術中，可藉由增加記憶

體區塊大小而攤銷(amortize)對於高電壓電晶體之更多空間消耗設計規則。然而，在基於二極體之被動元件記憶體陣列中，較大區塊大小以穿過選定陣列內之未選定記憶體單元的增加之洩漏為代價。藉由對如圖2中所描述的此等未選定記憶體單元加偏壓，此洩漏分量可幾乎減少至零，且以較小有害的功率耗散達成較大區塊大小。然而，在某些實施例中，反向偏壓操作模式可利用完全非負電壓(亦即，僅正電壓及接地)或僅完全非正電壓(亦即，僅負電壓及接地)，或正電壓與負電壓之其他組合。

現參看圖3，展示例示性字線解碼器電路150，包括展示適合於前向偏壓操作模式的例示性偏壓條件(如圖1中所描述)。列解碼器電路152展示在該圖之左側，其展示兩個經解碼之輸出158、162，該兩個經解碼之輸出亦可被稱作列選擇(亦即，ROWSEL)輸出。經解碼之輸出158對應於選定經解碼之輸出，而經解碼之輸出162對應於未選定經解碼之輸出。可使用多種熟知技術中之任一者來實施列解碼器152。舉例而言，此解碼器可對由前期的列解碼電路(圖中未展示)所產生的經預解碼之位址信號作出回應，或可對位址信號自身作出回應。出於此描述之目的，可將列解碼器152視為包括協作以解碼列位址資訊且產生經解碼之列選擇信號的一或多個電路區塊。此解碼器電路152可包括對經預解碼之位址信號作出回應之「反及(NAND)」閘，其後接著為歸因於每一列選擇節點上之大電容性負載的用以驅動此每一列選擇節點的反相緩衝器。在此操作模式下

藉由等於耦接至電源供應節點153(在本文中亦被稱作列解碼器152之「VDD節點」或「VHI節點」)的VPP之上供應電壓VHI，及耦接至電源供應節點154(在本文中亦被稱作列解碼器152之「VSS節點」或「VLO節點」)之接地之下供應電壓VLO來操作列解碼器152。此列解碼器152為「高態有效」解碼器，意謂將諸如列選擇節點158的選定輸出(或諸輸出)驅動至兩個可用電壓狀態中之較高者(其在此狀況下為VPP)。將諸如經解碼之輸出節點162之未選定列選擇輸出驅動至兩個可用電壓狀態中的較低者(其在此狀況下為接地)。以下之描述將最初假定一次僅選擇一個此經解碼之輸出節點(例如，「高的」)。

每一經解碼之輸出耦接至一或多個字線驅動器電路。舉例而言，經解碼之輸出節點158耦接至字線驅動器電路170，字線驅動器電路170包括PMOS電晶體171及NMOS電晶體172。電晶體171、172之各別汲極端子皆耦接至在此狀況下表示選定字線102之字線。雖然某些實施例可預期除了多頭解碼器以外的解碼器，但圖3描繪亦耦接至經解碼之輸出節點158的第二字線驅動器電路，該第二字線驅動器電路表示與此特定經解碼之輸出節點158相關聯的一或多個剩餘字線驅動器電路。此第二字線驅動器電路包括PMOS電晶體173及NMOS電晶體174，其輸出驅動共同地表示一或多個半選定字線的字線181。此等半選定字線可駐留於與選定字線相同的陣列區塊中，及/或甚至可駐留於未經選擇的其他陣列區塊中。

此等字線驅動器電路中之每一者中的NMOS電晶體之各別源極端子耦接至WL源極選擇匯流排XSEL之各別匯流排線。在此操作模式下，基於位址資訊解碼源極選擇匯流排，使得在針對此操作模式適合於字線的作用狀態下對一個此XSEL匯流排線加偏壓，而在針對此操作模式適合於字線的非作用狀態下對剩餘XSEL匯流排線加偏壓。在某些實施例中，一個以上此源極選擇匯流排線可為作用的，但吾人目前應假定匯流排線167為作用的，且在接地下對其加偏壓，而共同地由XSEL匯流排線168所表示的一或多個剩餘XSEL匯流排線為非作用的，且經驅動至未選定字線電壓VUX(展示為VPP-VT)。

由於經解碼之輸出節點158上之電壓(VPP)高於匯流排線167、168之電壓，因此NMOS電晶體172、174中之兩者被接通，從而將選定字線102驅動至接地，且將半選定字線181驅動至VPP-VT。此等兩條傳導路徑係由開箭頭線指示。

此等字線驅動器電路中之每一者中的PMOS電晶體之各別源極端子耦接至未選定WL偏壓線UXL，未選定WL偏壓線UXL亦被標記為節點164。在此操作模式下，UXL偏壓線164傳送未選定字線電壓VUX。由於經解碼之輸出節點158上之電壓(VPP)高於UXL偏壓線之電壓(VPP-VT)，因此PMOS電晶體171、173兩者被斷開。

現轉而參看該圖之底部，經解碼之輸出節點162耦接至字線驅動器電路，字線驅動器電路包括PMOS電晶體175及

NMOS電晶體176。電晶體175、176之各別汲極端子皆耦接至在此狀況下表示選定字線104之字線。亦耦接至經解碼之輸出節點162的第二字線驅動器電路表示與該經解碼之輸出節點162相關聯的一或多個剩餘字線驅動器電路，且包括PMOS電晶體177及NMOS電晶體178，其輸出驅動未選定字線183。

如前所述，此等字線驅動器電路中之每一者中的NMOS電晶體之各別源極端子耦接至WL源極選擇匯流排XSEL之各別匯流排線。由於未選定經解碼之輸出節點162上之電壓(接地)處於或低於XSEL匯流排線167、168之電壓，因此NMOS電晶體176、178中之兩者被斷開。此等字線驅動器電路中之每一者中的PMOS電晶體之各別源極端子耦接至未選定WL偏壓線UXL節點164。由於未選定經解碼之輸出節點162上之電壓(接地)低於UXL偏壓線164之電壓(低於UXL偏壓線164之電壓達PMOS臨限電壓以上)，因此PMOS電晶體175、177兩者被接通，從而將未選定字線104、183驅動至VUX(例如，VPP-VT)。此等兩條傳導路徑係由開箭頭線指示。

現參看圖4，展示例示性位元線解碼器電路200，包括展示適合於前向偏壓操作模式的例示性偏壓條件(如圖1中所描述)。行解碼器電路202展示在該圖之左側，其展示兩個經解碼之輸出208、212。經解碼之輸出208對應於選定經解碼之輸出，而經解碼之輸出212對應於未選定經解碼之輸出。可使用多種熟知技術中之任一者來實施行解碼器

202，且行解碼器202產生複數個經解碼之輸出，諸如，(針對此特定實施例)為與行選擇節點208、212相同之節點的輸出205、209。在所展示且與例示性列解碼器152不同的例示性實施例中，在NAND閘之後不存在用以驅動經解碼之輸出節點的反相緩衝器，此係因為節點208上之電容性負載(亦即，COLSELi輸出)比列解碼器(亦即，ROWSELi)輸出之電容性負載低得多。在此操作模式下藉由等於耦接至電源供應節點203的VPP之上供應電壓VHI，及耦接至電源供應節點204之接地之下供應電壓VLO來操作行解碼器202。行解碼器202為「低態有效」解碼器。將諸如經解碼之輸出節點212之未選定經解碼之輸出驅動至兩個可用電壓狀態中的較高者(其在此狀況下為VPP)。以下之描述將最初假定一次僅選擇一個此經解碼之輸出節點208(例如，「低的」)。

經解碼之輸出(亦即，COLSELi輸出)中之每一者耦接至一或多個位元線驅動器電路。舉例而言，經解碼之輸出節點208耦接至位元線驅動器電路220，位元線驅動器電路220包括PMOS電晶體221及NMOS電晶體222。電晶體221、222之各別汲極端子皆耦接至在此狀況下表示選定位元線106之位元線。雖然某些實施例可預期除了多頭解碼器以外的解碼器，但圖4描繪亦耦接至經解碼之輸出節點208的第二位元線驅動器電路，該第二位元線驅動器電路表示與此特定行選擇節點208相關聯的一或多個剩餘位元線驅動器電路。此第二位元線驅動器電路包括PMOS電晶

體223及NMOS電晶體224，其輸出驅動表示一或多個半選定位元線的位元線231。與字線解碼器形成對比，此半選定位元線可表示正維持處於非作用狀態的選定位元線，諸如，根據待程式化之資料，不需要施加程式化偏壓之位元線，或在位元線之選定群組之一位元線正經程式化的同時，該選定群組之可正等待程式化的另一位元線，該兩種位元線如在下文中進一步描述。

此等位元線驅動器電路中之每一者中的PMOS電晶體之各別源極端子耦接至BL源極選擇匯流排SELB之各別匯流排線。在此操作模式下，源極選擇匯流排SELB為資料相依的，且可基於位址資訊來進一步解碼，使得在針對此操作模式適合於位元線之作用狀態下對一或多個此等SELB匯流排線加偏壓，而在針對此操作模式適合於位元線之非作用狀態下對剩餘SELB匯流排線加偏壓。在某些實施例中，一個以上此源極選擇匯流排線可為作用的，但吾人目前應假定匯流排線217為作用的，且在VPP下對其加偏壓，而共同地由SELB匯流排線218所表示的一或多個剩餘SELB匯流排線為非作用的，且經驅動至接地。在某些實施例中，可將此等非作用SELB匯流排線218驅動至未選定位元線電壓VUB(在此操作模式下為VT)以將此等半選定位元線積極耦接至未選定位元線電壓VUB，如更充分描述於由Scheuerlein等人在2006年7月31日申請的美國申請案11/461,352(現為美國專利第7,486,587號)中，該案之揭示內容以引用的方式併入本文中。

由於經解碼之輸出節點208上之電壓(接地)低於匯流排線217之電壓，因此PMOS電晶體221被接通，從而將選定位元線106驅動至VPP。此傳導路徑係由實線開箭頭線指示。相比而言，PMOS電晶體223被斷開，此係因為在接地下對其源極與閘極兩者加偏壓。

此等位元線驅動器電路中之每一者中的NMOS電晶體之各別源極端子耦接至未選定BL偏壓線UYL，未選定BL偏壓線UYL亦被標記為節點214。在此操作模式下，UYL偏壓線傳送未選定位元線電壓VUB(例如，等於VT)。由於經解碼之輸出節點208上之電壓(接地)低於UYL偏壓線214之電壓，因此NMOS電晶體222、224兩者被斷開。然而，由於所有位元線在未經選擇時積極驅動至此未選定位元線電壓VUB(例如，等於VT)(如下文所描述)，因此半選定位元線231歸因於穿過電晶體224之洩漏而保持浮動在大約VT電壓。此傳導路徑係由虛線開箭頭線指示。

未選定經解碼之輸出節點212耦接至位元線驅動器電路，位元線驅動器電路包括PMOS電晶體225及NMOS電晶體226。電晶體225、226之各別汲極端子皆耦接至在此狀況下表示未選定位元線108之位元線。亦耦接至經解碼之輸出節點212的第二位元線驅動器電路表示與該經解碼之輸出節點212相關聯的一或多個剩餘位元線驅動器電路，且包括PMOS電晶體227及NMOS電晶體228，其輸出驅動未選定位元線233。

如前所述，此等位元線驅動器電路中之每一者中的

PMOS電晶體之各別源極端子耦接至源極選擇匯流排SELB之各別匯流排線。由於經解碼之輸出節點212上之電壓(VPP)處於或高於匯流排線217、218之各別電壓，因此PMOS電晶體225、227兩者被斷開。此等位元線驅動器電路中之每一者中的NMOS電晶體之各別源極端子耦接至未選定BL偏壓線UYL節點214。由於未選定(亦即，非作用)經解碼之輸出節點212上之電壓為VPP，因此NMOS電晶體226、228兩者被接通，從而將未選定位元線108、233驅動至VUB(例如，VT)。此等兩條傳導路徑係由開箭頭線指示。

現將描述適合於反向偏壓操作模式的例示性偏壓條件。現參看圖5，例示性字線解碼器電路150被展示為包括適合於反向偏壓操作模式之例示性偏壓條件(例如，如圖2中所描述)。列解碼器152之經解碼之輸出158仍對應於選定經解碼之輸出，而經解碼之輸出162對應於未選定經解碼之輸出。在此操作模式下(例如)藉由等於耦接至電源供應節點153的VWL+VOD(例如，(+6 V) + (+5 V)=+11 V)之上供應電壓VHI，及耦接至電源供應節點154之接地之下供應電壓VLO來操作列解碼器152。電壓VOD表示「過激勵」電壓，如以下之描述所闡明。在此操作模式下，如同上述之前向偏壓狀況，列解碼器152為「高態有效」解碼器，且將作用(選定)經解碼之輸出158驅動至兩個可用電壓狀態中之較高者(例如，+11 V)。將諸如經解碼之輸出節點162之未選定經解碼之輸出驅動至兩個可用電壓狀態中的較低者

(例如，接地)。換言之，列解碼器之極性在前向操作模式與反向操作模式兩者下為相同的。另外，操作電壓(例如，(VHI-VLO)=+11伏特)之量值在前向操作模式與反向操作模式兩者下為相同的，且實際VHI供應電壓及VLO供應電壓自身在前向操作模式與反向操作模式下不改變。

在此反向操作模式下(如前所述在前向模式下)，基於位址資訊解碼源極選擇匯流排XSEL，使得在針對此操作模式適合於字線的作用狀態下對一個此XSEL匯流排線加偏壓，而在針對此操作模式適合於字線的非作用狀態下對剩餘XSEL匯流排線加偏壓。在某些實施例中，一個以上此源極選擇匯流排線可為作用的，但吾人目前應假定XSEL匯流排線167為作用的，且在VWL(例如，+6 V)下對其加偏壓，而共同地由XSEL匯流排線168所表示的一或多個剩餘XSEL匯流排線為非作用的，且經驅動至未選定字線電壓VUX(例如，接地)。

由於經解碼之輸出節點158上之電壓(例如，+11 V)高於XSEL匯流排線167、168之電壓，因此NMOS電晶體172、174兩者被接通，從而將選定字線102驅動至VWL(例如，+6 V)，且將半選定字線181驅動至接地。此等兩條傳導路徑係由開箭頭線指示。應注意，對NMOS電晶體加偏壓以上拉選定字線，而非下拉此選定字線。

此等字線驅動器電路中之每一者中的PMOS電晶體之各別源極端子耦接至未選定WL偏壓線UXL節點164。在此操作模式下，UXL偏壓線傳送(例如)為接地的未選定字線電

壓VUX(但亦可使用其他電壓)。由於經解碼之輸出節點158上之電壓(例如，+11 V)高於UXL偏壓線之電壓(例如，接地)，因此PMOS電晶體171、173兩者被斷開。

現轉而參看該圖之底部，由於未選定經解碼之輸出節點162上之電壓(例如，接地)處於或低於XSEL匯流排線167、168之電壓，因此NMOS電晶體176、178兩者被斷開。類似地，由於未選定經解碼之輸出節點162上之電壓(例如，接地)亦與UXL偏壓線164之電壓相同，因此PMOS電晶體175、177兩者亦被斷開，從而使未選定字線104、183處於浮動條件下。此等未選定字線驅動器中之洩漏電流(亦即，穿過電晶體175、177及178之汲極至源極洩漏，及電晶體176、178中之字線至基板洩漏)用以將未選定字線保持處於接地(亦即，「浮動在接地」)。在所展示之例示性電路中，NMOS下拉電晶體176、178大於PMOS上拉電晶體175、177。與較小電晶體相比，此較大電晶體具有至其基板井(例如，繫接至GND)之較大量的洩漏。因此，至接地之洩漏電流支配由PMOS電晶體175、177導致的至VWL之基板洩漏電流，且此淨電流傾向於將未選定字線104、183維持在接地電位或接近接地電位。

其他電壓值可用於上供應電壓VHI(只要提供充分過激勵電壓VOD)，及用於下供應電壓VLO。舉例而言，下供應電壓VLO可為負電壓(亦即，低於未選定字線電壓VUX達至少PMOS臨限電壓的電壓)，使得PMOS電晶體175、177將接通且將未選定字線驅動至接地。在此實施例中，大量

未選定列選擇線162將被驅動至VLO電壓而非接地。展示VLO=-1 V的此實施例揭示於前述美國專利第7,486,587號中。

在一些實施例中，可在前向或反向偏壓操作模式下藉由僅「選擇」XSEL匯流排線167、168中之一者(亦即，解碼一個此匯流排線且將一個此匯流排線驅動至適於給定操作模式的選定字線電壓，且將剩餘匯流排線維持處於適於給定操作模式的未選定字線電壓)來選擇個別字線。在一些實施例中，可藉由選擇與多頭字線驅動器電路相關聯的(諸如)可用於重設區塊之一個以上XSEL匯流排線而同時選擇一個以上字線，其中字線之連續區塊經驅動至選定電壓，諸如，VWL(例如，+6 V)。

現參看圖6，例示性位元線解碼器電路200被展示為包括適合於反向偏壓操作模式之偏壓條件(例如，如圖2中所描述)。行解碼器202之經解碼之輸出208仍對應於選定經解碼之輸出，而經解碼之輸出212對應於未選定經解碼之輸出。在此操作模式下在「下降至接地」操作模式下(例如)藉由等於耦接至電源供應節點203的GND之上供應電壓VHI，及耦接至電源供應節點204之為-VBL-VOD(例如，(-6 V)-(+5 V)=-11 V)的下供應電壓VLO來操作行解碼器202。電壓VOD再次表示「過激勵」電壓，如以下之描述所闡明。在此操作模式下，如同上述之前向偏壓狀況，行解碼器仍為「低態有效」解碼器，且將作用(選定)經解碼之輸出208驅動至兩個可用電壓狀態中之較低者(例如，-11

V)。將諸如經解碼之輸出節點212之未選定經解碼之輸出驅動至兩個可用電壓狀態中的較高者(例如，接地)。換言之，行解碼器202之極性在前向(例如，「自接地上升」(ground up))與反向(例如，「下降至接地」(ground down))操作模式兩者下為相同的。

在此操作模式下，如同在前向模式中，源極選擇匯流排SELB為資料相依的，且可基於位址資訊來進一步解碼，使得在針對此操作模式適合於位元線之作用狀態下對一或多個此等匯流排線加偏壓，而在針對此操作模式適合於位元線之非作用狀態下對剩餘匯流排線加偏壓。在某些實施例中，一個以上此源極選擇匯流排線可為作用的，但吾人目前應假定SELB匯流排線217為作用的，且在-VBL(例如，-6 V)下對其加偏壓，而由SELB匯流排線218所表示的一或多個剩餘SELB匯流排線為非作用的，且經驅動至接地。

由於經解碼之輸出節點208上之電壓(例如，-11 V)低於匯流排線217之電壓，因此PMOS電晶體221被接通，從而將選定位元線106驅動至-VBL。此傳導路徑係由實線開箭頭線指示。應注意，對PMOS電晶體221加偏壓以下拉選定位元線，而非上拉此選定位元線(相對於未選定電壓)。另外，PMOS電晶體223亦被接通，因此將半選定位元線231驅動至GND。在此操作模式下，UYL偏壓線214傳送未選定位元線電壓VUB(例如，GND)。由於經解碼之輸出節點208上之電壓低於UYL偏壓線之電壓，因此NMOS電晶體

222、224兩者被斷開。

關於未選定行解碼器輸出節點，由於經解碼之輸出節點212上之電壓(GND)處於或高於SELB匯流排線217、218之各別電壓，因此PMOS電晶體225、227中之兩者被斷開。另外，NMOS電晶體226、228兩者亦被斷開，因此使未選定位元線108、233處於浮動條件下。此等未選定位元線驅動器中之洩漏電流(亦即，穿過電晶體226、227、228之汲極至源極洩漏，及電晶體225、227中之位元線至基板洩漏)用以將未選定位元線保持處於接地。在所展示之例示性電路中，PMOS電晶體225、227大於NMOS電晶體226、228。與較小NMOS電晶體相比，較大PMOS電晶體具有至其基板井(其繫接至GND)之較大量的洩漏。因此，由於較大電晶體225具有繫接至接地之基板，因此至接地之基板洩漏電流支配由NMOS電晶體226導致的至-VBL之基板洩漏電流，且此淨電流傾向於將未選定位元線108、233維持在接地電位或接近接地電位。

其他電壓值可用於下供應電壓VLO(只要提供充分過激勵電壓VOD)，及用於上供應電壓VHI。舉例而言，上供應電壓VHI可為小的正電壓(亦即，高於未選定位元線偏壓電壓VUB達至少NMOS臨限電壓的電壓)，使得NMOS電晶體226、228將接通且將未選定位元線驅動至接地。在此實施例中，大量未選定行選擇線212將被驅動至VHI電壓而非接地。展示VHI=+1 V的此實施例揭示於前述美國專利第7,486,587號中。

在此實施例中，應注意，在前向模式中，行解碼器為低態有效的，且位元線為高態有效的。在反向模式中，行解碼器維持其極性(但使其電壓向下移位)，但位元線自身使極性反向且變成低態有效的。相反地，在前向模式中，列解碼器為高態有效的，且字線為低態有效的。在反向模式中，列解碼器維持其極性，但字線自身使極性反向且變成高態有效的。亦應注意，行解碼器輸出位準之平均電壓在「自接地上升」前向模式(亦即，GND至VPP)與「下降至接地」反向模式(亦即，-VBL-VOD至GND)之間移位。

當解碼器電路被視為非多頭解碼器(在圖3、圖4、圖5及圖6中，每經解碼之輸出僅單一陣列線驅動器電路)時，可極簡單地描述解碼器電路之操作。在反向模式中，字線解碼器使其極性反向且使一選定字線為高的(~6 V)且保持所有其他字線處於接地。在位元線選擇側發生相反情況，其中選擇一位元線，且使其為-6 V，且使所有其他位元線接地。最終結果為跨越選定記憶體單元之12 V的反向偏壓及跨越所有其他記憶體單元之零伏特。字線及位元線驅動器電路中之電晶體僅必須耐受6 V，或最大電壓的一半，而非整個電壓。

在諸如前述美國專利第7,486,587號的以引用的方式併入本文中之某些材料中，反向操作模式被描述為跨越選定記憶體單元強加VRR電位，其中將選定字線驅動至+VRR/2，且將選定位元線驅動至-VRR/2。在本文中之描述中，以類似方式，但使用將選定字線驅動至+VWL(其對

應於+VRR/2)且將選定位元線驅動至-VBL(其對應於-VRR/2)之記法來描述反向操作模式。此+VWL及-VBL記法移除正選定字線電壓必須具有與負選定位元線電壓相同的量值之任何建議。

當吾人考慮使用多頭解碼器(如圖3、圖4、圖5及圖6中所展示)之暗示時，應注意，迄今所描述之電路在前向方向上利用經解碼之源極選擇匯流排，此允許選擇陣列線(亦即，字線、位元線)之群組中之單一者，而將剩餘半選定陣列線驅動至未選定偏壓條件(或接近未選定偏壓條件)。在反向模式中，藉由用「過電壓」對列解碼器及行解碼器供電而將半選定陣列線積極驅動至其各別非作用電壓，使得經解碼之輸出節點在字線驅動器電路中橫貫高於NMOS源極電壓，且在位元線驅動器電路中橫貫低於PMOS源極電壓。藉由進行此，可經由NMOS電晶體將選定字線向上驅動至+VWL電壓，且經由PMOS電晶體將選定位元線向下驅動至-VBL電壓。此在前向模式與反向模式兩者下利用相同電晶體以驅動選定字線及位元線。舉例而言，NMOS電晶體172(而非PMOS電晶體171)在前向模式與反向模式兩者下驅動選定字線，此允許電晶體171小得多，此係因為其無需支援程式化或抹除電流。類似地，PMOS電晶體221(而非NMOS電晶體222)在前向模式與反向模式兩者下驅動選定位元線，此允許電晶體222小得多，此係因為其無需支援程式化或抹除電流。另外，不需要源極選擇匯流排(亦即，所謂的反向源極選擇匯流排)之第二

集合，且可避免此等匯流排將需要的佈局區域。

圖7為用於列解碼器及行解碼器之高電壓產生器電路及高電壓開關電路，及用於字線及位元線驅動器電路之偏壓電路的例示性配置300的方塊圖。此圖說明若干不同高電壓產生器電路(例如，電荷泵電路)之使用，其中之每一者在不同操作模式下產生不同電壓。此等電壓耦接至各種解碼器電路，如下文中所描述。

四個電荷泵電路310、312、314、316對模式控制信號302、節點306上之參考電壓VREF及時脈信號304作出回應而在各別輸出節點311、313、315、317上產生四個各別輸出電壓。行解碼器電荷泵310在其輸出節點311上選擇性地產生-4 V或-11 V輸出電壓。BL選擇電荷泵312在其輸出節點313上選擇性地產生-4 V或-6 V輸出電壓。列/行解碼器電荷泵314在其輸出節點315上選擇性地產生+4 V或+11 V輸出電壓。最後，WL選擇電荷泵316在其輸出節點317上選擇性地產生+4 V、+6 V或+10.3 V輸出電壓。模式控制信號302向每一電荷泵電路傳達將產生哪一電壓(此取決於前向操作模式或反向操作模式之選擇)，以及給定操作模式內之時序序列，如下文中更詳細描述。例示性電荷泵電路描述於Ali K. Al-Shamma與Roy E. Scheuerlein的題為「Method for Using a Multiple Polarity Charge Pump Circuit」之美國專利7,495,500中，該案之全部揭示內容以引用的方式併入本文中。

高電壓開關電路320、322選擇用於行解碼器202之適當

VHI及VLO電壓，且高電壓開關電路324、326選擇用於位元線選擇控制330之適當VHI及VLO電壓，該等開關電路各自回應於模式控制319信號而進行選擇。開關電路320將在節點315上所接收之正電壓(例如，+11 V)、3.3 V電壓或0 V電壓(亦即，接地)耦接至其輸出節點321。開關電路322將在節點311上所接收之負電壓或接地電壓耦接至其輸出節點323。開關電路324將在節點315上所接收之正電壓或接地電壓耦接至其輸出節點325。最後，開關電路326將在節點313上所接收之負電壓或接地電壓耦接至其輸出節點327。(開關電路326可將VT輸入用於未選定SELB匯流排線經驅動至VT而非接地的實施例中，如關於圖4所描述)。

行解碼器202接收位址資訊332且解碼其行選擇線210，使得選定行選擇線經驅動至耦接至其VLO輸入的節點323上所傳送之COLDECVLO電壓，且使得未選定行選擇線經驅動至耦接至其VHI輸入的節點321上所傳送之COLDECVHI電壓。選定行選擇線對應於COLSEL 208，且未選定行選擇線對應於COLSEL 212，COLSEL 208與COLSEL 212兩者如圖4、圖6中所展示。在前向操作模式下，COLDECVHI電壓回應於由電荷泵314所產生的雙電壓序列而在+3.3 V與+11 V之間定序(如下文所描述)，且COLDECVLO電壓為接地。在反向操作模式下，COLDECVHI電壓為接地，且COLDECVLO電壓回應於由電荷泵310所產生的雙電壓序列而在-4 V與-11 V之間定序(如下文所描述)。如在較早圖中所提，行選擇線210為針對前向操作模

式與反向操作模式兩者之「N條中之1條低態有效」選擇線。因此，無需行解碼器202內之內部電路之重新組態以在前向操作模式與反向操作模式之間切換。實情為，藉由改變行解碼器202之VHI及VLO電壓而將行解碼器202操作自前向模式下之「自接地上升」操作改變至反向模式下之「下降至接地」操作。

位元線選擇控制電路330接收DATA_IN匯流排336上之資料狀態資訊且驅動位元線源極選擇SELB匯流排線216。在前向操作模式下，SELB匯流排216為「N條中之1條(或1條以上)高態有效」匯流排。因此，將一或多個選定SELB匯流排線驅動至耦接至VHI輸入的節點325上所傳送之BLSELVHI電壓，且將未選定SELB匯流排線驅動至耦接至VLO輸入的節點327上所傳送之BLSELVLO電壓。選定SELB匯流排線(例如)在圖4、圖6中被標記為217，且未選定SELB匯流排線在圖4、圖6中由標記為218的匯流排線表示。在前向操作模式下，BLSELVHI電壓為+11 V，且BLSELVLO電壓為接地。在反向操作模式下，SELB匯流排216為「N條中之1條(或1條以上)低態有效」匯流排。因此，將一或多個選定SELB匯流排線驅動至BLSELVLO電壓，且將未選定SELB匯流排線驅動至BLSELVHI電壓。BLSELVHI電壓為接地，且BLSELVLO電壓回應於由電荷泵312所產生的雙電壓序列而在-4 V與-6 V之間定序(如下文所描述)。位元線選擇控制電路330對模式控制338信號作出回應以達成此極性反向。

例示性位元線選擇控制電路330亦可接收時序脈衝控制信號342以使一或多個「作用」SELB線(亦即，選定SELB匯流排線，且具有適當資料狀態以寫入/抹除記憶體單元)經驅動至適當電壓(反向模式下之-VBL，或前向模式下之VPP)歷時所要時間長度，如下文中更詳細描述。數條DATA_IN 336匯流排線(例如，自1條至N條)經驅動至如由所要資料狀態及控制邏輯(圖中未展示)所判定的作用狀態，控制邏輯在前向或反向程式化操作期間將相關聯之位元線源極選擇匯流排線(SELB)控制至對應作用狀態(例如，在前向模式期間為高的，且在反向模式期間為低的)。在一些實施例中，SELB匯流排線切換(例如，圖9中所展示之SELB匯流排切換408；圖11中所展示之SELB匯流排切換488)在固定高電壓(例如，BLSELVHI=VPP)經施加至BL選擇控制330電路時之時間期間發生，且藉由改變DATA_IN匯流排線336上之資料狀態而控制。由於BL選擇控制330無需在陣列線間距上實施，且與解碼器及驅動器電路相比，數目相對較少，因此與用於解碼器及驅動器中的電路相比較，可使用不緻密的電路。諸如較高電壓電晶體、較長通道長度電晶體及為避免驟回(snap back)之串聯裝置之若干已知電路中的任一者可用於BL選擇控制330電路中以將電壓安全地切換為高達VPP。

列解碼器152接收位址資訊344且解碼其列選擇線160，使得選定列選擇線經驅動至耦接至其VHI輸入的節點315上所傳送之ROWDECVHI電壓，且使得未選定列選擇線經驅

動至耦接至其VLO輸入的ROWDECVLO電壓，ROWDECVLO電壓為接地。選定列選擇線對應於ROWSEL 158，且未選定列選擇線對應於ROWSEL 162，ROWSEL 158與ROWSEL 162兩者如圖3、圖5中所展示。如在較早圖中所提，列選擇線160為針對前向及反向操作模式之「N條中之1條高態有效」選擇線。在兩個操作模式下，ROWDECVHI電壓回應於由電荷泵314所產生的雙電壓序列而在+4 V與+11 V之間定序(如下文所描述)，且ROWDECVLO電壓為接地。

字線選擇控制電路602接收位址資訊348且解碼字線源極選擇XSEL匯流排線166。在前向操作模式下，XSEL匯流排166為「N條中之1條低態有效」匯流排。因此，選定XSEL匯流排線經驅動至WLSELVLO電壓(亦即，接地)，且未選定XSEL匯流排線經驅動至WLSELVHI電壓，WLSELVHI電壓回應於由電荷泵316所產生的雙電壓序列而在+4 V與+10.3 V之間定序(如下文所描述)。選定XSEL匯流排線(例如)在圖3、圖5中被標記為167，且未選定XSEL匯流排線在圖3、圖5中由標記為168的匯流排線表示。在反向操作模式下，XSEL匯流排166為「N條中之1條高態有效」匯流排。因此，選定XSEL匯流排線經驅動至BLSELVHI電壓，且未選定XSEL匯流排線經驅動至BLSELVLO電壓(亦即，接地)。字線選擇控制電路602對模式控制350信號作出回應以達成此極性反向。

位址資訊332、344、348可各自表示實際位址信號(例如，每一位址位元之真實及補碼位址信號)。此等位址資

訊332、344、348可各自表示由上游解碼器或預解碼器電路所產生的經預解碼之位址資訊，如在此項技術中所熟知。

圖8為在前向偏壓操作模式下之例示性列電路操作的時序圖。在列電力開啟間隔362期間，列電路自待用狀態轉變至電力開啟狀態。較佳地，列位址輸入皆為非作用的從而抑制「選擇」列選擇線160及XSEL匯流排線166中之任一者。啟用列/行解碼器電荷泵314以產生+4 V輸出電壓，且同樣啟用WL選擇電荷泵316以產生+4 V輸出電壓。作為回應，所有列選擇線160未經選擇且經驅動至接地，所有XSEL匯流排線166未經選擇且經驅動至+4 V，且所有字線未經選擇且經驅動至+4 V。

在列解碼器切換間隔364期間，啟用與列解碼器電路相關聯的位址輸入以呈現所要列位址。列選擇線及XSEL匯流排線(在必要時)回應於此列位址而切換，且最終穩定化以解碼與該列位址相關聯的列選擇線及XSEL匯流排線。此時，將選定列選擇線158驅動至+4 V，將未選定列選擇線162驅動至接地(或保持處於接地)，將選定XSEL匯流排線167驅動至接地，且將未選定XSEL匯流排線168驅動至+4 V(或保持處於+4 V)。因此，藉由字線驅動器電路(諸如，圖3中標記為170的字線驅動器電路)將選定字線102驅動至接地，且將未選定字線驅動至+4 V(或驅動至+4-VT)。

在列高電壓接通間隔366期間，啟用列/行解碼器電荷泵

314以將其所產生之輸出電壓增加至+11 V(VPP)，且啟用WL選擇電荷泵316以將其所產生之輸出電壓增加至+10.3 V(VPP-VT)。抑制位址輸入改變狀態。結果，選定列選擇線158跟隨增加之ROWDECVHI電壓達到+11 V，且未選定XSEL匯流排線168跟隨增加之WLSELVHI電壓達到+10.3。未選定列選擇線162保持處於接地，且選定XSEL匯流排線167同樣保持處於接地。

在間隔368期間，列電路中之所有經解碼之節點保持處於穩定狀態，其中針對前向操作模式在合適電壓下對各種節點加偏壓。列選擇線160或XSEL匯流排線166兩者皆不允許切換。在VPP(例如，+11 V)下對選定列選擇線158加偏壓，且在接地下對未選定列選擇線162加偏壓。在接地下對選定XSEL匯流排線167加偏壓，且在VPP-VT(例如，+10.3 V)下對未選定XSEL匯流排線168加偏壓。此等例示性偏壓條件與圖1及圖3中所展示之彼等偏壓條件一致。在此間隔368期間，較佳地電力開啟行電路，接著行電路順序地選擇不同記憶體單元以供寫入，且接著電力關閉行電路，如下文所描述。

在列高電壓斷開間隔370期間，使列/行解碼器電荷泵314輸出電壓減小回至+4 V，且使WL選擇電荷泵316輸出電壓減小回至+4 V。仍抑制位址輸入改變狀態。結果，選定列選擇線158跟隨減小之ROWDECVHI電壓向下返回至+4 V，且未選定XSEL匯流排線168跟隨減小之WLSELVHI電壓向下返回至+4 V。未選定列選擇線162保持處於接

地，且選定XSEL匯流排線167同樣保持處於接地。

在列解碼器切換間隔372期間，呈現新的列位址，且列選擇線及XSEL匯流排線(在必要時)回應於此列位址而切換，且最終穩定化以解碼與該新的列位址相關聯的列選擇線及XSEL匯流排線。正如在較早間隔364結束時之狀況一樣，將選定列選擇線158驅動至+4 V，將未選定列選擇線162驅動至接地，將選定XSEL匯流排線167驅動至接地，且將未選定XSEL匯流排線168驅動至+4 V。因此，藉由字線驅動器電路將新近選定字線102驅動至接地，且將未選定字線驅動至+4 V(或驅動至+4-VT)。

在間隔374、376及378期間，列電路以與對應間隔366、368、370之方式相同的方式操作。每當在此操作模式期間呈現新的列位址時，就首先斷開列高電壓(亦即，列高電壓斷開間隔370)，允許列位址切換(亦即，列解碼器切換間隔372)，且接著將列高電壓返回為接通(亦即，列高電壓接通間隔374)。當完成待程式化之所有列位址時，可電力關閉列電路(如在列電力關閉間隔380中所展示)，在此時間期間，列/行解碼器電荷泵314與WL選擇電荷泵316兩者皆被停用或斷開，使得其各別輸出電壓返回至接地。

圖9為在前向偏壓操作模式下之例示性行電路操作的時序圖。較佳地，在穩定高電壓列間隔(諸如，間隔368(如圖8中所展示)或對應間隔376)期間進行整個操作序列。

在行電力開啟間隔402期間，行電路自待用狀態轉變至電力開啟狀態。較佳地，行位址輸入皆為非作用的從而抑

制「選擇」行選擇線210及SELB匯流排線216中之任一者。啟用電壓調節器308以在節點309上產生+VT輸出電壓(例如，0.7 V)，將+VT輸出電壓傳送至未選定BL偏壓線214(例如，見圖4)。高電壓開關320將其3.3 V輸入耦接至COLDECVHI電壓，且高電壓開關322將其GND輸入耦接至COLDECVLO電壓，使得所有行選擇線210未經選擇且經驅動至3.3 V。高電壓開關324將其VPOS輸入耦接至BLSELVHI電壓，且高電壓開關326將其GND輸入耦接至BLSELVLO電壓。至BL選擇控制電路330之脈衝控制信號342優先於(override)DATA_IN匯流排線336，且所有SELB匯流排線216為非作用的且在接地下對所有SELB匯流排線216加偏壓。由於所有行選擇線210未經選擇並在3.3 V下對其加偏壓，且在VT下對未選定位元線偏壓線214加偏壓，因此所有位元線未選定且經驅動至VT。

在行解碼器切換間隔404期間，啟用與行解碼器電路相關聯的位址輸入以呈現所要行位址332。行選擇線210將(在必要時)回應於此行位址而切換，且最終穩定化以解碼與該行位址相關聯的行選擇線。因此，將選定行選擇線208驅動至接地，且將未選定行選擇線212驅動至+3.3 V。所有SELB匯流排線216在接地下保持為非作用的，且所有位元線未經選擇且藉由位元線驅動器電路而保持處於VT。

在行高電壓接通間隔406期間，高電壓開關320選擇其VPOS輸入以將VPP電壓傳送至COLDECVHI電壓(回想到，

先前啟用列/行解碼器電荷泵314以產生為+11 V之輸出電壓(VPP)，且在間隔368期間保持此電壓)。高電壓開關324亦選擇其VPOS輸入以將VPP電壓傳送至BLSELVHI電壓。較佳地，抑制行位址輸入改變狀態。結果，選定行選擇線208保持處於接地，但大量未選定行選擇線212跟隨增加之COLDECVHI電壓達到+11 V。所有SELB匯流排線216在接地下保持為非作用的，且所有位元線未選定且保持處於VT。

在SELB切換間隔408期間，行選擇線210不改變，使得在GND下對選定行選擇線208加偏壓，且在VPP(例如，+11 V)下對未選定行選擇線212加偏壓。然而，回應於模式控制338、脈衝控制信號342及DATA_IN匯流排線336，現根據待程式化之資料狀態將SELB匯流排線216順序地驅動至作用電壓VPP，接著使其返回至非作用GND電壓。結果，使待程式化之選定位元線106產生脈衝(亦即，驅動歷時一段時間)至VPP，接著使其返回至未選定位元線偏壓電壓VT。由於資料狀態而無需程式化的選定位元線保持處於VT。此等例示性偏壓條件與圖1及圖4中所展示之彼等偏壓條件一致。

在行高電壓斷開間隔410期間，高電壓開關320再次選擇其3.3 V輸入以將COLDECVHI電壓切換回至+3.3 V。抑制位址輸入改變狀態。模式控制信號338及脈衝控制信號342一起確保所有SELB匯流排線為非作用的且保持處於接地(即使BLSELVHI電壓仍可耦接至VPP電壓，且不管

DATA_IN匯流排線336)。結果，選定行選擇線208保持處於接地，且未選定行選擇線212跟隨減小之COLDECVHI電壓向下返回至+3.3 V。所有位元線在VT電壓下保持為未選定的。

在行解碼器切換間隔412期間，呈現新的行位址，且行選擇線回應於此行位址而切換，且最終穩定化以解碼與該新的行位址相關聯的行選擇線。正如在較早間隔404結束時之狀況一樣，將選定行選擇線208驅動至接地，且將未選定行選擇線212驅動至+3.3 V。所有SELB匯流排線216在接地下保持為非作用的，且所有位元線未經選擇且藉由位元線驅動器電路而保持處於VT。

在間隔414、416及418期間，行電路以與對應間隔406、408、410之方式相同的方式操作。每當在此操作模式期間呈現新的「行選擇」位址(亦即，對應於所選擇之不同行選擇線210之位址)時，就首先斷開行高電壓(亦即，行高電壓斷開間隔410)，允許行選擇位址切換(亦即，行解碼器切換間隔412)，且接著將行高電壓返回為接通(亦即，行高電壓接通間隔414)。

當完成所有行位址時，可電力關閉行電路(如在行電力關閉間隔420中所展示)，在此時間期間，高電壓開關320選擇其GND輸入，使得節點321上之其COLDECVHI輸出電壓返回至接地。亦可停用電壓調節器308，使得電壓調節器308之輸出返回至接地。

圖10為在反向偏壓操作模式下之例示性列電路操作的時

序圖。在列電力開啟間隔442期間，列電路自待用狀態轉變至電力開啟狀態。較佳地，列位址輸入皆為非作用的從而抑制「選擇」列選擇線160及XSEL匯流排線166中之任一者。啟用列/行解碼器電荷泵314以產生+4 V輸出電壓，且同樣啟用WL選擇電荷泵316以產生+4 V輸出電壓。作為回應，所有列選擇線160未經選擇且經驅動至接地，所有XSEL匯流排線166未經選擇且經驅動至接地，在接地下對未選定WL偏壓線164加偏壓，且所有字線未經選擇且經驅動至不高於在接地以上的PMOS臨限電壓的電壓。如較早所描述，未選定字線歸因於PMOS驅動器電晶體中之汲極至源極洩漏及NMOS驅動器電晶體中之基板洩漏以及穿過未選定記憶體單元之洩漏而浮動在接地或接近接地。

在列解碼器切換間隔444期間，啟用與列解碼器電路相關聯的位址輸入以呈現所要列位址。列選擇線及XSEL匯流排線(在必要時)回應於此列位址而切換，且最終穩定化以解碼與該列位址相關聯的列選擇線及XSEL匯流排線。此時，將選定列選擇線158驅動至+4 V，將未選定列選擇線162驅動至接地(或保持處於接地)，將選定XSEL匯流排線167驅動至+4 V，且將未選定XSEL匯流排線168驅動至接地(或保持處於接地)。因此，藉由字線驅動器電路將選定字線102驅動至+4 V，且將未選定字線驅動至接地(對於一半選定字線)或驅動至不高於+VTP之電壓(對於未選定字線)(且隨後朝向接地洩漏)。

在列高電壓接通間隔446期間，啟用列/行解碼器電荷泵

314以將其所產生之輸出電壓增加至+11 V(VWL+VOD)，且啟用WL選擇電荷泵316以將其所產生之輸出電壓增加至+6 V(VWL)。抑制位址輸入改變狀態。結果，選定列選擇線158跟隨增加之ROWDECVHI電壓達到+11 V，且選定XSEL匯流排線167跟隨增加之WLSELVHI電壓達到+6 V。未選定列選擇線162保持處於接地，且未選定XSEL匯流排線168同樣保持處於接地。

在間隔448期間，列電路中之所有經解碼之節點保持處於穩定狀態，其中針對反向操作模式在合適電壓下對各種節點加偏壓。列選擇線160或XSEL匯流排線166兩者皆不允許切換。在VPP(例如，+11 V)下對選定列選擇線158加偏壓，且在接地下對未選定列選擇線162加偏壓。在VWL(+6 V)下對選定XSEL匯流排線167加偏壓，且在接地下對未選定XSEL匯流排線168加偏壓。此等例示性偏壓條件與圖2及圖5中所展示之彼等偏壓條件一致。在此間隔448期間，較佳地電力開啟行電路，接著行電路順序地選擇不同記憶體單元以供寫入，且接著電力關閉行電路，如下文所描述。

在列高電壓斷開間隔450期間，使列/行解碼器電荷泵314輸出電壓減小回至+4 V，且使WL選擇電荷泵316輸出電壓減小回至+4 V。仍抑制位址輸入改變狀態。結果，選定列選擇線158跟隨減小之ROWDECVHI電壓向下返回至+4 V，且選定XSEL匯流排線167跟隨減小之WLSELVHI電壓向下返回至+4 V。未選定列選擇線162保持處於接地，

且未選定XSEL匯流排線168同樣保持處於接地。

在列解碼器切換間隔452期間，呈現新的列位址，且列選擇線及XSEL匯流排線(在必要時)回應於此列位址而切換，且最終穩定化以解碼與該新的列位址相關聯的列選擇線及XSEL匯流排線。正如在較早間隔444結束時之狀況一樣，將選定列選擇線158驅動至+4 V，將未選定列選擇線162驅動至接地，將選定XSEL匯流排線167驅動至+4 V，且將未選定XSEL匯流排線168驅動至接地。因此，藉由字線驅動器電路將新近選定字線102驅動至+4 V，且將未選定字線驅動至接地(對於一半選定字線)或驅動至不高於+VTP之電壓(對於未選定字線)(且隨後朝向接地洩漏，且在接地下經加偏壓)。

在間隔454、456及458期間，列電路以與對應間隔446、448、450之方式相同的方式操作。每當在此操作模式期間呈現新的列位址時，就首先斷開列高電壓(亦即，列高電壓斷開間隔450)，允許列位址切換(亦即，列解碼器切換間隔452)，且接著將列高電壓返回為接通(亦即，列高電壓接通間隔454)。當完成待程式化之所有列位址時，可電力關閉列電路(如在列電力關閉間隔460中所展示)，在此時間期間，列/行解碼器電荷泵314與WL選擇電荷泵316兩者皆被停用或斷開，使得其各別輸出電壓返回至接地。

圖11為在反向偏壓操作模式下之例示性行電路操作的時序圖。較佳地，在穩定高電壓列間隔(諸如，間隔448(如圖10中所展示)或對應間隔456)期間進行整個操作序列。

在行電力開啟間隔482期間，行電路自待用狀態轉變至電力開啟狀態。較佳地，行位址輸入皆為非作用的從而抑制「選擇」行選擇線210及SELB匯流排線216中之任一者。在某些實施例中，藉由針對前向模式或反向模式操作分別提供自接地上升或下降至接地信號的位準移位電路來提供至行解碼器202及BL選擇控制330之控制輸入。啟用電壓調節器308以在節點309上產生GND輸出電壓，將GND輸出電壓傳送至未選定BL偏壓線214(例如，見圖6)。啟用行解碼器電荷泵310以產生-4 V輸出電壓。高電壓開關320將其GND輸入耦接至COLDECVHI電壓，且高電壓開關322將其VNEG輸入耦接至COLDECVLO電壓，使得所有行選擇線210未經選擇且經驅動至GND。

同樣啟用BL選擇電荷泵312以產生-4 V輸出電壓。高電壓開關324將其GND輸入耦接至BLSELVHI電壓，且高電壓開關326將其VNEG輸入耦接至BLSELVLO電壓。至BL選擇控制電路330之脈衝控制信號342優先於DATA_IN匯流排線336，且所有SELB匯流排線216為非作用的且在GND下對所有SELB匯流排線216加偏壓。由於所有行選擇線210未經選擇並在GND下對其加偏壓，且在GND下對未選定位元線偏壓線214加偏壓，因此所有位元線未經選擇且經驅動至在為接地之VT內的電壓(亦即，不低於在接地以下的NMOS臨限電壓，且不高於在接地以上的PMOS臨限值)。位元線驅動器電路內之洩漏電流將傾向於將每一未選定位元線推動至接地。

在行解碼器切換間隔484期間，啟用與行解碼器電路相關聯的位址輸入(若尚未進行此)以呈現所要行位址。行選擇線210將(在必要時)回應於此行位址而切換，且最終穩定化以解碼與該行位址相關聯的行選擇線。因此，將選定行選擇線208驅動至COLDECVLO電壓(其當前為-4 V)，且將未選定行選擇線212驅動至COLDECVHI電壓(其當前為GND)。所有SELB匯流排線216在接地下保持為非作用的，且位元線經半選擇且藉由對選定COLSEL線208作出回應的位元線驅動器電路而保持處於GND，或未經選擇且藉由對未選定COLSEL線212作出回應的位元線驅動器電路中之傳導及/或洩漏電流而保持處於接地或接近接地。

在行高電壓接通間隔486期間，啟用行解碼器電荷泵310以將其所產生之輸出電壓之量值增加至-11 V(-VBL-VOD)，且啟用BL選擇電荷泵312以將其所產生之輸出電壓之量值增加至-6 V(亦即，-VBL)。結果，將COLDECVLO電壓驅動至-11 V，且將BLSELVLO電壓驅動至-6 V。較佳地，抑制行位址輸入改變狀態。結果，選定行選擇線208跟隨COLDECVLO電壓達到-11 V，但大量未選定行選擇線212保持處於GND。所有SELB匯流排線216在GND下保持為非作用的，且位元線經半選擇且藉由對選定COLSEL線208作出回應的位元線驅動器電路而保持處於GND，或未經選擇且藉由對未選定COLSEL線212作出回應的位元線驅動器電路中之傳導及/或洩漏電流而保持處於接地或接近接地。

在SELB切換間隔488期間，行選擇線210不改變，使得在-VBL-VOD(例如，-11 V)下對選定行選擇線208加偏壓，且在GND下對未選定行選擇線212加偏壓。然而，回應於模式控制338、脈衝控制信號342及DATA_IN匯流排線336，現根據待程式化之資料狀態將SELB匯流排線216順序地驅動至作用電壓-VBL(例如，-6 V)，接著使其返回至非作用GND電壓。結果，使待程式化之選定位元線106產生脈衝(亦即，驅動歷時一段時間)產生脈衝至-VBL，接著使其返回至未選定位元線偏壓電壓GND。由於資料狀態而無需程式化的選定位元線保持處於GND。此等例示性偏壓條件與圖2及圖6中所展示之彼等偏壓條件一致。

在行高電壓斷開間隔490期間，抑制位址輸入改變狀態。模式控制信號338及脈衝控制信號342一起確保所有SELB匯流排線為非作用的且保持處於接地，而不管DATA_IN匯流排線336。啟用行解碼器電荷泵310以將其所產生之輸出電壓之量值減小至-4 V，且啟用BL選擇電荷泵312以將其所產生之輸出電壓之量值減小至-4 V。結果，將COLDECVLO電壓驅動至-4 V，且將BLSELVLO電壓驅動至-4 V。結果，選定行選擇線208跟隨COLDECVLO電壓達到-4 V，且未選定行選擇線212保持處於GND。所有位元線藉由位元線驅動器電路而保持處於(或接近)GND，如上文所描述。

在行解碼器切換間隔492期間，呈現新的行位址，且行選擇線回應於此行位址而切換，且最終穩定化以解碼與該

新的行位址相關聯的行選擇線。正如在較早間隔484結束時之狀況一樣，將選定行選擇線208驅動至-4 V，且將未選定行選擇線212驅動至GND。所有SELB匯流排線216在接地下保持為非作用的，且所有位元線未經選擇且藉由位元線驅動器電路而保持處於GND或接近GND。

在間隔494、496及498期間，行電路以與對應間隔486、488、490之方式相同的方式操作。每當在此操作模式期間呈現新的「行選擇」位址(亦即，對應於所選擇之不同行選擇線210之位址)時，就首先斷開行高電壓(亦即，行高電壓斷開間隔490)，允許行選擇位址切換(亦即，行解碼器切換間隔492)，且接著將行高電壓返回為接通(亦即，行高電壓接通間隔494)。僅在較低電壓(例如，4 V操作電壓)下對行解碼器202供電時切換行解碼器202且在較高電壓(例如，11 V操作電壓)下對行解碼器202供電時不切換行解碼器202會改良該行解碼器之電壓邊限。然而，若電壓邊限允許行解碼器202之較高電壓切換，則可節省每當行位址改變時對所有未選定COLSEL線放電及充電(例如，自-11 V至-4 V及自-4 V至-11 V)另外所需的電力。

當完成所有行位址時，可電力關閉行電路(如在行電力關閉間隔500中所展示)，在此時間期間，高電壓開關322可選擇其GND輸入，使得節點323上之其COLDECVLO輸出電壓返回至接地。或者，高電壓開關322可保持不改變，且可停用行解碼器電荷泵310以使其輸出返回至GND，使得節點323上之COLDECVLO輸出電壓返回至接

地。

另外，高電壓開關326可選擇其GND輸入，使得節點327上之其BLSELVLO輸出電壓返回至接地。或者，高電壓開關326可保持不改變，且可停用BL選擇電荷泵312以使其輸出返回至GND，使得節點327上之BLSELVLO輸出電壓返回至接地。

如自以上描述可見，列電路在前向偏壓操作模式下使用與在反向偏壓操作模式下所使用之控制序列相同的控制序列。列源極選擇匯流排在處於高電壓時並不切換，而是僅在較低電壓下對列源極選擇匯流排供電時允許其切換。列解碼器之極性在前向模式與反向模式之間不改變(例如，高態有效)，且操作電壓亦不改變(例如，+11 V)。然而，源極選擇匯流排XSEL控制邏輯在前向模式下啟動N條中之1條低態有效(且改變以在反向模式下啟動N條中之1條高態有效)。因此，字線在加前向偏壓模式下為低態有效的，且在反向模式下為高態有效的。

如自以上描述可見，行解碼器輸出(亦即，COLSEL線210)僅在約4 V之低電壓下切換，所以無驟回之危險。行源極選擇匯流排(亦即，SELB)在較高電壓下切換(例如，前向模式下之11 V，反向模式下之6 V)，且SELB控制電路較佳使用堆疊裝置及已知D-S電壓限制技術來避免驟回。源極選擇匯流排SELB控制邏輯330提供一或多個同時選定位元線之適當資料狀態(例如，前向模式下之高態有效，及反向模式下之低態有效)。

應注意，此圖展示SELB線在高電壓下切換以程式化所有「等待」位元線。在一些實施例中，可以相同脈衝時間程式化針對給定行位址之所有位元線，所以無等待位元線，且僅需要一個SELB脈衝(亦即，使根據待寫入之對應資料而產生脈衝的所有SELB匯流排線同時產生脈衝)。

圖8至圖11中所描繪之時序圖的以上描述提供有用背景以更好地理解在於前向模式與反向模式之間轉變時之若干細微區別及有用配置。

圖12為列解碼器電路至反向偏壓操作模式之例示性轉變的時序圖。在間隔522期間，取消選擇所有列解碼器輸出(亦即，列選擇線160)且將所有列解碼器輸出驅動至接地。結果，所有字線未經選擇且經驅動至傳送於UXL偏壓線164上的VUX電壓(例如，在此間隔期間為+4 V)。接著，在間隔524期間，使UXL偏壓線164放電至接地。在所有列解碼器輸出被取消選擇(亦即，處於接地)且UXL偏壓線164處於接地的情況下，每一字線驅動器電路中之PMOS電晶體使每一字線向下放電至PMOS臨限電壓(亦即，VTP)，就此而言，PMOS電晶體斷開。穿過U形記憶體單元(見圖2)且在未選定字線驅動器電路內(見圖5)的洩漏電流將繼續使字線朝向接地放電。因此，所有字線經放電至VTP，且穿過U形單元及井接面(如上文所描述)洩漏至接地。未選定字線在反向偏壓操作期間保持浮動在接近接地。

剩餘間隔442、444、446、448、450及460與圖10中所描述之彼等間隔442、444、446、448、450及460相同，且此

處無需再次描述。在所有操作模式下及亦在待用下，列解碼器152之未選定輸出(亦即，未選定ROWSELj線162)處於接地。在待用下使未選定WL(UXL)偏壓線164放電至接地，如時間間隔524中所展示。

圖13為行解碼器電路至反向偏壓操作模式之例示性轉變的時序圖。在間隔542期間，亦使「未選定位元線偏壓」UBL線214自其通常之VUB偏壓位準(例如，VT)減小至接地。此經由每一位元線驅動器電路中之連接至未選定位元線偏壓線214的NMOS電晶體226、228使所有未選定位元線放電。在間隔544期間，將所有剩餘行解碼器輸出(亦即，行選擇線210)取消選擇且將其驅動成高的。結果，在間隔546期間，所有剩餘位元線未經選擇且經驅動至VUB電壓，此時VUB電壓現為GND。以此方式，在開始反向偏壓操作模式之前使所有位元線放電至接地。雖然此描述係針對「先字線」時序(亦即，位元線脈衝在預先建立之字線偏壓內)，但亦瞭解對立情況，其中在使選定字線產生脈衝之前在給定行中之所有位元線之所要偏壓下建立給定行中之所有位元線的SELB電壓及位元線電壓。在此狀況下，在單一行高電壓間隔488內發生間隔444、446、448、450之列序列。若針對給定行將同一資料程式化至一個以上列中(例如，將背景型樣寫入至記憶體陣列中)，則可在單一行高電壓間隔488內發生間隔444、446、448、450、452、454、456、458之列序列。

接下來，在間隔548期間，使行解碼器202之VHI與VLO

兩者向下斜變至「下降至接地」組態(亦即，以等於GND之上供應電壓及負的下供應電壓操作)。具體言之，使行解碼器202之VHI及源極選擇匯流排SELB控制電路之VHI自V33斜變至接地。使行解碼器202之VLO及源極選擇匯流排SELB控制電路之VLO自GND斜變至(針對此實例)約-4 V之負的低電壓。

在間隔550期間，啟用行解碼器202以解碼選定COLSEL線208且將選定COLSEL線208驅動至VLO電壓(例如，-4 V)，其中未選定COLSELj線212保持處於GND。接下來的三個間隔486、488及490與圖11中所描述之彼等間隔486、488及490相同，且此處無需再次描述。

在反向偏壓操作模式結束時，停用行解碼器使得所有COLSEL線210在間隔552期間未經選擇。接著，在間隔544期間，行解碼器電路之VHI與VLO兩者皆向上斜變至「自接地上升」組態。使行解碼器202之VHI及源極選擇匯流排SELB控制電路之VHI自接地向上斜變至V33，且使行解碼器202之VLO及源極選擇匯流排SELB控制電路之VLO自負的低電壓向上斜變至接地。

上文所描述之例示性解碼器電路有利地利用僅單一經解碼之源極選擇匯流排。此外，在用於字線與位元線兩者之陣列線驅動器中，相同裝置在前向操作模式與反向操作模式兩者下提供程式化電流。結果，僅需要將陣列線驅動器電路內的一個裝置之大小設定成足夠大以攜載程式化電流，藉此提供較小陣列線驅動器電路。

上文所描述之例示性解碼器電路用於實施記憶體單元包括可反向電阻器加二極體的記憶體陣列。可使用跨越單元而施加的反向偏壓來重設此等記憶體單元，且提供半選定字線及位元線會允許將個別字線及位元線置於重設偏壓條件下，因此提供重設個別記憶體單元而不必重設整個區塊之能力。

上文在程式化條件之情形下描述了前向模式，其中施加至選定位元線之電壓為VPP。前向模式亦適用於選定位元線經驅動至讀取電壓VRD，且選定字線再次經驅動至接地的讀取模式。此讀取電壓可為比程式化電壓VPP低得多之電壓，且未選定字線偏壓電壓VUX及未選定位元線偏壓電壓VUB相較於針對程式化模式之其值而相應地減少。在一些實施例中，此讀取模式可為僅前向模式，及用於程式化記憶體之反向模式。

某些記憶體單元可使用前向偏壓模式來「程式化」，且可使用反向模式來區塊抹除。其他單元可使用初始前向偏壓程式化技術來預調節(諸如，在製造期間)，但接著使用反向模式來「程式化」且使用前向模式來「抹除」。為避免與可程式化技術中之歷史使用混淆且為瞭解預期供迄今所描述之解碼器電路使用之不同記憶體技術，三種不同的操作模式用於描述：讀取、設定及重設。在讀取模式下，跨越選定記憶體單元來施加讀取電壓VRD。在設定模式下，跨越選定記憶體單元來施加設定電壓VPP。在迄今所描述之例示性實施例中，讀取電壓VRD與設定電壓VPP兩

者皆為正電壓，且使用解碼器操作之前向模式來進行此等模式。在重設模式下，跨越選定記憶體單元來施加重設電壓VRR。在迄今所描述之例示性實施例中，將重設電壓VRR作為反向偏壓電壓來施加，且使用解碼器操作之反向模式來產生重設電壓VRR。如上文所指示，亦預期反向設定及前向重設操作，而預調節及讀取模式仍為前向偏壓操作。預調節可為兩個步驟：為達成中間電阻狀態之前向偏壓步驟，其後接著為反向設定操作。

上文所描述之重設模式使用分裂電壓技術來限制解碼器電路之電壓要求，且將選定位元線驅動至負電壓(亦即，使用三重井半導體結構)。

許多類型之記憶體單元(以下所描述)能夠使用重設模式來程式化。在某些此等記憶體單元技術中，最初在前向方向上在每一記憶體單元內放入反熔絲。接著，在反向偏壓方向上「調諧」每一記憶體單元之電阻以實現程式化。對於一次可程式化單元將係如此。對於可重寫單元，使用前向方向來抹除該單元(其可在各種大小之區塊中執行)，且接著使用反向模式來程式化該單元。

反向偏壓可用以重設選定記憶體單元。程式化電流係由二極體崩潰供應。另外，可小心地控制與此程式化相關聯之偏壓條件，包括控制選定字線及/或位元線之電壓斜坡。對有用的程式化技術之額外洞察可見於以下引用之美國專利第6,952,030號中。多個程式化操作可用以程式化各種電阻狀態，如描述於以下所引用的023-0049及023-0055

申請案中，且如更詳細地描述於以下所引用的MA-163-1申請案中。傾斜程式化脈衝之使用描述於以下所引用的SAND-01114US0及SAND-01114US1申請案中，且用於修整多個單元之電阻之技術描述於以下所引用的SAND-01117US0及SAND-01117US1申請案中。

對如上文所描述之用於程式化併有可修整電阻元件之被動元件記憶體單元的重設程式化之使用特別有用於提供大的靈活性以允許較大陣列區塊大小。即使在選定陣列區塊中(如所有以上描述已假定)，在重設模式下，不存在跨越未選定記憶體單元之偏壓，且因此無浪費的功率耗散。對於區塊大小，穿過單元之反向電流(Irev)並非為關注之問題。因此，可選擇許多區塊以增加寫入頻寬。另外，跨越每一半選定記憶體單元之電壓僅為程式化電壓之一半，且對於此等單元為安全的。

應注意，在以上描述中，重設模式描述選定及半選定字線及位元線。舉例而言，在列選擇之情形下，此半選定字線可能實際上並「未」由給定位址「選擇」，且此術語為多頭字線驅動器結構之人為術語。然而，在位元線之情形下，就行位址而言，此半選定位元線可能實際上經選擇，但可經加偏壓至非作用狀態而非作用狀態(對於位元線)，此係因為彼位元線之特定資料並不需要「程式化」該單元，或因為位元線正「等待」經程式化。此情形在同時程式化比位元線解碼器頭之數目少的位元線時發生。然而，值得注意，程式化頻寬問題建議組態記憶體陣列以同時程

式化儘可能多的位元線。

三重井處理允許使選定位元線採取為負電壓，而使選定字線採取為正電壓。在重設程式化(亦即，反向模式)中，所有未選定陣列線(位元線及字線)之參考位準為接地，此允許字線與位元線兩者之快速解碼及選擇。返回參看未選定字線及位元線浮動在接地(歸因於至兩個驅動器電晶體中較大者的井電位之洩漏電流)之描述，記憶體單元之電阻性質提供積極地保持處於未選定偏壓位準的此等未選定陣列線與半選定陣列線之間的額外洩漏電流。此情形進一步促使未選定陣列線保持浮動在未選定偏壓電位或接近未選定偏壓電位。

預期二維記憶體陣列，但據信解碼器配置特別有用於具有多個記憶體平面的3D記憶體陣列。在某些較佳實施例中，組態記憶體陣列，其中每一字線包含一個以上字線層中之每一者上的字線段，如下文所描述。

在一些所預期實施例中，可將列電路與行電路之操作互換使得在一模式下將列解碼器「自接地上升」操作，且在另一操作模式下將列解碼器「下降至接地」操作。在此等實施例中，可在兩種操作模式下將選定位元線驅動至非負電壓，且可在一模式下將選定字線驅動至正電壓，且在另一操作模式下將選定字線驅動至負電壓。

現參看圖14，描繪有用的多頭字線解碼器組態600之方塊圖。UXL偏壓線及XSELN線橫貫成垂直於字線段，且RSEL列選擇線橫貫成平行於字線段。列解碼器152產生複

數個經解碼之RSEL線，複數個經解碼之RSEL線中之兩者被標記為606及608。此等RSEL線在本文中亦可被描述為「ROWSEL」線。陣列區塊選擇解碼器及偏壓產生器電路602產生分別被標記為620、622、624及626的四條經解碼之源極選擇匯流排線XSELN(0)、XSELN(1)、XSELN(2)、XSELN(3)，且亦產生UXL偏壓線610。此等XSELN匯流排線在本文中亦可被描述為XSEL匯流排線。

四(亦即，四頭)字線驅動器電路638包括四個單獨字線驅動器電路630，其各自將各別字線(例如，字線636)耦接至相關聯之XSELN匯流排線(例如，在設定模式下在RSEL 606經選擇時)或耦接至UXL偏壓線610(在設定模式下在RSEL 606未經選擇時)。如上文所描述，在設定操作模式下，一個選定XSELN可傳送選定偏壓位準，且其他XSELN線傳送未選定偏壓位準。

類似地，展示第二四字線驅動器電路，第二四字線驅動器電路包括四個單獨字線驅動器電路640，其各自將各別字線(例如，字線646)耦接至相關聯之XSELN線或耦接至UXL偏壓線610。類似陣列區塊組織揭示於Roy E. Scheuerlein的美國專利第6,879,505號中(特別關於其圖9)，該專利之全部揭示內容藉此以引用的方式併入本文中。

現參看圖15，展示表示多頭字線解碼器600之方塊圖，多頭字線解碼器600具有多個四頭驅動器電路(諸如，在圖14中所描繪之驅動器電路)，其跨越記憶體陣列之至少一部分而間隔開。如前所述，全域列解碼器152產生複數個

經解碼之列選擇(RSEL)線，該複數個經解碼之列選擇(RSEL)線被標記為RSEL[0]、RSEL[1]、...、RSEL[n]，其中之一者(例如，RSEL[i])被標記為606。陣列區塊選擇解碼器及偏壓產生器電路602針對多頭字線驅動器電路之每一垂直群組612產生四條經解碼之源極選擇匯流排線XSELN及一條UXL偏壓線。每一多頭字線驅動器電路(例如，638)對由全域列解碼器152所產生的RSEL線中之各別一者作出回應。類似陣列區塊組織揭示於Roy E. Scheuerlein的前述美國專利第6,879,505號中(特別關於其圖10)。

現參看圖16，展示表示具有分段字線配置之有用三維記憶體陣列之示意圖。每一字線係由在記憶體陣列之至少一(且有利地，一個以上)字線層上的一或多個字線段形成。舉例而言，第一字線係由安置於記憶體陣列之一字線層上之字線段660及由安置於另一字線層上之字線段662形成。字線段660、662由垂直連接658連接以形成第一字線。垂直連接658亦將連接路徑提供至通常安置於另一層(例如，在半導體基板內)中之字線驅動器裝置634、632。來自全域列解碼器(圖中未展示)之RSEL輸出606實質上橫貫成平行於字線段660、662，且有時經由裝置634將字線段660、662耦接至經解碼之源極選擇匯流排線XSELN 626，源極選擇匯流排線XSELN 626實質上橫貫成垂直於字線段，且有時經由裝置632將字線段660、662耦接至UXL偏壓線610。

亦展示字線段661、663，字線段661、663係由垂直連接

659連接以形成第二字線且將連接路徑提供至字線驅動器電路642、644，字線驅動器電路642、644耦接至第二RSEL輸出608。雖然此圖描述例示性陣列組態，但預期其他實施例供本文中所描述之解碼器電路使用。舉例而言，具有單一記憶體平面的記憶體陣列可有利地利用本文中所描述之概念。在具有記憶體層之完全鏡射3D配置(亦即，字線由兩個記憶體平面垂直地共用且位元線由兩個記憶體平面共用)之其他實施例中，字線段661及663可僅安置於奇數字線層上，且由單獨字線驅動器(圖中未展示)所驅動之偶數字線層的額外字線段係由同一RSEL線608控制，但連接至源極選擇匯流排(XSELN)之不同匯流排線。單獨驅動器連接確保單元之唯一選擇，而不管字線及位元線之完全鏡射共用。此完全鏡射記憶體陣列更充分地揭示於Roy E. Scheuerlein的前述美國專利第6,879,505號中(特別關於其圖4)。

在某些較佳實施例中，利用六頭字線驅動器。與此六頭字線驅動器電路相關聯的六條字線為兩個鄰近記憶體區塊所共有，如描述於下文所提及之美國專利第7,054,219號中。換言之，給定六頭字線驅動器解碼且驅動兩個鄰近區塊中之每一者中的六條字線。可將此等鄰近區塊視為分別在相關聯之字線驅動器之左側及右側。然而，在較佳實施例中，此等多頭字線驅動器實質上安置於陣列區塊下方，且僅使至字線之垂直連接處於該等區塊之間。

預期具有非鏡射陣列(例如，一字線層僅與單一位元線

層相關聯)之某些實施例，諸如，描述於由Luca G. Fasoli等人在2005年3月31日申請之題為「Method and Apparatus for Incorporating Block Redundancy in a Memory Array」的美國申請案第11/095,907號(現為美國專利第7,142,471號)中，該案之全部揭示內容在此以引用的方式併入本文中。詳言之，此申請案之圖15展示4個位元線層，陣列區塊之頂部側與底部側兩者上的16頭行解碼器。此圖展示在由單一16頭行解碼器耦接至頂部資料匯流排的4個位元線層(描述4個I/O層)中之每一者上的4條位元線，及同樣在由單一16頭行解碼器耦接至底部資料匯流排之相同的4個位元線層中之每一者上的4條位元線(但在彼描述中，16條選定位元線之兩個群組位於同一陣列區塊內)。預期其他半鏡射實施例，諸如，兩個位元線層共用一字線層以形成兩個記憶體平面之彼等半鏡射實施例。亦預期其他完全鏡射實施例，諸如，兩個位元線層共用一字線層以形成兩個記憶體平面且兩個字線層共用一位元線層以形成兩個記憶體平面使得N+1陣列線層(各自為字線層或位元線層)形成N個記憶體平面的彼等完全鏡射實施例。

圖17為表示根據本發明之某些實施例的三維記憶體陣列之字線層及位元線層的俯視圖。其他字線層及位元線層可藉由所展示之彼等字線層及位元線層來實施，且將(在一些實施例中)共用相同垂直連接。將記憶體區塊732、734展示成分別包括複數條位元線733、735，且具有以2:1交錯之字線段。至區塊之一半字線段之垂直連接在該區塊之

左側(例如，字線段737及垂直連接739)，且至該區塊之另一半字線段之垂直連接在該區塊之右側(例如，字線段736及垂直連接740)。另外，每一垂直連接伺服兩個鄰近區塊中之每一者中的字線段。舉例而言，垂直連接740連接至陣列區塊732中之字線段736，且連接至陣列區塊734中之字線段738。換言之，每一垂直連接(諸如，垂直連接740)由兩個鄰近區塊中之每一者中的字線段共用。然而，如將預期，第一陣列區塊及最後陣列區塊之各別「外部」垂直連接可僅伺服第一陣列區塊及最後陣列區塊中之字線段。舉例而言，若區塊734為形成記憶體陣列(或記憶體分區(bay))之複數個區塊的最後區塊，則其外部垂直連接(例如，垂直連接744)可僅伺服區塊734內之字線段742，且因此並不由如貫穿該陣列之剩餘部分之兩個字線段共用。

藉由使如所展示之字線段交錯，垂直連接之間距為個別字線段自身之間距的兩倍。由於針對許多被動元件記憶體單元陣列可達成的字線間距顯著小於針對可能用以形成垂直連接的許多通孔結構而可達成的字線間距，故此情形為特別有利的。此外，此情形亦可降低待實施於記憶體陣列下方之半導體基板中的字線驅動器電路之複雜性。

圖18為例示性記憶體陣列700之方塊圖。雙全域列解碼器702、704產生陣列之列選擇線，該等列選擇線各自橫跨該陣列700。在此實施例中，字線驅動器電路(圖中未展示)在空間上散佈於記憶體陣列下方，且藉由在個別記憶體陣列區塊(其中兩者被標記為706、708)之交替側上之垂直連

接(其中之一者被標記為710)而連接至字線。所展示之記憶體陣列包括兩個記憶體「條」718、720，且進一步包括分別在陣列之頂部、中上部、中下部及底部的四個行解碼器及位元線電路區塊712、714、715、716。亦可併有額外條，且每一條可包括一或多個記憶體分區。每一區塊內之位元線亦較佳以2:1交錯以便放寬行相關電路之間距要求。作為一實例，位元線722與上部行電路區塊712相關聯(亦即，由上部行電路區塊712驅動且感測)，而位元線724與中上部行電路區塊714相關聯。

在例示性實施例中，記憶體陣列700為形成於四個記憶體平面(或其他數目個記憶體平面)中之每一者上的被動元件記憶體單元之三維記憶體陣列。此等記憶體單元可併有可修整電阻器元件(如本文中所描述)，且亦可包括反熔絲。此等記憶體單元可併有擊穿二極體或雙向切換裝置而非接面二極體。每一邏輯字線可連接至四個字線層(各自與各別記憶體平面相關聯)中之每一者上的字線段。

將記憶體陣列700之每一條劃分成大量陣列區塊，諸如，陣列區塊708。在本文中所描述之某些例示性實施例中，每一記憶體分區包括16個陣列區塊，但可實施其他數目個區塊。在一例示性實施例中，每一區塊可包括各別四個記憶體平面之四個位元線層中之每一者上的288條位元線，因此每區塊總計包括1,152條位元線。位元線以2:1交錯，使得在陣列區塊之頂部及底部的行解碼器及資料I/O電路中之每一者介接至576條位元線。亦預期此等位元線

及陣列區塊之其他數目及配置(包括更高數目)。

在選定記憶體陣列區塊中，解碼此等源極選擇匯流排線XSELN中之一者且藉由列偏壓電路將其驅動至作用偏壓條件，且將剩餘匯流排線(亦稱為「偏壓線」)驅動至非作用條件(亦即，適合於未選定字線之電壓)。因此，單一選定RSEL線(亦即，列選擇線，其對應於圖3中之經解碼之輸出節點158)較佳將選定記憶體區塊中之一條字線驅動為作用的，且將選定區塊中之其他N-1條字線驅動至未選定偏壓位準。在其他非選定記憶體區塊中，源極選擇匯流排之個別匯流排線皆不被驅動為作用的，使得無字線由作用RSEL線選擇。或者，可使未選定陣列區塊中之源極選擇匯流排線及UXL偏壓線為浮動的(特別是在前向模式下)。舉例而言，選定區塊可鄰近於不共用選定字線之第二區塊，且此第二區塊可為浮動的。未選定交錯字線可延伸至該區塊中且使該區塊浮動至未選定字線偏壓。類似地，可能存在鄰近於選定區塊的與該選定區塊僅共用未選定交錯位元線之區塊，且可使此區塊浮動，且所有陣列線將浮動至約未選定位元線電壓。

每一列選擇線橫跨整個記憶體條中之所有記憶體區塊，且驅動位於該條之每一對區塊(以及兩個以上，其各自分別位於第一及最後區塊之「外部」)「之間」的各別四頭字線驅動器。RSEL線亦可稱為ROWSEL線及亦可稱為「全域列線」，且亦可對應於本文中所提到之列解碼器輸出節點。例示性電路、操作、偏壓條件、浮動條件、包括

讀取及程式化模式之操作模式及其類似者的可為有用之額外細節進一步描述於前述美國專利第6,879,505號中，且另外描述於Christopher J. Petti等人之題為「Transistor Layout Configuration for Tight-Pitched Memory Array Lines」的美國專利第7,054,219號中，其全部揭示內容在此以引用的方式併入本文中，且進一步描述於由Roy E. Scheuerlein等人在2005年6月7日申請之題為「Decoding Circuit for Non-Binary Groups of Memory Line Drivers」的美國申請案第11/146,952號中，其全部揭示內容在此以引用的方式併入本文中。

為了加速全域列線之選擇時間，此等RSEL線可在其兩端處由兩個階層式列選擇解碼器702、704(亦稱為「全域列解碼器702、704」)驅動，每一解碼器分別在陣列條之左側及右側位於陣列外部。藉由使用階層式解碼器結構，全域列解碼器702之大小得以減小，因此改良陣列效率。另外，為了改良之測試能力，可方便地提供反向解碼模式，如進一步描述於由Kenneth K. So等人在2004年12月30日申請的「Dual-Mode Decoder Circuit, Integrated Circuit Memory Array Incorporating Same, and Related Methods of Operation」(美國申請案第11/026,493號)中，其全部揭示內容在此以引用的方式併入本文中。此等階層式解碼器之例示性電路可見於Luca G. Fasoli等人之「Apparatus and Method for Hierarchical Decoding of Dense Memory Arrays Using Multiple Levels of Multiple-Headed Decoders」(美國

專利申請公開案第2006-0146639 A1號)中，其全部揭示內容在此以引用的方式併入本文中。

在以引用的方式併入本文中之某些文字材料中，例示性四頭解碼器電路包括四個「選定」偏壓線及單一未選定偏壓線。此名稱之基本原理係由於若選擇了至給定解碼器頭之輸入(亦即，經驅動至作用位準)，則該解碼器頭將其輸出耦接至「選定」偏壓線。然而，此決不暗示所展示之所有四個頭將其各別輸出驅動至反映正經選擇之輸出的位準，此係因為通常選定偏壓線中僅一者實際上在適合於選定輸出的條件下加偏壓，且剩餘三個選定偏壓線在適合於未選定輸出的條件下加偏壓。用於多頭解碼器之此等「選定」偏壓線在本文中被描述為「源極選擇匯流排」，但類似地操作，除了如所提之外。此等文字材料中的一些亦描述包括為「反向源極選擇匯流排」而非單一未選定偏壓線的第二此匯流排之實施例，諸如，描述於前述美國專利第7,486,587號中。

相反，若多頭解碼器之輸入節點為非作用的或未選定，則所有此等頭將其各別輸出驅動至相關聯之「未選定」偏壓線(或反向源極選擇匯流排之各別匯流排線)。對於許多有用的實施例，可將此等未選定偏壓線組合為由該多頭解碼器之所有頭共用之單一偏壓線。

包括此解碼之額外階層式層級、經解碼之匯流排之偏壓電路組織及相關支援電路的相關字線解碼器結構及技術進一步描述於Roy E. Scheuerlein等人之題為「Multi-Headed

Decoder Structure Utilizing Memory Array Line Driver with Dual Purpose Driver Device」的美國專利第6,856,572號中，其全部揭示內容在此以引用的方式併入本文中；描述於Roy E. Scheuerlein等人之題為「Tree Decoder Structure Particularly Well-Suited to Interfacing Array Lines Having Extremely Small Layout Pitch」的美國專利第6,859,410號中，其全部揭示內容在此以引用的方式併入本文中；及描述於Tianhong Yan等人之題為「Method for Using a Reversible Polarity Decoder Circuit」的美國專利第7,525,869號中，其全部揭示內容在此以引用的方式併入本文中。

現參看圖19，描繪三重井結構，其用以提供能夠經驅動成在塊體基板758之電位(例如，VSS)之上或之下的某些源極/汲極節點，此對於達成雙重極性解碼器輸出係必要的。PMOS裝置(例如，該圖右側所展示之代表性PMOS裝置)形成於傳統N型井756中。將NMOS裝置(例如，該圖左側所展示之代表性NMOS裝置)封閉於三重井結構中，其中中間深度P型井754由深N型井752圍繞。PMOS裝置之所有N型井756在每一操作模式下共用最正電壓，且NMOS裝置之所有P型井754在每一操作模式下共用最負電壓。

現參看圖20，描繪改良之三重井結構。將PMOS裝置封閉於深N型井802中。NMOS裝置處於三重井結構中，其中中間深度P型井804由用於PMOS裝置之同一深N型井802封閉。藉由將PMOS深N型井與NMOS三重井深N型井合併來使轉移閘之佈局緊密。此可能係因為轉移閘電路NMOS及

PMOS電晶體之源極及汲極電壓為共同電壓(亦即，解碼器輸出驅動器電路中的每一耦接電路之NMOS及PMOS電晶體並聯連接)。

如前所述，在每一操作模式下，PMOS裝置之所有N型井806共用最正電壓(耦接至N+區812)，且在每一操作模式下，NMOS裝置之所有P型井804共用最負電壓(耦接至P+區808)。另外，在N型井806偏壓電壓下，整個解碼器輸出驅動器電路可使用一共同的深N型井802。此合併結構避免了具有任何深N型井752至N型井756之間隔限制(如圖19中所指示)。

如本文中所使用，應將術語「設定」視為對單一記憶體單元(或記憶體單元之群組)加前向偏壓，以導致穿過每一記憶體單元之較低電阻。應將術語「重設」視為對記憶體單元加反向偏壓以導致穿過每一此單元之較高電阻。

在某些實施例中，記憶體陣列可形成於基板「上方」，且各種電路區塊被描述為「在」記憶體陣列「下方」或「在」記憶體陣列「之下」。如本文中所使用，「在」記憶體陣列區塊(其為具有一般平面特性之實際實體結構)「上方」或「下方」或「之下」係相對於垂直於此基板或記憶體平面之表面的方向。

如以上所陳述，較佳地，記憶體陣列包括分段字線架構(如描繪於圖14中)，且較佳包括3D陣列。在某些實施例中，給定字線層上之字線與單一位元線層上之位元線相關聯，而在某些實施例中，在所謂的「半鏡射」配置中，給

定字線層上之字線在兩個位元線層(亦即，界定兩個記憶體平面之單一字線層及兩個位元線層)之間共用。在某些實施例中，在所謂的「完全鏡射」配置中，給定字線層上之字線在兩個位元線層之間共用，且給定位元線層上之位元線在兩個字線層之間共用。此等記憶體陣列結構進一步描述於前述美國專利第6,879,505號中。

迄今之各種解碼器電路之描述主要聚焦於描述單一陣列區塊。回想到，在源極選擇匯流排之情形下描述了每一解碼器。可將字線解碼器階層視為相對較簡明的。源極選擇匯流排及未選定偏壓線係基於位址資訊來解碼，且根據哪一陣列區塊為作用的來驅動。類似列解碼器電路在本文中別處已提到。若未選定陣列區塊不與選定陣列區塊共用選定字線，則可使與未選定陣列區塊相關聯的字線之各別源極選擇匯流排及/或未選定偏壓線浮動。若此等未選定陣列區塊與選定陣列區塊共用選定字線，則較佳供應未選定字線偏壓。

有用的行解碼器配置可見於前述美國申請案第11/095,907號中，且可見於前述美國專利申請公開案第2006-0146639 A1號中。階層式匯流排配置可用以提供讀取/寫入資料之有效投送，及選定及未選定陣列區塊內之位元線之有效加偏壓。有用的階層式匯流排配置描述於Roy E. Scheuerlein、Luca G. Fasoli及Christopher J. Petti之題為「Memory Array Incorporating Two Data Busses for Memory Array Block Selection」的美國申請案第11/461,359號(現為美國公開案

第2008-0025085號)(「023-0052」申請案)中，且描述於Roy E. Scheuerlein及Luca G. Fasoli之題為「Hierarchical Bit Line Bias Bus for Block Selectable Memory Array」的美國申請案第11/461,362號(現為美國公開案第2008-0025093號)(「023-0053」申請案)中，該兩個申請案以引用的方式併入本文中。

在前向操作(讀取及設定)中，例示性階層式匯流排配置在用於選定陣列區塊之XSELN匯流排上提供合適偏壓，且使用於未選定陣列區塊之XSELN匯流排浮動。此有助於減少鄰近於選定陣列區塊的陣列區塊中之不需要的功率耗散。在相當高的電壓VUX(例如，VPP-VT)下對選定陣列區塊中之未選定字線加偏壓，且在共用字線架構之情況下，此等未選定字線亦延伸至鄰近非選定陣列區塊(亦即，選定陣列區塊共用非選定陣列區塊內之一半字線)。較佳地，在未選定位元線電壓VUB(例如，VT)下對亦共用選定字線之鄰近陣列區塊中之未選定位元線加偏壓。此歸因於穿過未選定記憶體單元之洩漏電流而消耗電力。鄰近非選定陣列區塊中之另一半字線正浮動，使得其洩漏高達VUB電壓，且使一半未選定單元之洩漏功率最小化。在共用未選定字線但不共用選定字線的其他鄰近區塊中，使位元線浮動，且浮動至未選定字線電壓，從而避免未選定單元之功率耗散。

關於上述各種實施例，許多類型之記憶體單元能夠使用反向偏壓(例如，上述重設模式)來程式化。此等單元包括

具有金屬氧化物(例如，過渡金屬氧化物)及二極體之被動元件單元。其他合適單元包括在二極體矩陣中具有電阻性材料的彼等單元。實例包括可程式化金屬化連接、諸如GST材料之相變電阻器、有機材料可變電阻器、複合金屬氧化物、碳聚合物薄膜、摻雜之硫族化物玻璃，及含有移動原子以改變電阻之肖特基障壁二極體。所選擇之電阻性材料可提供一次可程式化(OTP)記憶體單元，或多次寫入記憶體單元。另外，可使用具有由反向偏壓應力修改之傳導的多晶矽二極體。

用於反向重設操作之有用的記憶體單元描述於S. Brad Herner等人之題為「High-Density Three-Dimensional Memory Cell」的美國專利第6,952,030號中；且亦描述於由Tanmay Kumar等人在2005年9月28日申請之題為「Method for Using a Memory Cell Comprising Switchable Semiconductor Memory Element with Trimmable Resistance」的美國申請案第11/237,167號中。合適的金屬氧化物記憶體單元展示於由S. Brad Herner在2006年3月31日申請之題為「Multilevel Nonvolatile Memory Cell Comprising a Resistivity-Switching Oxide or Nitride and an Antifuse」的美國申請案第11/394,903號中。可提供多個電阻狀態之使用相變材料之合適記憶體單元展示於Roy E. Scheuerlein等人之題為「Non-Volatile Memory Cell Comprising a Dielectric Layer and a Phase Change Material in Series」的美國專利申請公開案第2005-0158950號中。此等以上引用之揭示案中之每

一者的全部內容以引用的方式併入本文中。具有過渡金屬氧化物(例如，包括具有鈷之彼等過渡金屬氧化物)之其他例示性記憶體單元及操縱元件之多晶矽材料自身包含可切換電阻性材料之例示性單元描述於以下所引用之MA-163-1申請案中。

另外，由S. Brad Herner等人在2005年5月9日申請之題為「Rewritable Memory Cell Comprising a Diode and a Resistance Switching Material」的美國申請案第11/125,939號揭示併有與氧化物(諸如，氧化鎳)串聯之二極體之有用的可重寫記憶體單元，其中該記憶體單元之電阻可重複地自低電阻狀態切換至高電阻狀態及自高電阻狀態切換至低電阻狀態。由S. Brad Herner等人在2006年3月31日申請之題為「Nonvolatile Memory Cell Comprising a Diode and a Resistance Switching Material」的美國申請案第11/395,995號揭示使用前向偏壓來設定且使用反向偏壓來重設的OTP多位準記憶體單元。此等以上引用之揭示案中之每一者的全部內容以引用的方式併入本文中。

在本文中所描述之許多實施例中，強加於資料路徑中之每一各別匯流排線上之精確偏壓條件可獨立地控制。對於資料路徑之每一位元，可調整對於設定及重設驅動器中之每一者的特定電壓及電流設定。結果，預期供本文中描述之結構中之許多者使用的具有兩個以上狀態之特定記憶體單元(亦即，「多位準」記憶體單元)。例示性多位準記憶體單元描述於以下所引用之前述美國申請案第11/237,167

號中，且描述於MA-163-1申請案中。

可用於實踐本發明之例示性被動元件記憶體單元及相關非揮發性記憶體結構描述於以下文件中，其中之每一者之全部內容以引用的方式併入本文中：

Mark G. Johnson等人之題為「Vertically Stacked Field Programmable Nonvolatile Memory and Method of Fabrication」的美國專利第6,034,882號；

N. Johan Knall等人之題為「Three Dimensional Memory Array and Method of Fabrication」的美國專利第6,420,215號；

Mark Johnson等人之題為「Vertically-Stacked, Field Programmable, Nonvolatile Memory and Method of Fabrication」的美國專利第6,525,953號；

Michael Vyvoda等人之題為「Digital Memory Method and System for Storing Multiple-Bit Digital Data」的美國專利第6,490,218號；

Michael Vyvoda等人之題為「Electrically Isolated Pillars in Active Devices」的美國專利第6,952,043號；及

S. Brad Herner等人之題為「Nonvolatile Memory Cell Without a Dielectric Antifuse Having High- and Low-Impedance States」的美國專利申請公開案第US 2005-0052915號。

可用於實踐本發明之記憶體單元結構、電路、系統及方法描述於各自在2006年7月31日所申請的以下申請案中，

該等申請案中之每一者之全部內容以引用的方式併入本文中：

Roy Scheuerlein及Tanmay Kumar之題為「Multi-Use Memory Cell and Memory Array」的美國申請案第11/496,985號，現為美國公開案第2007-0069276號(「10519-141」申請案)；

Roy Scheuerlein及Tanmay Kumar之題為「Method for Using a Multi-Use Memory Cell and Memory Array」的美國申請案第11/496,984號，現為美國公開案第2007/0070690號(「10519-150」申請案)；

Roy Scheuerlein之題為「Mixed-Use Memory Array」的美國申請案第11/496,874號，現為美國公開案第2008-0023790號(「10519-142」申請案)；

Roy Scheuerlein之題為「Method for Using a Mixed-Use Memory Array」的美國申請案第11/496,983號，現為美國公開案第2008-0025118號(「10519-151」申請案)；

Roy Scheuerlein及Christopher Petti之題為「Mixed-Use Memory Array With Different Data States」的美國申請案第11/496,870號，現為美國公開案第2008-0025069號(「10519-149」申請案)；

Roy Scheuerlein及Christopher Petti之題為「Method for Using a Mixed-Use Memory Array With Different Data States」的美國申請案第11/497,021號，現為美國公開案第2008-0025062號(「10519-152」申請案)；

Roy Scheuerlein之題為「Controlled Pulse Operations in Non-Volatile Memory」的美國申請案第11/461,393號，現為美國公開案第2008-0025076號(「SAND-01114US0」申請案)；

Roy Scheuerlein之題為「Systems for Controlled Pulse Operations in Non-Volatile Memory」的美國申請案第11/461,399號，現為美國公開案第2008-0025077號(「SAND-01114US1」申請案)；

Roy Scheuerlein及Christopher J. Petti之題為「High Bandwidth One-Time Field-Programmable Memory」的美國申請案第11/461,410號，現為美國公開案第2008-0025061號(「SAND-01115US0」申請案)；

Roy Scheuerlein及Christopher J. Petti之題為「Systems for High Bandwidth One-Time Field-Programmable Memory」的美國申請案第11/461,419號，現為美國公開案第2008-0025067號(「SAND-01115US1」申請案)；

Roy Scheuerlein及Tanmay Kumar之題為「Reverse Bias Trim Operations in Non-Volatile Memory」的美國申請案第11/461,424號，現為美國公開案第2008-0025068號(「SAND-01117US0」申請案)；

Roy Scheuerlein及Tanmay Kumar之題為「Systems for Reverse Bias Trim Operations in Non-Volatile Memory」的美國申請案第11/461,431號，現為美國公開案第2008-0025078號(「SAND-01117US1」申請案)；

Tanmay Kumar、S. Brad Herner、Roy E. Scheuerlein及Christopher J. Petti之題為「Method for Using a Memory Cell Comprising Switchable Semiconductor Memory Element with Trimmable Resistance」的美國申請案第11/496,986號，現為美國公開案第2007-0072360號(「MA-163-1」申請案)；

Luca G. Fasoli、Christopher J. Petti及Roy E. Scheuerlein之題為「Passive Element Memory Array Incorporating Reversible Polarity Word Line and Bit Line Decoders」的美國申請案第11/461,339號，現為美國公開案第2008-0025066號(「023-0048」申請案)；

Luca G. Fasoli、Christopher J. Petti及Roy E. Scheuerlein之題為「Method for Using a Passive Element Memory Array Incorporating Reversible Polarity Word Line and Bit Line Decoders」的美國申請案第11/461,364號，現為美國公開案第2008-0025132號(「023-0054」申請案)；

Roy E. Scheuerlein、Tyler Thorp及Luca G. Fasoli之題為「Apparatus for Reading a Multi-Level Passive Element Memory Cell Array」的美國申請案第11/461,343號，現為美國公開案第2008-0025088號(「023-0049」申請案)；

Roy E. Scheuerlein、Tyler Thorp及Luca G. Fasoli之題為「Method for Reading a Multi-Level Passive Element Memory Cell Array」的美國申請案第11/461,367號，現為美國公開案第2008-0025089號(「023-0055」申請案)；

Roy E. Scheuerlein及Luca G. Fasoli之題為「Dual Data-Dependent Busses for Coupling Read/Write Circuits to a Memory Array」的美國申請案第11/461,352號，現為美國公開案第2008-0025131號(「023-0051」申請案)；

Roy E. Scheuerlein及Luca G. Fasoli之題為「Method for Using Dual Data-Dependent Busses for Coupling Read/Write Circuits to a Memory Array」的美國申請案第11/461,369號，現為美國公開案第2008-0025133號(「023-0056」申請案)；

Roy E. Scheuerlein、Luca G. Fasoli及Christopher J. Petti之題為「Memory Array Incorporating Two Data Busses for Memory Array Block Selection」的美國申請案第11/461,359號，現為美國公開案第2008-0025085號(「023-0052」申請案)；

Roy E. Scheuerlein、Luca G. Fasoli及Christopher J. Petti之題為「Method for Using Two Data Busses for Memory Array Block Selection」的美國申請案第11/461,372號，現為美國公開案第2008-0025134號(「023-0057」申請案)；

Roy E. Scheuerlein及Luca G. Fasoli之題為「Hierarchical Bit Line Bias Bus for Block Selectable Memory Array」的美國申請案第11/461,362號，現為美國公開案第2008-0025093號(「023-0053」申請案)；及

Roy E. Scheuerlein及Luca G. Fasoli之題為「Method for

Using a Hierarchical Bit Line Bias Bus for Block Selectable Memory Array」的美國申請案第11/461,376號，現為美國公開案第2008-0025094號(「023-0058」申請案)。

如應瞭解，已在諸如以下各者之特定數值實例之情形下描述了本文中所展示之特定例示性實施例：特定電壓、經解碼之輸出之數目、解碼器頭之數目、匯流排線之數目、資料匯流排之數目、記憶體分區內之陣列區塊之數目，及記憶體條之數目。可使用本發明之教示來實施與其他設計目標一致之其他變化。為清楚起見，未展示及描述本文中描述之實施的所有常規特徵。

如本文中所使用，「將選定位元線耦接至第一匯流排」意謂將每一此選定位元線分別耦接至第一匯流排之對應匯流排線。如本文中所使用，字線(例如，包括字線段)及位元線通常表示正交陣列線，且一般遵循此項技術中之至少在讀取操作期間驅動字線且感測位元線之常見假定。此外，如本文中所使用，「全域線」(例如，全域選擇線)為橫越一個以上記憶體區塊之陣列線，但不應得出建議此全域線必須橫跨整個記憶體陣列或實質上跨越整個積體電路之特定推論。

如本文中所使用，「資料匯流排」或資料匯流排「段」至少有時傳送資料相依資訊，但無需一直傳送資料相依資訊。舉例而言，對於某些操作模式，此資料匯流排可在此資料匯流排之每一匯流排線上傳送相同偏壓資訊。「資料電路」可在適當時包括讀取/寫入電路、設定電路、重設

電路、讀取電路或程式化電路中之一或多者，或任何組合。

如本文中所使用，「選定」線(諸如，陣列區塊內之選定位元線)對應於同時由多頭解碼器電路選擇且各自耦接至對應匯流排線之此等位元線。此等位元線可由或亦可不由資料或I/O電路選擇以實際上執行給定讀取、程式化、設定、重設或抹除操作。舉例而言，若16頭行解碼器同時「選擇」16條位元線且將16條位元線耦接至給定匯流排(例如，SELB匯流排)，則應預期，16條位元線之此群組之該等位元線中無一者、16條位元線之此群組中之一條位元線、16條位元線之此群組中之一條以上位元線或16條位元線之此群組中之所有位元線實際上可接收適合於給定操作模式的選定(亦即，作用)偏壓條件，而剩餘位元線可接收未選定(亦即，非作用)偏壓條件。此匯流排可被描述為係「資料相依」匯流排。在其他實施例中，諸如在將兩個同時選定記憶體單元程式化至不同資料狀態時，可存在於給定匯流排上傳送的一個以上此「選定」偏壓條件。

如本文中所使用，被動元件記憶體陣列包括複數個2端子式記憶體單元，其各自連接於相關聯之X線(例如，字線)及相關聯之Y線(例如，位元線)之間。此記憶體陣列可為二維(平面)陣列，或可為具有一個以上記憶體單元平面之三維陣列。每一此記憶體單元具有非線性傳導性，其中在反向方向(亦即，自陰極至陽極)上之電流低於在前向方向上之電流。被動元件記憶體陣列可為一次可程式化(亦

即，一次寫入)記憶體陣列或讀取/寫入(亦即，多次寫入)記憶體陣列。一般可將此等被動元件記憶體單元視為具有在一方向上引導電流的電流操縱元件及能夠改變其狀態之另一組件(例如，熔絲、反熔絲、電容器、電阻性元件等)。可藉由在記憶體元件經選擇時感測電流流動或電壓降來讀取記憶體元件之程式化狀態。

在各種圖中之各種陣列線之方向性僅為了便於容易描述在陣列中之交叉線之兩個群組。如本文中所使用，積體電路記憶體陣列為單體積體電路結構，而非封裝在一起或緊密接近之一個以上積體電路裝置。

如本文中所使用，「陣列區塊」或「記憶體陣列區塊」為一般未由解碼器、讀取/寫入電路、匯流排或其他結構打斷的鄰近記憶體單元之鄰接陣列。解碼器電路之「極性」指代選定解碼器輸出為高態有效或低態有效，而不管任何操作電壓移位(例如，具有處於+6之選定輸出及處於接地之未選定輸出之一解碼器具有與具有處於接地之選定輸出及處於-6 V之未選定輸出之另一解碼器相同的極性)。如本文中所使用，「供電至第一電壓」之電路意謂跨越此電路施加第一電壓差，而不管接地參考電位。電路之「操作電壓」為上供應電壓VHI與下供應電壓VLO之間的電壓差(例如，「操作電壓」=VHI-VLO)，而不管此等電壓中之一或多者之極性。舉例而言，具有VHI=+4 V且VLO=GND之電路具有4伏特之操作電壓，具有VHI=GND且VLO=-4 V之電路亦4伏特之操作電壓。

如在本文中之某些描述中所使用，在給定操作模式下，關於用於「寫入」之選定位址及適當資料狀態來如此描述「選定」匯流排線或位元線電壓或其他偏壓條件。舉例而言，根據待程式化之資料狀態，耦接至選定位元線之選定源極選擇匯流排可攜載寫入電壓以改變與該選定位元線相關聯的選定記憶體單元之狀態，或相反，可攜載非作用電壓以使與選定位元線相關聯之選定記憶體單元之狀態不改變。換言之，可選擇(亦即，「定址」)位元線以用於寫入，但資料狀態可抑制至「選定」匯流排線之實際程式化電壓。

如本文中所使用，「第一操作模式」及「第二操作模式」中之每一者可指代所描述之操作模式中之任一者，包括待用、讀取、寫入、抹除、區塊抹除、程式化、設定、重設，及區塊重設。「寫入操作模式」可指代用以變更一或多個記憶體單元之狀態的任何操作模式，而不管是否亦描述為設定、重設、區塊重設、抹除、區塊抹除或程式化。

可使用連接方塊的單一節點之術語來描述本文中之方塊圖。然而，應瞭解，當上下文需要時，此「節點」可實際上表示用於傳送差動信號之一對節點，或可表示用於攜載若干相關信號或用於攜載形成數位字或其他多位元信號之複數個信號的多個單獨導線(例如，匯流排)。

雖然一般假設了電路及實體結構，但應充分認識到，在現代半導體設計及製造中，實體結構及電路可在適合用於

後續設計、測試或製造階段之電腦可讀描述性形式中以及在所得製造的半導體積體電路中體現。因此，針對傳統電路或結構的申請專利範圍可(與其特定語言一致)讀取電腦可讀編碼及其表示，而不管是否在媒體中體現或與合適讀取器設施組合以允許對應電路及/或結構之製造、測試或設計改進。預期本發明包括電路、包括此等電路之已封裝模組、利用此等電路及/或模組及/或其他記憶體裝置之系統、相關操作方法、製造此等電路之相關方法及此等電路及方法之電腦可讀媒體編碼，其皆如本文中所描述且如在附加申請專利範圍中所界定。如本文中所使用，電腦可讀儲存媒體包括至少磁碟、磁帶，或其他磁性、光學半導體(例如，快閃記憶體卡、ROM)，或電子儲存媒體。電路之編碼可包括電路示意性資訊、實體佈局資訊、行為模擬資訊，及/或可包括任何其他編碼(自其可表示或連通電路)。

前述實施方式已描述了本發明之許多可能實施中之僅一些實施。出於此原因，本發明意欲為說明性而非限制性的。可基於本文中所闡述之描述而進行本文中所揭示之實施例的變化及修改。僅以下申請專利範圍(包括所有等效物)意欲界定本發明之範疇。

【圖式簡單說明】

圖1為記憶體陣列之示意圖，其說明選定及未選定字線及位元線，及前向偏壓操作模式下之例示性偏壓條件。

圖2為圖1中所描繪的記憶體陣列之示意圖，但其說明在反向偏壓操作模式下之例示性偏壓條件。

圖3為例示性列解碼器及字線驅動器電路之示意圖，其包括前向偏壓操作模式下的例示性條件。

圖4為例示性行解碼器及位元線驅動器電路之示意圖，其包括前向偏壓操作模式下的例示性條件。

圖5為例示性列解碼器及字線驅動器電路之示意圖，其包括反向偏壓操作模式下的例示性條件。

圖6為例示性行解碼器及位元線驅動器電路之示意圖，其包括反向偏壓操作模式下的例示性條件。

圖7為用於列解碼器及行解碼器之例示性高電壓產生器電路及切換電路，及用於字線及位元線驅動器電路之偏壓電路的方塊圖。

圖8為在前向偏壓操作模式下之例示性列解碼器操作的時序圖。

圖9為在前向偏壓操作模式下之例示性行解碼器操作的時序圖。

圖10為在反向偏壓操作模式下之例示性列解碼器操作的時序圖。

圖11為在反向偏壓操作模式下之例示性行解碼器操作的時序圖。

圖12為列解碼器至反向偏壓操作模式之例示性轉變的時序圖。

圖13為行解碼器至反向偏壓操作模式之例示性轉變的時序圖。

圖14為描繪具有多頭字線驅動器之全域列解碼器配置的

方塊圖/示意圖，多頭字線驅動器各自耦接至未選定偏壓線且耦接至源極選擇匯流排之各別線。

圖15為描繪全域列解碼器配置之方塊圖，在該全域列解碼器配置中，列選擇線針對複數個陣列區塊中之每一者驅動多頭字線驅動器。

圖16為描繪三維記憶體陣列之一部分的三維視圖，該三維記憶體陣列與圖14及圖15中所說明的記憶體陣列之某些實施例一致，且說明藉由在兩個鄰近陣列區塊中之每一者中且在兩個或兩個以上字線層中之每一者上的至各別字線段之垂直連接而耦接之字線驅動器電路。

圖17為表示三維記憶體陣列之字線層及位元線層的俯視圖，該三維記憶體陣列展示以2:1交錯之字線段，其中至區塊之一半字線段的垂直連接在該區塊之左側，且至該區塊之另一半字線段的垂直連接在該區塊之右側。另外，來自兩個鄰近區塊之字線段共用每一垂直連接。

圖18為描繪包括三維記憶體陣列之例示性積體電路的方塊圖，且該積體電路包括每一陣列之兩側上的一各別全域列解碼器及每一陣列之頂部與底部兩者上的一各別行解碼器。

圖19為併有深n井半導體結構之三重井結構的橫截面圖。

圖20為併有合併深n井半導體結構之三重井結構的橫截面圖。

【主要元件符號說明】

100	被動元件記憶體陣列
101	被動元件記憶體單元/選定記憶體單元/S單元
102	選定字線
103	被動元件記憶體單元/F單元
104	未選定字線
105	被動元件記憶體單元/H單元
106	選定位元線
107	被動元件記憶體單元/U單元
108	未選定位元線
150	字線解碼器電路
152	列解碼器電路/全域列解碼器
153	電源供應節點
154	電源供應節點
158	經解碼之輸出/列選擇節點/經解碼之輸出節點/選定列選擇線/ROWSEL
160	列選擇線
162	經解碼之輸出/經解碼之輸出節點/未選定列選擇線/ROWSEL
164	UXL偏壓線/未選定WL偏壓線UXL節點/未選定WL(UXL)偏壓線
166	字線源極選擇XSEL匯流排線
167	選定XSEL匯流排線
168	未選定XSEL匯流排線
170	字線驅動器電路

171	PMOS電晶體
172	NMOS電晶體
173	PMOS電晶體
174	NMOS電晶體
175	PMOS上拉電晶體
176	NMOS下拉電晶體
177	PMOS上拉電晶體
178	NMOS下拉電晶體
181	半選定字線
183	未選定字線
200	位元線解碼器電路/偏壓條件
202	行解碼器電路/行解碼器
203	電源供應節點
204	電源供應節點
205	輸出
208	經解碼之輸出/經解碼之輸出節點/行選擇節點/COLSEL/選定行選擇線
209	輸出
210	行選擇線/COLSEL線
212	經解碼之輸出/行選擇節點/未選定經解碼之輸出節點/未選定行選擇線/未選定COLSEL線
214	未選定BL偏壓線UYL節點/未選定BL偏壓線
216	位元線源極選擇SELB匯流排線
217	SELB匯流排線

218	非作用SELB匯流排線
220	位元線驅動器電路
221	PMOS電晶體
222	NMOS電晶體
223	PMOS電晶體
224	NMOS電晶體
225	PMOS電晶體
226	NMOS電晶體
227	PMOS電晶體
228	NMOS電晶體
231	半選定位元線
233	未選定位元線
300	用於列及行解碼器之高電壓產生器電路及高電壓開關電路的配置
302	模式控制信號
304	時脈信號
306	節點
308	電壓調節器
309	節點
310	電荷泵電路/行解碼器電荷泵
311	輸出節點
312	電荷泵電路/位元線選擇電荷泵
313	輸出節點
314	電荷泵電路/列/行解碼器電荷泵

315 輸出節點

316 電荷泵電路/WL選擇電荷泵

317 輸出節點

319 模式控制

320 高電壓開關電路

321 輸出節點

322 高電壓開關電路

323 輸出節點

324 高電壓開關電路

325 輸出節點

326 高電壓開關電路

327 輸出節點

330 位元線選擇控制電路/源極選擇匯流排SELB控制邏輯

332 位址資訊/行位址

336 DATA_IN匯流排線

338 模式控制信號

342 時序脈衝控制信號

344 位址資訊

348 位址資訊

350 模式控制

362 列電力開啟間隔

364 列解碼器切換間隔

366 列高電壓接通間隔

368	間隔
370	列高電壓斷開間隔
372	列解碼器切換間隔
374	列高電壓接通間隔
376	間隔
378	間隔
380	列電力關閉間隔
402	行電力開啟間隔
404	行解碼器切換間隔
406	行高電壓接通間隔
408	SELB匯流排切換/SELB切換間隔
410	行高電壓斷開間隔
412	行解碼器切換間隔
414	行高電壓接通間隔
416	間隔
418	間隔
420	行電力關閉間隔
442	列電力開啟間隔
444	列解碼器切換間隔
446	列高電壓接通間隔
448	間隔
450	列高電壓斷開間隔
452	列解碼器切換間隔
454	列高電壓接通間隔

456 間隔

458 間隔

460 列電力關閉間隔

482 行電力開啟間隔

484 行解碼器切換間隔

486 行高電壓接通間隔

488 SELB匯流排切換/SELB切換間隔/單一行高電壓間隔

490 行高電壓斷開間隔

492 行解碼器切換間隔

494 行高電壓接通間隔

496 間隔

498 間隔

500 行電力關閉間隔

522 間隔

524 時間間隔

542 間隔

544 間隔

546 間隔

548 間隔

550 間隔

552 間隔

600 多頭字線解碼器組態

602 字線選擇控制電路/陣列區塊選擇解碼器及偏

	壓產生器電路
606	經解碼之RSEL線/RSEL[i]/RSEL輸出
608	經解碼之RSEL線/第二RSEL輸出
610	UXL偏壓線
612	多頭字線驅動器電路之垂直群組
620	經解碼之源極選擇匯流排線XSELN(0)
622	經解碼之源極選擇匯流排線XSELN(1)
624	經解碼之源極選擇匯流排線XSELN(2)
626	經解碼之源極選擇匯流排線XSELN(3)
630	字線驅動器電路
632	字線驅動器裝置
634	字線驅動器裝置
636	字線
638	四(亦即，四頭)字線驅動器電路
640	字線驅動器電路
642	字線驅動器電路
644	字線驅動器電路
646	字線
658	垂直連接
659	垂直連接
660	字線段
661	字線段
662	字線段
663	字線段

700 記憶體陣列

702 雙全域列解碼器/階層式列選擇解碼器

704 雙全域列解碼器/階層式列選擇解碼器

706 記憶體陣列區塊

708 記憶體陣列區塊

710 垂直連接

712 行解碼器及位元線電路區塊/上部行電路區塊

714 行解碼器及位元線電路區塊/中上部行電路區塊

715 行解碼器及位元線電路區塊

716 行解碼器及位元線電路區塊

718 記憶體條

720 記憶體條

722 位元線

724 位元線

732 記憶體區塊/陣列區塊

733 位元線

734 記憶體區塊/陣列區塊

735 位元線

736 字線段

737 字線段

738 字線段

739 垂直連接

740 垂直連接

742 字線段

744	垂直連接
752	深N型井
754	中間深度P型井
756	N型井
758	塊體基板
802	深N型井
804	中間深度P型井
806	N型井
808	P+區
812	N+區

201214460

發明專利說明書

（本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫）

※ 申請案號：100131814

※ 申請日：100.9.2.　　※IPC 分類：G11C 7/18 (2006.01)
G11C 8/12 (2006.01)
G11C 8/14 (2006.01)
G11C 8/10 (2006.01)

一、發明名稱：（中文/英文）

提供記憶體陣列操作之前向及反向模式之解碼器電路及其偏壓方法

DECODER CIRCUITRY PROVIDING FORWARD AND REVERSE MODES OF MEMORY ARRAY OPERATION AND METHOD FOR BIASING SAME

二、中文發明摘要：

本發明描述用於解碼可程式化及(在一些實施例中)可重寫被動元件記憶體單元之例示性記憶體陣列的電路及方法，該等電路及方法特定有用於具有一個以上記憶體平面的極緻密三維記憶體陣列。另外，本發明描述下列用途的電路及方法：用於選擇此記憶體陣列之一或多個陣列區塊；用於選擇選定陣列區塊內之一或多條字線及位元線；用於將資料資訊傳送至選定陣列區塊內之選定記憶體單元及自選定陣列區塊內之選定記憶體單元傳送資料資訊；及用於將未選定偏壓條件傳送至未選定陣列區塊。

三、英文發明摘要：

Circuits and methods are described for decoding exemplary memory arrays of programmable and, in some embodiments, re-writable passive element memory cells, which are particularly useful for extremely dense three-dimensional memory arrays having more than one memory plane. In addition, circuits and methods are described for selecting one or more array blocks of such a memory array, for selecting one or more word lines and bit lines within selected array blocks, for conveying data information to and from selected memory cells within selected array blocks, and for conveying unselected bias conditions to unselected array blocks.

七、申請專利範圍：

1. 一種用於解碼一記憶體陣列之方法，該方法包含：

向一第一解碼器電路提供一第一量值之一操作電壓直至其所有經解碼之輸出為穩定的且一第一電壓差建立於其一選定經解碼之輸出與一未選定經解碼之輸出之間為止，每一經解碼之輸出耦接至各別複數個陣列線驅動器電路；及

在一源極選擇匯流排之每一匯流排線上提供一第一非作用電壓位準，該源極選擇匯流排耦接至該各別複數個陣列線驅動器電路中之每一者，給定複數個陣列線驅動器電路中之每一各別陣列線驅動器電路用於對耦接至該給定複數個陣列線驅動器電路之該第一解碼器電路的一經解碼之輸出作出回應而將該源極選擇匯流排之一各別匯流排線耦接至一第一類型之一各別陣列線；接著

將該第一解碼器電路之該操作電壓增加至大於該第一量值之一第二量值，以藉此將選定經解碼之輸出與未選定經解碼之輸出之間的該差動電壓增加至大於該第一差動電壓的一第二差動電壓；接著

使該源極選擇匯流排之一第一匯流排線產生脈衝至一第一作用電壓位準，接著返回至該第一非作用電壓位準，以藉此使對應於該第一解碼器電路之該選定經解碼之輸出的該第一類型之一第一陣列線產生脈衝；接著

在允許該第一解碼器之任何經解碼之輸出改變狀態之前將該第一解碼器之該操作電壓減小至該第一量值。

2. 如請求項1之方法，其進一步包含：

在該減小步驟之前，使該源極選擇匯流排之一第二匯流排線產生脈衝至該第一作用電壓位準，以藉此使對應於該第一解碼器電路之該選定經解碼之輸出的該第一類型之一第二陣列線產生脈衝。

3. 如請求項1之方法，其進一步包含：

與該使一第一匯流排線產生脈衝同時地，使該源極選擇匯流排之一第二匯流排線產生脈衝至該第一作用電壓位準，以藉此使對應於該第一解碼器電路之該選定經解碼之輸出的該第一類型之一第二陣列線產生脈衝。

4. 如請求項1之方法，其中：

在該第一解碼器電路具有該第二量值之一操作電壓時，該選定經解碼之輸出將一閘極過激勵提供至一相關聯之陣列線驅動器電路，以將該第一類型之該相關聯之陣列線完全驅動至在該源極選擇匯流排之該相關聯之匯流排線上傳送的該第一作用電壓位準。

5. 如請求項1之方法，其進一步包含：

在該增加步驟之前對該第一類型之所有陣列線加偏壓至該第一非作用電壓位準；及

自每一陣列線提供每一陣列線驅動器電路內之一主要洩漏電流至該第一作用電壓位準，以藉此在一相關聯之陣列線驅動器電路內無電晶體傳導時將該第一類型之某些非選定陣列線維持在該第一非作用電壓位準或接近該第一非作用電壓位準。

6. 如請求項1之方法，其進一步包含在該首先提及之提供步驟之前進行以下步驟：

將具有一第一值之一上供應電壓及具有一第二值之一下供應電壓提供至該第一解碼器電路，取消選擇該第一解碼器電路之所有經解碼之輸出，且將該源極選擇匯流排之所有匯流排線加偏壓至該第一非作用電壓位準，以藉此將該第一類型之所有陣列線驅動至該第一非作用電壓位準；接著

將該上供應電壓自該第一值轉變至一第三值，且將該下供應電壓自該第二值轉變至一第四值，同時保留該第一解碼器電路之極性，其中該第三值及該第四值將該第一量值之該操作電壓提供至該第一解碼器電路。

7. 如請求項1之方法，其進一步包含在該減小步驟之後進行以下步驟：

取消選擇該第一解碼器電路之所有經解碼之輸出，且對該源極選擇匯流排之所有匯流排線加偏壓至一第二非作用電壓位準，以藉此將該第一類型之所有陣列線驅動至該第二非作用電壓位準；

將耦接至該第一解碼器電路的一上供應電壓自一第一值轉變至一第三值，且將耦接至該第一解碼器電路的一下供應電壓自一第二值轉變至一第四值，同時保留該第一解碼器電路之該極性，其中該第一值及該第二值將該第一量值之該操作電壓提供至該第一解碼器電路；且其中該第三值及該第四值將一第三量值之一操作電壓提供

至該第一解碼器電路；

維持該第三量值之該操作電壓直至該第一解碼器電路之所有經解碼之輸出為穩定的且一第三電壓差建立於其一選定經解碼之輸出與一未選定經解碼之輸出之間；接著

將該第一解碼器電路之該操作電壓增加至大於該第三量值之一第四量值，以藉此將選定經解碼之輸出與未選定經解碼之輸出之間的差動電壓增加至大於該第三差動電壓的一第四差動電壓；接著

使該源極選擇匯流排之一第一匯流排線產生脈衝至一第二作用電壓位準，以藉此使對應於該第一解碼器電路之該選定輸出的該第一類型之一第一陣列線產生脈衝；接著

在允許該第一解碼器之任何經解碼之輸出改變狀態之前將該第一解碼器之該操作電壓減小至該第三量值。

8. 如請求項7之方法，其中：

該第一作用電壓位準之電壓低於該第一非作用電壓位準；且

該第二作用電壓位準之電壓高於該第二非作用電壓位準。

9. 如請求項7之方法，其中：

該第一作用電壓位準及該第二作用電壓位準中之一者為一正電壓，且該第一作用電壓位準及該第二作用電壓位準中之另一者為一負電壓。

10. 如請求項7之方法，其中該轉變耦接至該第一解碼器電

路的該上供應電壓及該下供應電壓包含：

對該第一解碼器電路進行自一「自接地上升」操作電壓至一「下降至接地」操作電壓之電壓移位，其中該第一值包含一正電壓，該第二值及該第三值包含一接地電壓，且該第四值包含一負電壓。

11. 如請求項7之方法，其中：

該操作電壓之該第二量值與該操作電壓之該第四量值相同。

12. 一種積體電路裝置，其包含：

記憶體單元之一記憶體陣列，每一記憶體單元耦接於一第一類型之一相關聯之陣列線與一第二類型之一相關聯之陣列線之間；

一第一陣列線選擇電路，其包含經組態以產生第一複數個經解碼之輸出節點的一第一解碼器電路，第一複數個經解碼之輸出節點各自耦接至一各別多頭第一類型陣列線驅動器電路，且每一多頭第一類型陣列線驅動器電路包含各自耦接至該第一類型之一各別陣列線的各別複數個第一陣列線驅動器電路；及

一第二陣列線選擇電路，其包含經組態以產生第二複數個經解碼之輸出節點的一第二解碼器電路，第二複數個經解碼之輸出節點各自耦接至一各別多頭第二類型陣列線驅動器電路，且每一多頭第二類型陣列線驅動器電路包含各自耦接至該第二類型之一各別陣列線的各別複數個第二陣列線驅動器電路；

其中該第一解碼器電路在一第一操作模式與一第二操作模式兩者下維持相同極性及操作電壓；

其中該第二解碼器電路在該第一操作模式與該第二操作模式兩者下維持相同極性；

其中相較於在該第一操作模式下，該等多頭第一類型陣列線驅動器電路在該第二操作模式下具有一反向極性；

其中相較於在該第一操作模式下，該等多頭第二類型陣列線驅動器電路在該第二操作模式下具有一反向極性；且

其中相較於在該第二操作模式下外加之偏壓電壓，該第一陣列線選擇電路及該第二陣列線選擇電路在該第一操作模式下跨越一選定記憶體單元外加相反極性之一偏壓電壓。

13. 如請求項12之裝置，其中在該第一操作模式與該第二操作模式兩者下，用於該第一解碼器電路之一下供應電壓具有等於用於該第一類型之該等陣列線的作用電壓位準及非作用電壓位準中之較低者的一值。

14. 如請求項12之裝置，其中該等多頭第二類型陣列線驅動器電路在該第一操作模式與該第二操作模式兩者下具有與該等多頭第一類型陣列線驅動器電路之極性相反的一極性。

15. 如請求項14之裝置，其中該等記憶體單元在該第一操作模式及該第二操作模式中之至少一者下為可程式化的。

16. 如請求項14之裝置，其中：

在該第一操作模式下，該第一類型或該第二類型中之一者之一選定陣列線經驅動至接地，且該第一類型或該第二類型中之另一者之一選定陣列線經驅動至一正電壓；且

在該第二操作模式下，該第一類型或該第二類型中之一者之一選定陣列線經驅動至一正電壓，該第一類型或該第二類型中之另一者之一選定陣列線經驅動至一負電壓，且該第一類型與該第二類型兩者之未選定陣列線保持處於接地。

17. 如請求項16之裝置，其中在該第二操作模式下：

該第二解碼器電路以一負的下電源供應電壓而操作；

第二源極選擇匯流排之一或多個選定匯流排線經驅動至一負電壓，且該第二源極選擇匯流排之未選定匯流排線經驅動至接地；

該第二類型之一或多個選定陣列線經驅動至一負電壓；

該第一解碼器以一正的上電源供應電壓而操作；

第一源極選擇匯流排之一或多個選定匯流排線經驅動至一正電壓，且該第一源極選擇匯流排之未選定匯流排線經驅動至接地；且

該第一類型之一或多個選定陣列線經驅動至一正電壓。

18. 如請求項14之裝置，其中：

該第一解碼器電路及該第二解碼器電路在該第一操作模式與該第二操作模式兩者下具有相反輸出極性；且

相較於該第二源極選擇匯流排，該第一源極選擇匯流排在該第一操作模式與該第二操作模式兩者下具有相反極性，且該第一源極選擇匯流排及該第二源極選擇匯流排中之每一者相對於該第一操作模式在該第二操作模式下使其極性反向。

19. 如請求項18之裝置，其中：

該等記憶體單元在該第一操作模式及該第二操作模式中之至少一者下為可程式化的。

八、圖式：

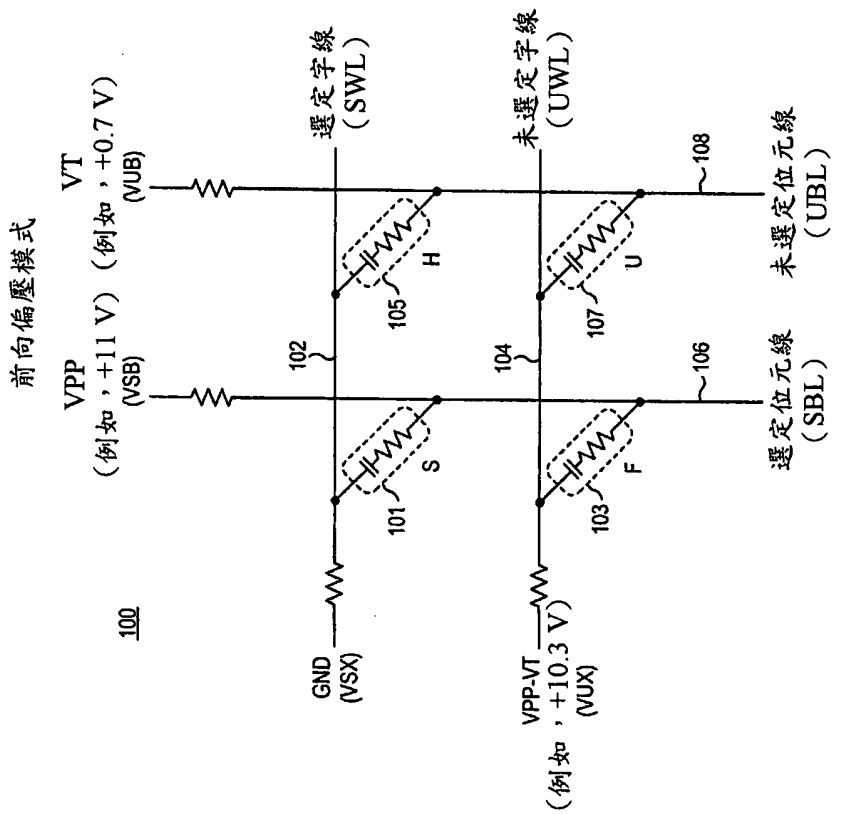

前向偏壓模式
100
VPP
（例如，+11 V）
(VSB)
VT
（例如，+0.7 V）
(VUB)
選定字線
（SWL）
未選定字線
（UWL）
102
104
105
H
107
U
108
101
S
103
F
106
GND
(VSX)
VPP-VT
（例如，+10.3 V）
(VUX)
選定位元線
（SBL）
未選定位元線
（UBL）

圖 1

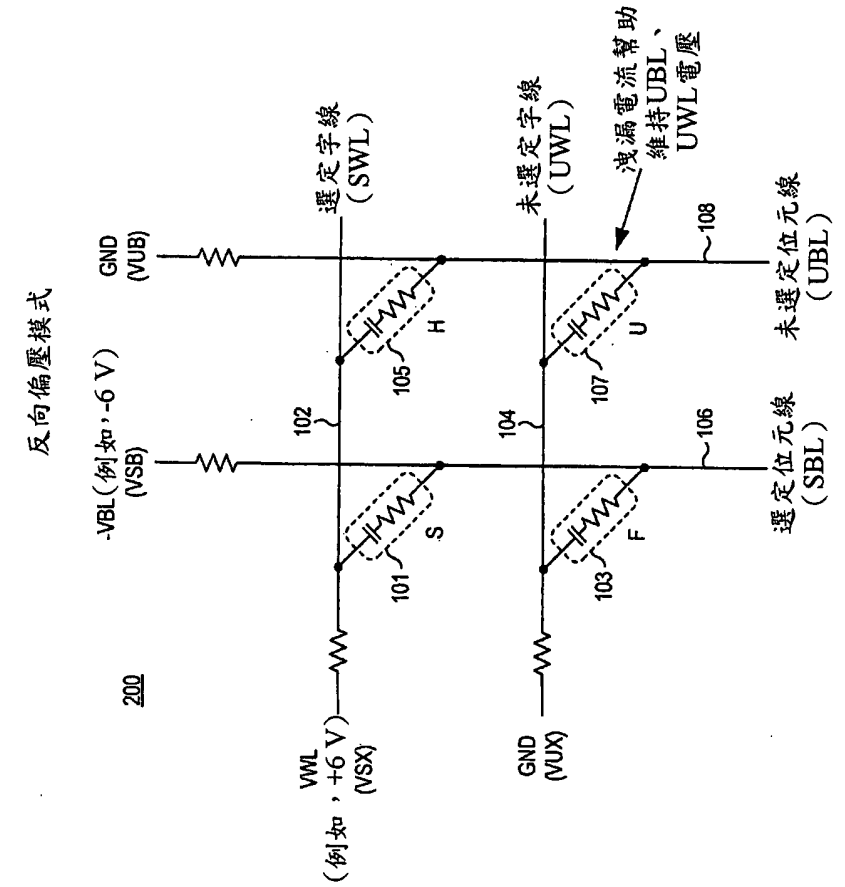

反向偏壓模式
200
-VBL（例如，-6 V）
(VSB)
GND
(VUB)
選定字線
（SWL）
未選定字線
（UWL）
洩漏電流幫助
維持UBL、
UWL電壓
102
104
105
H
107
U
108
101
S
103
F
106
VWL
（例如，+6 V）
(VSX)
GND
(VUX)
選定位元線
（SBL）
未選定位元線
（UBL）

圖 2

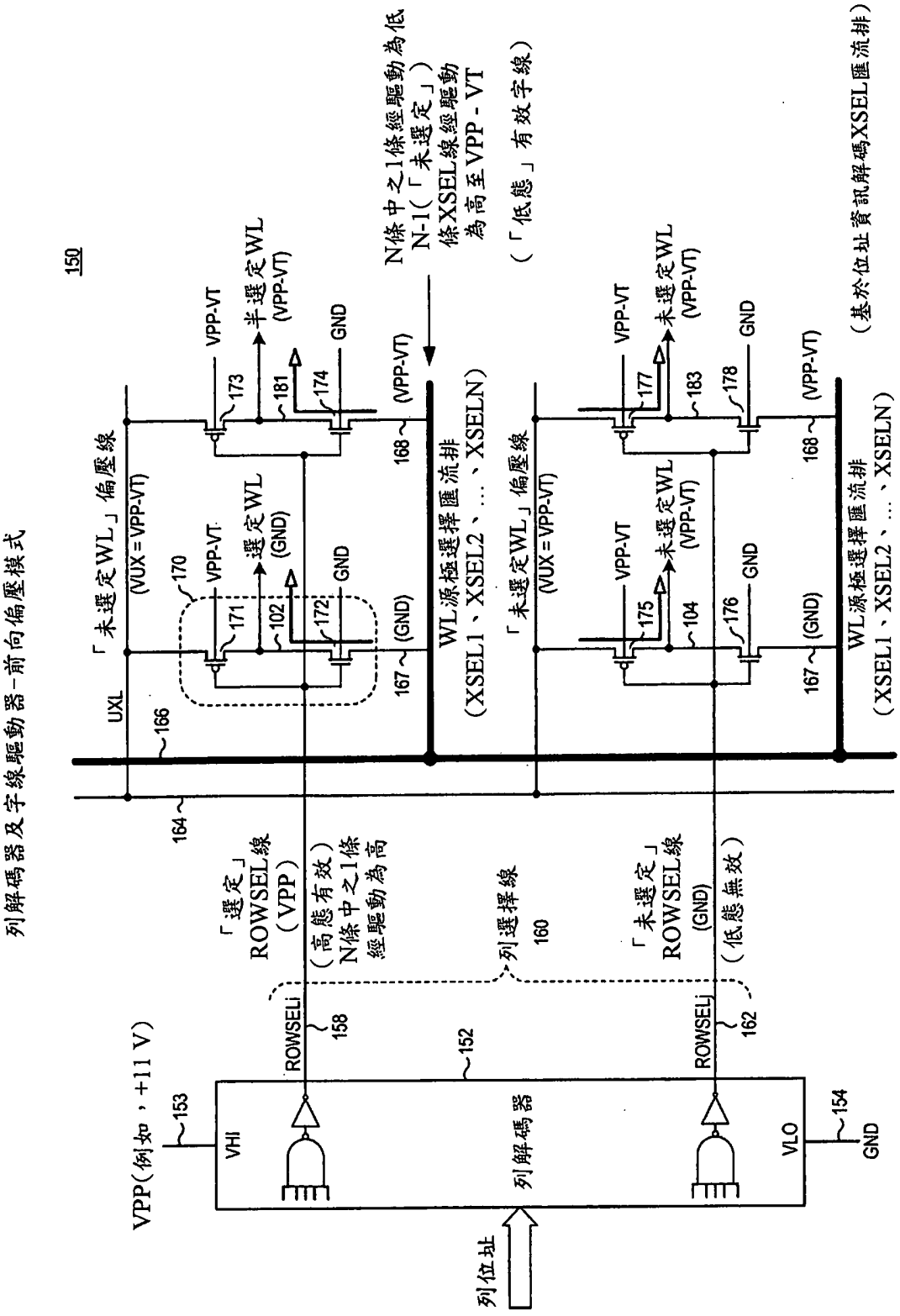

列解碼器及字線驅動器-前向偏壓模式
150
「未選定WL」偏壓線
(VUX = VPP-VT)
UXL
166
164
VPP-VT
173
半選定WL
(VPP-VT)
181
GND
174
(VPP-VT)
168
N條中之1條經驅動為低
N-1(「未選定」)
條XSEL線經驅動
為高至VPP - VT
(「低態」有效字線)
VPP-VT
170
171
選定WL
(GND)
102
GND
172
(GND)
167
WL源極選擇匯流排
(XSEL1、XSEL2、....、XSELN)
「未選定WL」偏壓線
(VUX = VPP-VT)
VPP-VT
177
未選定WL
(VPP-VT)
183
GND
178
(VPP-VT)
168
VPP-VT
175
未選定WL
(VPP-VT)
104
GND
176
(GND)
167
WL源極選擇匯流排
(XSEL1、XSEL2、....、XSELN)
(基於位址資訊解碼XSEL匯流排)
「選定」
ROWSEL線
(VPP)
(高態有效)
N條中之1條
經驅動為高
ROWSELi
158
列選擇線
160
「未選定」
ROWSEL線
(GND)
(低態無效)
ROWSELj
162
VPP(例如，+11 V)
153
VHI
152
列解碼器
VLO
154
GND
列位址

圖3

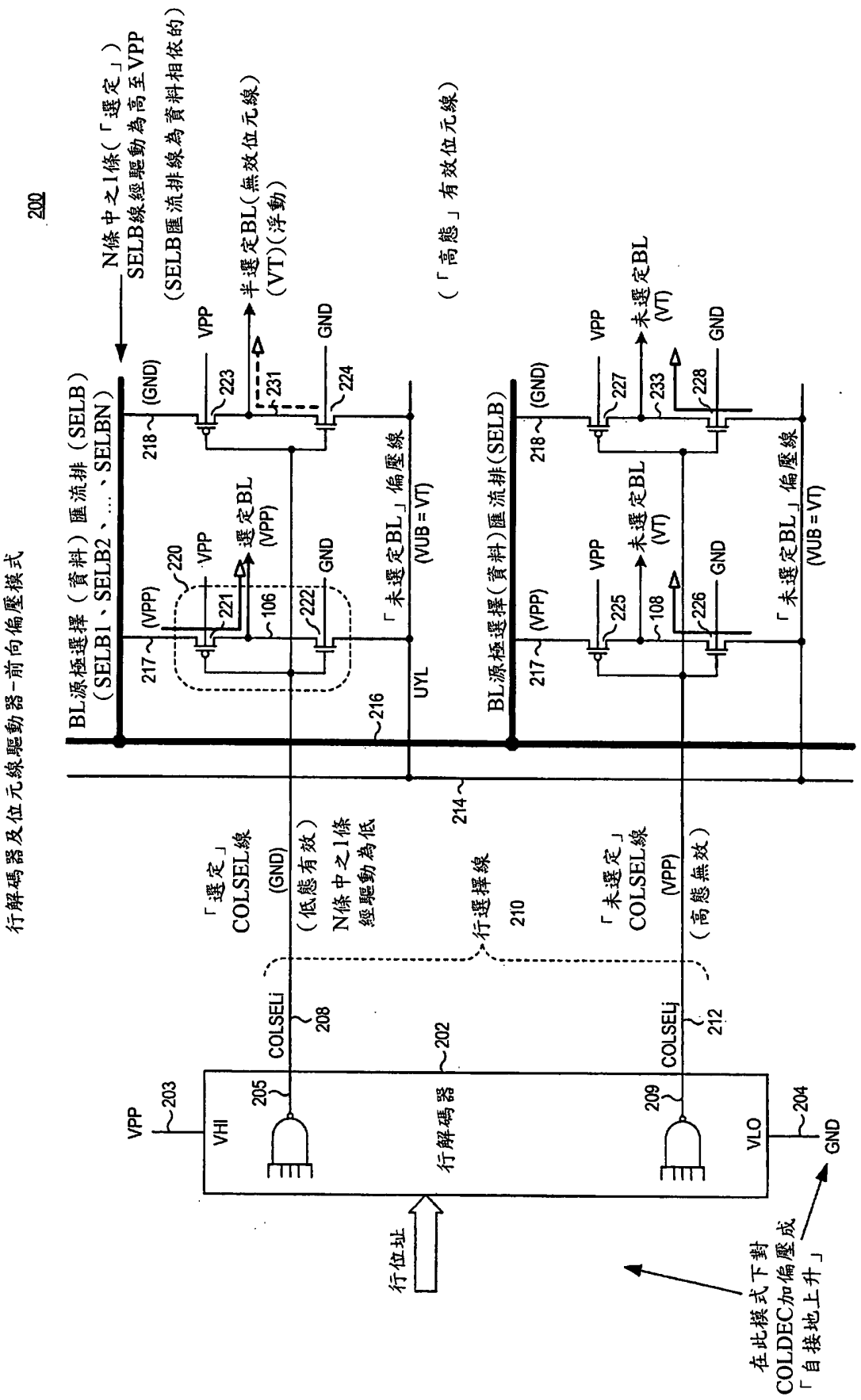

200
行解碼器及位元線驅動器-前向偏壓模式
BL源極選擇（資料）匯流排（SELB）
（SELB1、SELB2、....、SELBN）
N條中之1條（「選定」）
SELB線經驅動為高至VPP
（SELB匯流排線為資料相依的）
半選定BL（無效位元線）
（VT）（浮動）
（「高態」有效位元線）
「選定」
COLSEL線
（低態有效）
N條中之1條
經驅動為低
「未選定」
COLSEL線
（高態無效）
行選擇線
210
214
216
UYL
「未選定BL」偏壓線
（VUB = VT）
選定BL
（VPP）
未選定BL
（VT）
VPP
GND
（VPP）
（GND）
VHI
VLO
行解碼器
COLSELi
COLSELj
行位址
在此模式下對
COLDEC加偏壓成
「自接地上升」

圖4

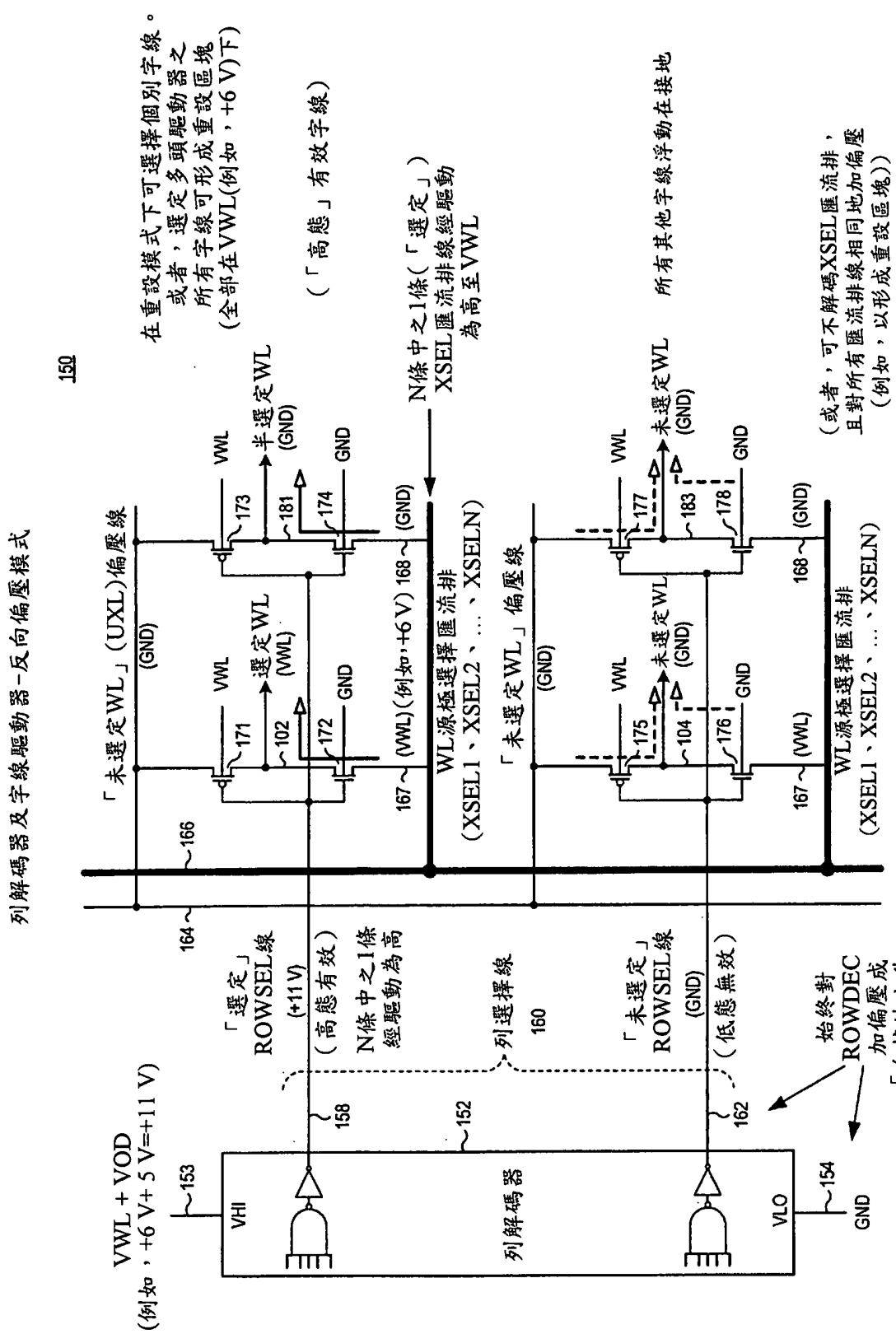

列解碼器及字線驅動器-反向偏壓模式
150
在重設模式下可選擇個別字線。
或者，選定多頭驅動器之
所有字線可形成重設區塊
(全部在VWL(例如，+6 V)下)
「未選定WL」(UXL)偏壓線
(GND)
166
164
VWL
171
選定WL
(VWL)
102
172
GND
(VWL)(例如，+6 V) 168
167
VWL
173
半選定WL
(GND)
181
174
GND
(GND)
N條中之1條(「選定」)
XSEL匯流排線經驅動
為高至VWL
(「高態」有效字線)
WL源極選擇匯流排
(XSEL1、XSEL2、....、XSELN)
「未選定WL」偏壓線
(GND)
VWL
175
未選定WL
(GND)
104
176
GND
(VWL)
167
VWL
177
未選定WL
(GND)
183
178
GND
(GND)
168
所有其他字線浮動在接地
(或者，可不解碼XSEL匯流排，
且對所有匯流排線相同地加偏壓
(例如，以形成重設區塊))
WL源極選擇匯流排
(XSEL1、XSEL2、....、XSELN)
VWL + VOD
(例如，+6 V+ 5 V=+11 V)
153
VHI
「選定」
ROWSEL線
(+11 V)
(高態有效)
N條中之1條
經驅動為高
158
列選擇線
160
152
列解碼器
「未選定」
ROWSEL線
(GND)
(低態無效)
162
始終對
ROWDEC
加偏壓成
「自接地上升」
154
VLO
GND

圖5

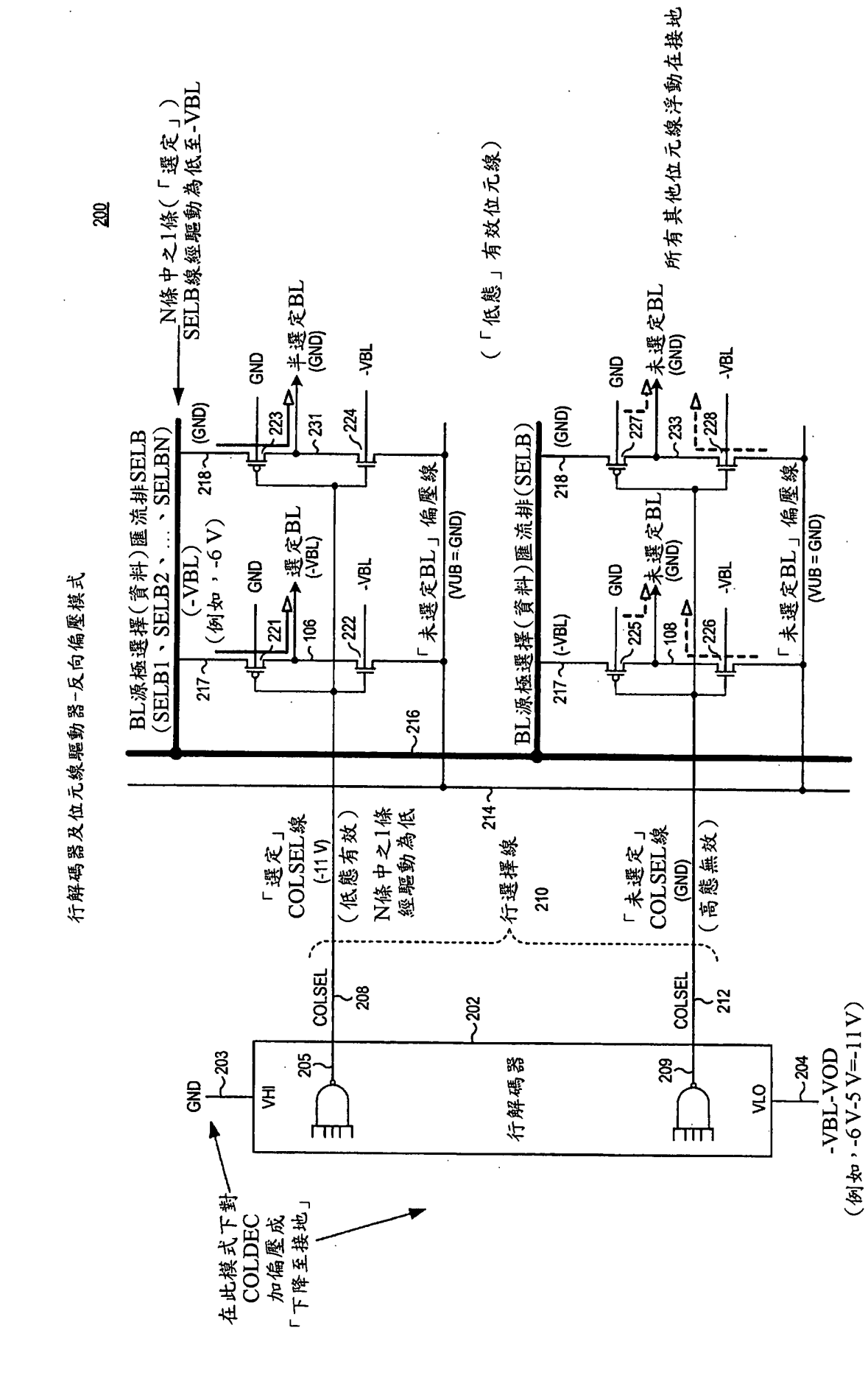

200
行解碼器及位元線驅動器-反向偏壓模式
BL源極選擇(資料)匯流排SELB
(SELB1、SELB2、...、SELBN)
N條中之1條(「選定」)
SELB線經驅動為低至-VBL
(-VBL)
(例如，-6 V)
GND
選定BL
(-VBL)
半選定BL
(GND)
-VBL
「未選定BL」偏壓線
(VUB=GND)
(「低態」有效位元線)
BL源極選擇(資料)匯流排(SELB)
未選定BL
(GND)
所有其他位元線浮動在接地
「選定」
COLSEL線
(-11 V)
(低態有效)
N條中之1條
經驅動為低
行選擇線
210
「未選定」
COLSEL線
(GND)
(高態無效)
COLSEL
208
212
202
行解碼器
VHI
VLO
GND
203
204
205
209
216
214
217
218
221
222
223
224
225
226
227
228
231
233
106
108
在此模式下對
COLDEC
加偏壓成
「下降至接地」
-VBL-VOD
(例如，-6 V-5 V=-11 V)

圖6

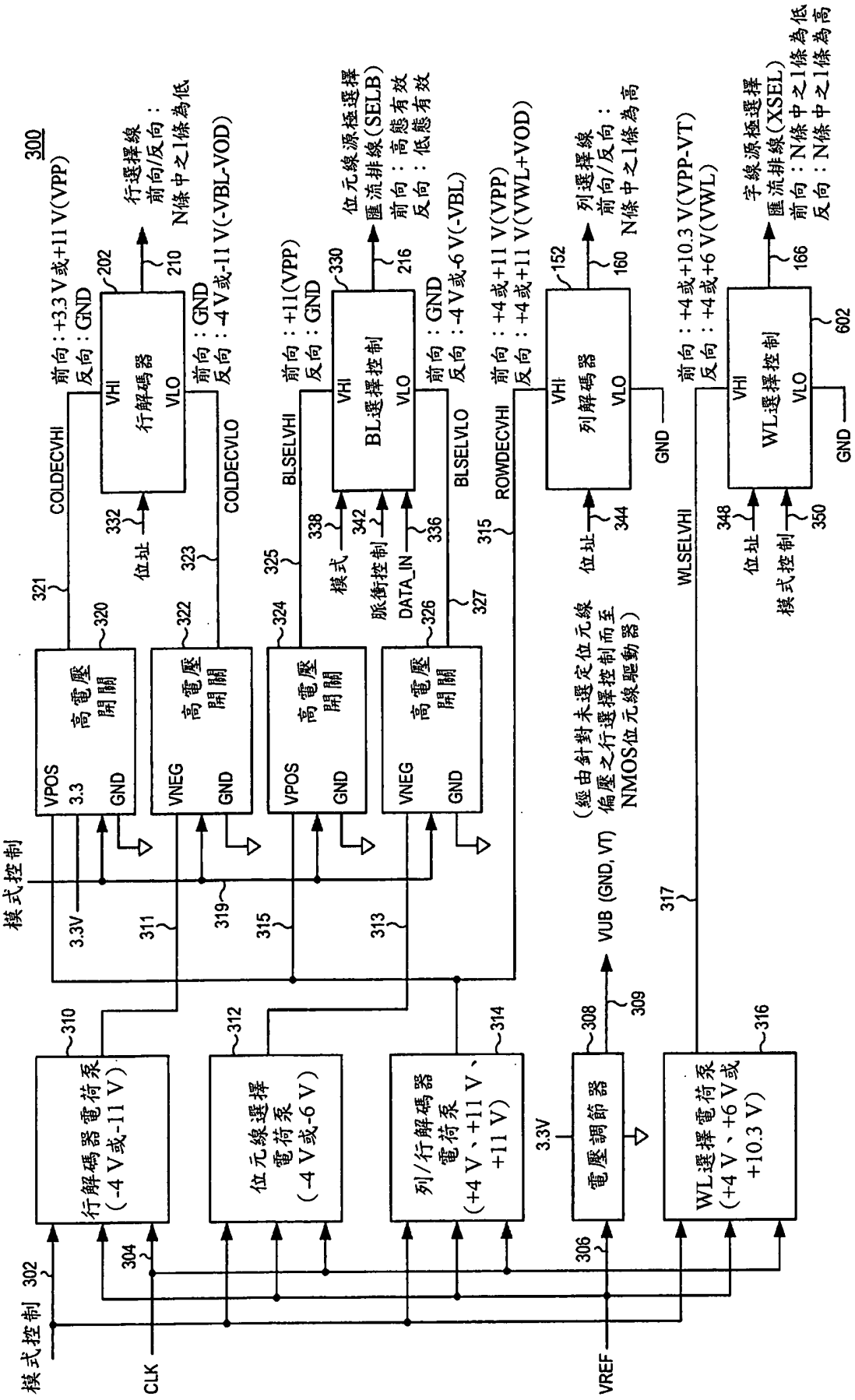

300
模式控制
3.3V
311
319
315
313
317
VUB (GND, VT)
309
VREF
CLK
302
304
306
3.3V
310
行解碼器電荷泵
(-4 V或-11 V)
312
位元線選擇
電荷泵
(-4 V或-6 V)
314
列/行解碼器
電荷泵
(+4 V、+11 V、
+11 V)
308
電壓調節器
316
WL選擇電荷泵
(+4 V、+6 V或
+10.3 V)
VPOS
3.3
GND
高電壓
開關
320
321
VNEG
GND
高電壓
開關
322
323
VPOS
GND
高電壓
開關
324
325
VNEG
GND
高電壓
開關
326
327
COLDECVHI
前向：+3.3 V或+11 V(VPP)
反向：GND
COLDECVLO
前向：GND
反向：-4 V或-11 V(-VBL-VOD)
BLSELVHI
前向：+11(VPP)
反向：GND
BLSELVLO
前向：GND
反向：-4 V或-6 V(-VBL)
ROWDECVHI
前向：+4或+11 V(VPP)
反向：+4或+11 V(VWL+VOD)
WLSELVHI
前向：+4或+10.3 V(VPP-VT)
反向：+4或+6 V(VWL)
VHI
行解碼器
VLO
202
332
位址
210
行選擇線
前向/反向：
N條中之1條為低
VHI
BL選擇控制
VLO
338
342
模式
脈衝控制
330
216
位元線源極選擇
匯流排線(SELB)
前向：高態有效
反向：低態有效
DATA_IN
336
(經由針對未選定位元線
偏壓之行選擇控制而至
NMOS位元線驅動器)
VHI
列解碼器
VLO
344
152
160
列選擇線
前向/反向：
N條中之1條為高
GND
VHI
WL選擇控制
VLO
348
位址
350
模式控制
602
166
字線源極選擇
匯流排線(XSEL)
前向：N條中之1條為低
反向：N條中之1條為高
GND

圖 7

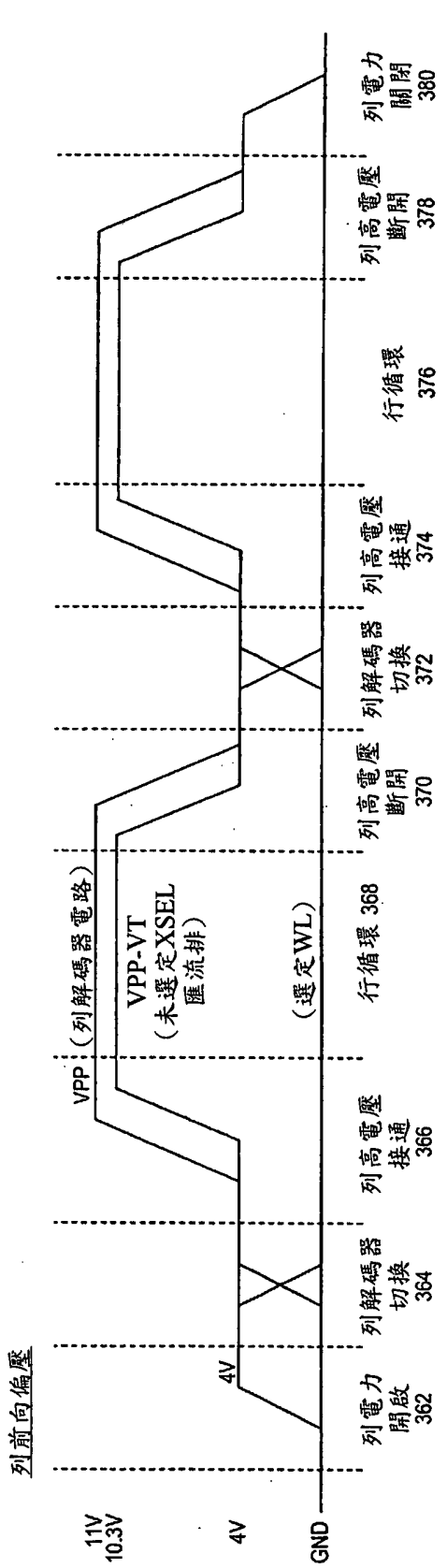

列前向偏壓
11V
10.3V
4V
GND
VPP
（列解碼器電路）
VPP-VT
（未選定XSEL
匯流排）
4V
（選定WL）
列電力
開啟
362
列解碼器
切換
364
列高電壓
接通
366
行循環 368
列高電壓
斷開
370
列解碼器
切換
372
列高電壓
接通
374
行循環
376
列高電壓
斷開
378
列電力
關閉
380

圖8

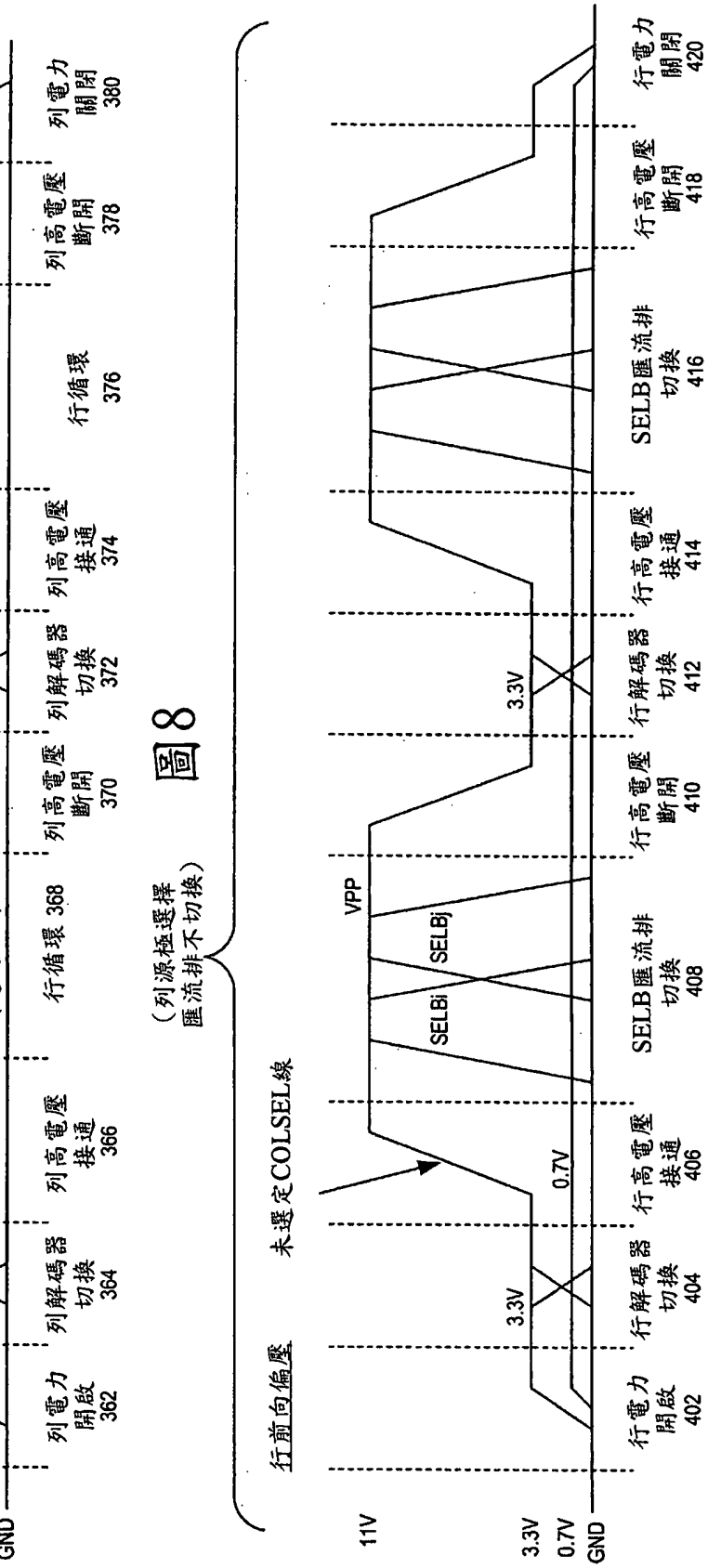

（列源極選擇
匯流排不切換）
行前向偏壓
未選定COLSEL線
11V
3.3V
0.7V
GND
VPP
SELBi
SELBj
3.3V
0.7V
行電力
開啟
402
行解碼器
切換
404
行高電壓
接通
406
SELB匯流排
切換
408
行高電壓
斷開
410
行解碼器
切換
412
行高電壓
接通
414
SELB匯流排
切換
416
行高電壓
斷開
418
行電力
關閉
420

圖9

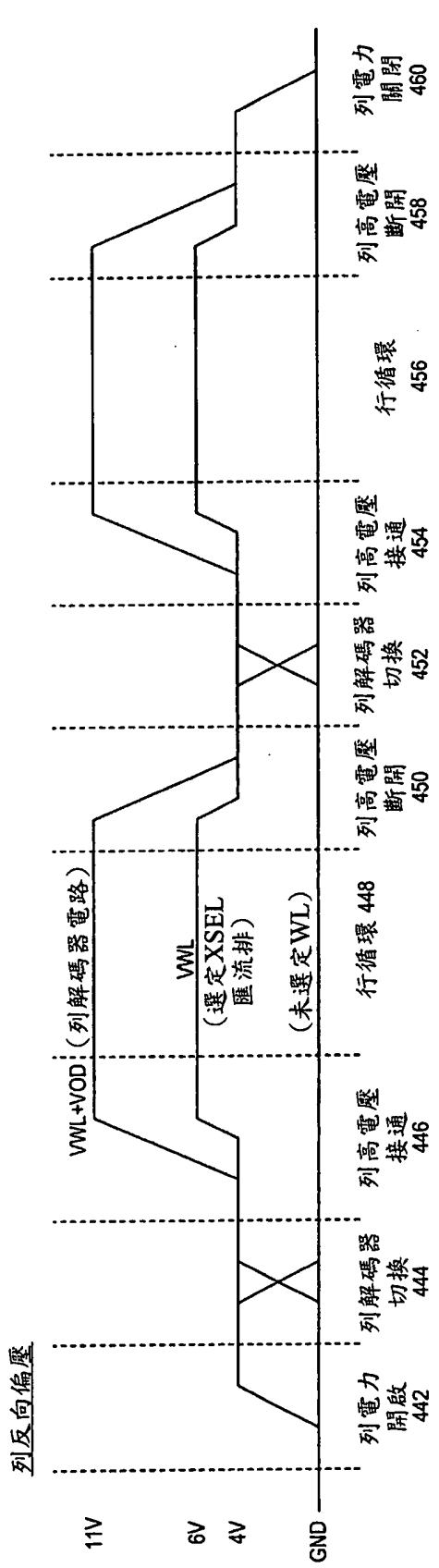

列反向偏壓
11V
6V
4V
GND
VWL+VOD
(列解碼器電路)
VWL
(選定XSEL
匯流排)
(未選定WL)
列電力
開啟
442
列解碼器
切換
444
列高電壓
接通
446
行循環 448
列高電壓
斷開
450
列解碼器
切換
452
列高電壓
接通
454
行循環
456
列高電壓
斷開
458
列電力
關閉
460

圖 10

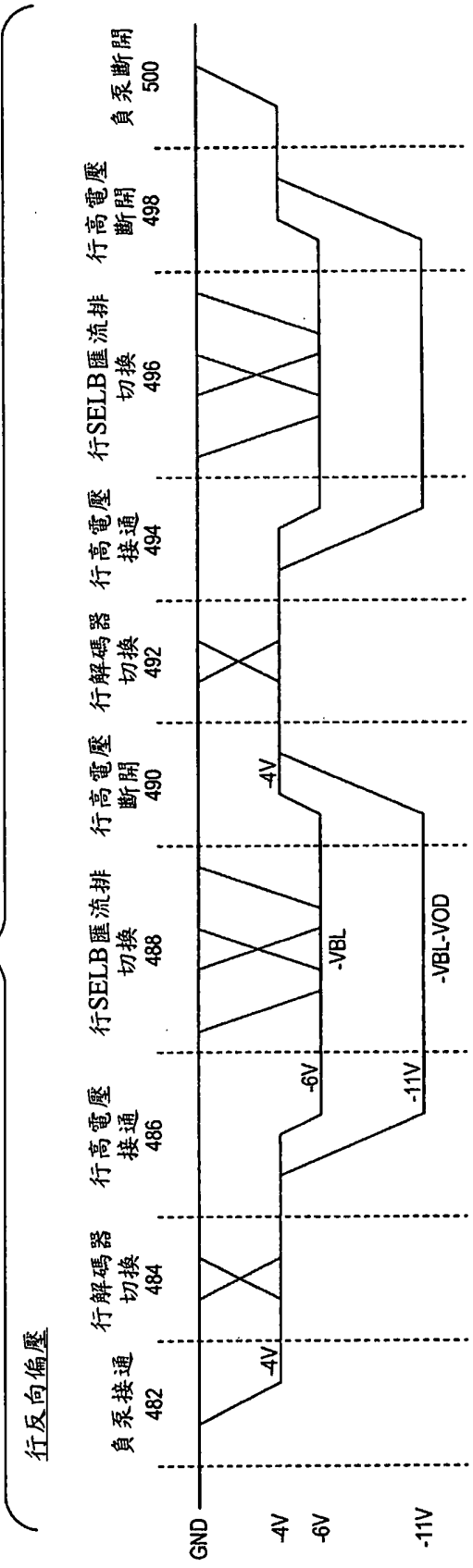

(列源極選擇
匯流排不切換)
行反向偏壓
GND
-4V
-6V
-11V
負泵接通
482
行解碼器
切換
484
行高電壓
接通
486
行SELB匯流排
切換
488
行高電壓
斷開
490
行解碼器
切換
492
行高電壓
接通
494
行SELB匯流排
切換
496
行高電壓
斷開
498
負泵斷開
500
-4V
-6V
-VBL
-11V
-VBL-VOD

圖 11

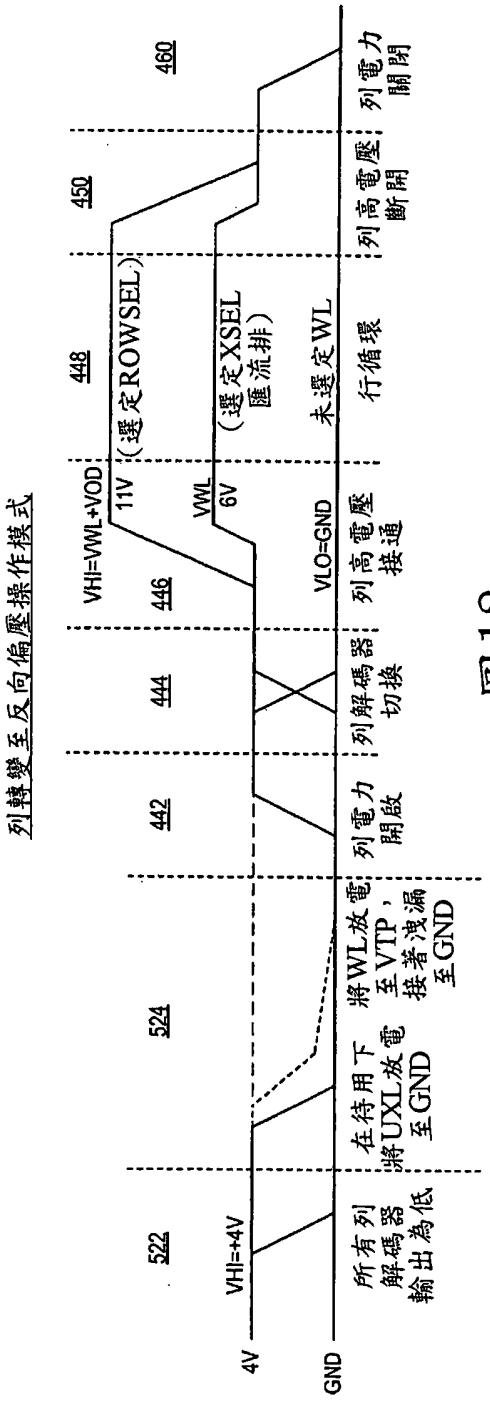

列轉變至反向偏壓操作模式
522
524
442
444
446
448
450
460
VHI=+4V
4V
GND
VHI=VWL+VOD
11V
VWL
6V
VLO=GND
所有列解碼器輸出為低
在待用下將UXL放電至GND
將WL放電至VTP，接著洩漏至GND
列電力開啟
列解碼器切換
列高電壓接通
(選定ROWSEL)
(選定XSEL匯流排)
未選定WL
行循環
列高電壓斷開
列電力關閉

圖12

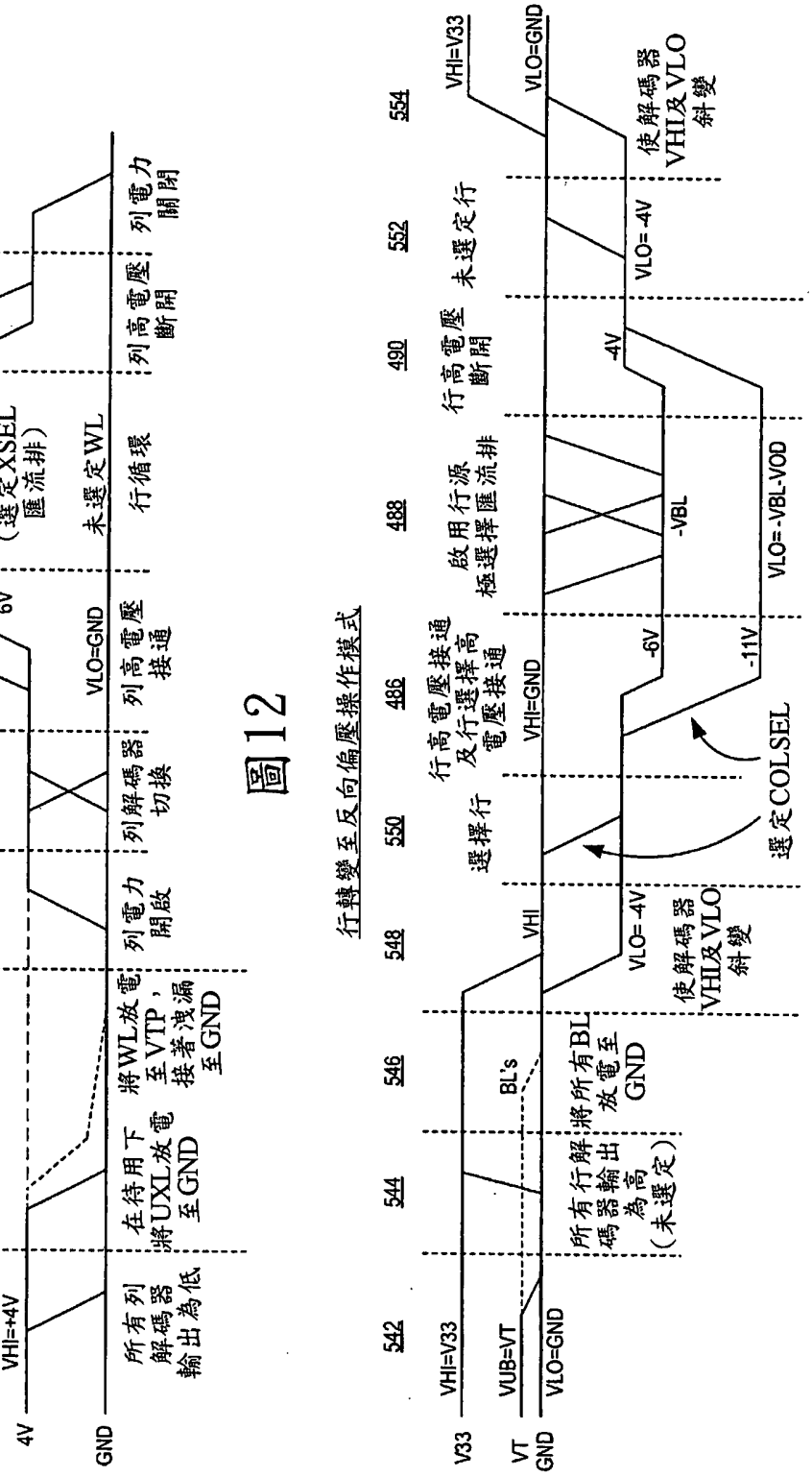

行轉變至反向偏壓操作模式
542
544
546
548
550
486
488
490
552
554
V33
VT
GND
VHI=V33
VUB=VT
VLO=GND
BL's
VHI
VLO=-4V
-6V
-11V
-VBL
-4V
VLO=-4V
VLO=-VBL-VOD
VHI=V33
VLO=GND
所有行解碼器輸出為高(未選定)
將所有BL放電至GND
使解碼器VHI及VLO斜變
選擇行
行高電壓接通及行選擇高電壓接通
VHI=GND
啟用行源極選擇匯流排
行高電壓斷開
選定COLSEL
未選定行
使解碼器VHI及VLO斜變

圖13

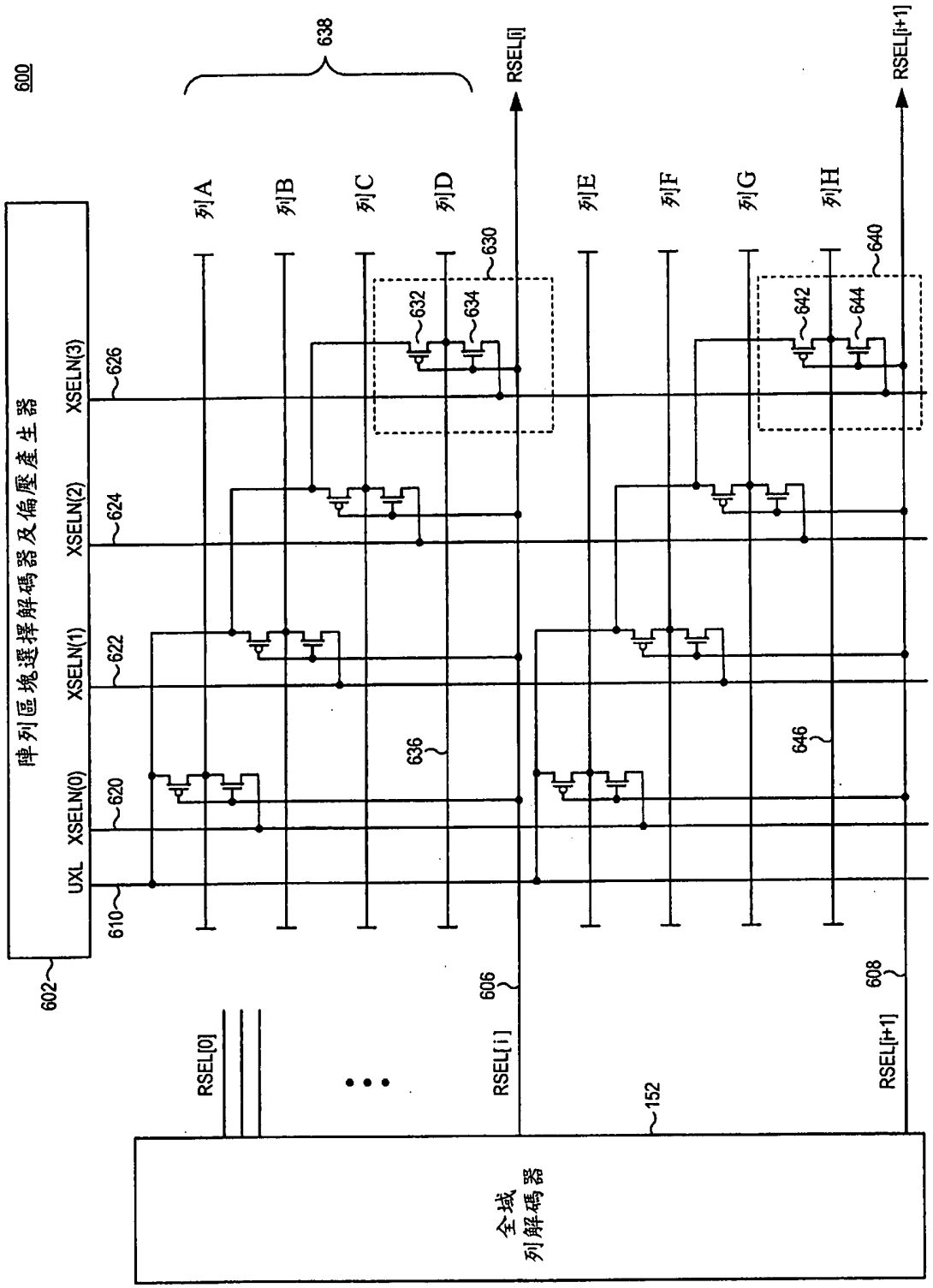

600
陣列區塊選擇解碼器及偏壓產生器
UXL
XSELN(0)
XSELN(1)
XSELN(2)
XSELN(3)
602
610
620
622
624
626
列A
列B
列C
列D
列E
列F
列G
列H
638
630
632
634
640
642
644
636
646
606
608
RSEL[0]
RSEL[i]
RSEL[i+1]
152
全域
列解碼器

圖14

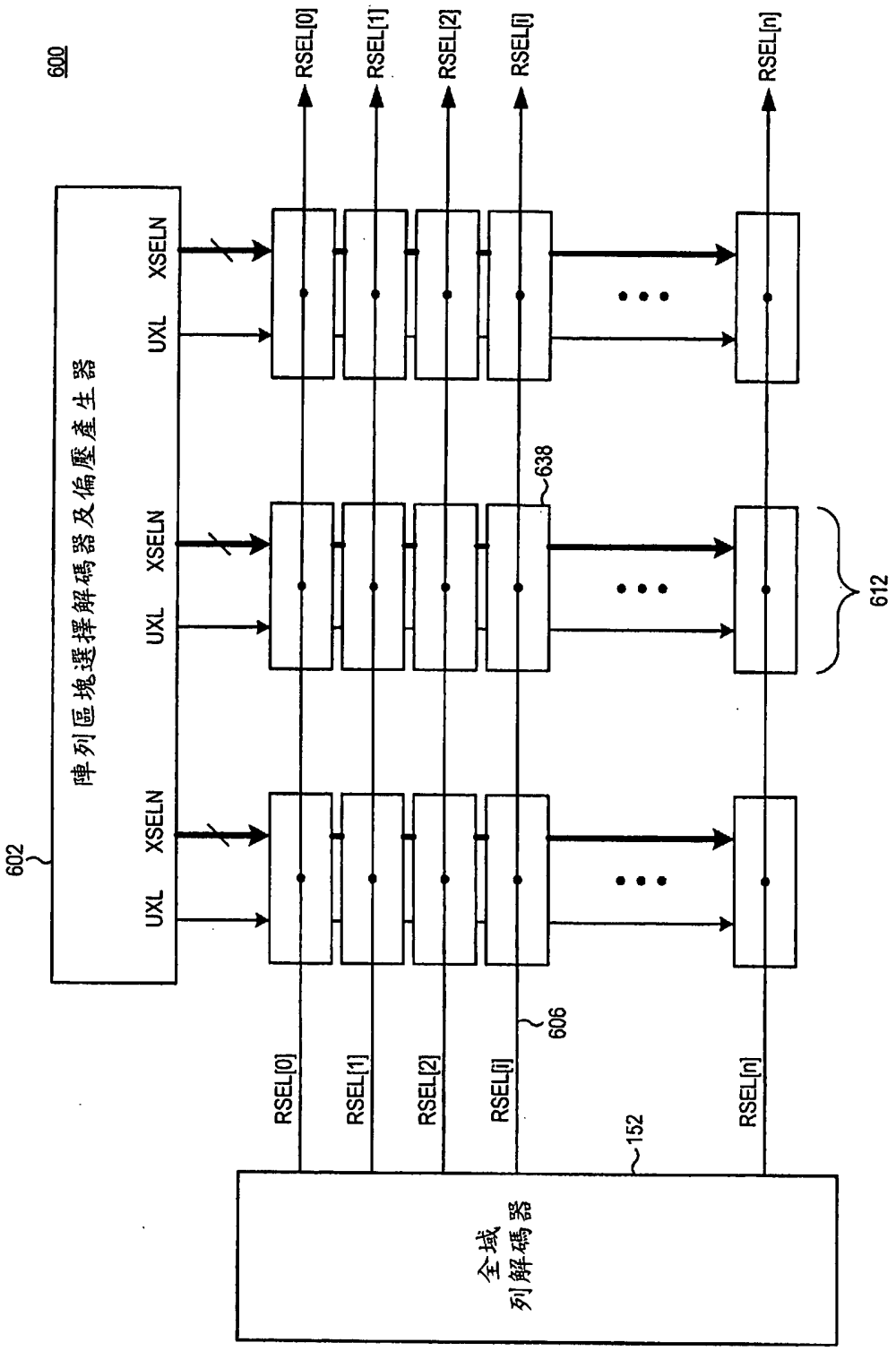

600
602
陣列區塊選擇解碼器及偏壓產生器
UXL
XSELN
UXL
XSELN
UXL
XSELN
RSEL[0]
RSEL[1]
RSEL[2]
RSEL[j]
RSEL[n]
638
612
606
152
全域
列解碼器

圖15

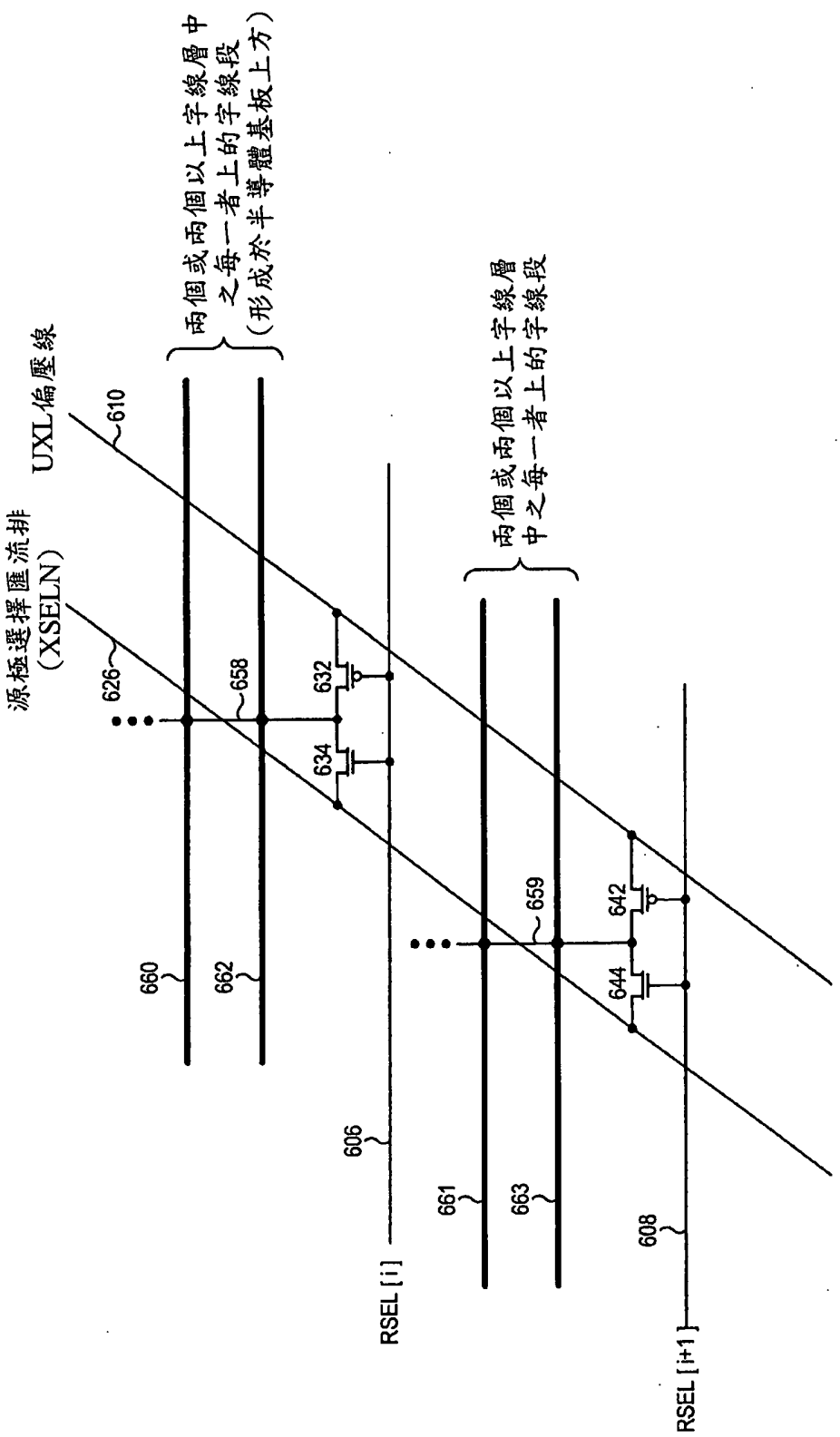

源極選擇匯流排
(XSELN)
UXL偏壓線
610
626
658
632
634
660
662
606
661
663
659
642
644
608
RSEL [i]
RSEL [i+1]
兩個或兩個以上字線層中之每一者上的字線段
(形成於半導體基板上方)
兩個或兩個以上字線層中之每一者上的字線段

圖16

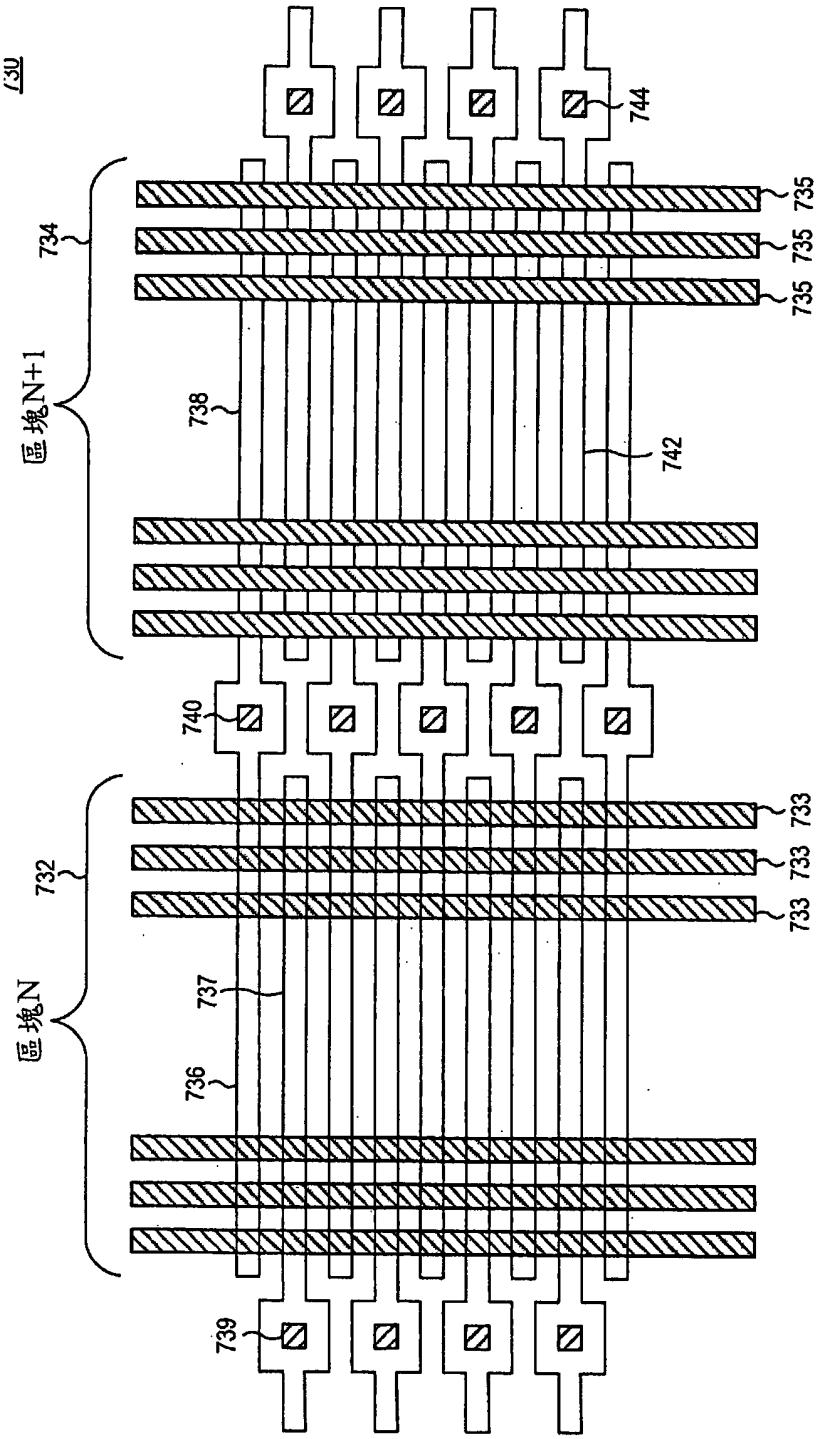

730
734
區塊N+1
732
區塊N
735
735
735
738
742
744
740
733
733
733
737
736
739

圖17

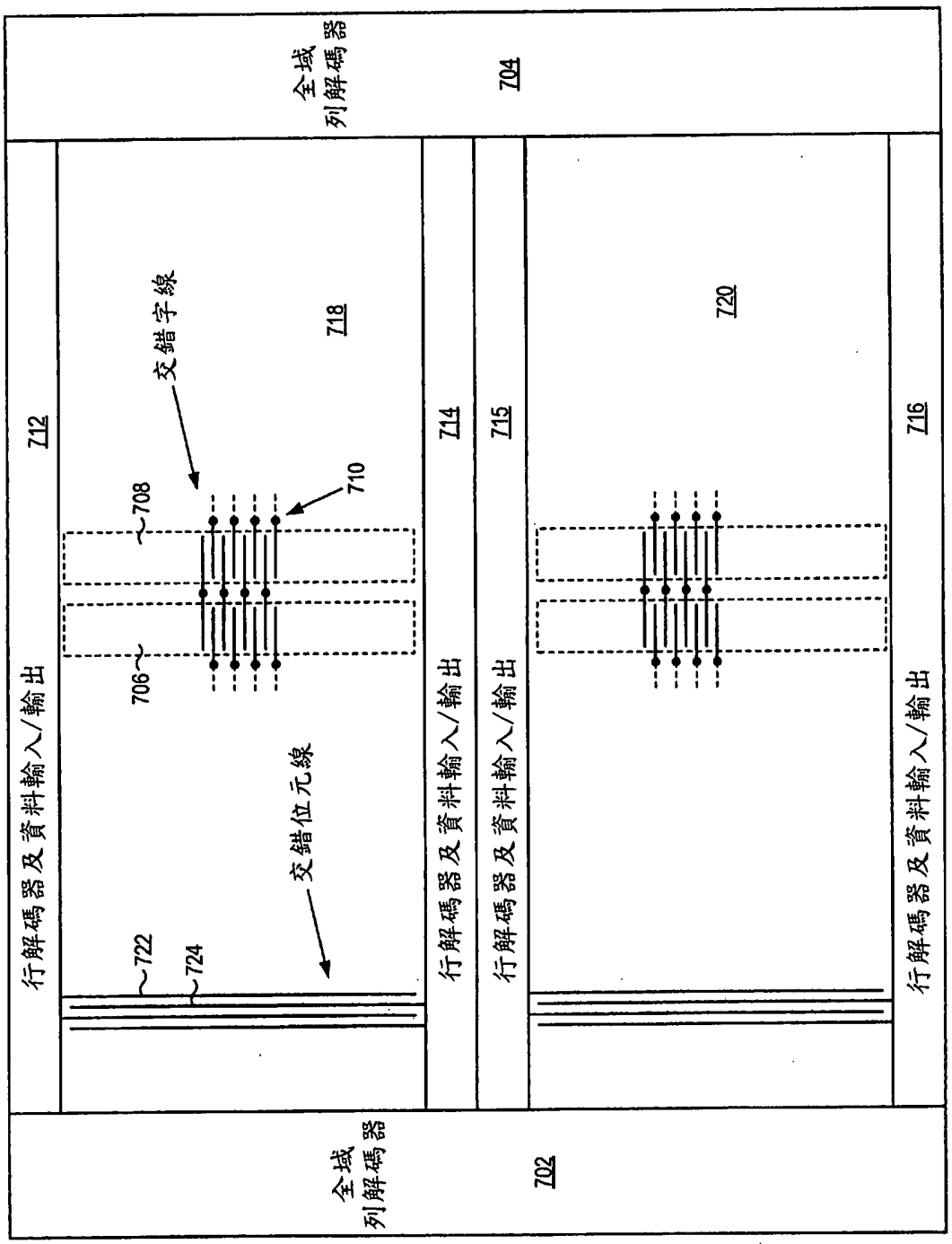

700
全域列解碼器
702
行解碼器及資料輸入/輸出
712
行解碼器及資料輸入/輸出
714
行解碼器及資料輸入/輸出
715
行解碼器及資料輸入/輸出
716
718
720
704
全域列解碼器
交錯字線
交錯位元線
706
708
710
722
724

圖18

深N型井結構(「三重井」)

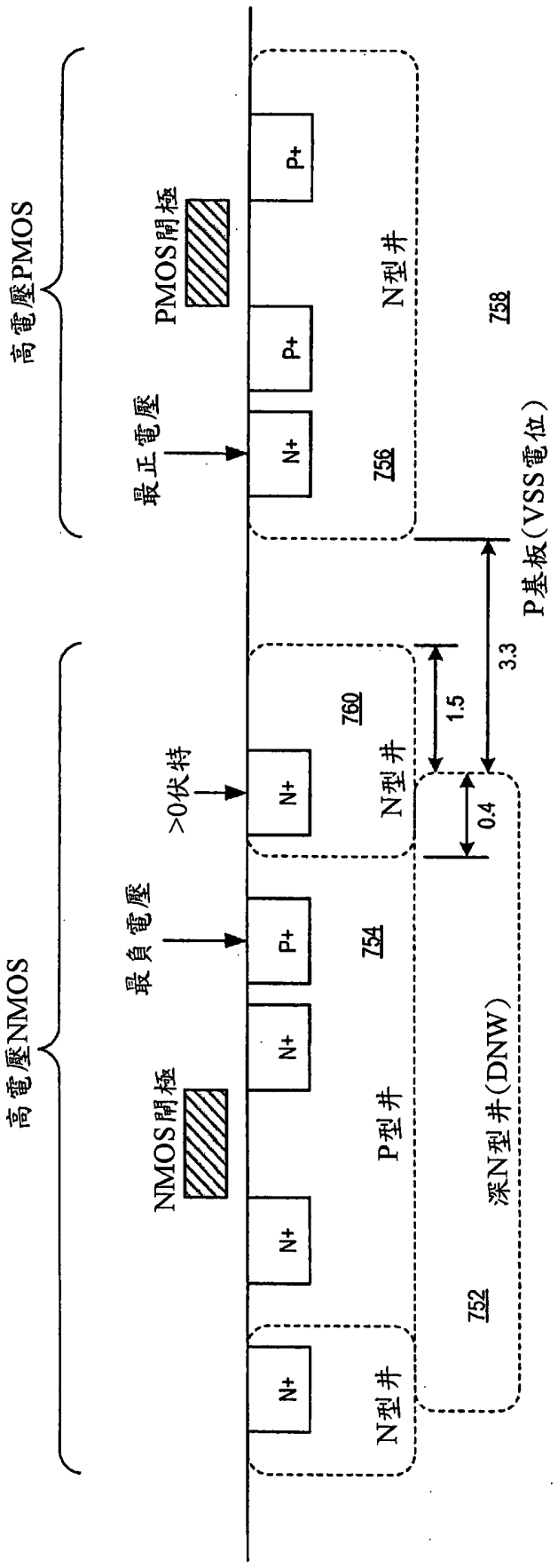


圖19

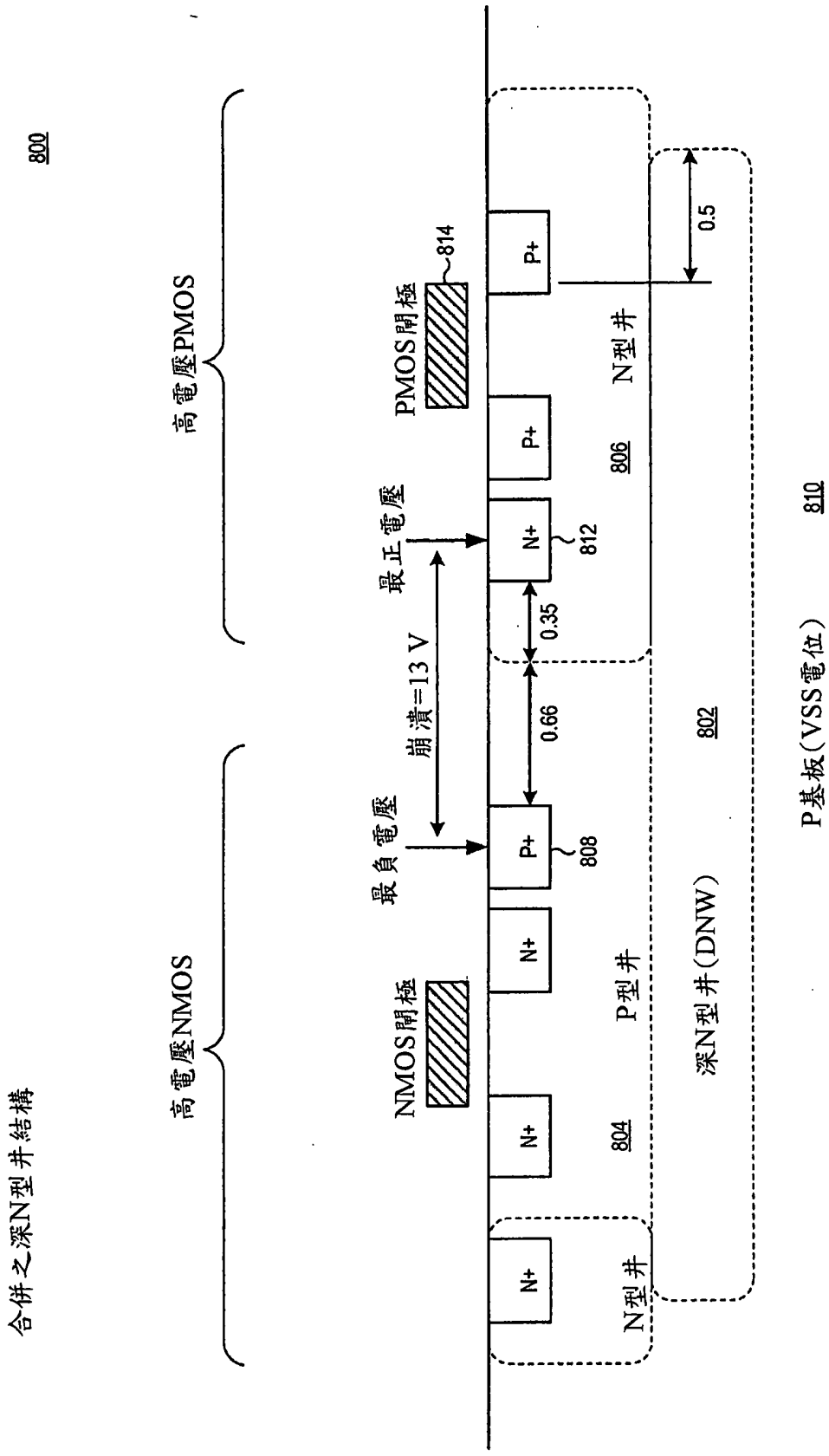

800
合併之深N型井結構
高電壓NMOS
高電壓PMOS
NMOS閘極
PMOS閘極
814
最負電壓
崩潰=13 V
最正電壓
0.66
0.35
0.5
N+
P+
808
812
804
806
802
810
P型井
N型井
深N型井(DNW)
P基板(VSS電位)

圖20

四、指定代表圖：

(一)本案指定代表圖為：第（ 9 ）圖。

(二)本代表圖之元件符號簡單說明：

402 行電力開啟間隔

404 行解碼器切換間隔

406 行高電壓接通間隔

408 SELB匯流排切換/SELB切換間隔

410 行高電壓斷開間隔

412 行解碼器切換間隔

414 行高電壓接通間隔

416 間隔

418 間隔

420 行電力關閉間隔

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)