



(12) 发明专利申请

(10) 申请公布号 CN 119384165 A

(43) 申请公布日 2025. 01. 28

(21) 申请号 202411470126.5

H10K 59/121 (2023.01)

(22) 申请日 2018.12.06

H10K 59/123 (2023.01)

(30) 优先权数据

H10K 59/131 (2023.01)

10-2017-0168681 2017.12.08 KR

(62) 分案原申请数据

201811486068.X 2018.12.06

(71) 申请人 三星显示有限公司

地址 韩国京畿道龙仁市

(72) 发明人 孙暉锡 金明花 金亿洙 金兑相
加纳正隆

(74) 专利代理机构 北京铭硕知识产权代理有限公司 11286

专利代理师 任旭 尹淑梅

(51) Int. Cl.

H10K 59/12 (2023.01)

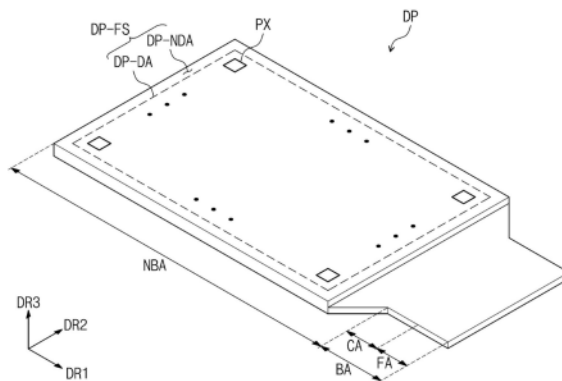
权利要求书2页 说明书18页 附图32页

(54) 发明名称

显示面板

(57) 摘要

提供了一种显示面板以及制造该显示面板的方法。所述制造显示面板的方法可以包括：在包括第一区域和第二区域的基体层上形成氧化物半导体图案；蚀刻第一绝缘层、第二绝缘层和第三绝缘层，以形成与第二区域叠置的第一凹槽；在第三绝缘层上形成电极；在第三绝缘层上形成第四绝缘层以覆盖电极；对第四绝缘层热处理；形成有机层以覆盖第四绝缘层；以及在有机层上形成有机发光二极管。



1. 一种显示面板,所述显示面板包括:
 - 基体层,包括第一区域和沿预定的弯曲轴从所述第一区域弯曲的第二区域;
 - 第一薄膜晶体管,设置在所述第一区域中,所述第一薄膜晶体管包括硅半导体图案、设置在所述硅半导体图案上的第一栅电极、以及设置在所述硅半导体图案上的第一源电极和第一漏电极;
 - 第二薄膜晶体管,设置在所述第一区域中,所述第二薄膜晶体管包括第二栅电极、设置在所述第二栅电极上的氧化物半导体图案、以及设置在所述氧化物半导体图案上的第二源电极和第二漏电极;
 - 第一无机层,包括与所述第二区域叠置的第一凹槽;
 - 第二无机层,包括与第一凹槽叠置的第二凹槽;
 - 第一有机层,设置在所述第一区域和所述第二区域中以覆盖所述第一凹槽和所述第二凹槽的内表面;
 - 连接电极,设置在所述第一有机层上,并且通过接触孔连接到所述第一漏电极或所述第一源电极;
 - 信号线,设置在所述第二区域中,并且与所述第一凹槽和所述第二凹槽叠置;以及
 - 第二有机层,设置在所述连接电极上,
 - 其中,所述第一栅电极与所述第二栅电极设置在同一层,
 - 其中,所述信号线与所述连接电极包括相同的材料,
 - 其中,所述第二有机层在所述第二区域中与所述第一有机层接触,并且
 - 其中,所述第一有机层设置成在所述第二区域中与所述基体层的顶表面的一部分接触。
2. 根据权利要求1所述的显示面板,其中,所述第二源电极和所述第二漏电极包括钼。
3. 根据权利要求1所述的显示面板,其中,所述连接电极包括与所述第一漏电极的材料不同的材料。
4. 根据权利要求3所述的显示面板,其中,所述连接电极包括其电阻低于所述第一漏电极的电阻的材料。
5. 根据权利要求1所述的显示面板,所述显示面板还包括:
 - 像素限定层,设置在所述第一有机层上,并且包括开口;以及
 - 有机发光二极管,设置在所述开口中,并且电连接到所述第一薄膜晶体管,
 - 其中,所述像素限定层与所述第一区域和所述第二区域叠置并且包括有机材料。
6. 根据权利要求5所述的显示面板,其中,所述像素限定层还包括在所述开口的内表面上的凹入部分。
7. 根据权利要求1所述的显示面板,其中,所述信号线与所述第二漏电极设置在同一层。
8. 根据权利要求7所述的显示面板,其中,所述信号线包括多个图案,所述多个图案设置在所述第二区域中并且在与所述弯曲轴交叉的方向上彼此间隔开。
9. 根据权利要求1所述的显示面板,其中,所述第一无机层与所述氧化物半导体图案接触。
10. 根据权利要求1所述的显示面板,其中,所述信号线与所述连接电极设置在同一层。

11. 一种显示面板, 所述显示面板包括:

基体层;

第一薄膜晶体管, 包括硅半导体图案、设置在所述硅半导体图案上的第一栅电极、以及设置在所述硅半导体图案上的第一源电极和第一漏电极;

第二薄膜晶体管, 包括第二栅电极、设置在所述第二栅电极上并与所述第二栅电极叠置的氧化物半导体图案、以及设置在所述氧化物半导体图案上的第二源电极和第二漏电极;

第一无机层, 设置为在厚度方向上与所述第一薄膜晶体管和所述第二薄膜晶体管叠置, 并且所述第一无机层包括第一凹槽;

第二无机层, 设置在所述第一薄膜晶体管和所述第二薄膜晶体管与所述基体层之间, 并且所述第二无机层包括第二凹槽;

有机层, 设置在所述第一薄膜晶体管和所述第二薄膜晶体管上;

连接电极, 设置在所述有机层上, 并且通过接触孔连接到所述第一漏电极; 以及

金属图案, 与所述氧化物半导体图案叠置, 并且与所述连接电极通过使用同一掩模的单个图案化工艺形成, 其中, 所述连接电极包括与所述第一源电极和所述第一漏电极的材料不同的材料,

其中, 所述有机层设置成在所述第一凹槽和所述第二凹槽处与所述基体层的顶表面的一部分接触。

12. 根据权利要求11所述的显示面板, 所述显示面板还包括发光二极管, 所述发光二极管设置在所述有机层上并且电连接到所述第一薄膜晶体管,

其中, 所述连接电极结合到所述发光二极管和所述第一漏电极中的每者。

显示面板

[0001] 本申请是申请日为2018年12月6日、申请号为“201811486068.X”且名称为“显示面板及其制造方法”的发明专利申请的分案申请。

技术领域

[0002] 本公开涉及一种显示面板和制造该显示面板的方法,具体地,涉及一种高可靠性的显示面板和制造该高可靠性的显示面板的方法。

背景技术

[0003] 显示面板包括多个像素和用于控制像素的驱动电路。显示面板的驱动电路被构造为向像素提供电控制信号。

[0004] 每个像素包括像素驱动电路以及连接到像素驱动电路的诸如有机发光二极管(OLED)或量子点发光二极管的显示器件。像素驱动电路包括至少一个薄膜晶体管和电容器。像素驱动电路的薄膜晶体管和电容器基于从显示面板的一个或更多个驱动电路接收的电信号来控制显示器件。根据所需的电特性,像素驱动电路可以被构造为包括包含至少两种不同的半导体材料和性质的两个或更多个薄膜晶体管。包括两个或更多个薄膜晶体管的像素驱动电路可以以更稳定、更可靠的方式驱动像素。

发明内容

[0005] 发明构思的实施例提供一种稳定地制造显示面板的方法。

[0006] 发明构思的实施例提供一种高可靠性的显示面板。

[0007] 根据发明构思的实施例,制造显示面板的方法可以包括:在包括第一区域和从第一区域延伸的第二区域的基体层上形成硅半导体图案,硅半导体图案与第一区域叠置;在硅半导体图案上形成第一控制电极,第一控制电极与硅半导体图案叠置,并且第一绝缘层置于第一控制电极与硅半导体图案之间;形成第二控制电极以与第一区域叠置并与第一控制电极间隔开,并且第二绝缘层置于第二控制电极与第一控制电极之间;在第二控制电极上形成氧化物半导体图案以与第二控制电极叠置,并且第三绝缘层置于氧化物半导体图案与第二控制电极之间;蚀刻第一绝缘层、第二绝缘层和第三绝缘层,以形成使硅半导体图案的至少一部分暴露的第一接触孔和第二接触孔以及与第二区域叠置的第一凹槽;在第三绝缘层上形成第一输入电极和第一输出电极以及第二输入电极和第二输出电极,第一输入电极和第一输出电极通过第一接触孔和第二接触孔连接到硅半导体图案,第二输入电极和第二输出电极连接到氧化物半导体图案;在第三绝缘层上形成第四绝缘层以覆盖第一输入电极、第一输出电极、第二输入电极和第二输出电极;对第四绝缘层热处理;形成有机层以覆盖第四绝缘层;以及在有机层上形成连接到第一输出电极的有机发光二极管。

[0008] 在实施例中,可以在大约300°C或更高的温度下执行对第四绝缘层热处理的步骤。

[0009] 在实施例中,有机层可以包括聚酰亚胺。

[0010] 在实施例中,可以使用单个掩模来执行蚀刻第一绝缘层、第二绝缘层和第三绝缘

层的步骤以同时形成第一接触孔和第二接触孔以及第一凹槽。

[0011] 在实施例中,所述方法还可以包括在形成第四绝缘层之后,在第四绝缘层中形成与第一凹槽叠置的第二凹槽。可以形成有机层以填充第一凹槽和第二凹槽。

[0012] 在实施例中,所述方法还可以包括在第一绝缘层与基体层之间形成无机层。形成第二凹槽的步骤可以包括在无机层中形成与第一凹槽叠置的第三凹槽。

[0013] 在实施例中,所述方法还可以包括:在有机层中形成第三接触孔以使第一输出电极的一部分暴露;在有机层上形成连接电极以通过第三接触孔连接到第一输出电极;以及在有机层上形成上有机层以覆盖连接电极。有机发光二极管可以穿过上有机层连接到连接电极。

[0014] 在实施例中,连接电极可以由与第一输出电极的材料不同的材料形成。

[0015] 在实施例中,连接电极可以由电阻低于第一输出电极的电阻的材料形成。

[0016] 在实施例中,形成第一输入电极、第一输出电极、第二输入电极和第二输出电极的步骤可以包括:在第三绝缘层上形成导电层以覆盖氧化物半导体图案;以及使用蚀刻气体对导电层图案化。蚀刻气体可以包含氟化合物。

[0017] 在实施例中,在使用蚀刻气体对导电层图案化的步骤中,导电层可以具有比氧化物半导体图案的蚀刻速率高的蚀刻速率。

[0018] 根据发明构思的实施例,显示面板可以包括:基体层,包括第一区域和围绕特定的弯曲轴从第一区域弯曲的第二区域;第一薄膜晶体管,设置在第一区域中,第一薄膜晶体管包括晶体硅半导体图案、第一控制电极以及结合到晶体硅半导体图案并彼此间隔开的第一输入电极和第一输出电极,并且第一控制电极置于晶体硅半导体图案与第一输入电极和第一输出电极之间;第二薄膜晶体管,设置在第一区域中以具有底栅结构,第二薄膜晶体管包括第二控制电极、设置在第二控制电极上的氧化物半导体图案以及与氧化物半导体图案接触并彼此间隔开的第二输入电极和第二输出电极;钝化层,设置在第一区域和第二区域中以覆盖第一薄膜晶体管和第二薄膜晶体管,并且包括与第二区域叠置的第一凹槽;多个无机层,设置在钝化层与基体层之间,并且包括与第一凹槽叠置的第二凹槽;有机层,设置在第一区域和第二区域中并设置在钝化层上以覆盖第一凹槽和第二凹槽的内表面;以及有机发光二极管,设置在有机层上并设置在第一区域中,并且电连接到第一薄膜晶体管。第二输入电极和第二输出电极的通过氟化合物蚀刻的蚀刻速率可以高于氧化物半导体图案的通过氟化合物蚀刻的蚀刻速率。

[0019] 在实施例中,第二输入电极和第二输出电极可以包括钼。

[0020] 在实施例中,显示面板还可以包括:上有机层,设置在有机层与有机发光二极管之间;以及连接电极,设置在上有机层与有机层之间,并结合到有机发光二极管和第一输出电极中的每者。连接电极包括与第一输出电极的材料不同的材料。

[0021] 在实施例中,连接电极可以包括电阻低于第一输出电极的电阻的材料。

[0022] 在实施例中,显示面板还可以包括设置在第二区域中并与第一凹槽和第二凹槽叠置的信号线。信号线可以与连接电极设置在同一层上。

[0023] 在实施例中,所述多个无机层可以被设置为使基体层的顶表面的一部分暴露,并且有机层可以被设置为与基体层的顶表面的所述一部分接触。

[0024] 在实施例中,显示面板还可以包括设置在有机层上以限定开口的像素限定层。有

机发光二极管可以设置在开口中。像素限定层可以与第一区域和第二区域叠置,并且可以包括有机材料。

[0025] 在实施例中,像素限定层还可以包括位于开口的内表面上的凹入部分。

[0026] 在实施例中,显示面板还可以包括设置在第二区域中并与第一凹槽和第二凹槽叠置的信号线。信号线可以与第二输出电极设置在同一层上。

[0027] 在实施例中,信号线可以包括设置在第二区域中并在与弯曲轴交叉的方向上彼此间隔开的多个图案。

[0028] 在实施例中,钝化层可以与氧化物半导体图案接触。

附图说明

[0029] 通过以下结合附图的简要描述,将更清楚地理解示例实施例。附图表示如这里所描述的非限制性示例实施例。

[0030] 图1A和图1B是示出根据发明构思的实施例的显示面板的透视图。

[0031] 图2是图1A中示出的显示面板的平面图。

[0032] 图3A是根据发明构思的实施例的像素的等效电路图。

[0033] 图3B和图3C是均示出图3A的像素的一部分的剖视图。

[0034] 图4A至图4C是均示出根据发明构思的实施例的显示面板的弯曲区域的剖视图。

[0035] 图5是示出根据发明构思的实施例的显示面板的区域的剖视图。

[0036] 图6是示出根据发明构思的实施例的显示面板的区域的剖视图。

[0037] 图7A至图7Q是示出根据发明构思的实施例的制造显示面板的工艺的剖视图。

[0038] 图8A是示出根据对比示例的薄膜晶体管的电流-电压特性的曲线图。

[0039] 图8B是示出根据发明构思的实施例的薄膜晶体管的电流-电压特性的曲线图。

[0040] 图9是示出根据发明构思的实施例的显示面板的一部分的剖视图。

[0041] 图10A至图10D是示出根据发明构思的实施例的制造显示面板的方法的剖视图。

[0042] 应注意的是,这些图意图说明某些示例实施例中使用的方法、结构和/或材料的一般特性,并且意图对下面提供的书面描述进行补充。然而,这些附图不是按比例绘制的,并不会精确地反映任何给出的实施例的精确结构或性能特性,并且不应该被解释为限定或限制示例实施例所包括的数值的范围或性质。例如,为清楚起见,可以减小或夸大分子、层、区域和/或结构元件的相对厚度和位置。在各个附图中使用相似或相同的附图标记意图表示存在相似或相同的元件或特征。

具体实施方式

[0043] 现在,将参照附图更充分地描述发明构思的示例实施例,附图中示出了示例实施例。

[0044] 图1A和图1B是示出根据发明构思的实施例的显示面板的透视图。图2是图1A中示出的显示面板的平面图。图1A示出了展开状态下的显示面板DP,图1B示出了其至少一部分处于弯曲状态的显示面板DP。在下文中,将参照图1A至图2描述发明构思的实施例。

[0045] 参照图1A和图1B,显示面板DP可以被设置为具有前表面DP-FS,前表面DP-FS被定向为与第一方向DR1和第二方向DR2平行。前表面DP-FS可以包括显示区域DP-DA和外围区域

DP-NDA。显示区域DP-DA可以是前表面DP-FS的用于显示图像的区域。显示面板DP的厚度可以在与第一方向DR1和第二方向DR2垂直的第三方向DR3上测量。

[0046] 外围区域DP-NDA可以与显示区域DP-DA相邻。在实施例中,外围区域DP-NDA可以沿显示区域DP-DA的边界设置以围绕显示区域DP-DA。在实施例中,外围区域DP-NDA可以包括与弯曲区域相邻设置的部分,当在第二方向DR2上测量时,弯曲区域的宽度小于显示区域DP-DA的宽度。因此,外围区域DP-NDA的具有减小的宽度的部分可以使显示面板DP的弯曲面积减小。

[0047] 显示面板DP可以至少包括弯曲的部分。显示面板DP可以被划分为第一区域NBA(在下文中,非弯曲区域NBA)和第二区域BA(在下文中,弯曲区域BA)。当在第二方向DR2上测量时,弯曲区域BA可以被限定在显示面板DP的相对窄的区域处。

[0048] 当弯曲区域BA处于弯曲状态时,弯曲区域BA可以包括以特定曲率弯曲的曲率区域CA和被设置为面对非弯曲区域NBA的面对区域FA。非弯曲区域NBA、曲率区域CA和面对区域FA可以布置在第一方向DR1上。弯曲区域BA可以围绕在第二方向DR2上延伸的弯曲轴BX弯曲。例如,弯曲区域BA的曲率区域CA可以围绕弯曲轴BX弯曲,弯曲区域BA的面对区域FA可以被设置为在第三方向DR3上面对非弯曲区域NBA的一部分。

[0049] 参照图2,显示面板DP可以包括多个像素PX、多条信号线SGL和驱动电路GDC。多个像素PX和多条信号线SGL可以设置在前表面DP-FS上。

[0050] 像素PX可以设置在显示区域DP-DA中。在实施例中,显示区域DP-DA被示出为具有四边形或矩形形状,但发明构思不限于此。像素PX中的每个可以被构造为显示具有特定颜色的光。根据通过像素PX将发射的光的颜色,像素PX可以被划分为多个组。例如,像素PX可以包括红色像素、绿色像素和蓝色像素。在某些实施例中,像素PX还可以包括白色像素。即使当像素PX包括在不同的组中时,像素PX的像素驱动电路也可以被构造为具有相同的结构。

[0051] 驱动电路GDC可以设置在外围区域DP-NDA中。外围区域DP-NDA可以与显示区域DP-DA相邻。在实施例中,外围区域DP-NDA被示出为围绕显示区域DP-DA,但发明构思不限于此。

[0052] 驱动电路GDC可以包括栅极驱动电路。栅极驱动电路可以被构造为产生多个栅极信号,并向下面将描述的多条栅极线GL顺序地输出栅极信号。在某些实施例中,栅极驱动电路可以被构造为向像素PX输出与栅极信号不同的其它控制信号。

[0053] 栅极驱动电路可以包括多个薄膜晶体管,所述多个薄膜晶体管通过与像素PX的像素驱动电路的工艺(例如,通过低温多晶硅(LTPS)工艺或低温多晶氧化物(LTPO)工艺)相同的工艺形成。

[0054] 信号线SGL可以包括栅极线GL、数据线DL、电力线PL和控制信号线CSL。栅极线GL中的每条和数据线DL中的每条可以连接到像素PX中的对应的像素PX。电力线PL可以连接到像素PX。控制信号线CSL可以被构造为向扫描驱动电路传输控制信号。驱动电路GDC可以包括扫描驱动电路。

[0055] 信号线SGL可以分别连接到信号垫(pad,也可以称为焊盘)DP-PD。信号线SGL中的一些(例如,控制信号线CSL、数据线DL和电力线PL)可以从非弯曲区域NBA延伸到弯曲区域BA,并且可以连接到信号垫DP-PD中的相应信号垫DP-PD。信号垫DP-PD可以电连接到可外部设置的电路基底。信号垫DP-PD可以设置在弯曲区域BA的面对区域FA中。

[0056] 在实施例中,显示面板DP还可以包括连接到数据线DL的驱动芯片。这里,驱动芯片可以直接安装在显示面板DP上,并且信号垫DP-PD中的连接到数据线DL的信号垫DP-PD可以连接到驱动芯片。显示面板DP的结构可以被各种改变,并且发明构思不局限于显示面板DP的特定结构。

[0057] 图3A是根据发明构思的实施例的像素的等效电路图。图3B和图3C是均示出图3A的像素的一部分的剖视图。为了便于示出,在图3A中示例性地示出了一个像素PX。在下文中,将参照图3A至图3C更详细地描述像素PX。为了简洁描述,前面参照图1A至图2描述的元件可以由相同的附图标记标识,而不重复它们的重复描述。

[0058] 如图3A中所示,像素PX可以连接到数据线DL中的对应的数据线DL、栅极线GL中的对应的栅极线GL以及电力线PL。例如,像素PX可以包括有机发光二极管或量子点发光二极管。有机发光二极管的发光层可以包括有机发光材料。量子点发光二极管的发光层可以包括量子点和量子棒。为了简单起见,下面的描述将是指像素PX包括有机发光二极管的示例。

[0059] 像素PX可以包括第一薄膜晶体管T1、第二薄膜晶体管T2、电容器Cst和有机发光二极管OLED。第一薄膜晶体管T1、第二薄膜晶体管T2和电容器Cst可以构成用于驱动有机发光二极管OLED的像素驱动电路。在某些实施例中,除了第一薄膜晶体管T1、第二薄膜晶体管T2和电容器Cst之外,像素驱动电路还可以包括至少一个的薄膜晶体管或至少一个的电容器,但发明构思不限于此。

[0060] 第一薄膜晶体管T1可以连接到有机发光二极管OLED。根据存储在电容器Cst中的电荷量,第一薄膜晶体管T1可以用于控制流经有机发光二极管OLED的驱动电流。第二薄膜晶体管T2可以连接到栅极线GL和数据线DL。第二薄膜晶体管T2可以被构造为响应于施加到栅极线GL的栅极信号而将数据信号从数据线DL输出到电容器Cst。将存储在电容器Cst中的电荷量可以通过与从第二薄膜晶体管T2输出的数据信号对应的电压和通过电力线PL传输的第一电源电压ELVDD之间的差来确定。此外,有机发光二极管OLED可以连接到第二电源电压ELVSS。

[0061] 第一薄膜晶体管T1的导通时间可以根据存储在电容器Cst中的电荷量来确定。有机发光二极管OLED可以被构造为在第一薄膜晶体管T1处于导通时段时发射光。从有机发光二极管OLED发射的光的颜色(即,波长)可以由发光图案的材料确定。例如,有机发光二极管OLED可以被构造为发射红色、绿色、蓝色或白色的光,但发明构思不限于此。

[0062] 将参照图3B和图3C描述像素PX的剖面结构。这里,图3B示出了像素PX的其中设置有第一薄膜晶体管T1、第二薄膜晶体管T2和有机发光二极管OLED的区域,图3C示出了像素PX的其中设置有第一薄膜晶体管T1、第二薄膜晶体管T2、有机发光二极管OLED和电容器Cst的另一区域。也就是说,图3B和图3C分别示出了同一像素PX的两个不同区域。

[0063] 如图3B和图3C中所示,显示面板DP可以包括基体层BL、电路器件层DP-CL、显示器件层DP-OLED和封装层TFE。基体层BL、电路器件层DP-CL、显示器件层DP-OLED和封装层TFE可以堆叠在第三方向DR3上。

[0064] 基体层BL可以是其上形成有第一薄膜晶体管T1、第二薄膜晶体管T2和电容器Cst的层、膜或板。基体层BL可以包括塑料基底、玻璃基底、金属基底或包含有机材料和/或无机材料的复合基底。塑料基底可以包括合成树脂层。合成树脂层可以包括热固性树脂。合成树脂层可以是聚酰亚胺类树脂层,但发明构思不限于特定的材料。例如,合成树脂层可以包括

丙烯酸树脂、甲基丙烯酸树脂、聚异戊二烯树脂、乙烯树脂、环氧树脂、氨基甲酸乙酯树脂、纤维素树脂、硅氧烷树脂、聚酰胺树脂和茛树脂中的至少一种。

[0065] 基体层BL可以限定显示面板DP的平面形状。例如,图1A中示出的显示面板DP的形状可以与基体层BL的平面形状对应。因此,基体层BL可以包括非弯曲区域NBA以及包含曲率区域CA和面对区域FA的弯曲区域BA,并且基体层BL的与弯曲区域BA对应的部分可以围绕弯曲轴BX弯曲。

[0066] 电路器件层DP-CL可以设置在基体层BL上。电路器件层DP-CL可以包括像素驱动电路和多个绝缘层。例如,除了第一薄膜晶体管T1、第二薄膜晶体管T2和电容器Cst之外,电路器件层DP-CL可以被构造为包括阻挡层BRL、缓冲层BFL以及第一绝缘层10、第二绝缘层20、第三绝缘层30、第四绝缘层40、第五绝缘层50和第六绝缘层60。

[0067] 阻挡层BRL可以被设置为覆盖基体层BL的顶表面。阻挡层BRL可以被构造为防止污染材料通过基体层BL渗透到电路器件层DP-CL和显示器件层DP-OLED中。阻挡层BRL可以包括氧化硅层和氮化硅层。氧化硅层和氮化硅层可以交替地堆叠在基体层BL上。

[0068] 缓冲层BFL可以设置在阻挡层BRL上。缓冲层BFL可以被构造为使导电图案或半导体图案更紧密地结合到基体层BL。因此,与其中导电图案和半导体图案直接形成在基体层BL的顶表面上而没有缓冲层BFL的像素结构相比,导电图案和半导体图案可以稳定地形成在设置在显示面板DP中的缓冲层BFL上。缓冲层BFL可以由有机材料和无机材料中的至少一种形成,或者可以包括有机材料和无机材料中的至少一种。缓冲层BFL可以包括氧化硅层和氮化硅层。氧化硅层和氮化硅层可以交替地堆叠。在某些实施例中,可以省略缓冲层BFL和阻挡层BRL中的至少一个。

[0069] 第一半导体图案OSP1可以设置在缓冲层BFL上。第一半导体图案OSP1可以由晶体半导体材料形成,或者可以包括晶体半导体材料。例如,第一半导体图案OSP1可以由多晶半导体材料(例如,多晶硅)形成,或者可以包括多晶半导体材料(例如,多晶硅)。

[0070] 第一半导体图案OSP1可以包括掺杂有杂质的输入区和输出区以及设置在输入区与输出区之间的沟道区。在图3B和图3C中,为了便于示出,输入区和输出区以阴影图案示出。

[0071] 输入区可以结合到第一输入电极DE1,输出区可以结合到第一输出电极SE1。当在平面图中观看时,第一半导体图案OSP1的沟道区可以设置在输入区与输出区之间,并且可以与第一控制电极GE1叠置。根据杂质的类型,第一半导体图案OSP1可以具有p型导电性或n型导电性。根据第一半导体图案OSP1的类型,电子或空穴可以在沟道区中作为多数载流子流动。

[0072] 第一薄膜晶体管T1的沟道区可以由多晶半导体材料形成,或者可以包括多晶半导体材料。因此,第一薄膜晶体管T1可以用作具有高迁移率和高可靠性的驱动器件。

[0073] 第一绝缘层10可以设置在第一半导体图案OSP1上。第一绝缘层10可以由无机材料和有机材料中的至少一种形成,或者可以包括无机材料和有机材料中的至少一种。例如,第一绝缘层10可以由氮化硅和/或氧化硅形成,或者可以包括氮化硅和/或氧化硅。

[0074] 第一绝缘层10可以设置在缓冲层BFL上以覆盖第一半导体图案OSP1的至少一部分。然而,发明构思不限于此,在某些实施例中,第一绝缘层10可以以至少与第一半导体图案OSP1的沟道区叠置的绝缘图案设置。第一绝缘层10的形状可以被各种改变,并且发明构

思不限于第一绝缘层10的特定形状。

[0075] 第一控制电极GE1和电容器Cst的第一电容器电极E1可以设置在第一绝缘层10上。在实施例中,第一控制电极GE1可以与第一电容器电极E1设置在同一层上。

[0076] 第一控制电极GE1可以至少与第一半导体图案OSP1的沟道区叠置。第一控制电极GE1可以与第一半导体图案OSP1间隔开,并且第一绝缘层10置于第一控制电极GE1与第一半导体图案OSP1之间。在实施例中,第一绝缘层10可以用作第一薄膜晶体管T1的栅极绝缘层。

[0077] 第一电容器电极E1可以用作电容器Cst的两个电极中的一个。在实施例中,第一电容器电极E1和第一控制电极GE1可以与单个导电图案的两个部分对应。在某些实施例中,第一控制电极GE1和第一电容器电极E1可以分别对应于两个单独的图案,这两个单独的图案通过额外的桥电极(未示出)彼此电连接,或者彼此电断开并施加有不同的电压。

[0078] 第二绝缘层20可以设置在第一控制电极GE1和第一电容器电极E1上。第二绝缘层20可以设置在第一绝缘层10上以覆盖第一控制电极GE1和第一电容器电极E1。

[0079] 第二绝缘层20可以由无机材料和有机材料中的至少一种形成,或者可以包括无机材料和有机材料中的至少一种。第二绝缘层20可以包括与第一绝缘层10的材料不同的材料。例如,第二绝缘层20可以包括金属氧化物材料(例如,氧化铝),而第一绝缘层10可以包括氮化硅和/或氧化硅。然而,发明构思不限于此,在某些实施例中,第二绝缘层20可以由与第一绝缘层10的材料相同的材料形成,或者可以包括与第一绝缘层10的材料相同的材料。第二绝缘层20可以用于在后续工艺(例如,用于形成第二控制电极GE2)中保护第一绝缘层10,并且因而用于防止设置在第一绝缘层10下方的第一半导体图案OSP1被损坏。

[0080] 第二薄膜晶体管T2的第二控制电极GE2、上电极UE以及电容器Cst的第二电容器电极E2可以设置在第二绝缘层20上。当在平面图中观看时,第二控制电极GE2可以与第一控制电极GE1叠置。在实施例中,第二控制电极GE2可以设置在与设置在第一控制电极GE1下的层不同的层上。

[0081] 当在平面图中观看时,上电极UE可以与第一控制电极GE1叠置。在上电极UE和第一控制电极GE1施加有不同的电压的情况下,上电极UE和第一控制电极GE1可以用作电容器的电极。在某些实施例中,在上电极UE和第一控制电极GE1施加有相同的电压的情况下,上电极UE与第一控制电极GE1一起可以用作栅电极,该栅电极用于控制第一薄膜晶体管T1的开关(即,导通/截止)操作或者第一半导体图案OSP1的沟道区的电势。

[0082] 当在平面图中观看时,第二电容器电极E2可以与第一电容器电极E1叠置。第二电容器电极E2可以与第一电容器电极E1间隔开,并且第二绝缘层20置于第二电容器电极E2与第一电容器电极E1之间,从而形成电容器Cst。

[0083] 在实施例中,上电极UE、第二电容器电极E2和第二控制电极GE2可以设置在同一层上。例如,上电极UE、第二电容器电极E2和第二控制电极GE2可以使用同一掩模通过单个图案化工艺同时形成。因此,上电极UE、第二电容器电极E2和第二控制电极GE2可以由相同的材料形成或包括相同的材料,并且可以具有基本相同的堆叠结构。在某些实施例中,可以省略上电极UE。

[0084] 第三绝缘层30可以设置在第二绝缘层20上。第三绝缘层30可以被设置为覆盖第二绝缘层20的顶表面、上电极UE的顶表面、第二控制电极GE2的顶表面以及第二电容器电极E2的顶表面。第三绝缘层30可以用作第二薄膜晶体管T2的栅极绝缘层。

[0085] 第三绝缘层30可以是无机层和/或有机层,并且可以具有单层结构或多层结构。例如,第三绝缘层30可以由氧化铝、氧化钛、氧化硅、氮氧化硅、氧化锆和氧化铪中的至少一种形成或包括氧化铝、氧化钛、氧化硅、氮氧化硅、氧化锆和氧化铪中的至少一种的无机层。例如,第三绝缘层30可以是单个氧化硅层。

[0086] 第二薄膜晶体管T2的第二半导体图案OSP2可以设置在第三绝缘层30上。第二半导体图案OSP2可以由氧化物半导体中的至少一种形成,或者可以包括氧化物半导体中的至少一种。例如,氧化物半导体可以包括金属氧化物(其金属元素为锌(Zn)、镉(In)、镓(Ga)、锡(Sn)和钛(Ti)中的至少一种),或者可以包括锌(Zn)、镉(In)、镓(Ga)、锡(Sn)和钛(Ti)与它们的氧化物的混合物。在某些实施例中,第二半导体图案OSP2可以包括结晶氧化物半导体。结晶氧化物半导体可以被提供为具有竖直方向性。

[0087] 第二半导体图案OSP2可以包括掺杂有杂质的输入区和输出区以及设置在输入区与输出区之间的沟道区。在图3B和图3C中,为了便于示出,第二半导体图案OSP2的输入区和输出区以阴影图案示出。输入区可以结合到第二输入电极DE2,输出区可以结合到第二输出电极SE2。当在平面图中观看时,第二半导体图案OSP2的沟道区可以设置在输入区与输出区之间,并且可以与第二控制电极GE2叠置。根据杂质的类型,第二半导体图案OSP2可以具有p型导电性或n型导电性。根据第二半导体图案OSP2的类型,电子或空穴可以在沟道区中作为多数载流子流动。

[0088] 还原的金属材料可以用作第二半导体图案OSP2中的杂质。例如,输入区和输出区可以包含从构成沟道区的金属氧化物材料还原的金属材料,从而减小第二薄膜晶体管T2的漏电流,因此,第二薄膜晶体管T2可以用作具有改善的导通-截止性质的开关器件。

[0089] 第一薄膜晶体管T1的第一输入电极DE1和第一输出电极SE1以及第二薄膜晶体管T2的第二输入电极DE2和第二输出电极SE2可以设置在第三绝缘层30上。在实施例中,第一输入电极DE1、第一输出电极SE1、第二输入电极DE2和第二输出电极SE2可以使用同一掩模通过单个图案化工艺同时形成。因此,第一输入电极DE1、第一输出电极SE1、第二输入电极DE2和第二输出电极SE2可以由相同的材料形成或包括相同的材料,并且可以具有相同的堆叠结构。例如,第一输入电极DE1、第一输出电极SE1、第二输入电极DE2和第二输出电极SE2可以由钼形成,或者可以包括钼。

[0090] 第一接触孔CH1和第二接触孔CH2可以被形成为分别使第一半导体图案OSP1的输入区和输出区的一部分暴露,并且第一输入电极DE1和第一输出电极SE1可以分别通过第一接触孔CH1和第二接触孔CH2结合到第一半导体图案OSP1。第一接触孔CH1和第二接触孔CH2可以被形成为穿透第一绝缘层10、第二绝缘层20和第三绝缘层30。

[0091] 第二输入电极DE2和第二输出电极SE2可以直接结合到第二半导体图案OSP2。第二输入电极DE2和第二输出电极SE2可以分别结合到第二半导体图案OSP2的两个相对的端部。第二输入电极DE2的至少一部分可以直接设置在第二半导体图案OSP2的输入区中,第二输出电极SE2的至少一部分可以直接设置在第二半导体图案OSP2的输出区中。在第二薄膜晶体管T2中,第二输入电极DE2和第二输出电极SE2中的每个可以结合到第二半导体图案OSP2,而没有任何部分设置在接触孔中。

[0092] 第四绝缘层40可以设置在第三绝缘层30上以覆盖第一输入电极DE1、第一输出电极SE1、第二输入电极DE2和第二输出电极SE2。第四绝缘层40可以是有机层或无机层,并且

可以具有单层结构或多层结构。

[0093] 在实施例中,第四绝缘层40可以是由氧化铝、氧化钛、氧化硅、氮氧化硅、氧化锆和氧化铪中的至少一种形成或包括氧化铝、氧化钛、氧化硅、氮氧化硅、氧化锆和氧化铪中的至少一种的无机层。例如,第四绝缘层40可以是氧化硅层。第四绝缘层40可以被称为“钝化层”。

[0094] 在实施例中,第四绝缘层40可以通过热处理工艺形成。例如,可以在300°C或更高的高温下执行热处理工艺,结果,可以修复有缺陷的第四绝缘层40。将省略其详细描述。

[0095] 第五绝缘层50可以设置在第四绝缘层40上。第五绝缘层50可以是有机层。例如,第五绝缘层50可以由诸如聚酰亚胺的聚合物树脂形成,或者可以包括诸如聚酰亚胺的聚合物树脂。

[0096] 连接电极CNE可以设置在第五绝缘层50上。连接电极CNE可以通过第三接触孔CH3连接到第一薄膜晶体管T1的第一输出电极SE1,第三接触孔CH3被形成为穿透第四绝缘层40和第五绝缘层50。

[0097] 连接电极CNE可以由与第一输入电极DE1、第一输出电极SE1、第二输入电极DE2和第二输出电极SE2的材料不同的材料形成,或者可以包括与第一输入电极DE1、第一输出电极SE1、第二输入电极DE2和第二输出电极SE2的材料不同的材料。例如,连接电极CNE可以由电阻比第一输入电极DE1、第一输出电极SE1、第二输入电极DE2和第二输出电极SE2的电阻低的材料形成,或者可以包括电阻比第一输入电极DE1、第一输出电极SE1、第二输入电极DE2和第二输出电极SE2的电阻低的材料。在这种情况下,可以减小有机发光二极管OLED与第一薄膜晶体管T1之间的接触电阻,从而改善显示装置的电特性。

[0098] 然而,发明构思不限于上述示例,在某些实施例中,连接电极CNE可以由与第一输入电极DE1、第一输出电极SE1、第二输入电极DE2和第二输出电极SE2的材料相同的材料形成,或者可以包括与第一输入电极DE1、第一输出电极SE1、第二输入电极DE2和第二输出电极SE2的材料相同的材料。在某些实施例中,可以省略连接电极CNE,并且有机发光二极管OLED和第一薄膜晶体管T1可以彼此直接结合。显示面板DP的结构可以被各种改变,发明构思不限于显示面板DP的特定结构。

[0099] 第六绝缘层60可以设置在第五绝缘层50上以覆盖连接电极CNE。第六绝缘层60可以是有机层,并且可以具有单层结构或多层结构。

[0100] 在实施例中,第五绝缘层50和第六绝缘层60可以是具有单层结构的聚酰亚胺树脂层。然而,发明构思不限于此,在某些实施例中,第五绝缘层50和第六绝缘层60可以包括丙烯酸树脂、甲基丙烯酸树脂、聚异戊二烯树脂、乙烯树脂、环氧树脂、氨基甲酸酯树脂、纤维素树脂、硅氧烷树脂、聚酰胺树脂和茛树脂中的至少一种。

[0101] 有机发光二极管OLED可以设置在第六绝缘层60上。有机发光二极管OLED的第一电极AE可以设置在第六绝缘层60上。第一电极AE可以通过第四接触孔CH4连接到连接电极CNE,第四接触孔CH4被形成为穿透第六绝缘层60。

[0102] 像素限定层PDL可以设置在第六绝缘层60上。像素限定层PDL可以具有被形成为使第一电极AE的至少一部分暴露的开口OP。像素限定层PDL的开口OP可以限定每个像素PX的发光区域PXA。例如,多个像素PX可以规则地布置在显示面板DP(例如,见图1A)的平坦表面上。其中设置有像素PX的区域可以被定义为“像素区域”,并且每个像素区域可以包括发光

区域PXA和与发光区域PXA相邻的非发光区域NPXA。非发光区域NPXA可以围绕发光区域PXA。

[0103] 空穴控制层HCL可以公共地设置在发光区域PXA和非发光区域NPXA中。诸如空穴控制层HCL的公共层是指公共地设置在多个像素PX中的层。空穴控制层HCL可以包括空穴传输层和空穴注入层。

[0104] 发光图案EML可以设置在空穴控制层HCL上。发光图案EML可以局部地设置在与开口OP对应的区域中。发光图案EML可以被划分为分别形成在像素PX中的多个单独的图案。

[0105] 在实施例中,发光图案EML被示出为具有图案化的结构,但在某些实施例中,发光图案EML可以被设置为具有贯穿多个像素PX的连续结构。这里,发光图案EML可以被构造为产生白色的光。此外,发光图案EML可以被设置为具有多层结构。

[0106] 电子控制层ECL可以设置在发光图案EML上。电子控制层ECL可以包括电子传输层和电子注入层。第二电极CE可以设置在电子控制层ECL上。电子控制层ECL和第二电极CE可以公共地设置在多个像素PX中。

[0107] 封装层TFE可以设置在第二电极CE上。封装层TFE可以被设置为公共地覆盖多个像素PX。在实施例中,封装层TFE可以被设置为直接覆盖第二电极CE。在某些实施例中,盖层可以被设置为覆盖第二电极CE。盖层可以是有机层。在实施例中,盖层上可以额外地形成通过溅射方法形成的无机层。在实施例中,有机发光二极管OLED的堆叠结构可以具有通过将图3B中示出的有机发光二极管OLED的堆叠结构翻覆而获得的形状。

[0108] 封装层TFE可以包括无机封装层和有机封装层中的至少一者。在实施例中,封装层TFE可以包括两个无机封装层以及位于该两个无机封装层之间的有机封装层。在实施例中,封装层TFE可以包括交替堆叠的多个无机封装层和多个有机封装层。

[0109] 无机封装层可以保护有机发光二极管OLED免受湿气或氧的影响,有机封装层可以被设置为保护有机发光二极管OLED免受异物(例如,灰尘颗粒)的影响并提供平坦的顶表面。无机封装层可以包括氮化硅层、氮氧化硅层、氧化硅层、氧化钛层或氧化铝层,但发明构思不限于此。有机封装层可以包括丙烯酸有机层,但发明构思不限于此。

[0110] 图4A至图4C是均示出根据发明构思的实施例的显示面板的弯曲区域的剖视图。图4A至图4C中的每个示出了图2的曲率区域CA的平行于第一方向DR1和第三方向DR3截取的剖面。图4A和图4C示出了其上设置有信号线SL或SL-PT的区域,图4B示出了其上未设置有信号线的另一区域。在图4A中示出了在第一方向DR1上延伸的信号线SL,在图4C中示出了包括在第一方向DR1上彼此间隔开的多个图案的信号线SL-PT。在下文中,将参照图4A至图4C更详细地描述发明构思的实施例。为了简洁描述,前面参照图1A至图3C描述的元件可以由相同的附图标记标识,而不重复它们的重复描述。

[0111] 如图4A至图4C中所示,弯曲区域BA可以具有与第一区域NBA(例如,见图1A)的堆叠结构或剖面结构类似的堆叠结构或剖面结构。阻挡层BRL、缓冲层BFL以及第一绝缘层10至第六绝缘层60可以顺序地设置在基体层BL的顶表面上。

[0112] 阻挡层BRL和/或缓冲层BFL可以被设置为限定与弯曲区域BA叠置的凹槽GV-1(在下文中,第一凹槽GV-1)。第一凹槽GV-1可以被限定在曲率区域CA内。第一凹槽GV-1可以沿曲率区域CA或在第二方向(未示出)上延伸。被第一凹槽GV-1暴露并在第一方向DR1上测量的基体层BL的宽度可以小于在第一方向DR1上的曲率区域CA的宽度。

[0113] 第一绝缘层10至第四绝缘层40可以被设置为限定与弯曲区域BA叠置的凹槽GV-2

(在下文中,第二凹槽GV-2)。第二凹槽GV-2可以被限定在曲率区域CA内。第一绝缘层10至第四绝缘层40可以被设置为使包括阻挡层BRL和缓冲层BFL的无机层的顶表面部分地暴露。

[0114] 当在剖面图中观看时,阻挡层BRL和缓冲层BFL的限定第一凹槽GV-1的侧表面可以相对于基体层BL的顶表面以一定角度倾斜。当在剖面图中观看时,第一绝缘层10至第四绝缘层40的限定第二凹槽GV-2的侧表面也可以相对于基体层BL的顶表面以一定角度倾斜。第一凹槽GV-1的倾斜角度和第二凹槽GV-2的倾斜角度可以相同或不同。

[0115] 第五绝缘层50可以被设置为覆盖第一区域NBA(例如,见图1A),并且可以从非弯曲区域NBA延伸以覆盖弯曲区域BA。这里,在弯曲区域BA中,第五绝缘层50可以被设置为填充第一凹槽GV-1和第二凹槽GV-2。第五绝缘层50可以与基体层BL的被第一凹槽GV-1暴露的顶表面、第一凹槽GV-1的倾斜表面以及第二凹槽GV-2的倾斜表面接触。第五绝缘层50可以与缓冲层BFL的顶表面的未被第一绝缘层10至第四绝缘层40覆盖的部分接触。

[0116] 在实施例中,曲率区域CA中堆叠的绝缘层的数量可以通过在曲率区域CA中设置第一凹槽GV-1和第二凹槽GV-2而减少。曲率区域CA中设置的绝缘层越多,会越容易发生由于弯曲应力引起的诸如分层或弯曲的缺陷。根据发明构思的实施例,由于设置在曲率区域CA中的堆叠的绝缘层的数量减少,因此曲率区域CA可以很容易地被弯曲而不引起缺陷。

[0117] 在实施例中,第一凹槽GV-1和第二凹槽GV-2可以在曲率区域CA中去除阻挡层BRL、缓冲层BFL以及第一绝缘层10、第二绝缘层20、第三绝缘层30和第四绝缘层40。如上所述,阻挡层BRL、缓冲层BFL以及第一绝缘层10、第二绝缘层20、第三绝缘层30和第四绝缘层40可以包括无机材料。根据发明构思的实施例,通过从曲率区域CA去除无机层,可能防止或抑制无机层由于弯曲应力而被损坏。

[0118] 在实施例中,由于第一凹槽GV-1和第二凹槽GV-2填充有有机层(例如,第五绝缘层50),因此不仅可能防止裂纹扩散通过无机层,而且可能改善曲率区域CA的柔性。由于设置在非弯曲区域NBA中的第五绝缘层50用于填充第一凹槽GV-1和第二凹槽GV-2,因此可能简化显示面板DP的制造工艺以及器件结构。

[0119] 如图4A中所示,信号线SL的至少一部分可以设置在第五绝缘层50上。第六绝缘层60可以被设置为覆盖并保护信号线SL。信号线SL可以与连接到信号垫DP-PD(例如,见图2)的信号线SGL中的至少一条对应。例如,信号线SL可以是数据线或电力线。在某些实施例中,信号线SL可以设置在与位于信号线SGL和信号垫DP-PD下的层不同的层上,并且可以用作使信号线SGL与信号垫DP-PD彼此连接的桥接线。

[0120] 虽然未在图4A中示出,但信号线SL(例如,设置在显示区域DP-DA中)的另一部分可以设置在不同的层上。例如,信号线SL可以包括设置在第三绝缘层30上的另一部分。信号线SL的这两个不同部分可以通过形成为穿透第四绝缘层40和第五绝缘层50的接触孔彼此连接。接触孔可以形成在非弯曲区域NBA的外围区域DP-NDA中。

[0121] 在实施例中,设置在显示区域DP-DA中的至少一个层可以被延伸以覆盖第六绝缘层60的顶表面的至少一部分。在某些实施例中,第六绝缘层60可以不设置在曲率区域CA中。

[0122] 如图4B中所示,曲率区域CA可以包括其中未设置有信号线SL的区域。在这样没有信号线SL的区域中,第六绝缘层60可以与第五绝缘层50接触或者可以覆盖第五绝缘层50的顶表面。

[0123] 如图4C中所示,信号线SL-PT可以是包括多个图案的图案化信号线。图案化信号线

SL-PT的图案可以在第一方向DR1上彼此间隔开。当在平面图中观看时,图案化信号线SL-PT的图案可以通过在图4C中未示出的其它区域内沿第二方向DR2(例如,见图1A)延伸的图案而彼此连接。图案化信号线SL-PT可以使在垂直于弯曲轴BX(例如,见图1B)的方向上延伸的部分具有减小的面积,从而减小将施加在图案化信号线SL-PT上的弯曲应力。

[0124] 图5是示出根据发明构思的实施例的显示面板的区域的剖视图。图5示出了非弯曲区域NBA的一部分和弯曲区域BA的一部分二者。例如,在图5中,非弯曲区域NBA的所述一部分可以包括与图3B中示出的发光区域PXA对应的发光区域PXA,弯曲区域BA的所述一部分可以包括与图4C的区域对应的区域。为了简洁描述,前面参照图1A至图4C描述的元件可以由相同的附图标记标识,而不重复它们的重复描述。

[0125] 如图5中所示,显示面板DP还可以包括形成在弯曲区域BA中的第三凹槽GV-3。第二凹槽GV-2可以被限定在第一绝缘层10、第二绝缘层20和第三绝缘层30中,第三凹槽GV-3可以被限定在第四绝缘层40中。第四绝缘层40的与第二凹槽GV-2叠置的部分可以被去除以形成第三凹槽GV-3。

[0126] 第三凹槽GV-3在第一方向DR1上的宽度可以大于第二凹槽GV-2在第一方向DR1上的宽度。此外,第二凹槽GV-2在第一方向DR1上的宽度可以大于第一凹槽GV-1在第一方向DR1上的宽度。第一凹槽GV-1、第二凹槽GV-2和第三凹槽GV-3可以在第三方向DR3上顺序地形成以形成阶梯结构。

[0127] 第五绝缘层50可以被设置为填充第一凹槽GV-1、第二凹槽GV-2和第三凹槽GV-3或者覆盖第一凹槽GV-1、第二凹槽GV-2和第三凹槽GV-3中的每个的内表面。在实施例中,通过形成第一凹槽GV-1、第二凹槽GV-2和第三凹槽GV-3并利用有机层填充它们,显示面板DP可以被设计成在曲率区域CA的至少中心部分中仅具有有机层(例如,第五绝缘层50)。

[0128] 如图5中所示,连接电极CNE可以被用作穿过曲率区域CA的信号线。在非弯曲区域NBA中,连接电极CNE可以被构造为将第一薄膜晶体管T1的第一输出电极SE1连接到有机发光二极管OLED的第一电极AE。

[0129] 连接电极CNE可以置于第五绝缘层50与第六绝缘层60之间,并且可以被设置为穿过非弯曲区域NBA和弯曲区域BA。连接电极CNE可以被用作将设置在非弯曲区域NBA中的导电图案连接到设置在面对区域(未示出)中的导电图案的桥接图案。在实施例中,连接电极CNE可以包括设置在曲率区域CA中并在第一方向DR1上彼此间隔开的多个图案。在这种情况下,连接电极CNE可以防止由于弯曲应力而发生裂纹或断开。

[0130] 在某些实施例中,像素限定层PDL-H可以被设置为具有凹入部分RS,该凹入部分RS形成在限定发光区域PXA的开口区域周围或附近。例如,掩模和支撑掩模的分隔件可以在用于形成发光图案EML的沉积工艺中使用,并且凹入部分RS的形成可以由于掩模或分隔件的使用而产生。具有凹入部分RS的显示面板DP可以防止发光图案EML或发光区域PXA被掩模损坏。凹入部分RS可以通过其中使用了半色调掩模的工艺形成。根据发明构思的实施例,像素限定层PDL-H被用于形成发光图案EML而无需额外的工艺,从而降低了工艺成本并简化了制造工艺。

[0131] 在实施例中,第五绝缘层50、第六绝缘层60和像素限定层PDL-H中的至少一个或每个可以包括有机材料。与曲率区域CA叠置的堆叠结构可以被设计为仅包括有机材料,从而即使在重复折叠/展开操作时,也改善显示面板DP在曲率区域CA处的柔性并实现显示面板

DP的高可靠性。

[0132] 图6是示出根据发明构思的实施例的显示面板的区域的剖视图。为了便于描述,图6中示出了对应于图3B的区域。为了简洁描述,前面参照图1A至图5描述的元件可以由相同的附图标记标识,而不重复它们的重复描述。

[0133] 如图6中所示,显示面板DP还可以包括设置在第五绝缘层50与第六绝缘层60之间并与第二半导体图案OSP2叠置的光阻挡图案LSP。

[0134] 光阻挡图案LSP可以由具有高吸收率或高反射率的材料形成,或者可以包括具有高吸收率或高反射率的材料。光阻挡图案LSP可以设置在第二半导体图案OSP2上方,以防止有机发光二极管OLED中产生的光的一部分(例如,反射部分)入射到第二半导体图案OSP2中。

[0135] 光阻挡图案LSP可以由与连接电极CNE的材料相同的材料形成,或者可以包括与连接电极CNE的材料相同的材料。例如,光阻挡图案LSP可以由金属材料形成,或者可以包括金属材料。光阻挡图案LSP可以具有与连接电极CNE的堆叠结构相同的堆叠结构。光阻挡图案LSP和连接电极CNE可以使用同一掩模通过单个图案化工艺同时形成,从而简化制造工艺并降低工艺成本。

[0136] 图7A至图7Q是示出根据发明构思的实施例的制造显示面板的工艺的剖视图。为了比较,图7A至图7Q中的每个中示出了对应于图3B和图4A的两个区域。为了简洁描述,前面参照图1A至图6描述的元件可以由相同的附图标记标识,而不重复它们的重复描述。

[0137] 如图7A中所示,可以在基体层BL上形成至少一个无机层。所述至少一个无机层可以与非弯曲区域NBA和弯曲区域BA二者叠置。虽然未示出,但在制造工艺期间,可以将基体层BL放置在工作基底上。可以在制造显示面板之后去除工作基底。

[0138] 可以通过在基体层BL上沉积、涂覆或印刷无机材料来形成所述至少一个无机层。在实施例中,如图7A中所示,所述至少一个无机层可以包括阻挡层BRL和缓冲层BFL。形成阻挡层BRL可以包括在基体层BL上顺序地形成氧化硅层和氮化硅层。形成缓冲层BFL可以包括在阻挡层BRL上顺序地形成氧化硅层和氮化硅层。

[0139] 如图7A中所示,可以在缓冲层BFL上形成第一预备半导体图案OSP1-P。第一预备半导体图案OSP1-P可以由硅半导体材料形成,或者可以包括硅半导体材料。形成第一预备半导体图案OSP1-P可以包括形成半导体层,然后使半导体层图案化。在实施例中,可以在使半导体层图案化之前或之后使半导体层结晶。

[0140] 此后,如图7B中所示,可以在非弯曲区域NBA和弯曲区域BA中形成第一绝缘层10,以覆盖缓冲层BFL和第一预备半导体图案OSP1-P。可以通过沉积工艺、涂覆工艺或印刷工艺形成第一绝缘层10。可以使用沉积工艺、涂覆工艺和印刷工艺中的一种来形成将形成在第一绝缘层10上的其它绝缘层中的至少一个或每个。

[0141] 可以在第一绝缘层10上形成第一控制电极GE1。形成第一控制电极GE1可以包括在第一绝缘层10上形成导电层,然后使导电层图案化。可以使用与用于第一控制电极GE1的工艺相同的工艺来形成电容器Cst的第一电容器电极E1(例如,见图3C)。

[0142] 接下来,可以利用第一控制电极GE1作为掩模对第一预备半导体图案OSP1-P执行掺杂工艺。在掺杂工艺中,如箭头所示,杂质可以通过第一绝缘层10注入到第一预备半导体图案OSP1-P中。这里,杂质可以不注入到第一预备半导体图案OSP1-P的与第一控制电极GE1

叠置的沟道区中,而杂质可以注入到第一预备半导体图案OSP1-P的彼此间隔开且沟道区置于其间的两个侧面区域(即,输入区和输出区)中。在实施例中,第一预备半导体图案OSP1-P的输入区和输出区可以掺杂有n型掺杂剂(例如,V族元素)。可以通过对第一预备半导体图案OSP1-P进行掺杂来形成第一半导体图案OSP1。然而,发明构思不限于上述示例,在某些实施例中,可以通过利用p型掺杂剂(例如,III族元素)对第一预备半导体图案OSP1-P进行掺杂来形成第一半导体图案OSP1。

[0143] 此后,如图7C中所示,可以在非弯曲区域NBA和弯曲区域BA二者中形成第二绝缘层20,以覆盖第一绝缘层10和第一控制电极GE1。可以在第二绝缘层20上形成不与第一控制电极GE1叠置的第二控制电极GE2。例如,当在平面图中观看时,第二控制电极GE2可以与第一控制电极GE1间隔开。可以使用同一工艺形成第二控制电极GE2和上电极UE。虽然未示出,但可以通过与用于第二控制电极GE2和上电极UE的工艺相同的工艺来形成电容器Cst的第二电容器电极E2(例如,见图3C)。

[0144] 此后,如图7D中所示,可以在非弯曲区域NBA和弯曲区域BA中形成第三绝缘层30,以覆盖第二绝缘层20、第二控制电极GE2和上电极UE。

[0145] 接下来,如图7E中所示,可以执行第一蚀刻步骤以局部地去除第一绝缘层10、第二绝缘层20和第三绝缘层30。例如,可以形成第一接触孔CH1和第二接触孔CH2以分别使第一半导体图案OSP1的输入区和输出区的至少一部分暴露。在实施例中,可以执行第一蚀刻步骤以局部地去除在弯曲区域BA中的第一绝缘层10、第二绝缘层20和第三绝缘层30,来形成第一上凹槽GV-21。在实施例中,第一蚀刻步骤可以使用单个掩模来形成非弯曲区域NBA中的第一接触孔CH1和第二接触孔CH2以及弯曲区域BA中的第一上凹槽GV-21,从而减少制造显示面板DP所需的掩模数量。

[0146] 此后,如图7F中所示,可以在第三绝缘层30上形成第二预备半导体图案OSP2-P。第二预备半导体图案OSP2-P可以由金属氧化物半导体材料形成,或者可以包括金属氧化物半导体材料。形成第二预备半导体图案OSP2-P可以包括形成金属氧化物半导体层,并对金属氧化物半导体层执行图案化工艺。在实施例中,第二预备半导体图案OSP2-P可以被形成为具有导电性质。

[0147] 在某些实施例中,可以以不同的顺序执行参照图7E和图7F描述的工艺步骤。例如,可以在形成第二预备半导体图案OSP2-P之后执行用于形成第一接触孔CH1和第二接触孔CH2以及第一上凹槽GV-21的第一蚀刻步骤。

[0148] 接下来,如图7G中所示,可以执行电极形成步骤以在第三绝缘层30上形成电极DE1、SE1、SE2和DE2。形成电极DE1、SE1、SE2和DE2可以包括使用沉积工艺形成导电层,并对导电层执行图案化工艺。

[0149] 可以使用蚀刻气体通过等离子体工艺来执行导电层的图案化。在实施例中,蚀刻气体可以包括含氧材料,在这种情况下,从蚀刻气体产生的氧等离子体可以用于等离子体工艺。蚀刻气体可以用于降低第二预备半导体图案OSP2-P的未被第二输入电极DE2和第二输出电极SE2遮蔽的区域中的氢的浓度。因此,第二预备半导体图案OSP2-P的位于第二输入电极DE2与第二输出电极SE2之间的非遮蔽区域可以具有比第二预备半导体图案OSP2-P的位于第二输入电极DE2和第二输出电极SE2下的遮蔽区域的电阻高的电阻。例如,第二预备半导体图案OSP2-P的非遮蔽区域可以被改变为具有半导体状能带结构,从而用作沟道区。

也就是说,通过利用蚀刻气体处理具有导电性质的第二预备半导体图案OSP2-P,可以形成具有半导体状能带结构的至少一部分的第二半导体图案OSP2。第二半导体图案OSP2可以包括具有半导体状能带结构的沟道区以及彼此间隔开且沟道区置于其间的输入区和输出区。

[0150] 此后,如图7H中所示,可以在非弯曲区域NBA和弯曲区域BA二者中形成预备第四绝缘层40-I,以覆盖第三绝缘层30以及电极DE1、SE1、SE2和DE2。预备第四绝缘层40-I可以包括填充第一上凹槽GV-21的至少一部分的部分。

[0151] 接下来,如图7I中所示,可以执行第二蚀刻步骤以部分地去除预备第四绝缘层40-I。可以执行第二蚀刻步骤以形成穿透预备第四绝缘层40-I并且使第一输出电极SE1的至少一部分暴露的接触孔CH3-40。

[0152] 在实施例中,第二蚀刻步骤可以部分地去除弯曲区域BA中的预备第四绝缘层40-I,从而形成第二上凹槽GV-22。这里,第一上凹槽GV-21和第二上凹槽GV-22可以被限定为第二凹槽GV-2。在实施例中,第二蚀刻步骤可以使用单个掩模来形成非弯曲区域NBA中的接触孔CH3-40以及弯曲区域BA中的第二上凹槽GV-22,从而减少制造显示面板DP所需的掩模数量。

[0153] 如图7I中所示,第二上凹槽GV-22和第一上凹槽GV-21可以被形成为具有彼此对齐的内侧表面,但发明构思不限于此。例如,如图5中所示,可以在预备第四绝缘层40-I中形成第三凹槽GV-3以使第三绝缘层30的顶表面的至少一部分暴露。

[0154] 如图7J中所示,可以执行第三蚀刻步骤以部分地去除弯曲区域BA中的无机层BRL和BFL。例如,在第三蚀刻步骤中,蚀刻气体可以用于部分地去除弯曲区域BA中的阻挡层BRL和缓冲层BFL,从而在弯曲区域BA中形成第一凹槽GV-1。可以根据蚀刻时间或蚀刻剂使包括阻挡层BRL和缓冲层BFL的无机层的顶表面部分地暴露。在某些实施例中,第一凹槽GV-1可以被形成为具有与第一上凹槽GV-21的内侧表面对齐的内侧表面。

[0155] 在实施例中,可以以连续的方式执行用于形成第一凹槽GV-1的第三蚀刻步骤以及用于形成第二上凹槽GV-22的第二蚀刻步骤。第三蚀刻步骤和第二蚀刻步骤可以构成使用同一掩模执行的单个工艺,但可以在对蚀刻气体的曝光时间或蚀刻气体的材料方面彼此不同。因此,可以减少蚀刻工艺中使用的掩模数量,从而简化制造工艺,并降低制造成本。

[0156] 如图7K和图7L中所示,在第三蚀刻步骤之后,可以通过对预备第四绝缘层40-I执行热处理HT来形成第四绝缘层40。可以执行热处理HT以对第二半导体图案OSP2的被预备第四绝缘层40-I覆盖的沟道区进行热修复。当例如通过物理沉积工艺沉积将被用作第二输入电极DE2和第二输出电极SE2的导电层时,应力可能施加在第二半导体图案OSP2的沟道区上。在实施例中,热处理HT可以稳定地修复可能已经在第二半导体图案OSP2的沟道区中形成的缺陷。此外,可以执行热处理HT以防止预备第四绝缘层40-I中的氢原子流入第二半导体图案OSP2的沟道区中。

[0157] 在实施例中,可以在大约300°C或更高的高温下执行热处理HT。热处理HT可以包括在特定处理时间内逐渐执行退火处理。根据发明构思的实施例,显示面板DP的制造方法还可以包括在形成预备第四绝缘层40-I之后将执行的热处理HT,以改善第二半导体图案OSP2的可靠性并使第二薄膜晶体管T2的电特性稳定。

[0158] 接下来,如图7M中所示,可以在第四绝缘层40上形成第五绝缘层50。可以形成第五绝缘层50以与非弯曲区域NBA和弯曲区域BA叠置。第五绝缘层50可以包括设置在第一凹槽

GV-1和第二凹槽GV-2中的部分。可以形成第五绝缘层50以部分地填充接触孔CH3-40。

[0159] 在实施例中,可以在对预备第四绝缘层40-I进行热处理步骤之后形成第五绝缘层50。在第五绝缘层50由诸如聚酰亚胺的聚合物树脂形成的情况下,在热处理HT期间可能损坏第五绝缘层50。根据发明构思的实施例,可以推迟形成包含有机材料的层(例如,第五绝缘层50)的步骤,直到完成了对预备第四绝缘层40-I的热处理HT,以防止第五绝缘层50被热处理HT损坏,从而改善制造工艺的可靠性。

[0160] 如图7N中所示,可以执行第四蚀刻步骤以去除第五绝缘层50的一部分。例如,可以在第五绝缘层50中形成接触孔CH3-50以使被第五绝缘层50覆盖的第一输出电极SE1的至少一部分暴露。第五绝缘层50的接触孔CH3-50可以与第四绝缘层40的接触孔CH3-40对齐。接触孔CH3-40和CH3-50可以彼此连接以形成被限定为第三接触孔CH3的单个接触孔。

[0161] 如图7O中所示,可以在第五绝缘层50上形成连接电极CNE。形成连接电极CNE的工艺也可以用于形成信号线SL的与弯曲区域BA叠置的部分。如上所述,连接电极CNE和信号线SL可以是单个物体的两个部分,或者可以是彼此间隔开的两个单独的物体,但发明构思不限于此。

[0162] 如图7P中所示,可以在第五绝缘层50上形成第六绝缘层60,以不仅覆盖连接电极CNE,而且覆盖信号线SL的与弯曲区域BA叠置的部分。可以在第六绝缘层60中形成第四接触孔CH4,以使连接电极CNE的顶表面的至少一部分暴露。

[0163] 如图7Q中所示,可以在非弯曲区域NBA中在第六绝缘层60上形成有机发光二极管OLED。可以在第六绝缘层60上形成第一电极AE,并且第一电极AE可以通过第四接触孔CH4连接到连接电极CNE。可以在第六绝缘层60上形成像素限定层PDL,以使第一电极AE的中心部分暴露。可以在第六绝缘层60上形成预备像素限定层,并且可以使预备像素限定层图案化以形成具有开口OP的像素限定层PDL。

[0164] 此后,可以在像素限定层PDL的非弯曲区域NBA中顺序地形成空穴控制层HCL、发光图案EML、电子控制层ECL和第二电极CE。当在平面图中观看时,空穴控制层HCL、发光图案EML、电子控制层ECL和第二电极CE可以至少与显示区域DP-DA(例如,见图2)叠置。

[0165] 可以在第二电极CE上形成封装层TFE。对于封装层TFE,可以通过沉积工艺或喷墨印刷工艺形成有机封装层和/或无机封装层。可以在非弯曲区域NBA中形成封装层TFE,并且可以不在弯曲区域BA中形成封装层TFE,但发明构思不限于此。

[0166] 图8A是示出根据对比示例的薄膜晶体管的电流-电压特性的曲线图,图8B是示出根据发明构思的实施例的薄膜晶体管的电流-电压特性的曲线图。

[0167] 图8A是示出在相对低的温度(例如,300°C或更低)下已通过热处理进行处理的薄膜晶体管的电流-电压特性的曲线图,图8B是示出根据发明构思的实施例的在相对高的温度下通过热处理进行处理的薄膜晶体管(例如,参照图3B描述的第二薄膜晶体管T2)的电流-电压特性的曲线图。在图8A和图8B中,电压 V_G 表示施加到薄膜晶体管的栅电极的栅极电压,电流 I_{DS} 表示流过施加有栅极电压的薄膜晶体管的沟道区的电流量。除了热处理步骤中的处理温度的不同之外,图8A和图8B的薄膜晶体管已被制造为具有基本相同的特征和结构。为了便于说明,图8A和图8B中绘制了在不同时间从每个薄膜晶体管测量的曲线。在下文中,将参照图8A和图8B更详细地描述发明构思。

[0168] 在图8A的对比示例中,在可以太低而不会对第五绝缘层50造成损坏的(例如,300

°C或更低或者大约250°C的)低温下执行对薄膜晶体管的热处理步骤。图8A中的第一曲线PL1、第二曲线PL2、第三曲线PL3、第四曲线PL4和第五曲线PL5是在不同时间顺序地被测量的。对于根据对比示例的薄膜晶体管,如图8A中所示,随着处理时间的增加,曲线逐渐向左(即,从第一曲线PL1向第五曲线PL5)移动。表示初始电流-电压性质的第一曲线PL1与表示最后测量的电流-电压性质的第五曲线PL5之间的阈值电压差为大约-5.68V。也就是说,在如在对比示例中薄膜晶体管未在足够高的温度下进行处理的情况下,薄膜晶体管会遭受差的电特性均匀性以及短的寿命。

[0169] 相比之下,图8B的电流-电压曲线图是通过在大约380°C的温度下热处理的包括半导体图案的薄膜晶体管而获得的。如图8B中所示,在不同时间从薄膜晶体管测量的电流-电压曲线趋于单条不可区分的曲线PL-T。

[0170] 在图8B中,表示初始电流-电压性质的曲线与表示最后测量的电流-电压性质的曲线之间的阈值电压差为大约-0.20V。这表明根据发明构思的实施例的薄膜晶体管具有不变的电流-电压性质或均匀的电特性。根据发明构思的实施例,由于在形成第四绝缘层40之后形成有机层(例如,图3B的第五绝缘层50),因此即使在300°C或更高的高温下热处理第四绝缘层40,也防止第五绝缘层50被损坏。因此,薄膜晶体管可以被制造成具有改善的电特性和更长的寿命。此外,根据发明构思的实施例的方法可以稳定地提供具有高可靠性和改善的电特性的显示面板。

[0171] 图9是示出根据发明构思的实施例的显示面板的一部分的剖视图。为了便于描述,图9中示出了与图7Q对应的区域。在下文中,将参照图9更详细地描述发明构思的实施例。为了简洁描述,前面参照图1A至图8B描述的元件可以由相同的附图标记标识,而不重复它们的重复描述。

[0172] 在图9中示出的显示面板中,可以省略连接电极CNE和第六绝缘层60。因此,第一电极AE可以直接设置在第五绝缘层50上,并且可以通过第三接触孔CH3连接到第一输出电极SE1。信号线SL-DL可以包括与弯曲区域BA叠置并且直接设置在第五绝缘层50上的部分。

[0173] 信号线SL-DL的与弯曲区域BA叠置的部分可以通过与用于第一电极AE的工艺相同的工艺形成。信号线SL-DL的与弯曲区域BA叠置的部分和第一电极AE可以包括相同的材料并且可以具有相同的层结构。

[0174] 图10A至图10D是示出根据发明构思的实施例的制造显示面板的方法的剖视图。为了避免重复,图10A至图10D中示出了参照图7A至图7Q描述的步骤中的一些步骤。在下文中,将参照图10A至图10D更详细地描述发明构思的实施例。为了简洁描述,前面参照图1A至图9描述的元件可以由相同的附图标记标识,而不重复它们的重复描述。

[0175] 如图10A中所示,可以在基体层BL的非弯曲区域NBA中形成第二预备半导体图案OSP2-P以及接触孔CH1和CH2,并且可以在弯曲区域BA中形成第一上凹槽GV-21。图10A的结构可以基本上对应于图7F的结构。为了便于描述,下面可以省略上述技术特征。

[0176] 此后,如图10B和图10C中所示,可以在第三绝缘层30上形成导电层CLL,并且可以使用蚀刻气体ET使导电层CLL图案化以形成电极DE1、SE1、DE2和SE2。可以形成导电层CLL以覆盖第三绝缘层30的顶表面和第二预备半导体图案OSP2-P的顶表面。也可以形成导电层CLL以填充第一上凹槽GV-21的至少一部分以及接触孔CH1和CH2。

[0177] 蚀刻气体ET可以包含能够蚀刻导电层CLL的至少一部分的材料。蚀刻气体ET可与

导电层CLL的未被掩模(未示出)遮蔽的暴露区域反应,因此,可以去除导电层CLL的暴露区域。导电层CLL的被掩模遮蔽的其它区域可以不被蚀刻,从而形成电极DE1、SE1、DE2和SE2。

[0178] 在实施例中,蚀刻气体ET可以不包含氯化物。作为示例,蚀刻气体ET可以包含含氟(F)的氟化合物。例如,蚀刻气体ET可以包含六氟化硫(SF₆)或六氟丁炔(C₄F₆)。

[0179] 在使用氟化合物的情况下,与使用氯化物的情况相比,包含氧化物半导体材料的第二半导体图案OSP2可以具有相对慢的蚀刻速率。例如,在蚀刻工艺中使用氟化合物的情况下,导电层CLL可以具有比第二半导体图案OSP2的蚀刻速率高的蚀刻速率。导电层CLL可以由例如钼(Mo)形成,或者可以包括例如钼(Mo)。

[0180] 如果导电层CLL包含钛(Ti)而蚀刻导电层CLL,则可以使用包含氯化物的蚀刻气体。当在蚀刻工艺中使用氯化物时,氧化物半导体材料可以具有相对高的蚀刻速率。因此,在使用包含氯化物的蚀刻气体来使导电层CLL图案化的情况下,包含氧化物半导体材料的第二半导体图案OSP2会容易被损坏。

[0181] 根据发明构思的实施例,可以选择包含氟化合物的蚀刻气体ET,以防止第二半导体图案OSP2的暴露区域由于用于形成电极DE1、SE1、DE2和SE2的蚀刻工艺而被损坏,并且稳定地形成第二半导体图案OSP2。

[0182] 如图10D中所示,可以在第四绝缘层40中形成第三接触孔CH3,并且可以形成连接电极CNE以连接到第一输出电极SE1。为了便于说明,连接电极CNE被示出为设置在第四绝缘层40上,但发明构思不限于此。

[0183] 由于在形成第四绝缘层40之后形成连接电极CNE,所以可以防止连接电极CNE受到图10B的蚀刻气体ET的影响。此外,可以独立地形成连接电极CNE而与形成第二半导体图案OSP2或其它元件的步骤无关。例如,可以在不考虑对其它元件损坏的情况下对连接电极CNE图案化,因此,可以自由地选择用于连接电极CNE的材料。

[0184] 在实施例中,连接电极CNE可以由电阻低于第一输出电极SE1的电阻的材料形成,或者可以包括电阻低于第一输出电极SE1的电阻的材料。在这种情况下,使用相同的材料来形成第一输出电极SE1和第二输出电极SE2。由于第一输出电极SE1与第二半导体图案OSP2之间的相互依赖关系,所以会存在对第一输出电极SE1的材料的限制,并且这会导致显示装置的电特性的劣化。然而,具有低电阻的连接电极CNE可以用于改善显示装置的电特性。例如,连接电极CNE可以使有机发光二极管OLED(例如,见图3B)和第一薄膜晶体管T1以低的接触电阻彼此连接,以实现具有改善的电特性的显示面板。

[0185] 根据发明构思的实施例,在制造其中设置有具有不同特性的半导体图案的半导体器件的工艺中,可以执行热处理而不引起有机层的损坏,从而改善半导体图案的电特性以及制造工艺的可靠性。此外,有机层可以设置在不受热处理影响的位置处,从而可以实现具有高可靠性的长寿命的薄膜器件的显示面板。

[0186] 虽然已经具体示出并描述了发明构思的示例实施例,但本领域普通技术人员将理解的是,在不脱离权利要求的精神和范围的情况下,可以在其中进行形式和细节上的变化。

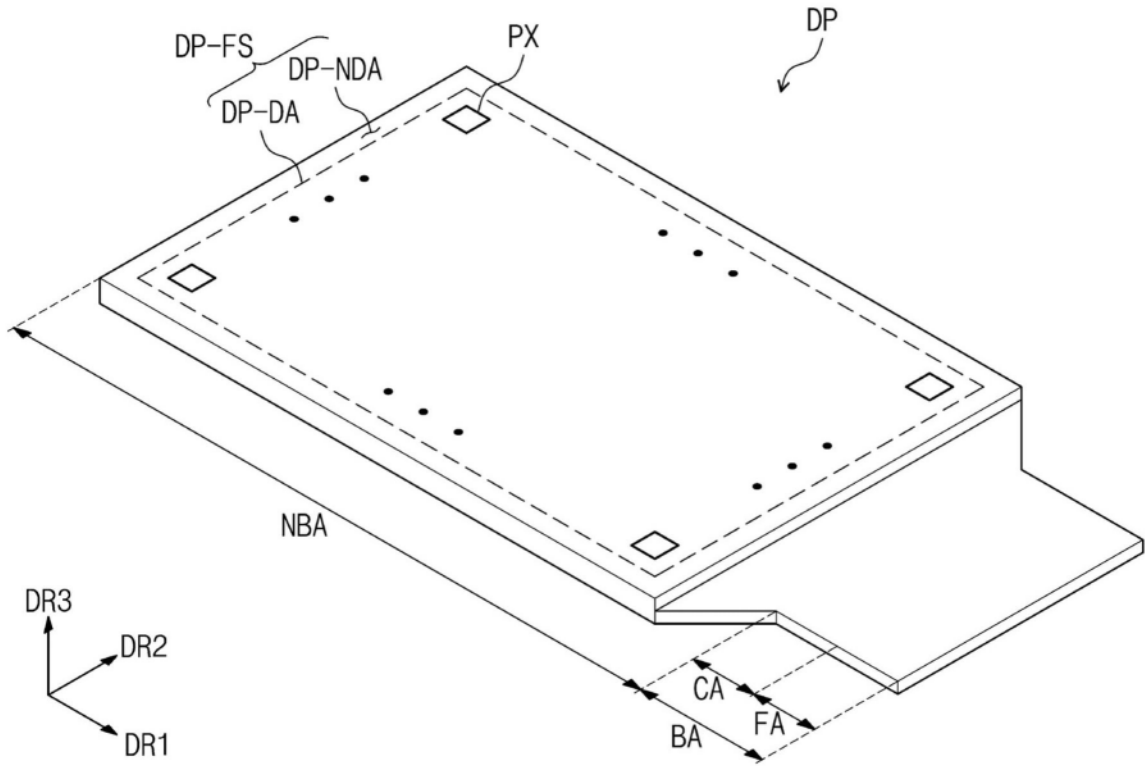


图1A

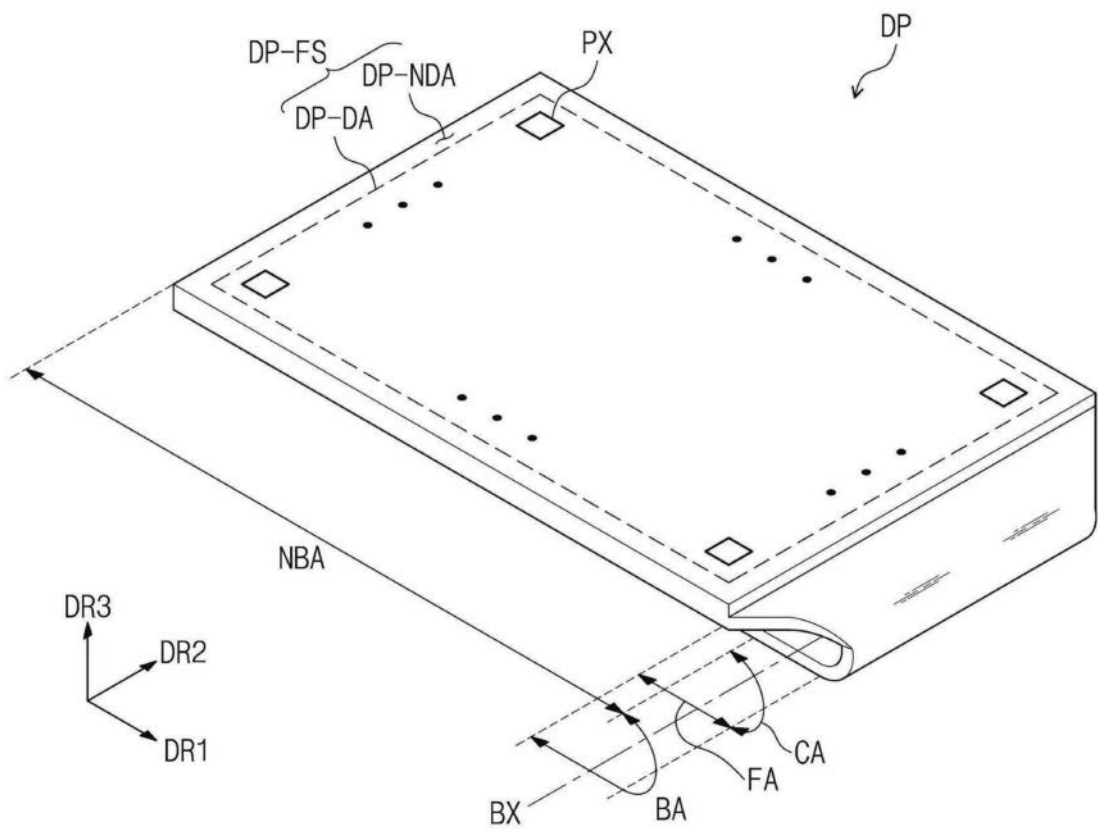


图1B

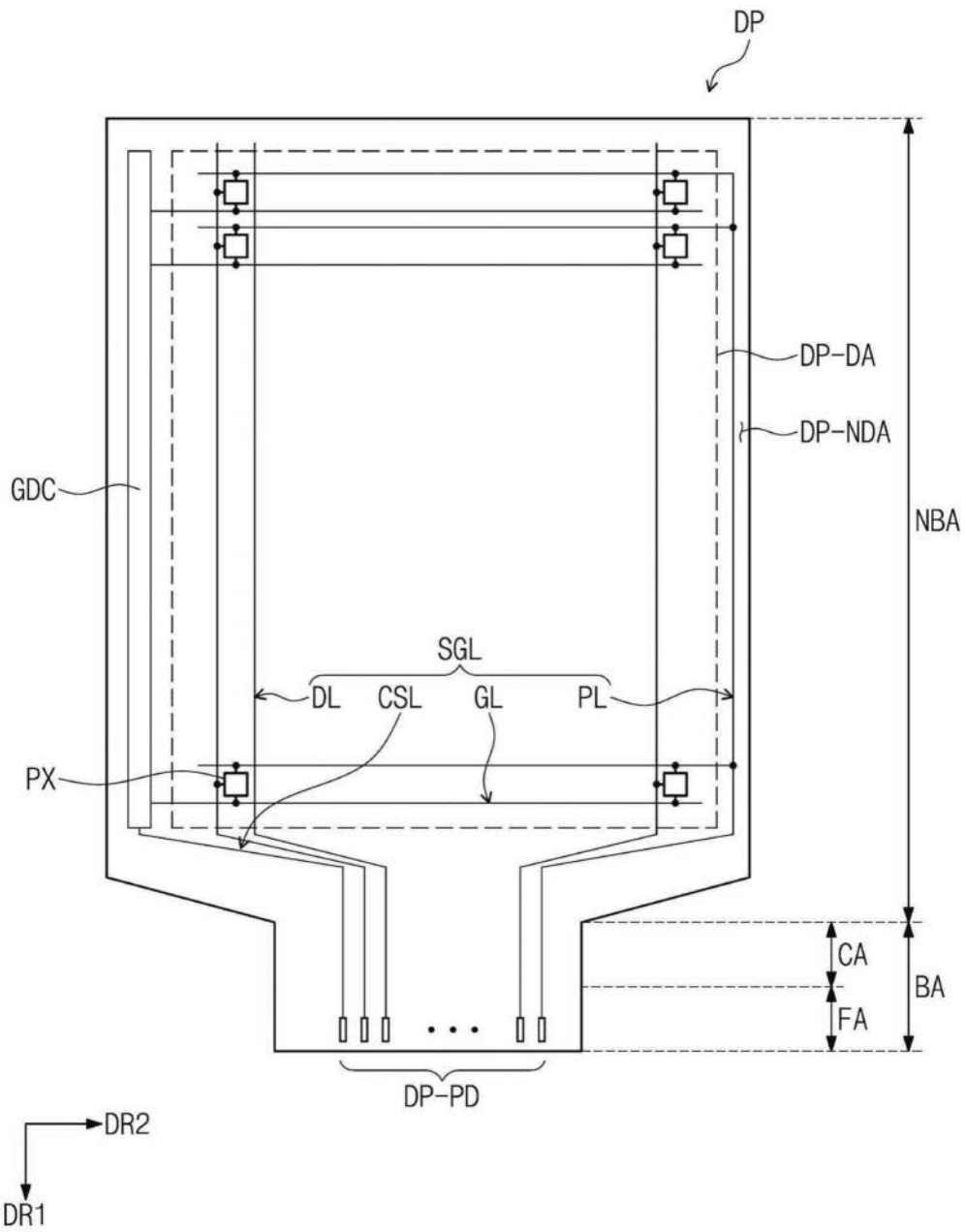


图2

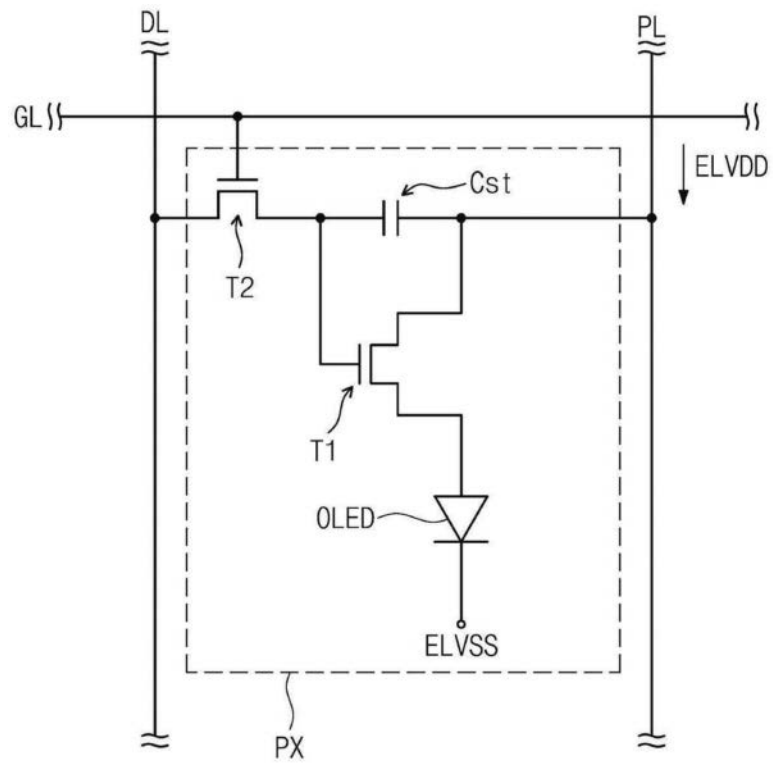


图3A

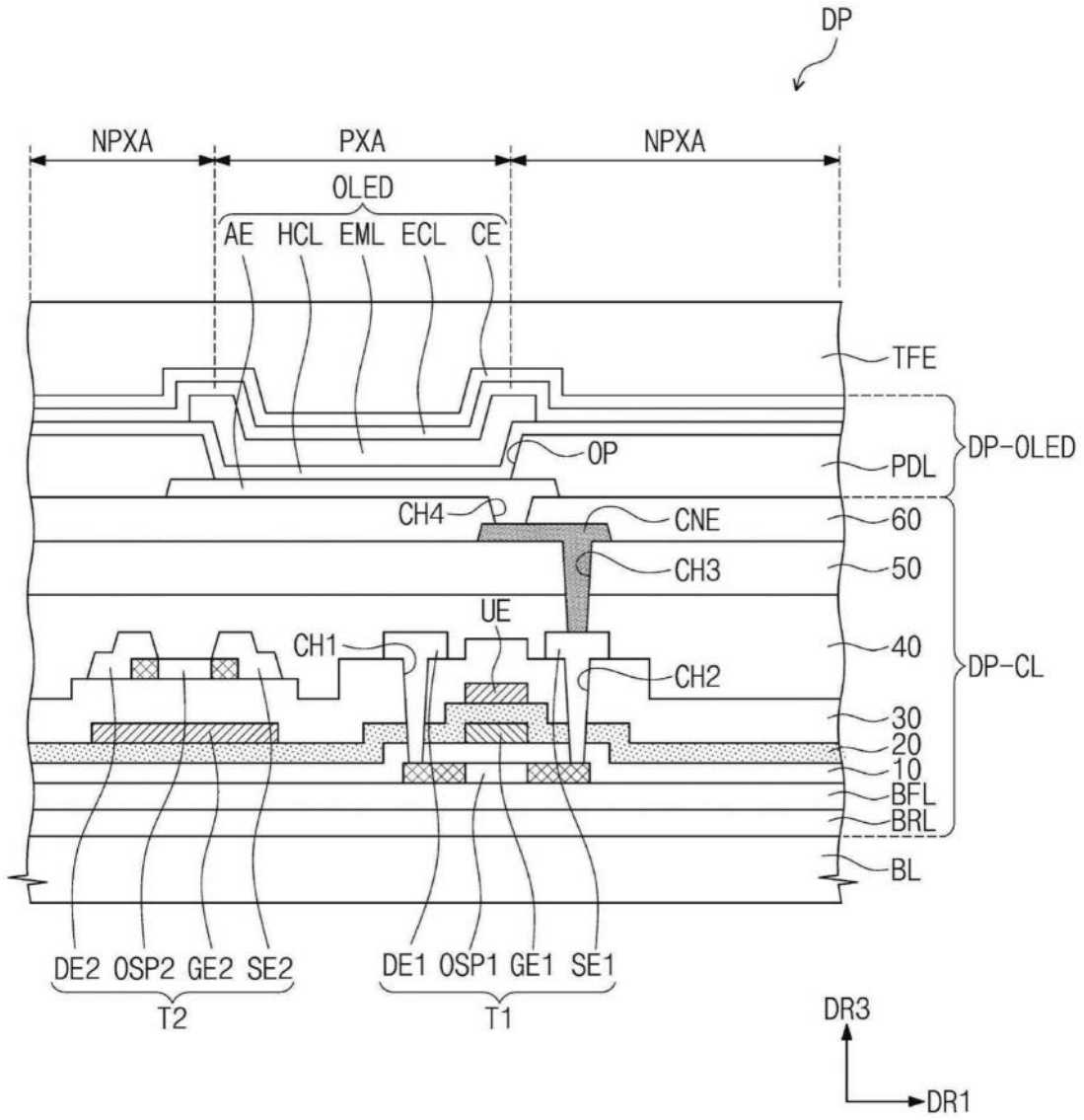


图3B

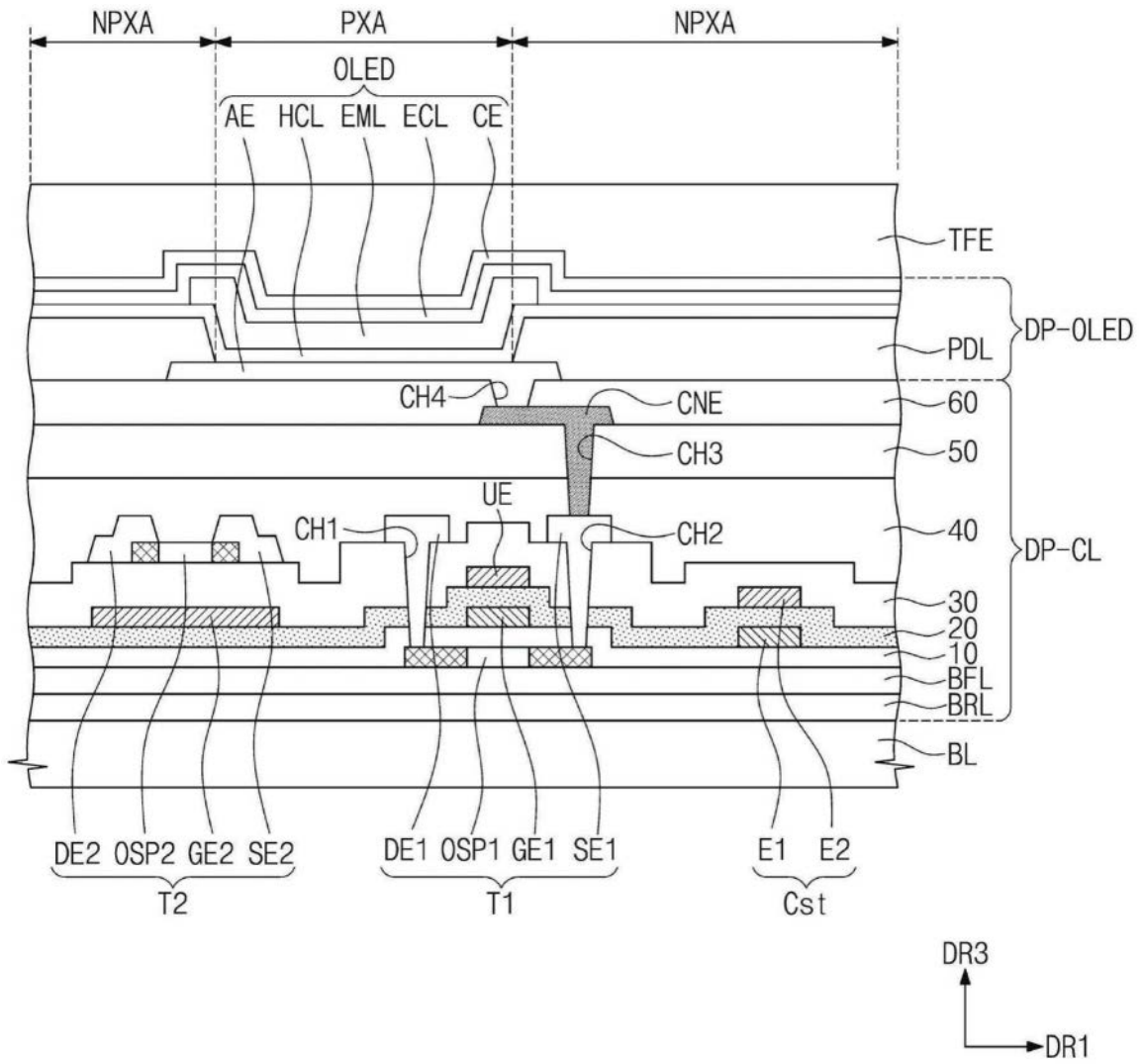


图3C

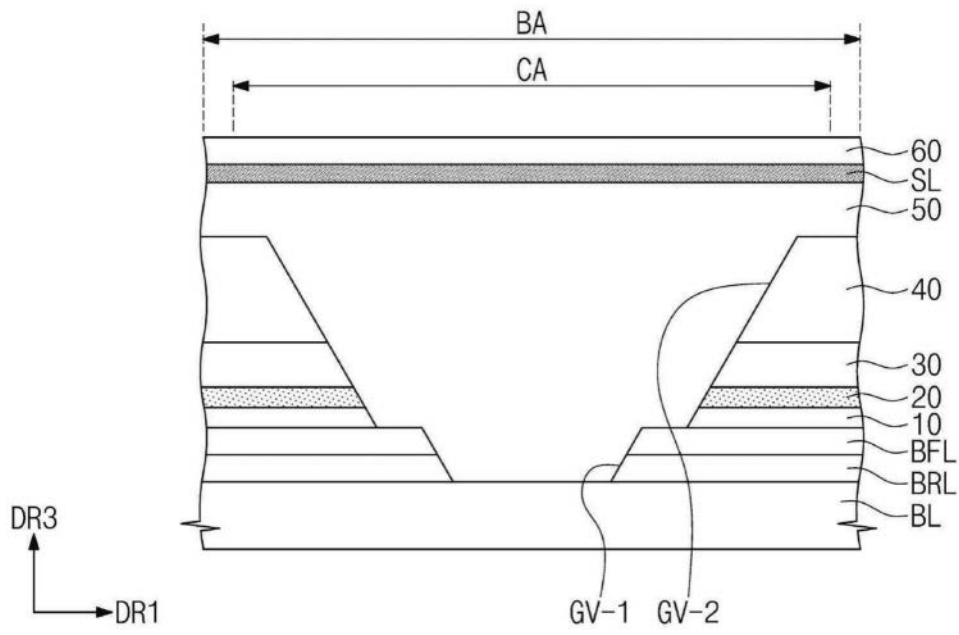


图4A

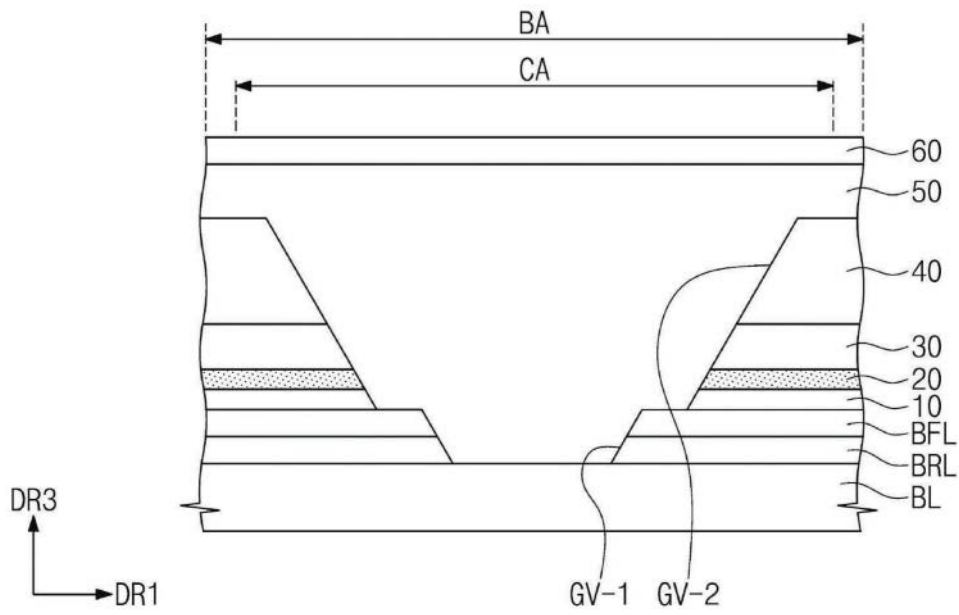


图4B

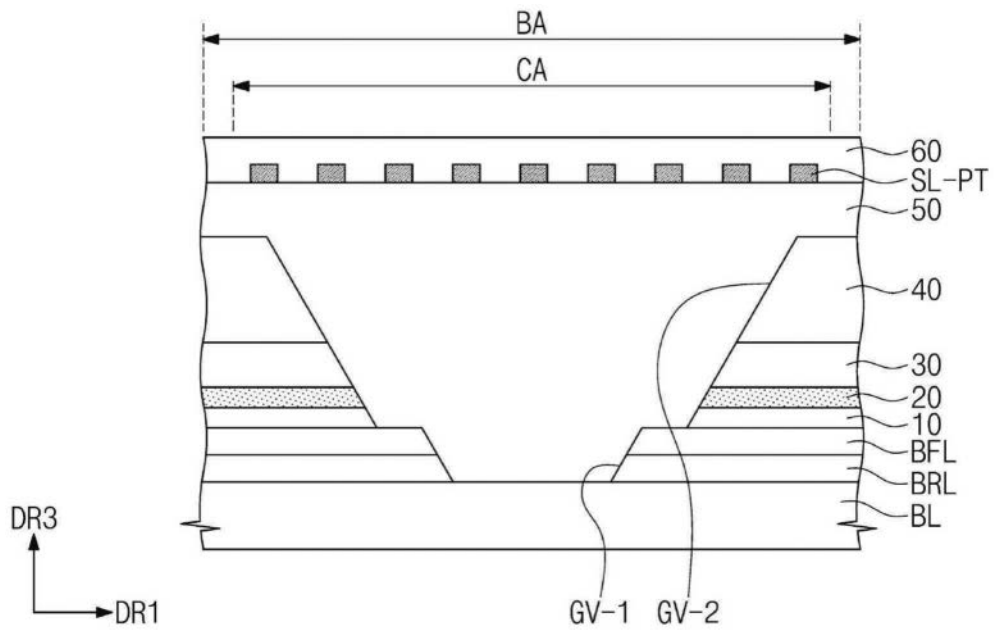


图4C

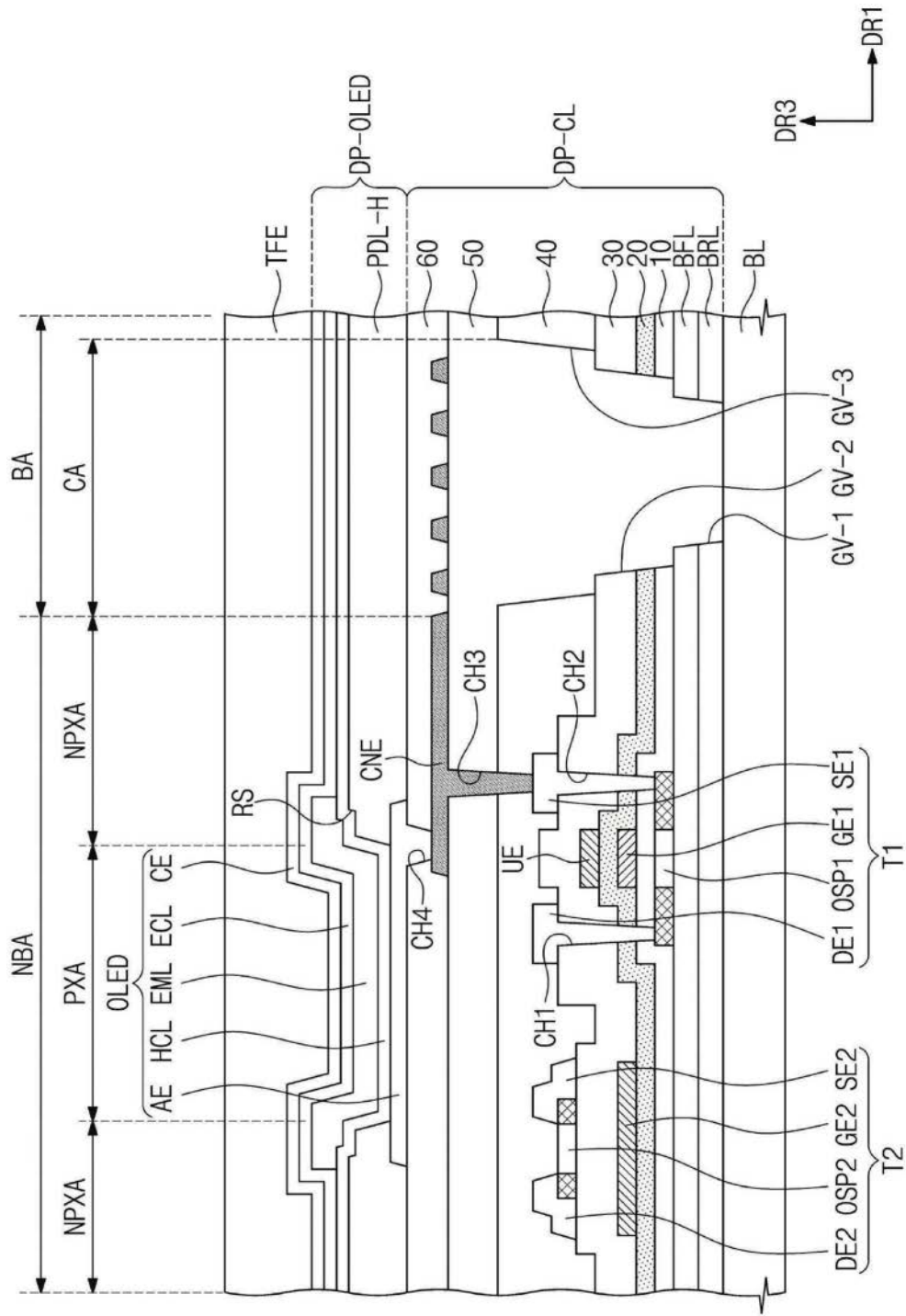


图5

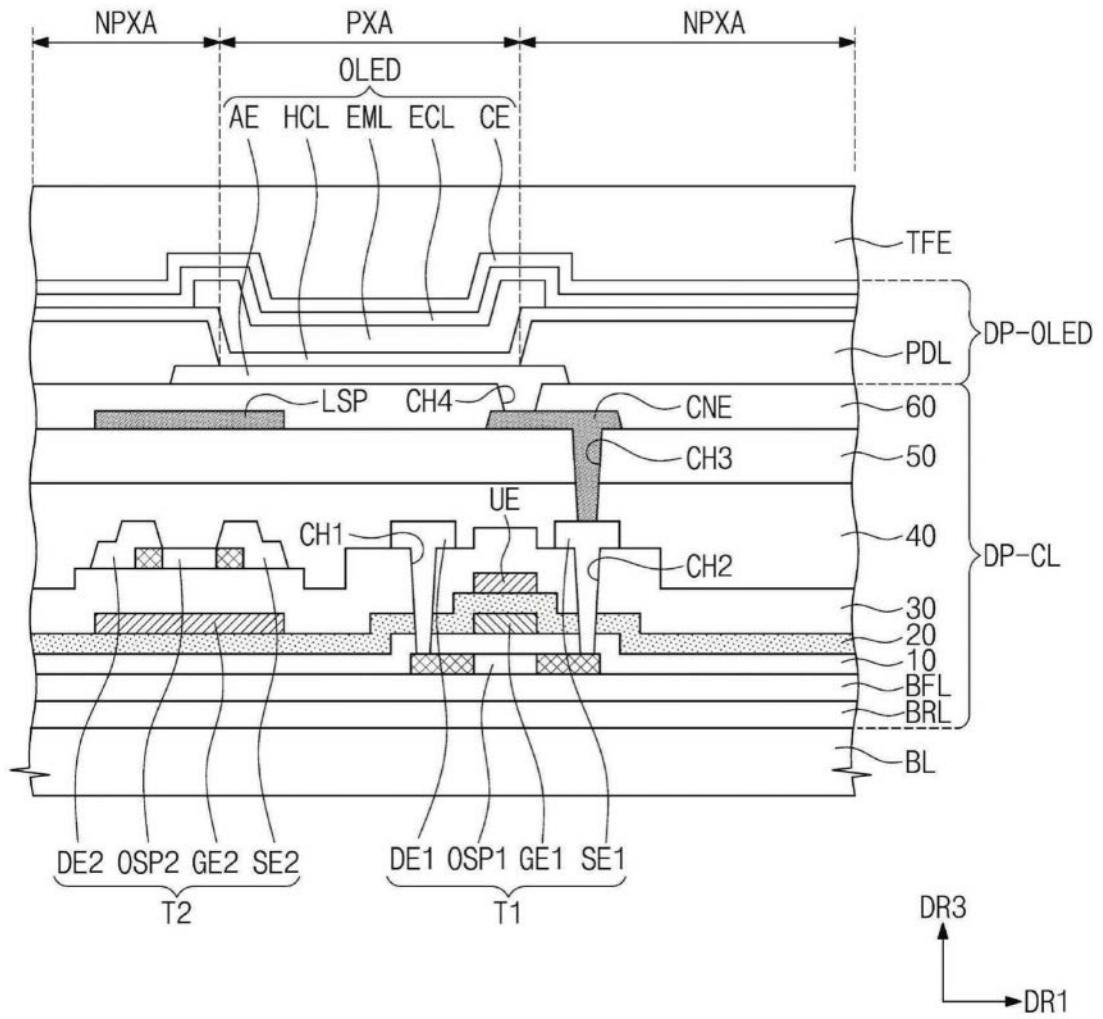


图6

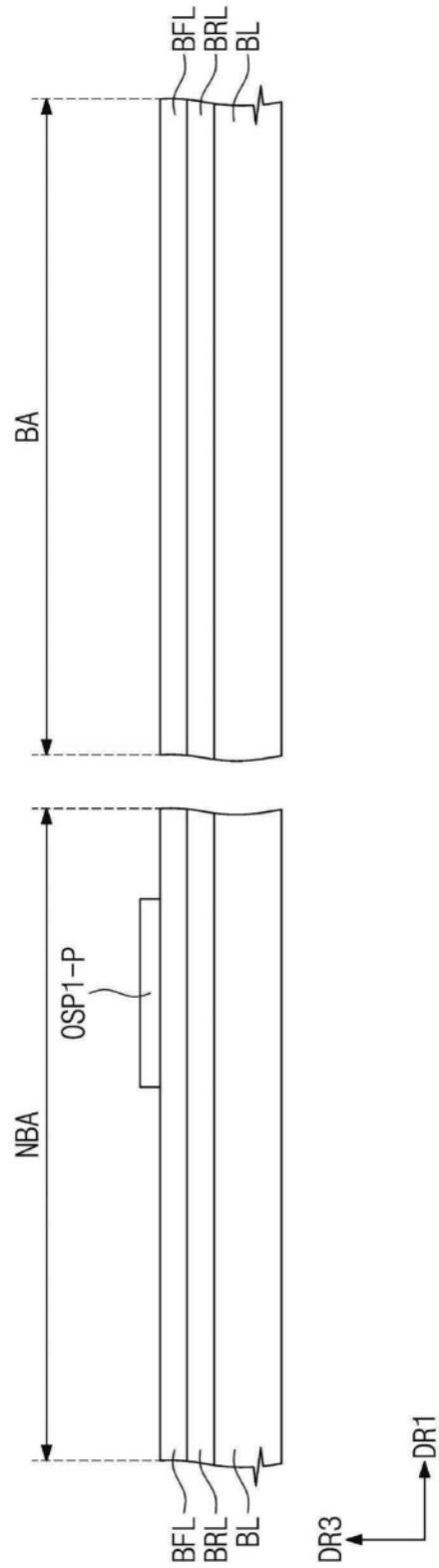


图7A

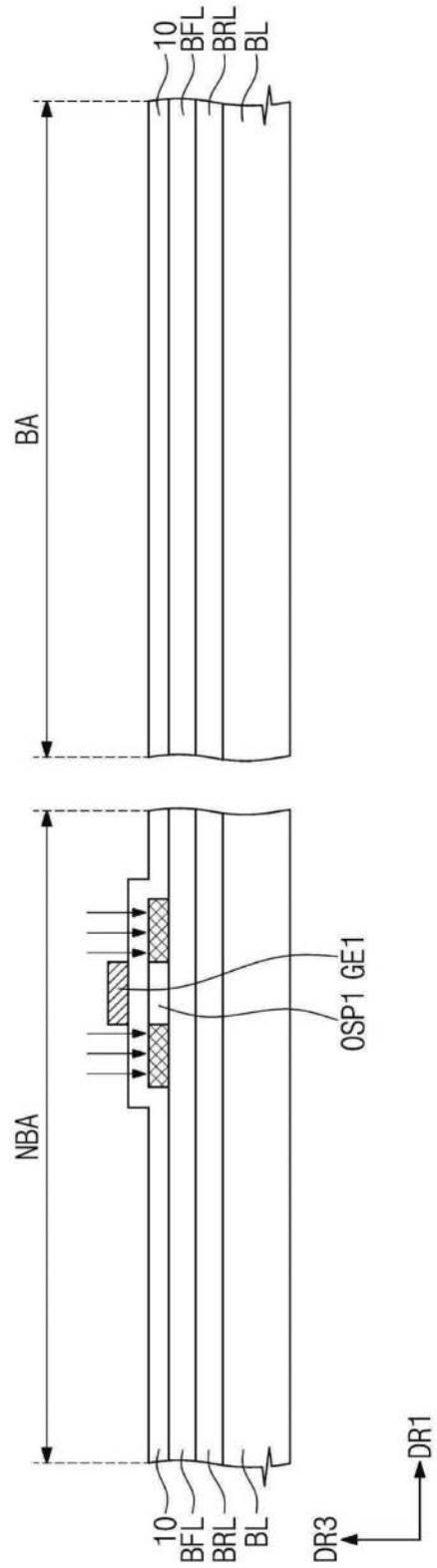


图7B

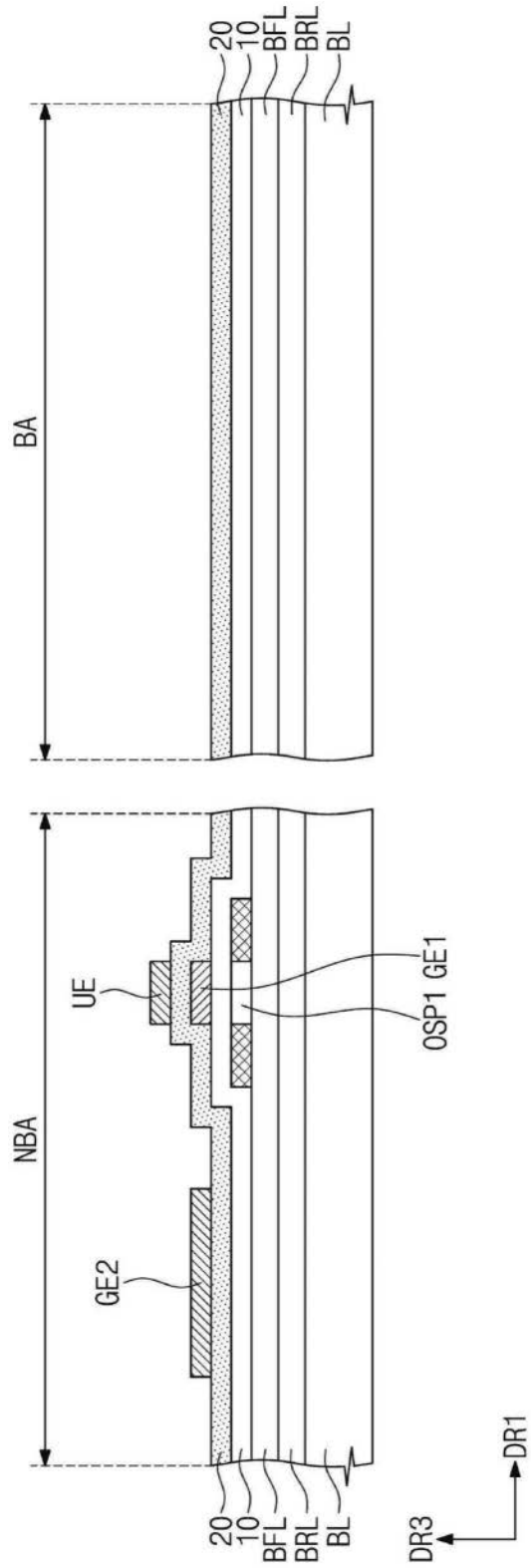


图7C

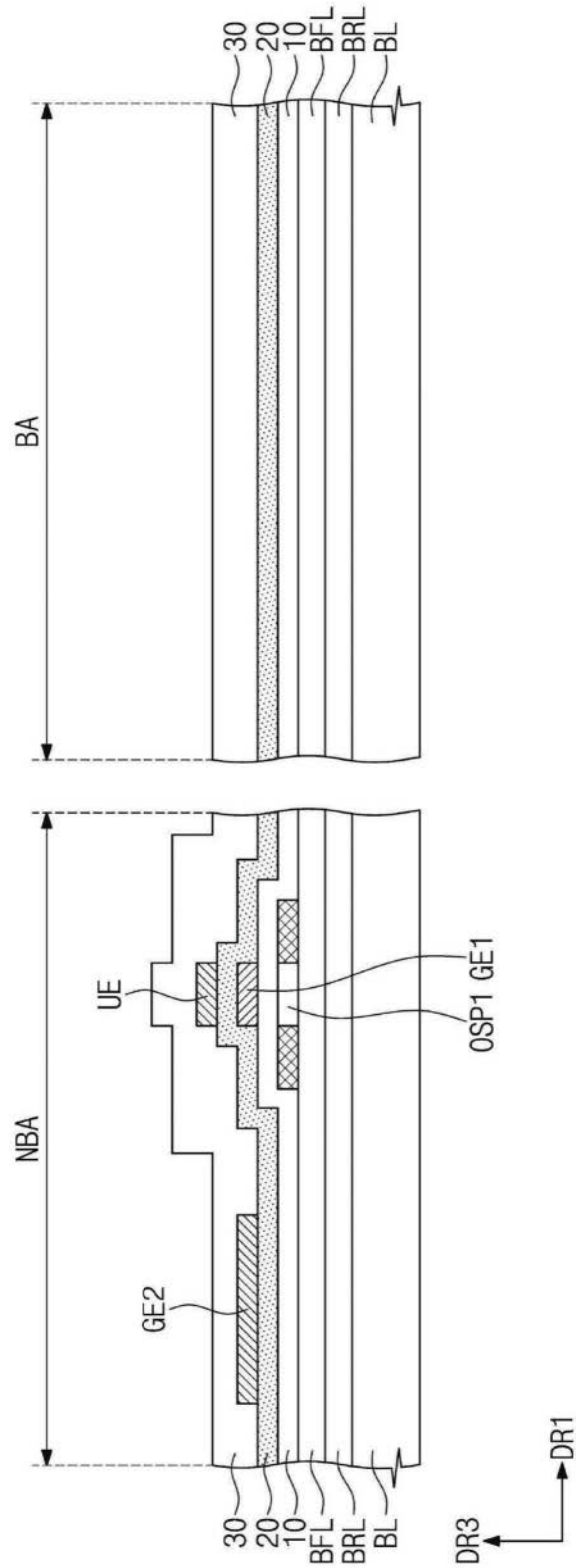


图7D

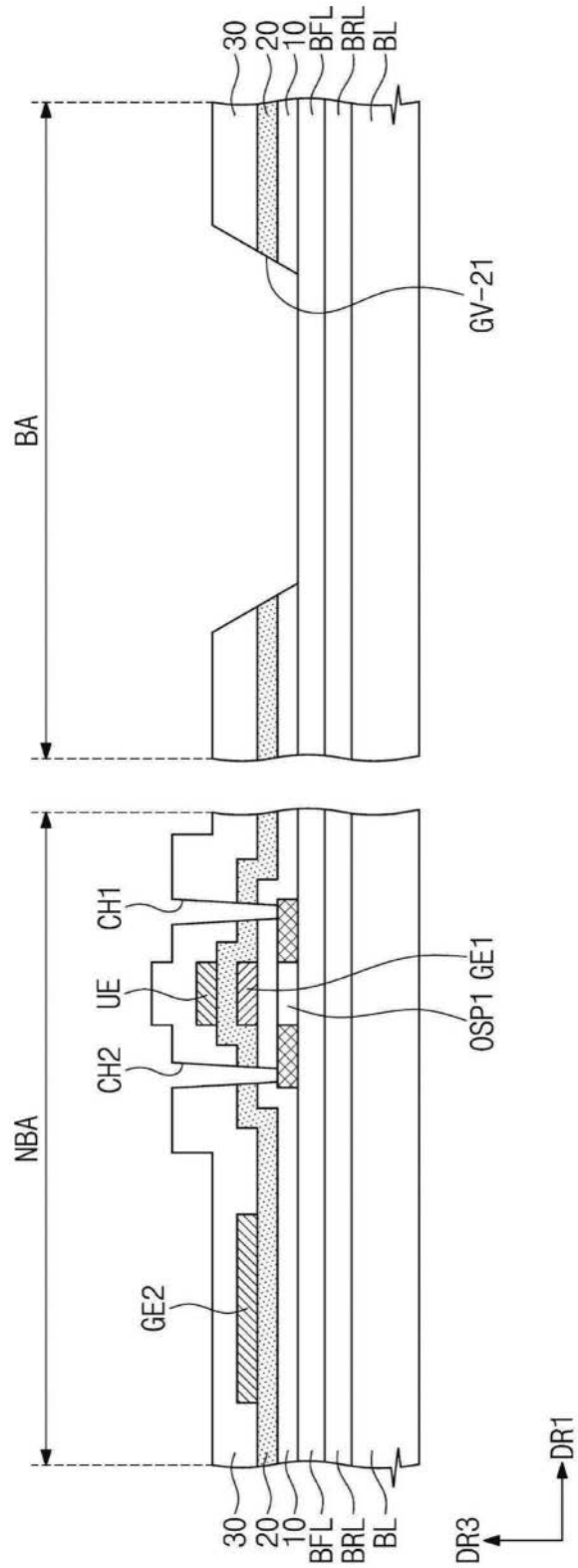


图7E

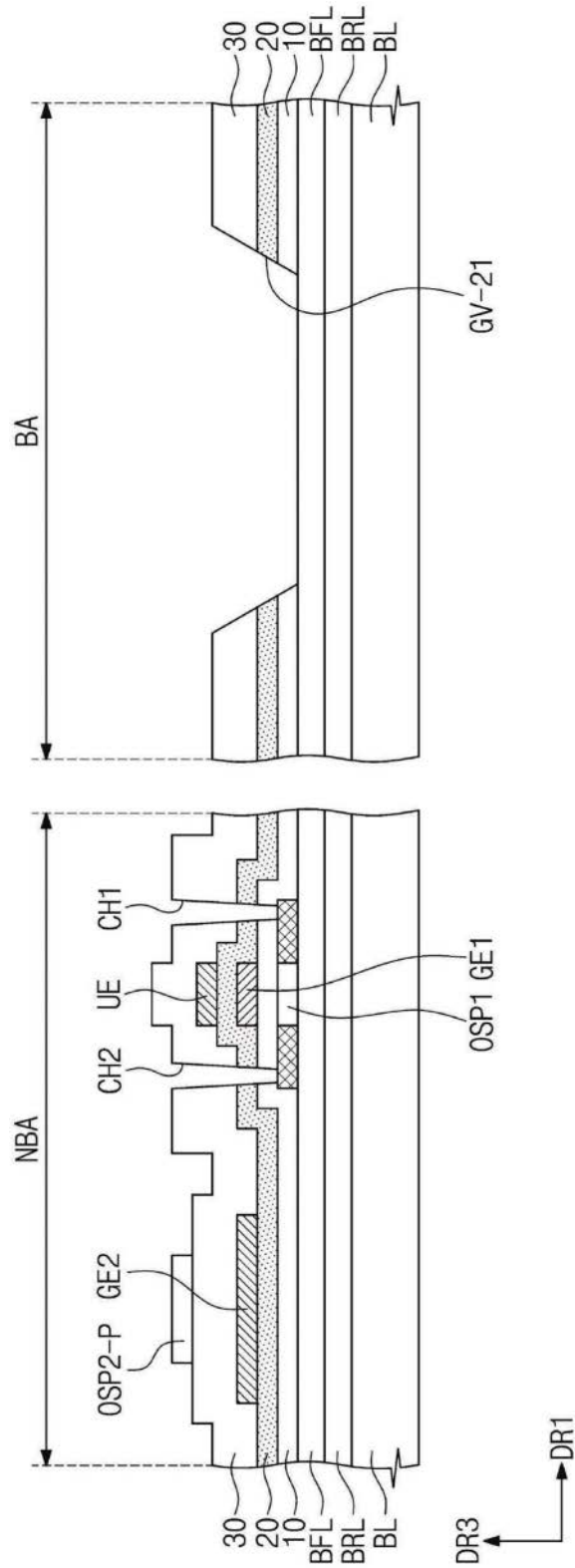


图7F

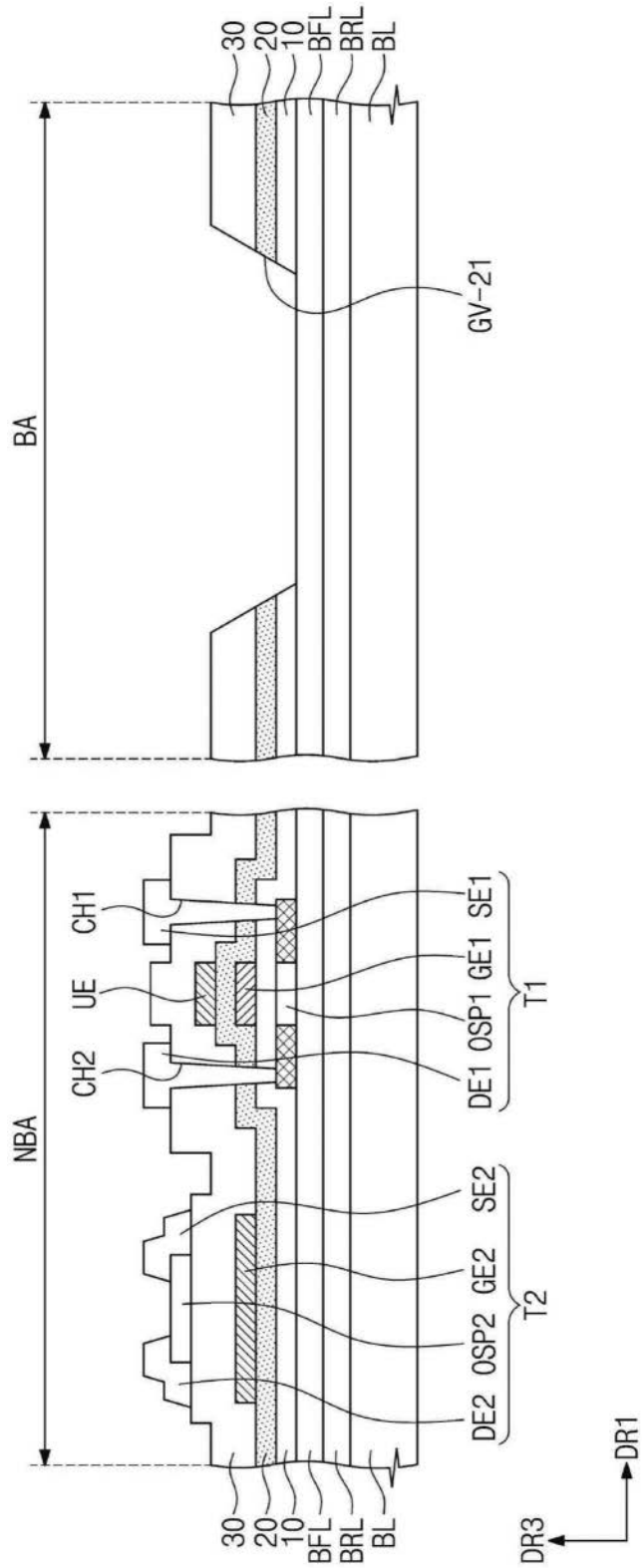


图7G

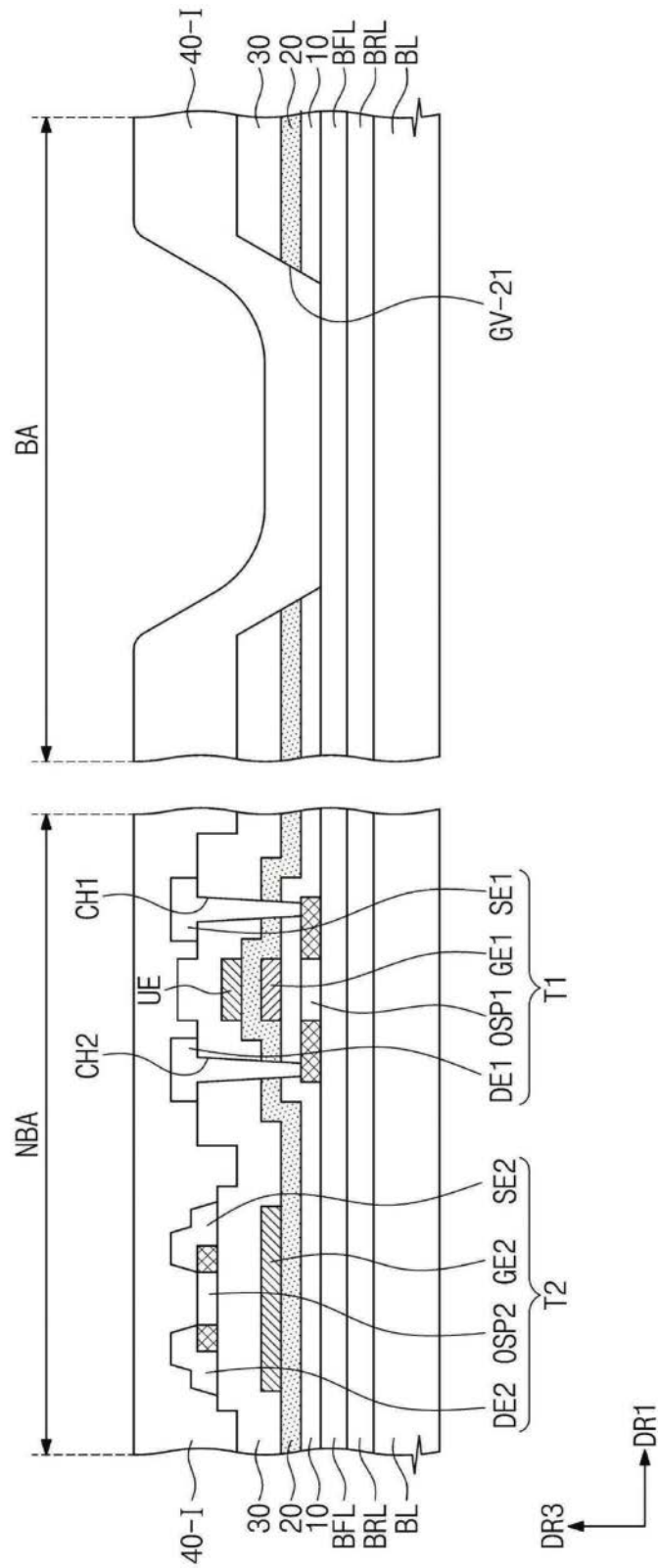


图7H

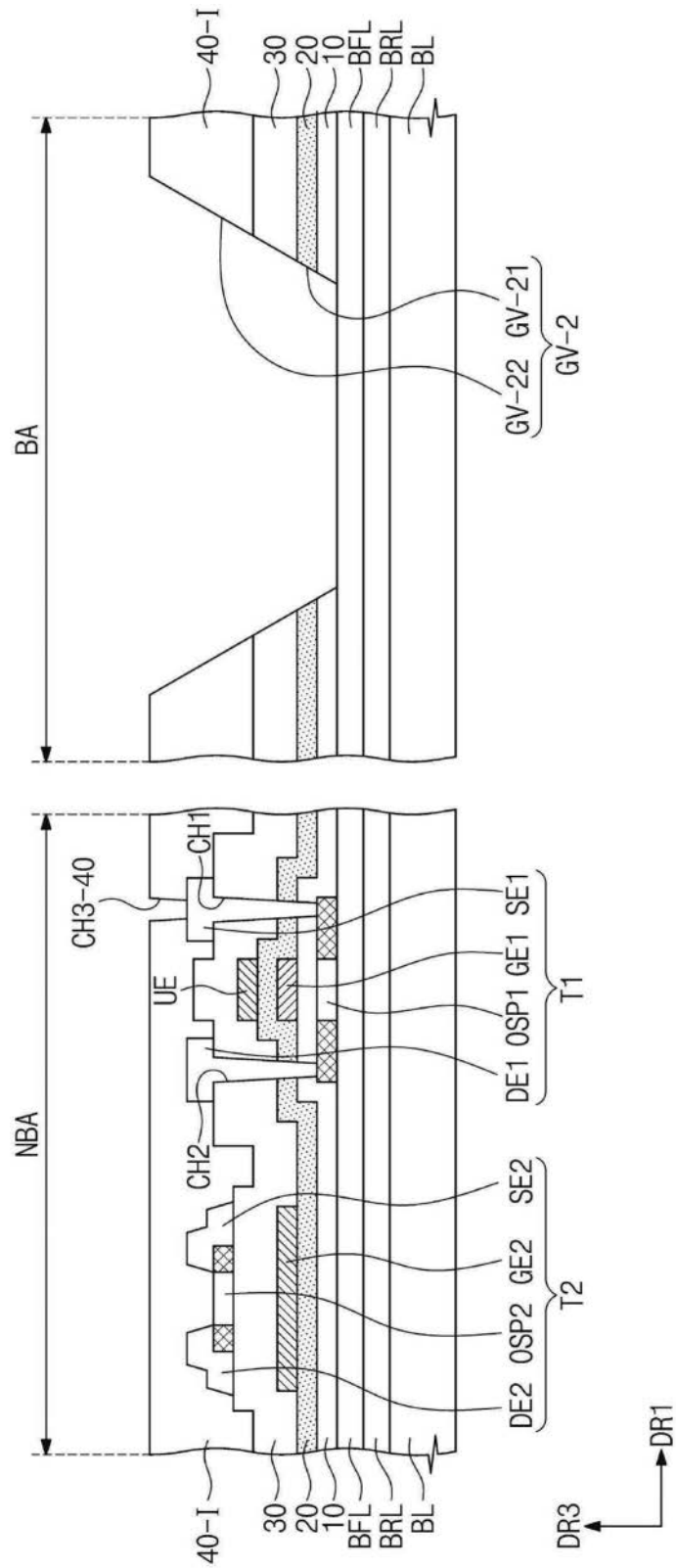


图7I

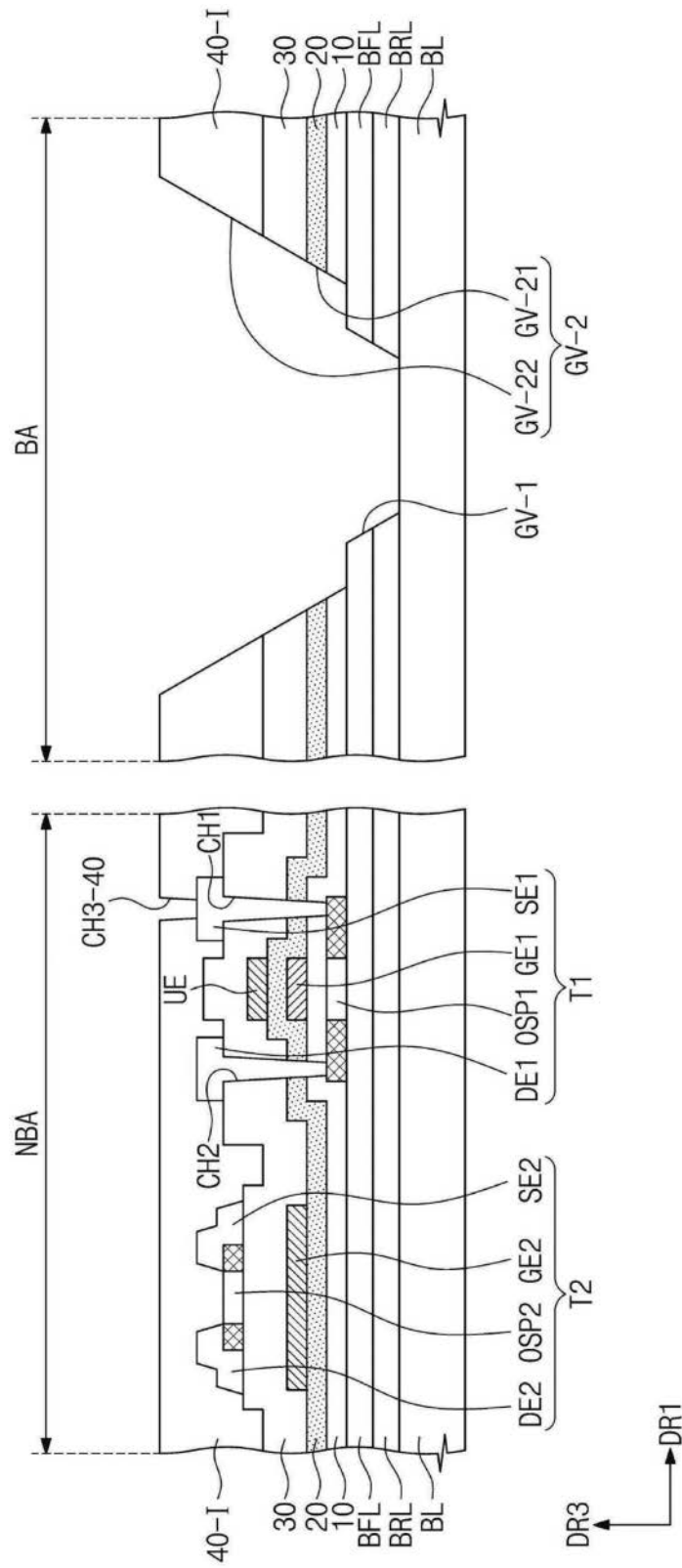


图7J

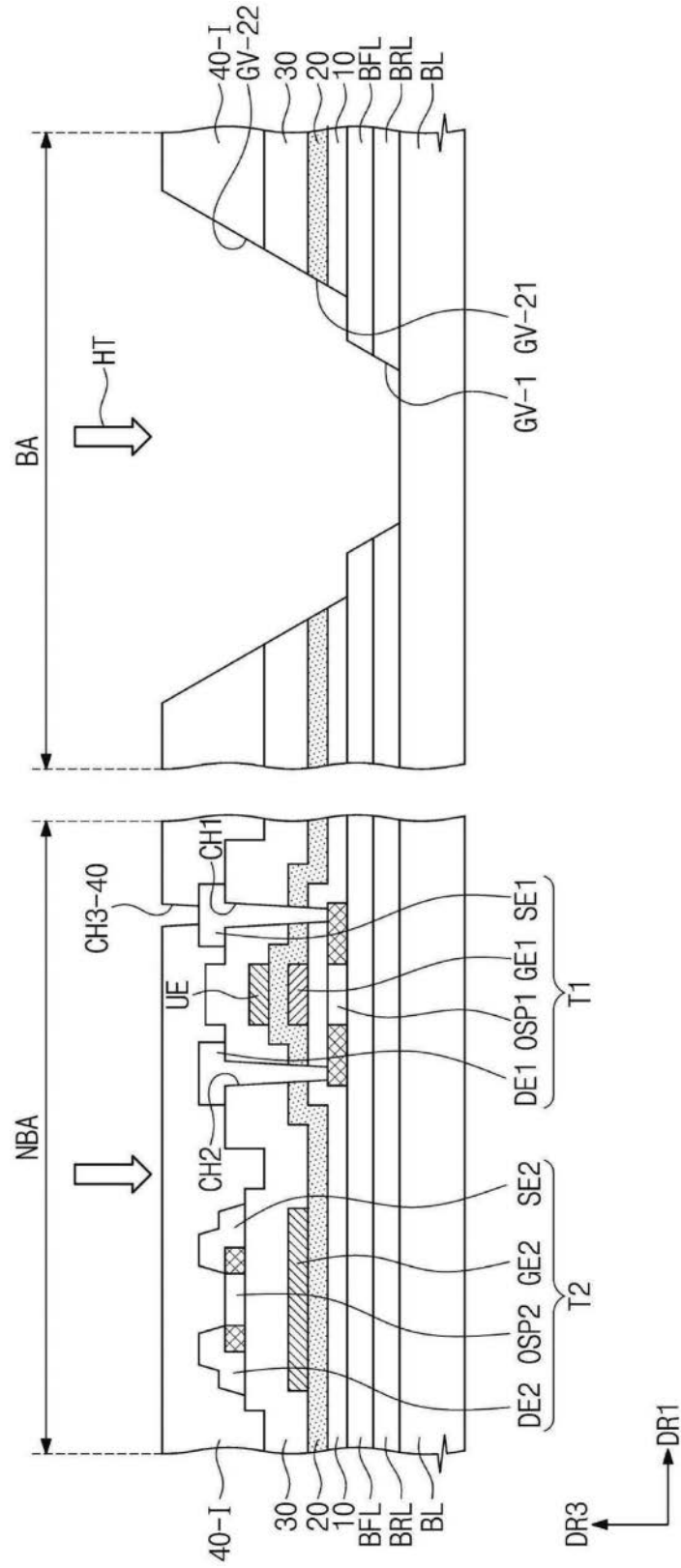


图7K

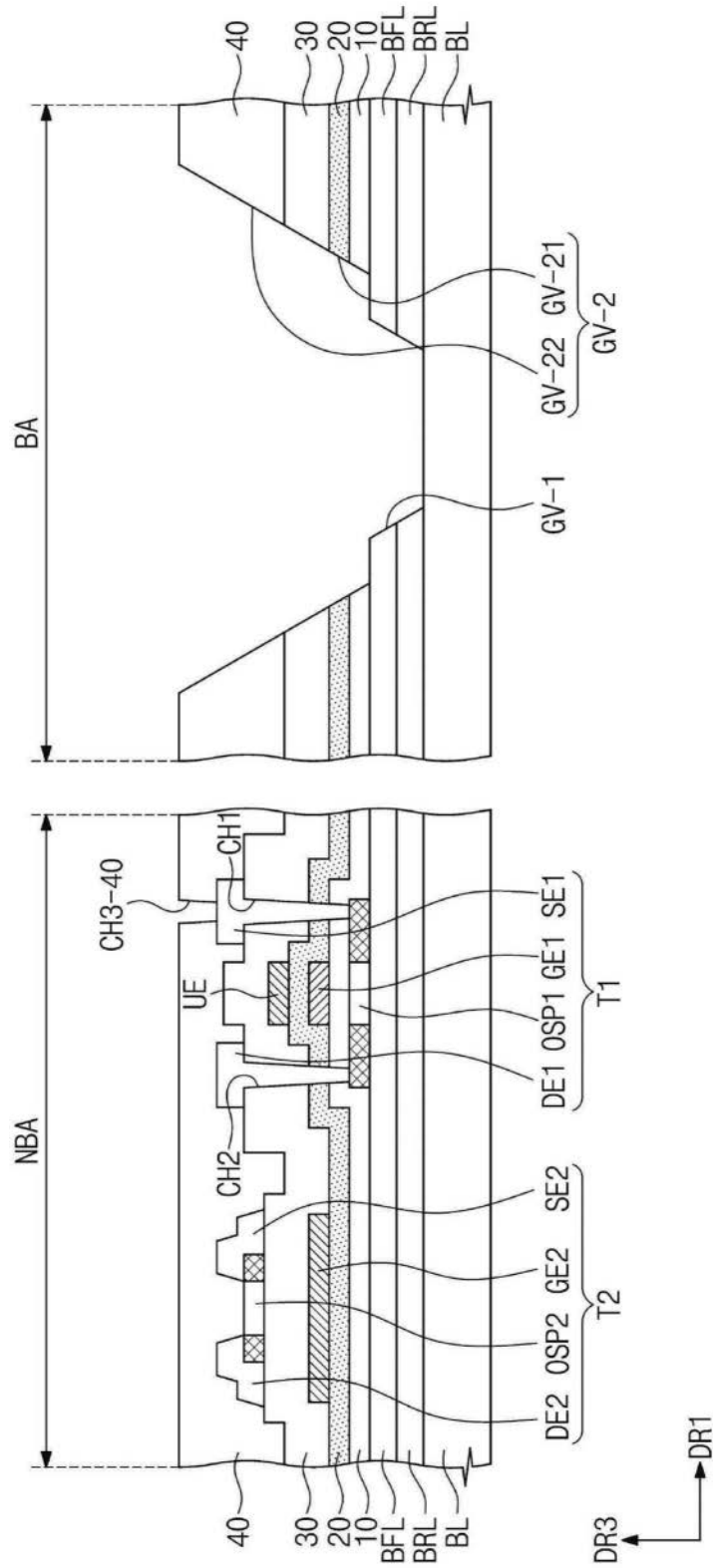


图7L

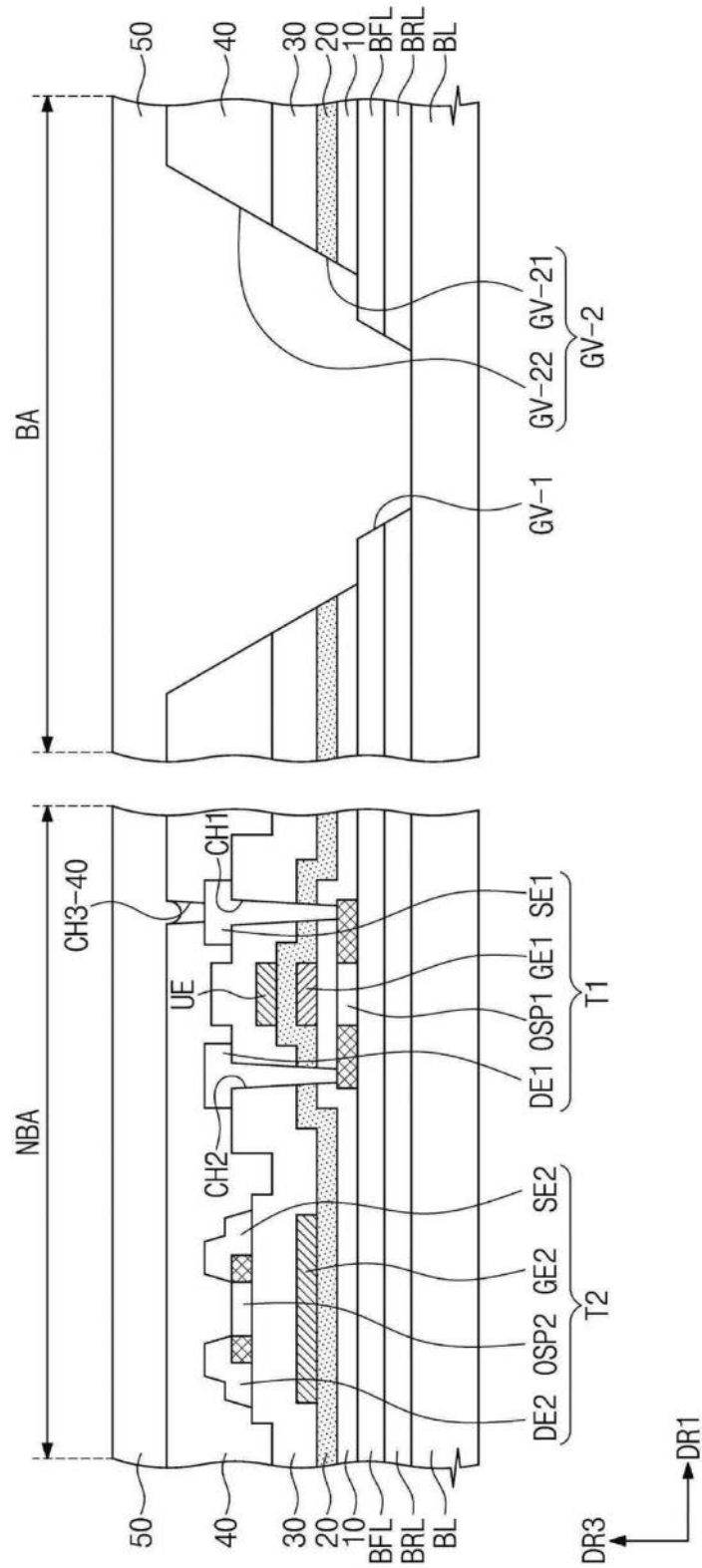


图7M

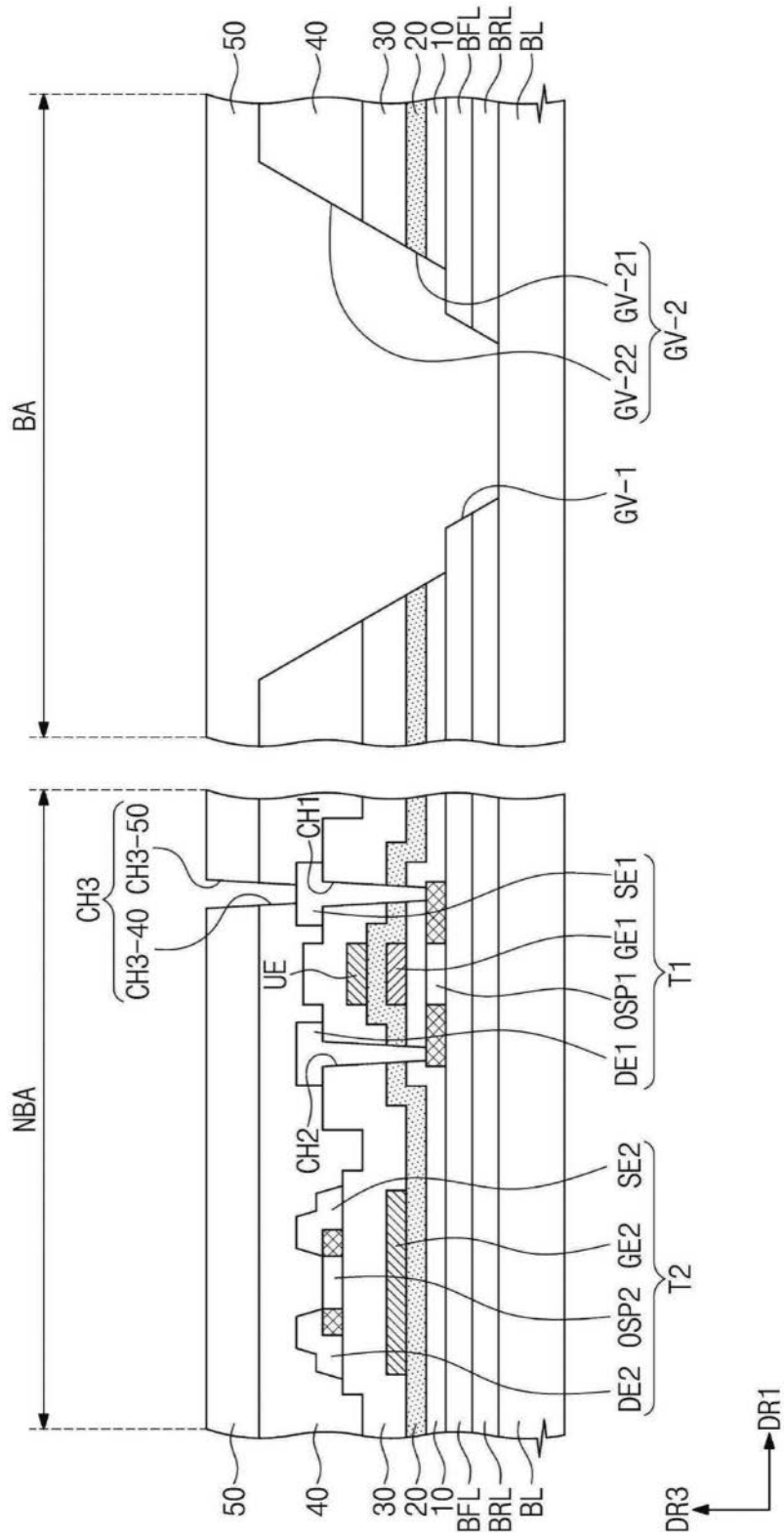


图7N

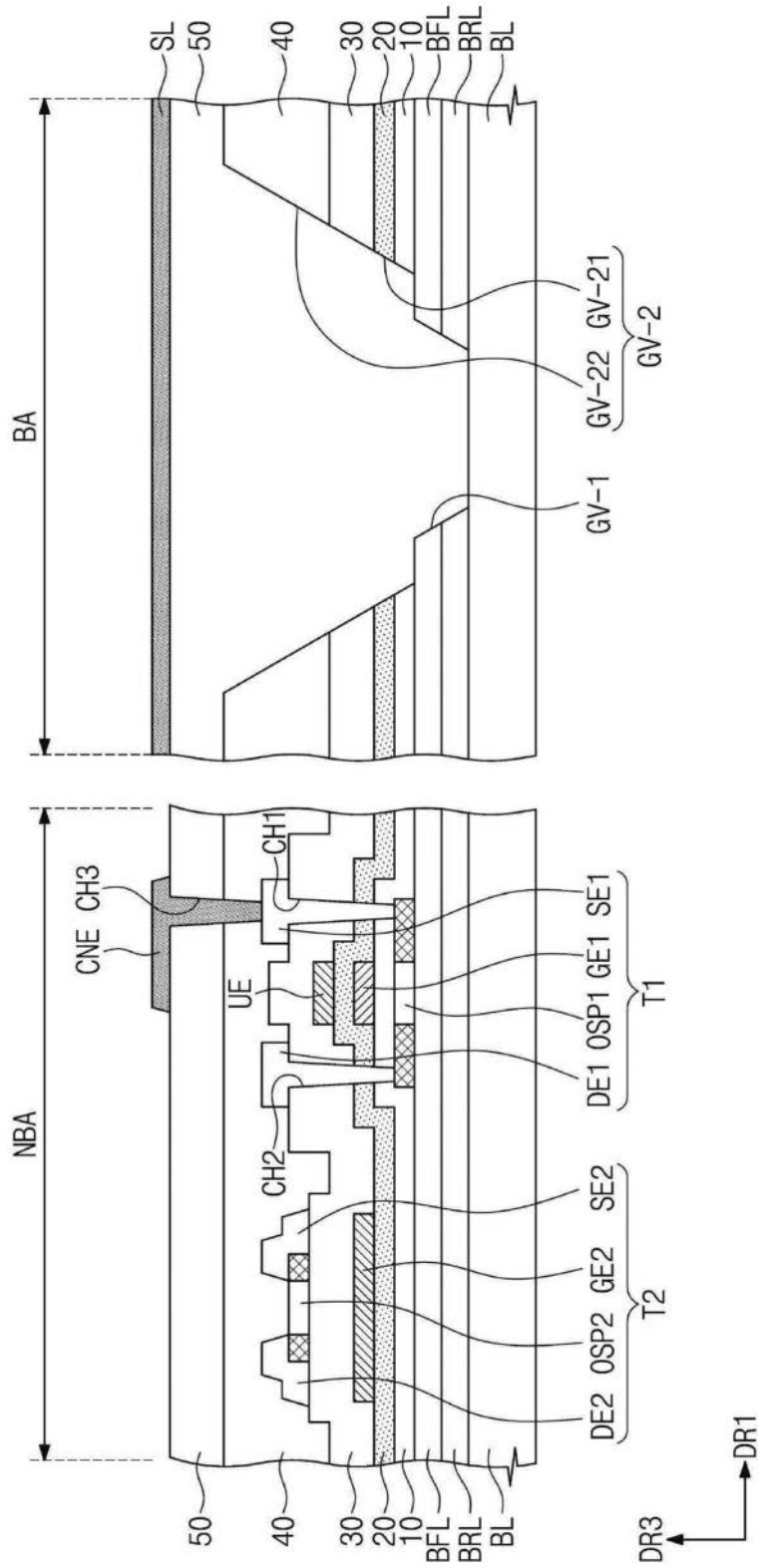


图70

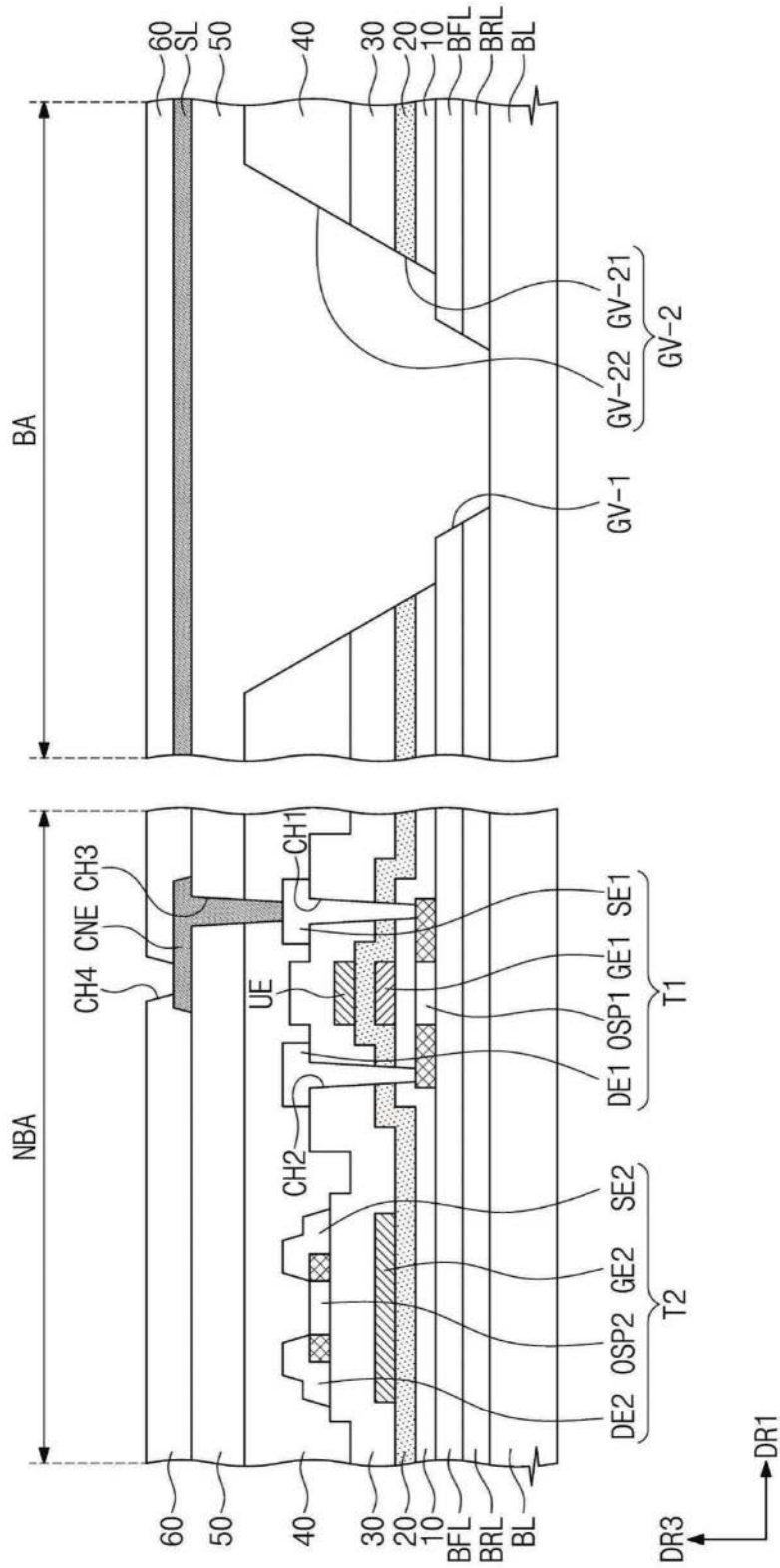


图7P

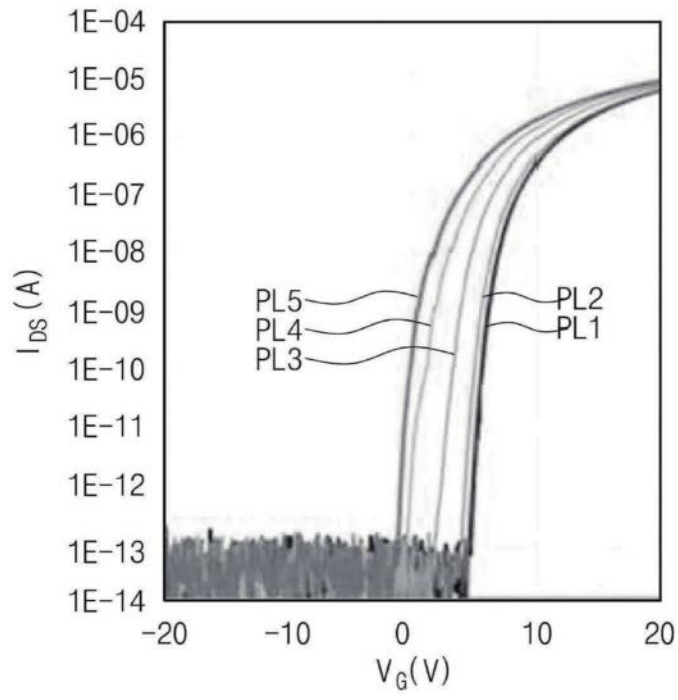


图8A

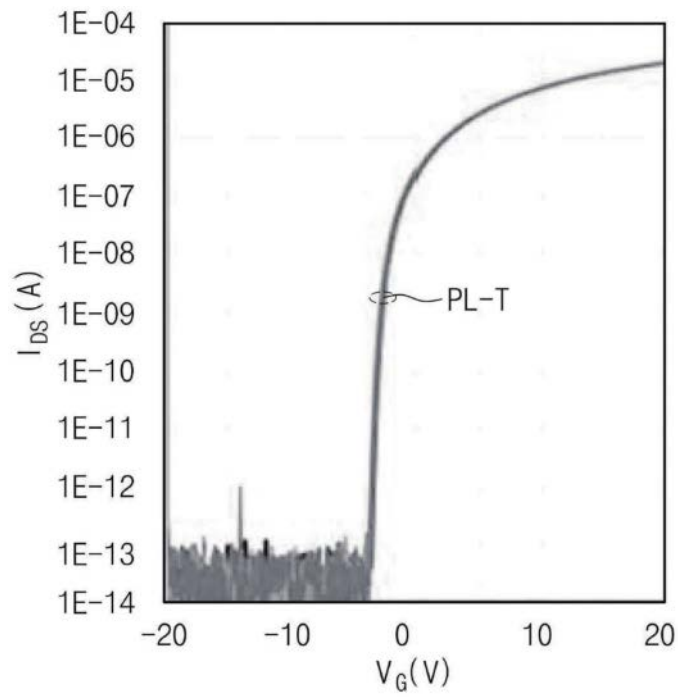


图8B

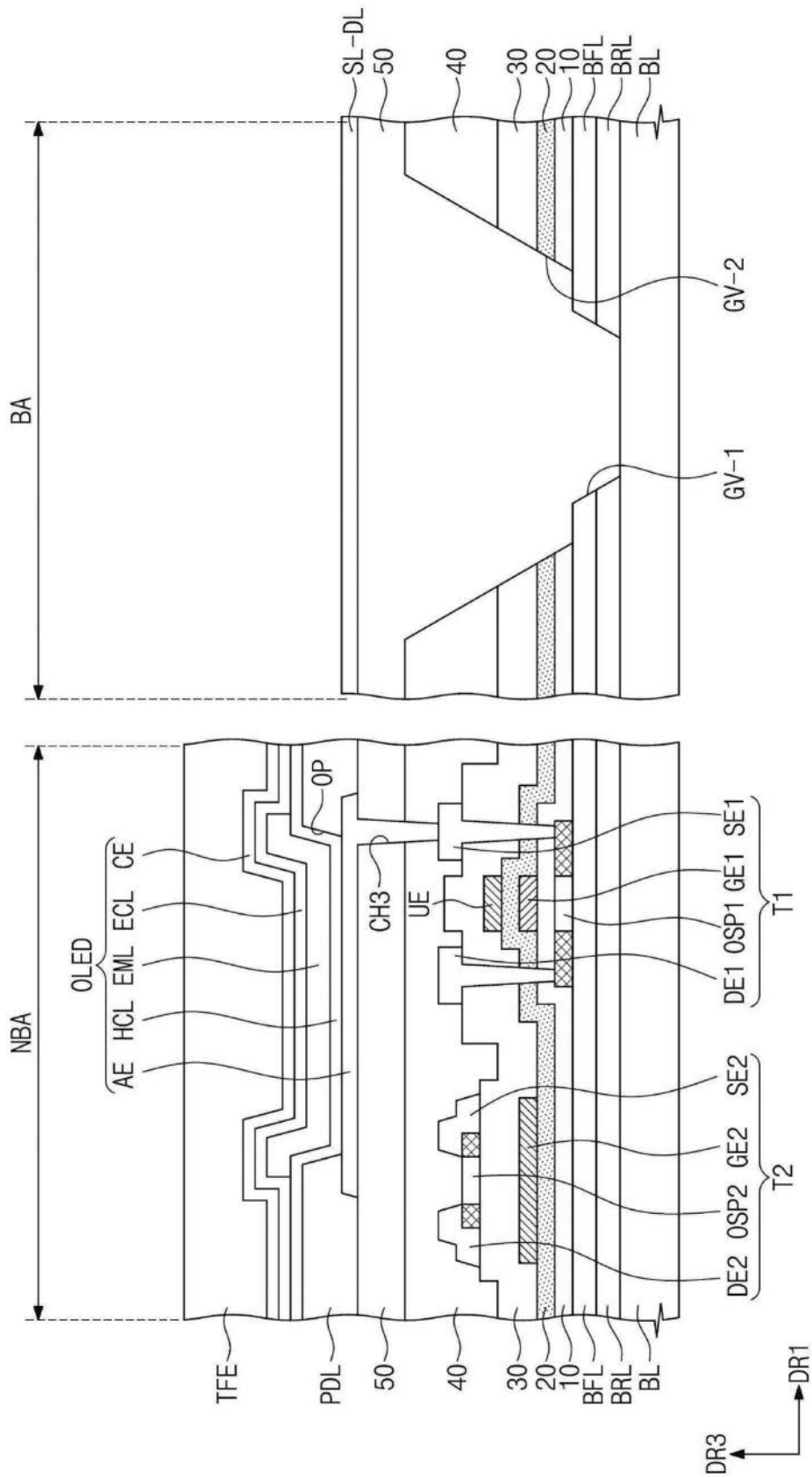


图9

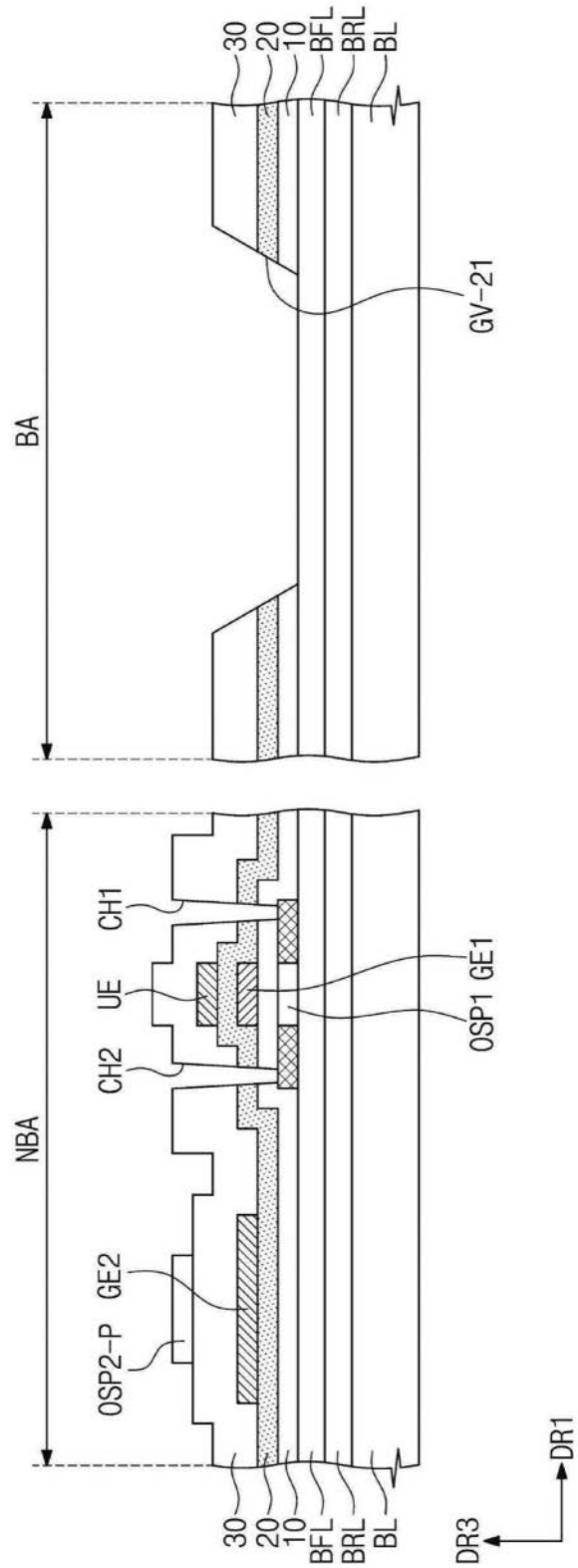


图10A

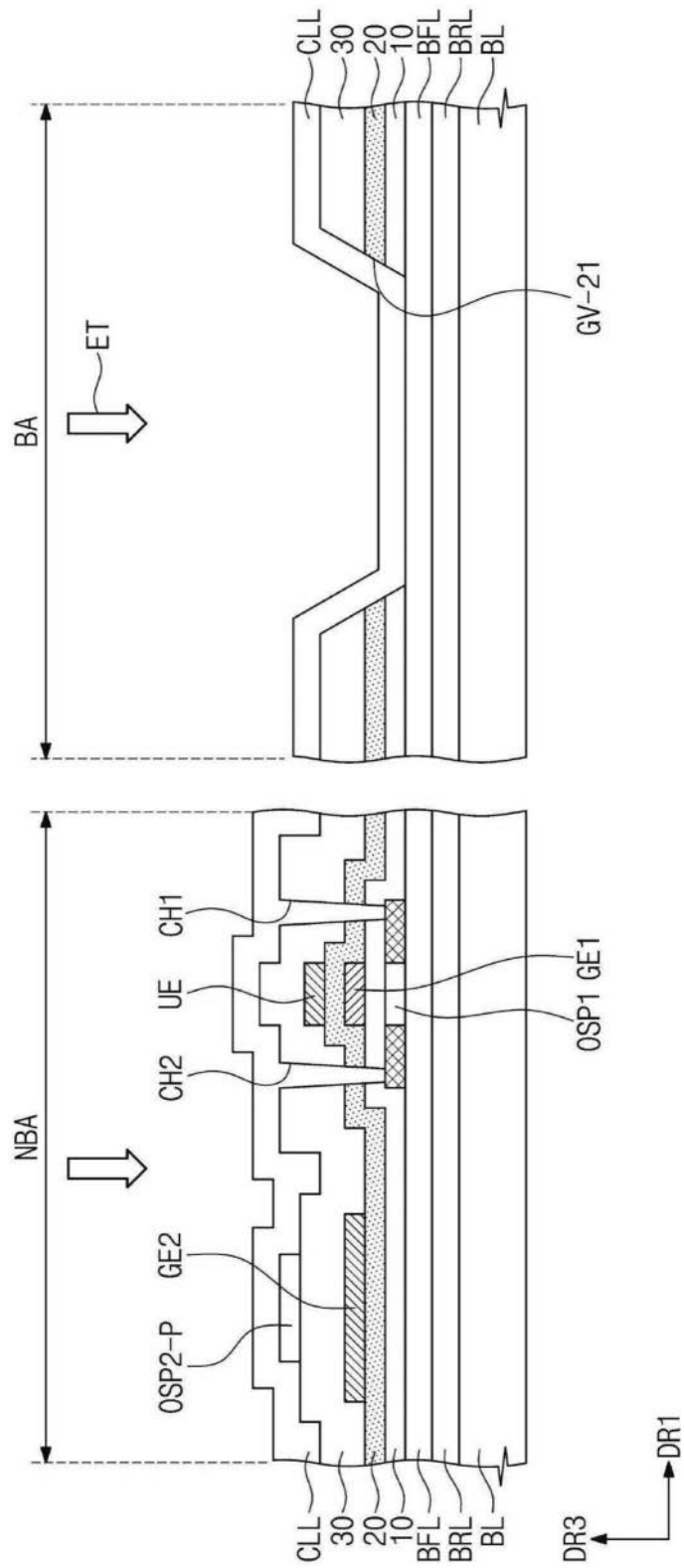


图10B

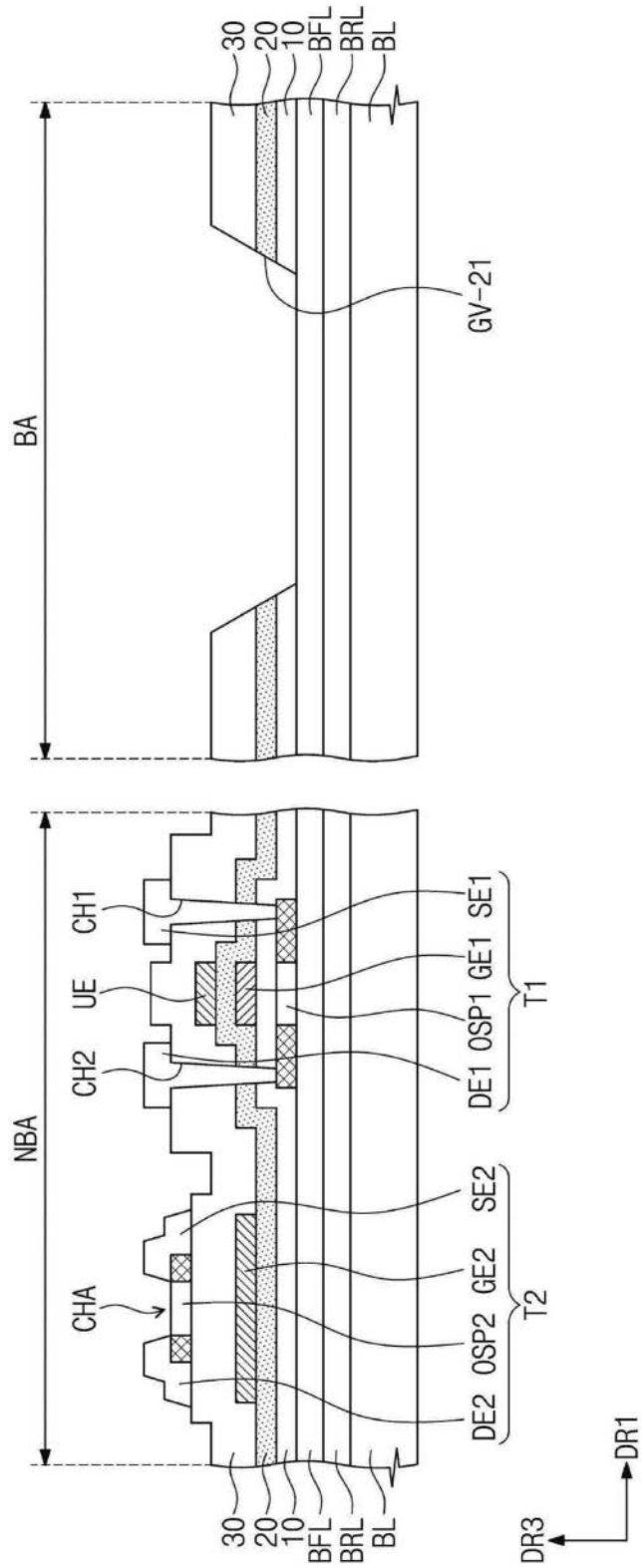


图10C

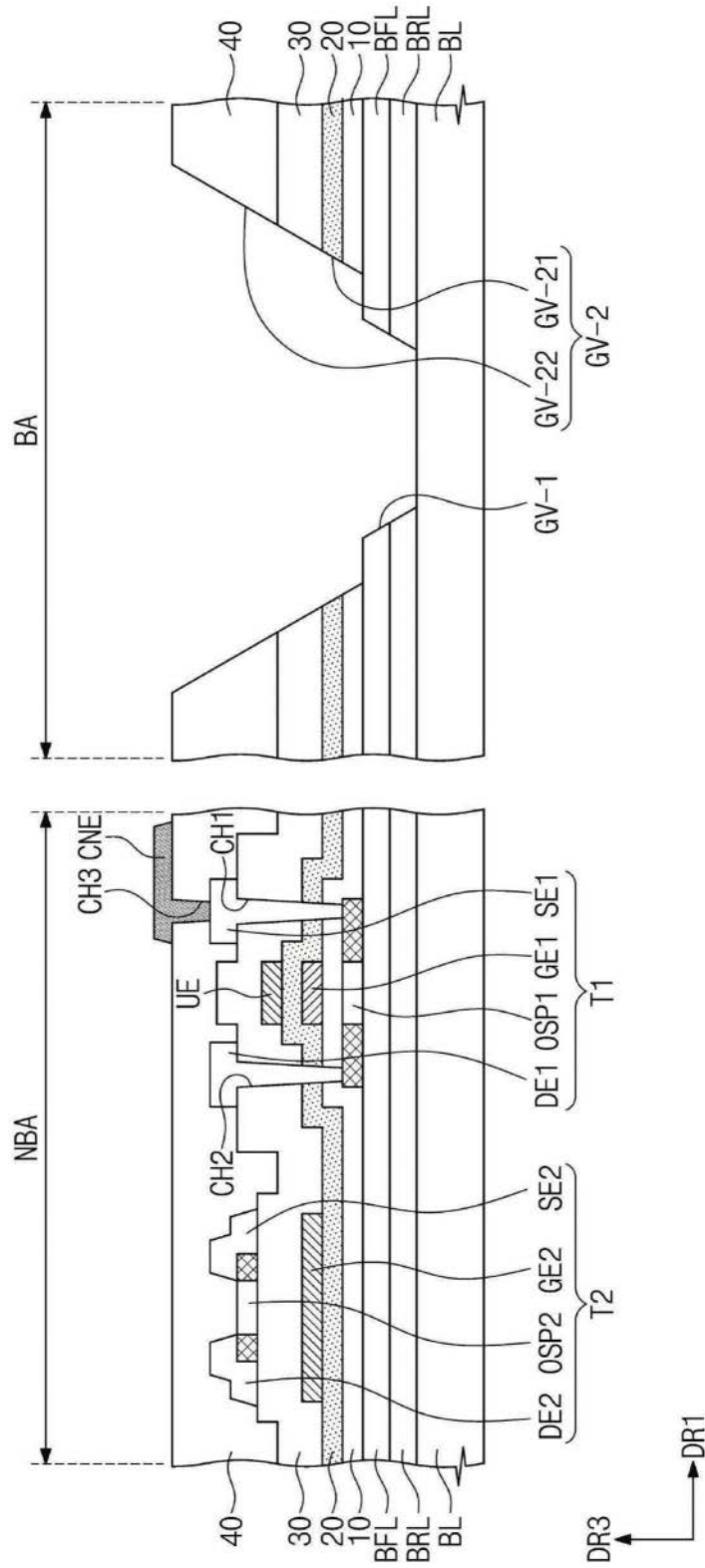


图10D