

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4822768号
(P4822768)

(45) 発行日 平成23年11月24日(2011.11.24)

(24) 登録日 平成23年9月16日(2011.9.16)

(51) Int.Cl. F I
G 1 1 C 17/18 (2006.01) G 1 1 C 17/00 3 0 6 A
G 1 1 C 16/06 (2006.01) G 1 1 C 17/00 6 3 4 A

請求項の数 4 (全 17 頁)

(21) 出願番号	特願2005-246060 (P2005-246060)	(73) 特許権者	302062931
(22) 出願日	平成17年8月26日 (2005.8.26)		ルネサスエレクトロニクス株式会社
(65) 公開番号	特開2007-59022 (P2007-59022A)		神奈川県川崎市中原区下沼部1753番地
(43) 公開日	平成19年3月8日 (2007.3.8)	(74) 代理人	100064746
審査請求日	平成20年5月22日 (2008.5.22)		弁理士 深見 久郎
		(74) 代理人	100085132
			弁理士 森田 俊雄
		(74) 代理人	100083703
			弁理士 仲村 義平
		(74) 代理人	100096781
			弁理士 堀井 豊
		(74) 代理人	100109162
			弁理士 酒井 将行
		(74) 代理人	100111246
			弁理士 荒川 伸夫

最終頁に続く

(54) 【発明の名称】 不揮発性半導体記憶装置

(57) 【特許請求の範囲】

【請求項1】

第1および第2のメモリバンクを備え、
 前記第1および第2のメモリバンクの各々は、
 行列状に配列され、各々がデータを不揮発的に記憶する複数のメモリセルを含み、
 前記第1のメモリバンクに含まれる前記複数のメモリセルの各列に対応して設けられる
 複数の第1のビット線と、
 前記第2のメモリバンクに含まれる前記複数のメモリセルの各列に対応して設けられる
 複数の第2のビット線と、
 前記複数の第1のビット線に対応してそれぞれ設けられ、各前記複数の第1のビット線
 と前記複数の第2のビット線のうちの対応する第2のビット線とを電氣的に接続可能な複
 数の接続部と、

データ読出時に、前記複数の第1および第2のビット線のうちのいずれか1つのビット
 線を読み出し対象のビット線として選択し、前記読み出し対象のビット線に対応して設け
 られる接続部を非導通状態に設定し、前記複数の接続部のうち、前記読み出し対象のビッ
 ト線に対応して設けられる接続部以外の接続部を導通状態に設定する列選択回路とをさら
 に備え、

前記複数の接続部の各々は、前記列選択回路からの選択的な制御信号により非導通状態
 とされる単一のトランジスタにより構成され、

前記列選択回路は、前記データ読出時に、前記複数の接続部のうちの前記読み出し対象

のビット線に対応して設けられる接続部を選択的に非導通状態に設定するための前記制御信号を、当該接続部に与えるように構成される、不揮発性半導体記憶装置。

【請求項 2】

前記不揮発性半導体記憶装置は、

前記複数の第 1 のビット線に対応して設けられる第 1 のデータ線と、

前記複数の第 2 のビット線に対応して設けられる第 2 のデータ線と、

前記複数の第 1 のビット線に対応して設けられ、前記第 1 のメモリバンクに含まれる前記複数のメモリセルからの前記データ読出時に、読出されるデータを判別するための参照電位が与えられる第 1 の参照電位線と、

前記複数の第 2 のビット線に対応して設けられ、前記第 2 のメモリバンクに含まれる前記複数のメモリセルからの前記データ読出時に、前記参照電位が与えられる第 2 の参照電位線と、

前記第 1 のデータ線の電位と前記第 2 のデータ線の電位との電位差を増幅するセンスアンプとをさらに備え、

前記列選択回路は、前記対象ビット線が前記複数の第 1 のビット線のうちのいずれかである場合には、前記読み出し対象のビット線と前記第 1 のデータ線とを電氣的に接続するとともに前記第 2 の参照電位線と前記第 2 のデータ線とを電氣的に接続し、前記対象ビット線が前記複数の第 2 のビット線のうちのいずれかである場合には、前記読み出し対象のビット線と前記第 2 のデータ線とを電氣的に接続するとともに前記第 1 の参照電位線と前記第 1 のデータ線とを電氣的に接続する、請求項 1 に記載の不揮発性半導体記憶装置。

【請求項 3】

一方端が前記第 1 の参照電位線と前記第 2 の参照電位線とに共通に接続され、他方端が接地ノードに接続される容量素子をさらに備える、請求項 2 に記載の不揮発性半導体記憶装置。

【請求項 4】

前記不揮発性半導体記憶装置は、前記データの書換えが不可能な読出専用メモリである、請求項 1 に記載の不揮発性半導体記憶装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は不揮発性半導体記憶装置に関し、特に、メモリセルを高密度に配置できるとともに高速動作が可能な不揮発性半導体記憶装置に関する。

【背景技術】

【0002】

一般的に半導体記憶装置は大容量や低価格、高速動作可能であることなどが求められる。このため半導体記憶装置においては素子や配線のサイズ、配線間のサイズ等が微細化されることによりメモリセルが高密度に配置されている。メモリセルの高密度配置が可能な ROM (Read Only Memory) の 1 つとして、1セル/ビットのメモリセルを用いたシングルエンド型 ROM がある。

【0003】

シングルエンド型 ROM では高速動作を実現するため、差動型センスアンプが用いられる。センスアンプはインバータ回路により構成することも可能であるが、この場合には ROM の容量が大きくなるにつれて速度劣化が著しくなる。差動型センスアンプではレファレンス電位 (参照電位) とデータ出力線の電位との微小な電位差を増幅してデータの論理レベルを決定することにより高速動作を実現できる。

【0004】

微細化に伴い、ビット線間の結合容量に起因して生じるカップリングノイズが無視できなくなっている。ノイズによる影響を回避するため、たとえばビット線間にシールド線を設けてビット線間の結合容量を小さくするという方法がある。しかしシールド線を設けるとメモリセル間のサイズが大きくなる。このため、半導体記憶装置の最大のメリットであ

10

20

30

40

50

る、メモリセルの高密度配置という特徴が活かせなくなる。

【0005】

たとえば特開平11-232891号公報(特許文献1)には、メモリセルアレイが複数のブロックに分割され、各ブロックのビット線のいずれかをカラムアドレスデコードに選択的に接続する選択スイッチと所定電位線に接続する選択スイッチとが設けられたことを特徴とする不揮発性半導体メモリが開示される。この不揮発性半導体メモリによれば各動作モードにおける印加電圧条件を低容量負荷によって達成できるので、高速動作が実現できる。

【特許文献1】特開平11-232891号公報

【発明の開示】

10

【発明が解決しようとする課題】

【0006】

1セル/ビット型の半導体記憶装置においてビット線間にシールド配線を設けない場合、メモリセルを高密度に配置したレイアウトを設計しようとするれば、ビット線の間隔は必然的に狭くなる。しかしビット線の間隔が狭くなるほどビット線間のカップリングノイズの問題が顕著に生じる。

【0007】

カップリングノイズの影響が特に深刻になるのは、メモリセルからデータを読み出すためワード線を活性化した際に、そのメモリセルに接続される選択ビット線の電位レベルがH(論理ハイ)レベルとなり、かつ、選択ビット線の両隣にある非選択ビット線のメモリセルに記憶されるデータによって、非選択ビット線の電位レベルがHレベルからL(論理ロー)レベルに変化する場合である。この場合、選択ビット線の電位は両隣の非選択ビット線の電位変化に伴って引き下げられるので、リファレンス電位とデータ出力線の電位との電位差が減少する。よって、センスアンプにおいて動作上のマージンを確保することが困難になる。また、差動型センスアンプが用いられているにも関わらず高速動作を実現することが困難になる。

20

【0008】

なお選択ビット線の電位レベルがLレベルの場合にも選択ビット線の電位が引き下げられる。しかしこの場合には差動センスアンプの動作上、特に問題は生じない。

【0009】

30

ビット線間隔を広げたりビット線間にシールド配線を設けたりすれば、カップリングノイズを小さくしたり、カップリングノイズの影響をほとんど無くすることが可能になる。しかしながら、いずれの場合にもメモリセルアレイの面積が増加する。

【0010】

本発明の目的は、メモリセルを高密度に配置することが可能になるとともに高速動作が可能になる不揮発性半導体記憶装置を提供することである。

【課題を解決するための手段】

【0011】

本発明は要約すれば、不揮発性半導体記憶装置であって、第1および第2のメモリバンクを備える。第1および第2のメモリバンクの各々は、行列状に配列され、各々がデータを不揮発的に記憶する複数のメモリセルを含む。不揮発性半導体記憶装置は、第1のメモリバンクに含まれる複数のメモリセルの各列に対応して設けられる複数の第1のビット線と、第2のメモリバンクに含まれる複数のメモリセルの各列に対応して設けられる複数の第2のビット線と、複数の第1のビット線に対応してそれぞれ設けられ、各複数の第1のビット線と複数の第2のビット線のうちの対応する第2のビット線とを電気的に接続可能な複数の接続部と、データ読出時に、複数の第1および第2のビット線のうちのいずれか1つのビット線を対象のビット線として選択し、対象のビット線に対応して設けられる接続部を非導通状態に設定し、複数の接続部のうち、対象のビット線に対応して設けられる接続部以外の接続部を導通状態に設定する列選択回路とをさらに備える。

40

【発明の効果】

50

【 0 0 1 2 】

本発明の不揮発性半導体記憶装置によれば、メモリセルを高密度に配置することが可能になるとともに高速動作が可能になる。

【 発明を実施するための最良の形態 】

【 0 0 1 3 】

以下において、本発明の実施の形態について図面を参照して詳しく説明する。なお、図中同一符号は同一または相当部分を示す。

【 0 0 1 4 】

[実施の形態 1]

図 1 は、本発明の不揮発性半導体記憶装置の適用例を示す図である。

10

【 0 0 1 5 】

図 1 を参照して、半導体集積回路 1 0 0 は、たとえばマイクロコンピュータやシステム L S I (Large Scale Integration) などである。半導体集積回路 1 0 0 は R O M 1 と、R A M (Random Access Memory) 2 と、C P U (Central Processing Unit) 3 と、外部とのデータの入出力を行なう周辺回路 4 とを含む。R O M 1 は本発明の不揮発性半導体記憶装置に相当する。R O M 1 は、たとえば製造工程にてデータが書き込まれた以後はデータの書換えが不可能なマスク R O M である。R O M 1 はフラッシュメモリでもよいが以下ではマスク R O M であるとして説明する。

【 0 0 1 6 】

図 2 は、図 1 の R O M 1 の概略構成図である。

20

図 2 を参照して、R O M 1 は、クロック端子 1 4 と、アドレス端子 1 6 と、データ出力端子 1 8 とを備える。また、R O M 1 は、クロックバッファ 2 2 と、アドレスバッファ 2 4 と、出力バッファ 2 6 と、制御回路 2 8 とを備える。さらに、R O M 1 は、行アドレスデコーダ 3 0 と、列アドレスデコーダ 3 2 と、センスアンプ / 出力制御回路ブロック 3 4 と、メモリセルアレイ 3 6 とを備える。

【 0 0 1 7 】

クロック端子 1 4 はクロック信号 C L K , C K E を受ける。クロックバッファ 2 2 はクロック信号 C L K , C K E に応じて各ブロックの動作の基準となる内部クロック信号を生成する。内部クロック信号はアドレスバッファ 2 4 、出力バッファ 2 6 、制御回路 2 8 に入力される。

30

【 0 0 1 8 】

アドレス端子 1 6 は、外部アドレス信号 A 0 ~ A n (n は自然数) を受ける。アドレスバッファ 2 4 は、外部アドレス信号 A 0 ~ A n を取込み、内部アドレス信号を生成する。内部アドレス信号は行アドレスデコーダ 3 0 および列アドレスデコーダ 3 2 に送られる。

【 0 0 1 9 】

データ出力端子 1 8 は、データを外部に出力する端子であって、データ Q 0 ~ Q i (i は自然数) を外部へ出力する。出力バッファ 2 6 は、読出時にセンスアンプ / 出力制御回路ブロック 3 4 から受ける内部データ (I Q と示す) をデータ出力端子 1 8 に出力する。

【 0 0 2 0 】

行アドレスデコーダ 3 0 は、内部アドレス信号に応じ、メモリセルアレイ 3 6 に含まれる複数のワード線の中から対象のワード線を選択する。また、列アドレスデコーダ 3 2 は、メモリセルアレイ 3 6 に含まれる複数のビット線から対象のビット線を選択する。

40

【 0 0 2 1 】

センスアンプ / 出力制御回路ブロック 3 4 は、読出されたデータに対応してデータ出力線 (コモン出力線) に発生する微小の電位変化を検出 / 増幅し、データの論理レベルを判定して内部データを出力バッファ 2 6 に出力する。

【 0 0 2 2 】

メモリセルアレイ 3 6 は、データを不揮発的に記憶するメモリセルが行列状に複数配置される。複数のメモリセルの各行に対応して複数のワード線が配置され、各列に対応して複数のビット線が配置される。メモリセルアレイ 3 6 の構成は後に詳細に説明する。

50

【 0 0 2 3 】

制御回路 2 8 は R O M 1 の全体動作を制御する。具体的には制御回路 2 8 は行アドレスデコーダ 3 0、列アドレスデコーダ 3 2、センスアンプ / 出力制御回路ブロック 3 4、および出力バッファ 2 6 を制御する。

【 0 0 2 4 】

メモリセルからのデータ読出時には、メモリセルアレイ 3 6 中のビット線が電源電位 V D D にプリチャージされた後、列アドレスデコーダ 3 2 によって選択されたビット線がデータ出力線と接続される。そして、行アドレスデコーダ 3 0 によってワード線が選択されて活性化されると、選択されたメモリセルからビット線およびデータ出力線にデータが出力される。センスアンプ / 出力制御回路ブロック 3 4 は、読出されたデータに対応してデータ出力線に発生した微小の電位変化を検出 / 増幅し、出力バッファ 2 6 にデータを出力する。これによって、選択されたメモリセルから内部データ I Q が読出される。

10

【 0 0 2 5 】

図 3 は、図 2 のメモリセルアレイ 3 6 およびメモリセルアレイ 3 6 の周辺の構成を説明する図である。

【 0 0 2 6 】

図 3 を参照して、メモリセルアレイ 3 6 はバンク B K 0、B K 1 に分割されて配置される。バンク B K 0、B K 1 の各々は行列状に配置された複数のメモリセルを含む。各バンクにおいては複数のメモリセルの各列に対応して複数のビット線が設けられ、複数のメモリセルの各行に対応して複数のワード線が設けられる。

20

【 0 0 2 7 】

図 3 ではバンク B K 0 に含まれる複数のメモリセルとしてメモリセル M 0 0 ~ M 0 3 を代表的に示し、バンク B K 1 に含まれる複数のメモリセルとしてメモリセル M 1 0 ~ M 1 3 を代表的に示す。メモリセル M 0 0 ~ M 0 3 のそれぞれに対応してビット線 B L 0 < 0 > ~ B L 0 < 3 > が設けられ、メモリセル M 1 0 ~ M 1 3 のそれぞれに対応してビット線 B L 1 < 0 > ~ B L 1 < 3 > が設けられる。

【 0 0 2 8 】

また、メモリセル M 0 0 ~ M 0 3 に対応してワード線 W L 0 < A > が設けられ、メモリセル M 1 0 ~ M 1 3 に対応してワード線 W L 1 < A > が設けられる。なおワード線 W L 0 < A >、W L 1 < A > は行アドレスデコーダ 3 0 によって活性化される。

30

【 0 0 2 9 】

バンク B K 0 にはビット線 B L 0 < 0 > ~ B L 0 < 3 > に対応してリファレンスビット線 R B L 0 およびメモリセル M 0 R が設けられ、バンク B K 1 にはビット線 B L 1 < 0 > ~ B L 1 < 3 > に対応してリファレンスビット線 R B L 1 およびメモリセル M 1 R が設けられる。これらのリファレンスビット線およびメモリセルは、対象のメモリセルのデータ読出時に読出されたデータが「1」、「0」のいずれであるかを判別するために用いられる。メモリセル M 0 R、M 1 R には「0」のデータが記憶される。

【 0 0 3 0 】

列選択回路 3 2 A は N A N D 回路 N A 0 ~ N A 3 および P チャネル M O S トランジスタ T 0 ~ T 3 を含む。N A N D 回路 N A 0 ~ N A 3 の各々は一方に信号 B S 0 を受ける。また、N A N D 回路 N A 0 ~ N A 3 は信号 C S 0 ~ C S 3 をそれぞれの他方に受ける。

40

【 0 0 3 1 】

P チャネル M O S トランジスタ T 0 ~ T 3 は、N A N D 回路 N A 0 ~ N A 3 のそれぞれの出力をゲートを受けて、ビット線とコモン出力線 C R 0 とを電氣的に接続する。

【 0 0 3 2 】

列選択回路 3 2 B は N A N D 回路 N A 0 ~ N A 3 に代えて N A N D 回路 N A 4 ~ N A 7 を含み、P チャネル M O S トランジスタ T 0 ~ T 3 に代えて P チャネル M O S トランジスタ T 4 ~ T 7 を含む点で列選択回路 3 2 A と異なる。N A N D 回路 N A 4 ~ N A 7 の各々は一方に信号 B S 0 を受ける。また N A N D 回路 N A 0 ~ N A 3 は信号 C S 0 ~ C S 3 をそれぞれの他方に受ける。P チャネル M O S トランジスタ T 4 ~ T 7 のそれぞれはビット

50

線 $BL1<0> \sim BL1<3>$ に対応して設けられ、ビット線とコモン出力線 $CR1$ とを電氣的に接続する。列選択回路 $32B$ の他の部分の構成は列選択回路 $32A$ と同様であるので以後の説明は繰り返さない。

【0033】

ここで信号 $BS0$, $BS1$ はバンク $BK0$, $BK1$ をそれぞれ選択することを示す信号であり、信号 $CS0 \sim CS3$ はビット線 $BL0<0> \sim BL0<3>$ のそれぞれを選択することを示す信号である。

【0034】

なお、リファレンスビット線 $RBL0$ は P チャネル MOS トランジスタ $T0R$ によってコモン出力線 $CR0$ に接続され、リファレンスビット線 $RBL1$ は P チャネル MOS トランジスタ $T1R$ によってコモン出力線 $CR1$ に接続される。 P チャネル MOS トランジスタ $T0R$, $T1R$ のそれぞれは信号 $BS0$, $BS1$ に応じて導通する。

10

【0035】

選択信号発生回路 $32C$ は内部アドレス信号 (図示せず) に応じて信号 $CS0 \sim CS3$ を出力する。また、バンク選択回路 $32D$ は内部アドレス信号に応じて信号 $BS0$, $BS1$ を出力する。

【0036】

列選択回路 $32A$, $32B$ 、選択信号発生回路 $32C$ およびバンク選択回路 $32D$ は図2に示す列アドレスデコーダ 32 に含まれる。図3に示すように列アドレスデコーダ 32 のうち、列選択回路 $32A$, $32B$ はバンク $BK0$, $BK1$ のそれぞれに隣接して設けられてもよいし、選択信号発生回路 $32C$ およびバンク選択回路 $32D$ とともに1つの回路ブロックとして設けられてもよい。列アドレスデコーダ 32 はビット線 $BL0<0> \sim BL0<3>$, $BL1<0> \sim BL1<3>$ のうちのいずれか1つのビット線を選択する。

20

【0037】

センスアンプ SA は制御回路 28 からセンス動作を可能にするための信号 SE を受けるとセンス動作を行なう。データ読出時にはリファレンスビット線 $RBL0$, $RBL1$ にリファレンス電位が与えられる。バンク $BK0$ に含まれるメモリセルからデータを読出す際には、リファレンスビット線 $RBL1$ がコモン出力線 $CR1$ に接続され、バンク $BK1$ に含まれるメモリセルからデータを読出す際には、リファレンスビット線 $RBL0$ がコモン出力線 $CR0$ に接続される。リファレンス電位が与えられる一方のコモン出力線と読出されたデータに応じた電位が与えられる他方のコモン出力線との電位差がセンスアンプ SA により増幅され、メモリセルから読出されたデータが「1」か「0」かのいずれであるかが確定する。

30

【0038】

以後、コモン出力線の電位レベルについて、たとえば電源電位 VDD のようにリファレンス電位よりも高い場合には「Hレベル」と称し、たとえば接地電位のようリファレンス電位よりも低い場合には「Lレベル」と称する。コモン出力線の電位レベルがHレベルの場合にはデータは「1」であり、Lレベルの場合にはデータは「0」である。

【0039】

スイッチ $SW0 \sim SW3$ はビット線 $BL0<0> \sim BL0<3>$ のそれぞれに対して設けられ、ビット線 $BL0<0> \sim BL0<3>$ とビット線 $BL1<0> \sim BL1<3>$ とをそれぞれ電氣的接続することができる。スイッチ $SW0 \sim SW3$ はたとえば P チャネル MOS トランジスタにより構成される。スイッチ $SW0 \sim SW3$ は信号 $CS0 \sim CS3$ をそれぞれ受け、導通状態と非導通状態とを切り換える。

40

【0040】

コモン出力線 $CR0$, $CR1$ に共通に容量 CP が設けられる。図3に示すように、容量 CP はたとえばゲートに電源電位が与えられ、一方端がコモン出力線 $CR0$, $CR1$ に共通に接続され、他方端が接地される P チャネル MOS トランジスタにより構成される。この P チャネル MOS トランジスタのサイズは P チャネル MOS トランジスタ $T0 \sim T7$ 、スイッチ $SW0 \sim SW3$ の各々のサイズと等しい。また、この容量 CP には、上述の P チ

50

チャンネルMOSトランジスタが6個含まれる。なお、これら6個のPチャンネルMOSトランジスタの配置は特に限定されるものではない。

【0041】

バンクBK0内のメモリセルからデータが読出される場合には、コモン出力線CR0にはPチャンネルMOSトランジスタT0～T3，TOR，およびスイッチSW0が負荷容量として接続される。一方、コモン出力線CR1におけるリファレンス電位は、Hレベル時のコモン出力線CR0の電位とLレベル時のコモン出力線CR0の電位とのほぼ中間に設定される必要がある。

【0042】

このようにリファレンス電位を設定するため、コモン出力線CR1に接続される負荷容量の大きさはコモン出力線CR0の2倍の大きさとなる必要がある。コモン出力線CR1には既に6個の負荷容量（PチャンネルMOSトランジスタT4～T7，T1R，およびスイッチSW0）が接続される。よって容量CPとして6個のPチャンネルMOSトランジスタが設けられる。

【0043】

なお列選択回路32A，32BおよびスイッチSW0～SW7においては、PチャンネルMOSトランジスタに代えてNチャンネルMOSトランジスタやフルCMOS回路が用いられてもよい。

【0044】

実施の形態1における動作を要約すると以下のとおりである。バンクBK0，BK1のいずれかの選択バンクにおいて、あるビット線が選択された場合、そのビット線に対応して設けられるスイッチ（スイッチSW0～SW3のいずれかのスイッチ）がオフすることで、非選択バンクの相対するビット線との電氣的な接続が切断される。一方、選択バンク中の非選択ビット線は非選択バンク中の相対するビット線と電氣的に接続される。これにより非選択ビット線の負荷容量が大きくなるので、ワード線が活性化されてもビット線の電位変化の速度を遅くすることができる。よって選択ビット線へのカップリングノイズの影響を低減させることができる。

【0045】

プリチャージ回路40，41はバンクBK0，BK1のそれぞれに対応して設けられる。プリチャージ回路40はワード線WL0<A>が不活性化されている期間に、信号PCに応じてビット線BL0<0>～BL0<3>およびリファレンスビット線RBL0を電源電位VDDにプリチャージする。同様に、プリチャージ回路41はワード線WL1<A>が不活性化されている期間に、信号PCに応じてビット線BL1<0>～BL1<3>およびリファレンスビット線RBL1を電源電位VDDにプリチャージする。

【0046】

図4は、図3のプリチャージ回路40の構成例を説明する図である。

図4を参照して、プリチャージ回路40はPチャンネルMOSトランジスタ40A～40Eを含む。PチャンネルMOSトランジスタ40A～40Eの各ソースは電源ノードW1に接続され、各ゲートは信号PCを受ける。PチャンネルMOSトランジスタ40A～40Eのドレインはビット線BL0<0>～BL3<0>およびリファレンスビット線RBL0にそれぞれ接続される。なお、プリチャージ回路41の構成はプリチャージ回路40と同様であり、ビット線BL0<0>～BL3<0>およびリファレンスビット線RBL0をビット線BL1<0>～BL1<3>およびリファレンスビット線RBL1にそれぞれ置き換えた構成である。よってプリチャージ回路41の構成については以後の説明を繰り返さない。

【0047】

図5は、図3のメモリセルの構成例およびメモリセルへのプログラムを説明する図である。

【0048】

図5を参照して、メモリセルM00，M01は、たとえばNチャンネルMOSトランジスタ

10

20

30

40

50

タNM0, NM1によってそれぞれ構成される。NチャンネルMOSトランジスタNM0, NM1のドレインはビット線BL0<0>, BL0<1>にそれぞれ接続される。NチャンネルMOSトランジスタNM0, NM1のゲートはワード線WL0<A>に接続される。

【0049】

プログラムはNチャンネルMOSトランジスタのソースを接地ノードに接続するか否かにより行なう。NチャンネルMOSトランジスタNM0のソースが接地ノードに接続されることによりメモリセルM00には「0」のデータがプログラムされる。一方、NチャンネルMOSトランジスタNM1のソースは接地ノードに接続されない。これによってメモリセルM01には「1」のデータがプログラムされる。

【0050】

データ読出時にワード線WL0<A>が活性化されると、NチャンネルMOSトランジスタNM0はビット線BL0<0>の電位を電源電位VDDから低下させる。一方、NチャンネルMOSトランジスタNM1はビット線BL0<1>の電位を電源電位VDDからほとんど変化させない(あるいはわずかに低下させる)。なお、データ「1」をメモリセルから読出す場合にビット線の電位が電源電位VDDから低下してもよい。

【0051】

図6は、実施の形態1でのビット線およびリファレンスビット線の配置例を示す平面図である。

【0052】

図6を参照して、リファレンスビット線RBLを両脇から挟むようにシールド配線SH1, SH2が設けられる。メモリセルを高密度に配置するため、ビット線の間にはシールド配線は設けられていない。シールド配線SH1, SH2によりビット線BL<0>~BL<3>のいずれかのビット線とリファレンスビット線RBLとの間でカップリングノイズが生じるのを防ぐことができる。図6に示す配置はバンクBK0, バンクBK1の両方に適用される。

【0053】

次に、ROM1の動作の概略を説明する。以下ではバンクBK0のメモリセルM00からデータを読出すものとして説明する。

【0054】

図7は、ROM1の動作を示すタイミングチャートである。

図7を参照して、時刻t1以前において信号BS0, BS1, CS0~CS3はいずれもLレベルである。このとき各ビット線、各リファレンスビット線および各ローカル線の電位はプリチャージによって電源電位VDDに設定されている。

【0055】

時刻t1では信号BS0がHレベルに変化する。これによりバンクBK0が選択される。なお信号BS1がHレベルに変化した場合にはバンクBK1が選択される。

【0056】

また、時刻t1では信号PCがLレベルからHレベルに変化し、プリチャージが終了する。さらに、信号CS0がHレベルに変化してビット線BL0<0>が選択される。さらにワード線WL0<A>の電位(電位VWLA)のレベルがHレベルに変化し、メモリセルM00からデータが読出される。なお時刻t1以後においても、信号BS1, CS1~CS3および電位VWL(ワード線WL0<A>以外のワード線の電位)はLレベルのまま変化しない。

【0057】

データの読出しに応じてビット線BL0<0>の電位VBL0<0>は電源電位VDDから低下する。さらに、メモリセルM0Rに「0」のデータがプログラムされているので、リファレンスビット線RBL1の電位VR1(およびリファレンスビット線RBL0の電位)が電源電位VDDから低下する。電位VBL0<0>が電位VR1よりも高いか低いかによって、電位VBL0<0>のレベルはHレベルかLレベルかのいずれかとなる。また電位VR1はHレベル時の電位VBL0<0>とLレベル時の電位VBL0<0>の

10

20

30

40

50

中間の電位となる。

【 0 0 5 8 】

ワード線 $W L 0 < A >$ の活性化により、ビット線 $B L 0 < 1 > \sim$ ビット線 $B L 0 < 3 >$ (非選択ビット線) の各々に接続されるメモリセル (NチャネルMOSトランジスタ) によって、非選択ビット線の電位も電源電位 $V D D$ から低下する。電位 $V B 0 < 1 > \sim V B 0 < 3 >$ はビット線 $B L 0 < 1 > \sim$ ビット線 $B L 0 < 3 >$ の電位をそれぞれ示す。

【 0 0 5 9 】

たとえば信号 $C S 1$ が L レベルであるのでスイッチ $S W 1$ は導通状態である。よってビット線 $B L 0 < 1 >$ はビット線 $B L 1 < 1 >$ に電氣的に接続される。ビット線 $B L 0 < 1 >$ の容量値がビット線 $B L 1 < 1 >$ の容量値よりも大きいいため、電位 $V B L 0 < 1 >$ の変化は、電位 $V B L 0 < 1 >$ が H レベル、L レベルのいずれの場合にも電位 $V B 0 < 0 >$ の変化よりも小さい。よって、電位 $V B 0 < 0 >$ は電位 $V B L 0 < 1 >$ の変化の影響を受けにくくなる。

10

【 0 0 6 0 】

このように、非選択バンク (バンク $B K 1$) 側の非選択ビット線を選択バンク (バンク $B K 0$) 側の非選択ビット線と結合することにより、選択バンク側の非選択ビット線の電位変化の速度が遅くなる。非選択バンク側の非選択ビット線は、いわばデカップル容量と同じ役割を果たす。これにより、実施の形態 1 では非選択ビット線が選択ビット線に及ぼすカップリングノイズの影響を緩和することができる。

【 0 0 6 1 】

なお、電位 $V B L 0 < 2 >$, 電位 $V B L 0 < 3 >$ の各々の変化は電位 $V B L 0 < 1 >$ の変化と同様であるので以後の説明は繰り返さない。

20

【 0 0 6 2 】

電位 $V L 0$, $V L C$ はそれぞれ図 3 のローカル線 $L 0$, $L C$ の電位を示す。ローカル線 $L 0$ はコモン出力線 $C R 0$ と PチャネルMOSトランジスタ $T 0$ とを接続する線であり、ローカル線 $L C$ はコモン出力線 $C R 0$ と PチャネルMOSトランジスタ $T 0 R$ とを接続する線である。電位 $V L 0$ は電位 $V B L 0 < 1 >$ と同様に変化し、電位 $V L C$ は電位 $V R 1$ と同様に変化する。

【 0 0 6 3 】

時刻 $t 2$ 以後、信号 $P C$ が L レベルに変化するのでプリチャージが行なわれる。よって各ビット線、各リファレンスビット線および各ローカル線の電位は電源電位 $V D D$ に復帰する。

30

【 0 0 6 4 】

続いて、実施の形態 1 の不揮発性半導体記憶装置の効果を説明するため比較例を示す。

図 8 は、実施の形態 1 の比較例の構成を示す図である。

【 0 0 6 5 】

図 8 を参照して、メモリセルアレイ $3 6 A$ はバンク $B K 0$, $B K 1$ が 1 つの出力回路ブロックとして構成されている。バンク $B K 0$ はメモリセル $M 0 0 \sim M 0 3$ を含み、バンク $B K 1$ はメモリセル $M 0 4 \sim M 0 7$ を含む。メモリセル $M 0 0 \sim M 0 7$ に対応してビット線 $B L 0 < 0 > \sim B L 0 < 7 >$ がそれぞれ設けられる。またメモリセル $M 0 0 \sim M 0 7$ に対応してワード線 $W L < A >$ が設けられる。

40

【 0 0 6 6 】

列選択回路 $3 2 E$ は図 3 に示す列選択回路 $3 2 A$, $3 2 B$ を含む回路である。なお、図 8 には示さないが、実施の形態 1 と同様に選択信号発生回路 $3 2 C$ から信号 $C S 0 \sim C S 3$ が出力され、バンク選択回路 $3 2 D$ から信号 $B S 0$, $B S 1$ が出力される。

【 0 0 6 7 】

ビット線 $B L 0 < 0 > \sim B L 0 < 7 >$ は列選択回路 $3 2 E$ を介してコモン出力線 $C O$ に電氣的に接続される。コモン出力線 $C O$ およびリファレンス出力線 $R O$ はセンスアンプ $S A$ に接続される。コモン出力線 $C O$ およびリファレンス出力線 $R O$ はそれぞれ図 3 のコモン出力線 $C R 0$, $C R 1$ のいずれか一方および他方に相当する。

50

【 0 0 6 8 】

リファレンス出力線 R O には P チャンネル M O S トランジスタ T 1 0 を介してリファレンスビット線 R B L 0 が接続されるとともに、P チャンネル M O S トランジスタ T 1 1 を介してリファレンスビット線 R B L 1 が接続される。また、実施の形態 1 と同様にリファレンス出力線 R O には容量 C P が接続される。

【 0 0 6 9 】

リファレンスビット線 R B L 0 , R B L 1 のそれぞれにはメモリセル M 0 R , M 1 R が接続される。メモリセル M 0 R , M 1 R にはそれぞれ「 0 」, 「 1 」のデータが記憶される。

【 0 0 7 0 】

実施の形態 1 と同様にリファレンス出力線 R O の電位、すなわちリファレンス電位は、H レベル時のコモン出力線 C O の電位と L レベル時のコモン出力線 C O の電位のほぼ中間の電位に設定される必要がある。このため、同様にリファレンス出力線 R O の負荷容量はコモン出力線 C O に接続される負荷容量のほぼ 2 倍となる必要がある。コモン出力線 C O には P チャンネル M O S トランジスタ T 0 ~ T 7 が負荷容量として接続される。よってリファレンス出力線 R O には容量 C P として、P チャンネル M O S トランジスタ T 0 ~ T 7 と同サイズの P チャンネル M O S トランジスタが 1 6 個接続される。

【 0 0 7 1 】

図 9 は、図 8 のビット線およびリファレンスビット線の配置例を示す図である。

図 9 を参照して、ビット線 B L 0 < 0 > ~ B L 7 < 0 >、リファレンスビット線 R B L 0 , R B L 1 およびシールド配線 S H 1 ~ S H 3 が設けられる。実施の形態 1 と同様にカップリングノイズの影響を防ぐため、シールド配線 S H 1 とシールド配線 S H 2 との間にリファレンスビット線 R B L 0 が設けられ、シールド配線 S H 2 とシールド配線 S H 3 との間にリファレンスビット線 R B L 1 が設けられる。

【 0 0 7 2 】

実施の形態 1 ではリファレンス出力線に接続される寄生容量素子の数が減ることによってリファレンス出力線部のレイアウトオーバーヘッドを抑えることができる。上述のように比較例の場合には、リファレンス出力線 R O にコラム選択スイッチと同サイズの P チャンネル M O S トランジスタ (負荷容量) が 1 6 個必要である。これに対し、実施の形態 1 では非選択バンク側のコモン出力線をリファレンス出力線として利用することによりリファレンス出力線における容量素子の数は 6 個に削減される。容量素子の数を減らすことによりメモリセルアレイの面積を縮小することができる。

【 0 0 7 3 】

たとえば要求ワード数に応じてたとえば 4 行単位に構成を変えることが可能な R O M (コンパイラ型 R O M) においては、ビット線の長さに依存してビット線の寄生容量の大きさが変化する。この場合にも、リファレンスビット線の負荷容量はビット線の負荷容量の 2 倍となり、リファレンスコモン出力線の負荷容量も、コモン出力線の負荷容量の 2 倍の大きさが必要となる。実施の形態 1 ではリファレンス出力線に接続される負荷容量の数を比較例よりも減らすことができるため、特にコンパイラ型 R O M のようにビット線の寄生容量が変化する場合には比較例よりも有利である。

【 0 0 7 4 】

また、実施の形態 1 では、センスアンプ S A に対してバンク B K 0 , B K 1 やコモン出力線 C R 0 , C R 1、リファレンスビット線 R B L 0 , R B L 1 等が対称に設けられている。これによりセンスアンプ S A での差動動作において必要となる対称性を容易に確保することができる。

【 0 0 7 5 】

次に実施の形態 1 において高速動作が可能な理由を以下に説明する。

図 1 0 は、比較例での動作を示すタイミングチャートである。

【 0 0 7 6 】

図 1 0 を参照して、時刻 t 1 , t 2 は図 7 の時刻 t 1 , t 2 にそれぞれ対応する。時刻

10

20

30

40

50

t 1 以前には信号 P C、ワード線 W L < A > の電位 V W L A がともに L レベルであるので全ビットのプリチャージが行なわれている。時刻 t 1 においてワード線 W L < A > の電位 V W L A が H レベルに変化するとともに信号 P C が H レベルに変化する。上述のように選択ビット線の電位は電源電位 V D D より低下する。

【 0 0 7 7 】

電位 V H 1 は、隣接する非選択ビット線の電位変化の影響を受けないと仮定したときの選択ビット線の電位 (H レベル時の電位) である。電位 V H 2 は、隣接する非選択ビット線の電位が L レベルのときの選択ビット線の電位である。電圧 V 1 は、電源電位 V D D と電位 V H 2 との電位差を示す。電圧 V 1 は選択ビット線の電位が H レベルの場合における選択ビット線の電位の最大変化幅を示す。

10

【 0 0 7 8 】

電位 V L 1 は、隣接する非選択ビット線の電位変化の影響を受けないと仮定したときの選択ビット線の電位 (L レベル時の電位) である。電位 V L 2 , V L 3 は、隣接する非選択ビット線の電位がそれぞれ H レベル、 L レベルのときの選択ビット線の電位である。電圧 V 2 は、電位 V L 2 と電位 V L 3 との電位差を示す。電圧 V 2 は選択ビット線の電位が L レベルの場合における選択ビット線の電位の最大変化幅を示す。

【 0 0 7 9 】

電位 V R はリファレンス出力線 R O の電位を示す。 V H は電位 V H 2 と電位 V R との電位差であり、 H レベルの選択ビット線の電位と電位 V R との最小の電位差を示す。 V L は電位 V L 2 と電位 V R との電位差であり、 L レベルの選択ビット線の電位と電位 V R との最小の電位差を示す。

20

【 0 0 8 0 】

電位差 V H または電位差 V L が所定の大きさ以上になればセンスアンプ S A によって、データが「 1 」か「 0 」かのいずれであるかを確定できる。信号 S E が H レベルに立ち上がる時刻 t 3 が、センスアンプ S A がデータを確定できる時刻である。

【 0 0 8 1 】

なお時刻 t 2 において信号 P C が L レベルに変化するとともに電位 V W L A が L レベルに変化すると全ビットのプリチャージが行なわれ、電位 V R および選択ビット線の電位 V B L は電源電位 V D D に戻る。

【 0 0 8 2 】

図 1 1 は、図 7 のタイミングチャートにおける電位 V B L 0 < 0 > の変化をより詳細に説明する図である。なお図 1 1 は図 1 0 と対比される図である。

30

【 0 0 8 3 】

図 1 1 を参照して、電位 V H 1 , V H 2 , V L 1 ~ V L 3 は図 7 の電位 V B L 0 < 0 > を示す。電位 V R は図 7 に示す電位 V R 1 に対応する。実施の形態 1 の場合には電位 V H 1 , V H 2 の変化量は図 1 0 に示す電位 V H 1 , V H 2 の変化量よりも小さく、電位 V L 1 ~ V L 3 の変化量は図 1 0 に示す電位 V L 1 ~ V L 3 の変化量よりも小さい。その理由は、実施の形態 1 の場合にはカップリングノイズの影響を低減することができるためである。

【 0 0 8 4 】

データ「 1 」の読出し時には、センスアンプ S A に入力される電位 V H 1 を図 1 0 の電位 V H 1 よりも大きく設定することができる。これにより電位差 V H は図 1 0 の電位差 V H よりも大きくなる。また、データ「 0 」の読出し時には、電位差 V H が改善されたことにより差動検出に必要な電位 V R を比較例の場合よりも高く設定できる。よって、電位差 V L を実質的に大きくすることができる。

40

【 0 0 8 5 】

以上の点から、電位差 V H の値と電位差 V L の値との和は実施の形態 1 のほうが比較例よりも高くなるので、信号 S E の立ち上がりの時刻 t 3 A を時刻 t 3 よりも早く設定することができる。このように実施の形態 1 では比較例よりも高速動作が可能になる。

【 0 0 8 6 】

50

以上のように実施の形態 1 によれば、選択バンク中の非選択ビット線が非選択バンク中の相対するビット線と電氣的に接続されることにより負荷容量が大きくなるので、ビット線間にシールド配線を設けたり、ビット線間の距離を広げたりしなくてもカップリングノイズの影響を低減することができる。よって、実施の形態 1 によれば動作に影響を生じさせることなくメモリセルを高密度に配置できる。

【 0 0 8 7 】

また、実施の形態 1 によれば、従来よりも短時間でビット線の電位とリファレンスビット線の電位との差が大きくなるのでセンスアンプを動作させるタイミングを早めることができる。よってアクセスタイムが短くなる。

【 0 0 8 8 】

また、実施の形態 1 によればマイクロコンピュータ等の半導体集積回路にこのような不揮発性半導体記憶装置を搭載することによって、半導体集積回路の面積を縮小させてコスト低減を図ることができるとともに、半導体集積回路を高速に動作させることが可能になる。

【 0 0 8 9 】

[実施の形態 2]

実施の形態 2 の不揮発性半導体装置の全体構成は図 2 に示す ROM 1 の構成と同様であるので以後の説明は繰り返さない。実施の形態 2 ではメモリセルアレイを 2 バンクよりも多い多バンク構成とすることによって、カップリング容量の影響をさらに低減することが可能になる。

【 0 0 9 0 】

図 1 2 は、実施の形態 2 におけるメモリセルアレイの構成を示す図である。

図 1 2 を参照して、メモリセルアレイ 3 6 はバンク BK 0 ~ BK 3 を含む。バンク BK 0 ~ BK 3 の各々の構成は、図 3 に示すバンク BK 0 (またはバンク BK 1) と同様であるので以後の説明は繰り返さない。バンク BK 0 ~ BK 3 のそれぞれを選択するため、バンク選択回路 3 2 D (図 1 2 には示さず) から信号 BS 0 ~ BS 3 が送られる。

【 0 0 9 1 】

バンク BK 0 ~ BK 3 のそれぞれに対応してプリチャージ回路 4 0 ~ 4 3、列選択回路 3 2 A, 3 2 B, 3 2 F, 3 2 G、およびコモン出力線 CR 0 ~ CR 3 が設けられる。

【 0 0 9 2 】

プリチャージ回路 4 0 ~ 4 3 の各々の構成は図 4 に示すプリチャージ回路 4 0 の構成と同様である。また、列選択回路 3 2 A, 3 2 B, 3 2 F, 3 2 G の各々の構成は、図 3 に示す列選択回路 3 2 A (または列選択回路 3 2 B) と同様である。よって、プリチャージ回路 4 0 ~ 4 3 および列選択回路 3 2 A, 3 2 B, 3 2 F, 3 2 G の構成の説明は以後繰り返さない。

【 0 0 9 3 】

コモン出力線 CR 0, CR 1 はセンスアンプ SA 1 に接続される。コモン出力線 CR 2, CR 3 はセンスアンプ SA 2 に接続される。実施の形態 1 と同様に、実施の形態 2 では、選択バンクのコモン出力線の電位が H レベルか L レベルかのいずれであるかを、非選択バンクのコモン出力線の電位との比較によって検出できる。

【 0 0 9 4 】

実施の形態 2 では、さらに、信号 CS 0 ~ CS 3 に応じて複数のバンク間で非選択ビット線を接続するためのスイッチ SW 0 ~ SW 1 1 が設けられる。スイッチ SW 0 ~ SW 3 はバンク BK 0 に設けられる非選択ビット線とバンク BK 1 に設けられる非選択ビット線とを接続する。スイッチ SW 4 ~ SW 7 はバンク BK 1 に設けられる非選択ビット線とバンク BK 2 に設けられる非選択ビット線とを接続する。スイッチ SW 8 ~ SW 1 1 はバンク BK 2 に設けられる非選択ビット線とバンク BK 3 に設けられる非選択ビット線とを接続する。

【 0 0 9 5 】

このように実施の形態 2 では、非選択バンクに含まれる非選択ビット線を、バンク間に

10

20

30

40

50

設けられたスイッチによりすべて接続する。これによって、非選択ビット線の電位変化の速度が実施の形態 1 よりも遅くなる。よって、実施の形態 1 に比較してカップリング容量の影響をさらに低減することができる。

【0096】

なお、実施の形態 2 のように多バンク構成の場合には、2 バンクを 1 セットとして複数セット（複数バンク）を活性化してもよい。

【0097】

以上のように実施の形態 2 によれば、メモリセルアレイを多バンク構成とし、非選択バンクに含まれる非選択ビット線同士を結合するスイッチを設けることにより、カップリング容量の影響をさらに低減することができる。

10

【0098】

今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【図面の簡単な説明】

【0099】

【図 1】本発明の不揮発性半導体記憶装置の適用例を示す図である。

【図 2】図 1 の ROM 1 の概略構成図である。

【図 3】図 2 のメモリセルアレイ 36 およびメモリセルアレイ 36 の周辺の構成を説明する図である。

20

【図 4】図 3 のプリチャージ回路 40 の構成例を説明する図である。

【図 5】図 3 のメモリセルの構成例およびメモリセルへのプログラムを説明する図である。

【図 6】実施の形態 1 でのビット線およびリファレンスビット線の配置例を示す平面図である。

【図 7】ROM 1 の動作を示すタイミングチャートである。

【図 8】実施の形態 1 の比較例の構成を示す図である。

【図 9】図 8 のビット線およびリファレンスビット線の配置例を示す図である。

【図 10】比較例での動作を示すタイミングチャートである。

30

【図 11】図 7 のタイミングチャートにおける電位 $V_{BL0} < 0 >$ の変化をより詳細に説明する図である。

【図 12】実施の形態 2 におけるメモリセルアレイの構成を示す図である。

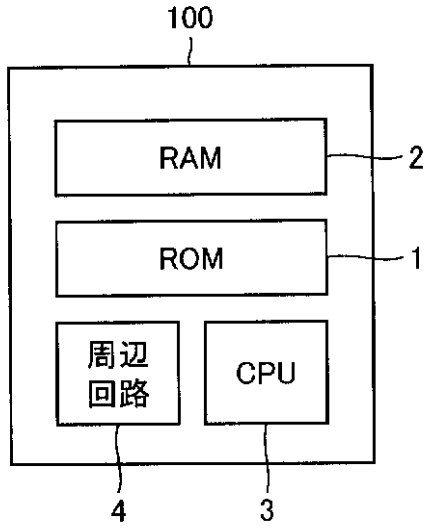
【符号の説明】

【0100】

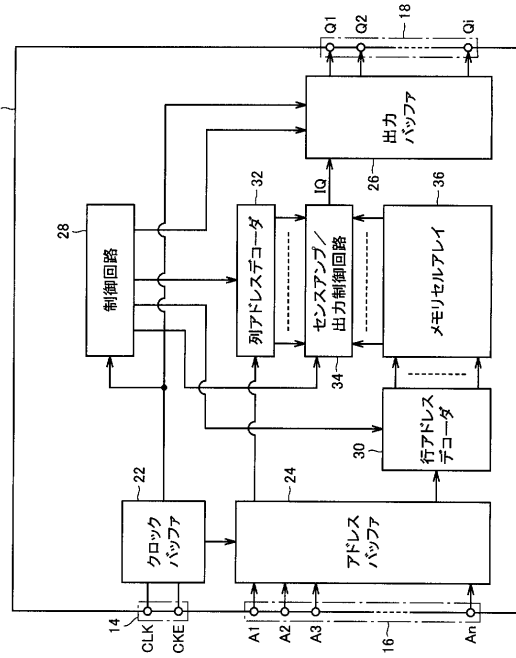
1 ROM、2 RAM、3 CPU、4 周辺回路、14 クロック端子、16 アドレス端子、18 データ出力端子、22 クロックバッファ、24 アドレスバッファ、26 出力バッファ、28 制御回路、30 行アドレスデコーダ、32 列アドレスデコーダ、32A、32B、32E~32G 列選択回路、32C 選択信号発生回路、32D バンク選択回路、34 センスアンプ/出力制御回路ブロック、36、36A
メモリセルアレイ、40~43 プリチャージ回路、40A~40E、T0~T11、T0R、T1R PチャネルMOSトランジスタ、100 半導体集積回路、BK0~BK3 バンク、BL0<0>~BL0<3>、BL1<0>~BL1<3>、BL<0>~BL<3> ビット線、CO、CR0~CR3 コモン出力線、CP 容量、L0、LC ローカル線、M00~M13、M0R、M1R メモリセル、NA0~NA7 NAND回路、NM0、NM1 NチャネルMOSトランジスタ、RBL、RBL0、RBL1 リファレンスビット線、RO リファレンス出力線、SA、SA1、SA2 センスアンプ、SH1~SH3 シールド配線、SW0~SW11 スイッチ、W1 電源ノード、WL0<A>、WL1<A>、WL<A> ワード線。

40

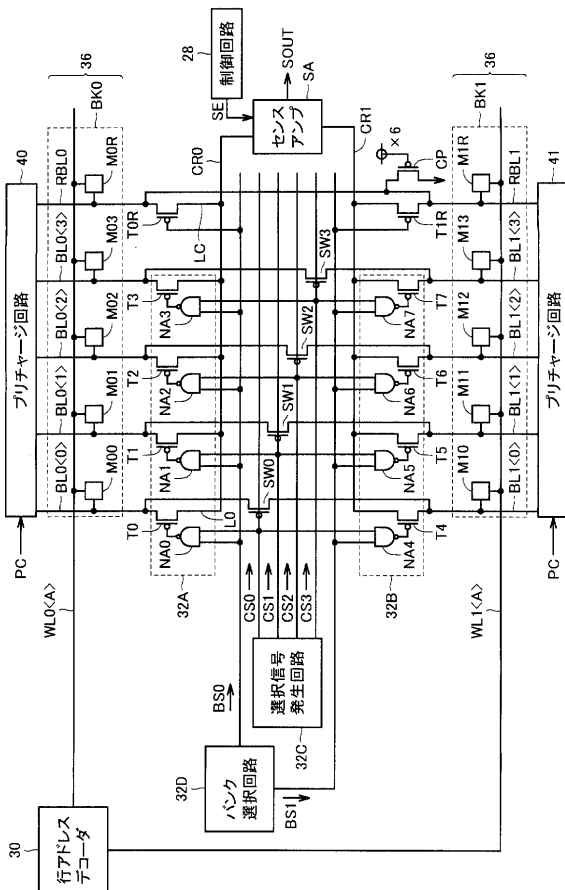
【図1】



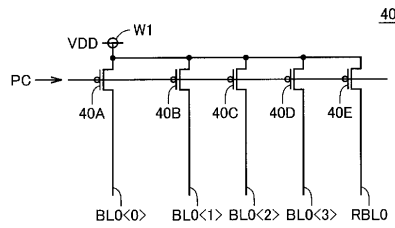
【図2】



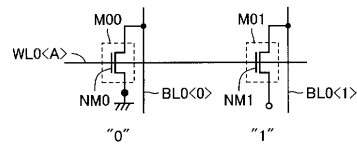
【図3】



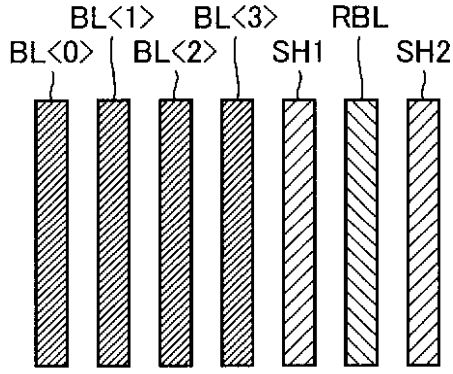
【図4】



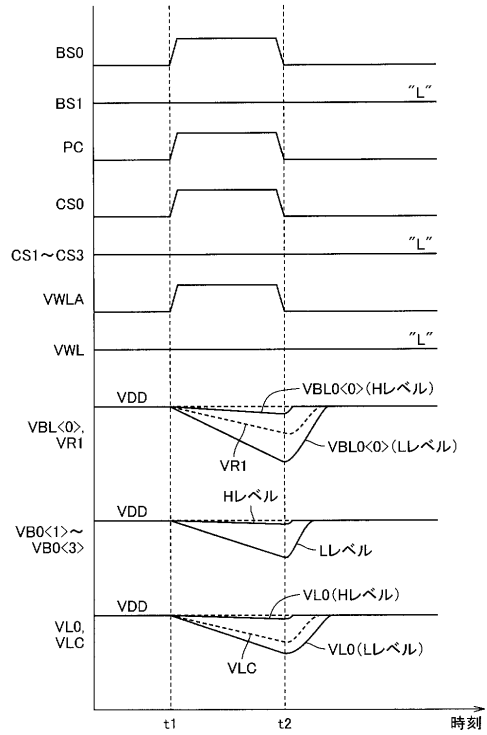
【図5】



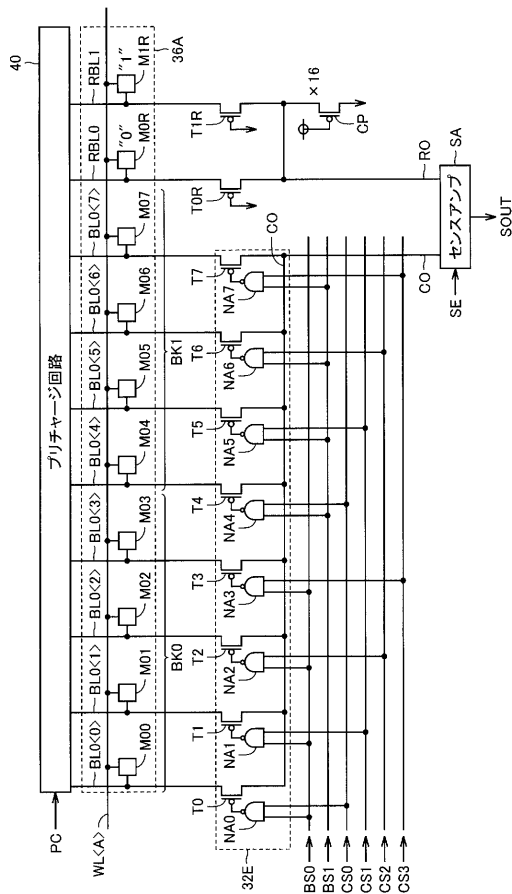
【図6】



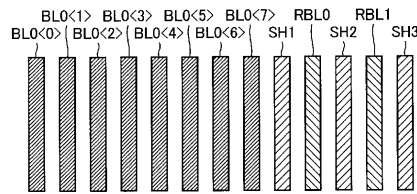
【図7】



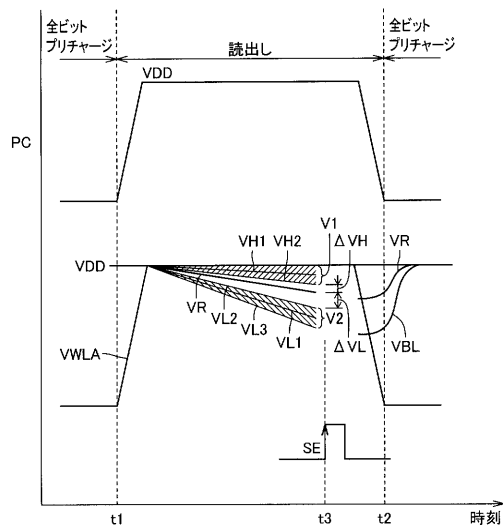
【図8】



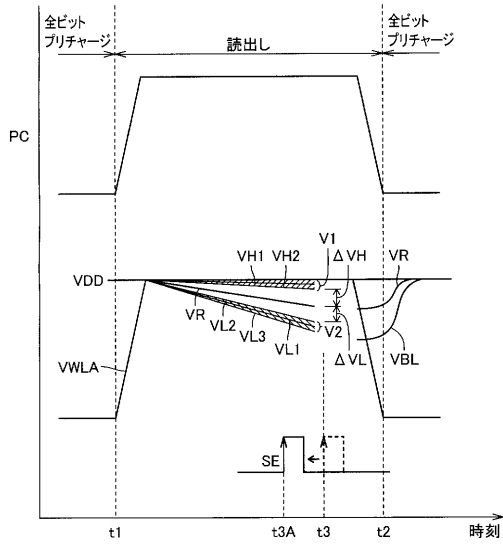
【図9】



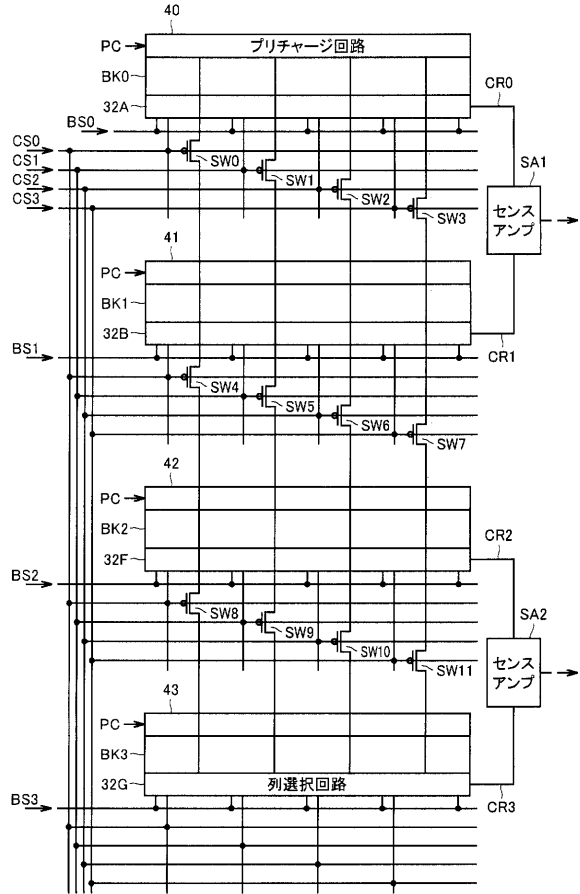
【図10】



【図11】



【図12】



フロントページの続き

(74)代理人 100124523

弁理士 佐々木 真人

(74)代理人 100098316

弁理士 野田 久登

(72)発明者 岡本 一好

東京都千代田区丸の内二丁目4番1号 株式会社ルネサステクノロジ内

審査官 外山 毅

(56)参考文献 特開2004-326974(JP,A)

特開平11-086576(JP,A)

国際公開第02/001574(WO,A1)

特開2005-004846(JP,A)

(58)調査した分野(Int.Cl., DB名)

G11C 17/18

G11C 16/00-16/34