



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU K AUTORSKÉMU OSVĚDČENÍ

209050
(11) (B1)

(51) Int. Cl.³
G 06 F 9/06

(22) Přihlášeno 26 03 80
(21) (PV 2078-80)

(40) Zveřejněno 30 01 81
(45) Vydáno 01 02 84

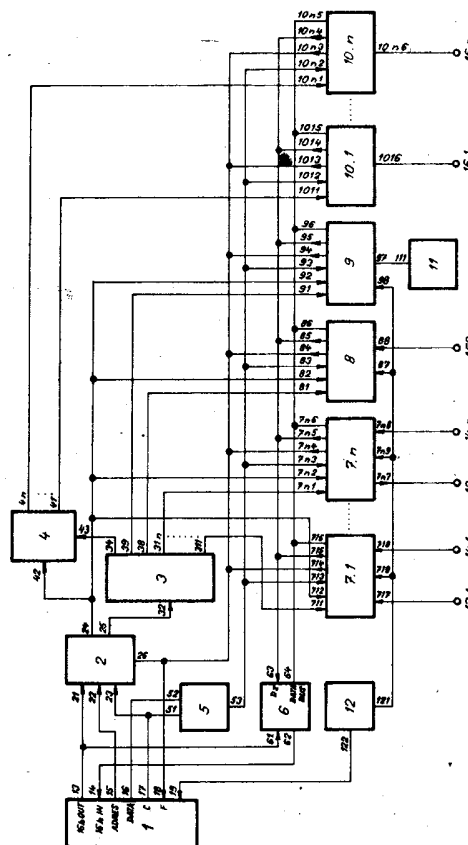
(75)
Autor vynálezu

LANG PRAVDOMIL ing., JESENICE, ZELENÝ JAROMÍR ing. CSc.,
PRAHA, TRHLÍN ALOIS ing., HOSTIVICE, BLAŽEK VÍTEZSLAV ing. a
MATOUŠEK FRANTIŠEK ing., PRAHA

(54) Zapojení přídatného zařízení řídicího systému s minipočítačem

Vynález se týká řídicí a regulační techniky v oboru číslicového řízení obráběcích strojů a řeší zapojení přídatných zařízení řídicích systémů s minipočítačem t. zv. CAC systémů. Adresové informace přicházejí a přes spojovací blok z minipočítače se zaznamenávají v adresové paměti, v adresovém a položkovém dekodéru dekodují a výstupní dekodované a adresové informace aktivují diferenční členy, závitový blok, komunikační blok a převodní bloky pro záznam datových informací. Datové informace ze spojovacího bloku minipočítače se zpracují v diferenčních členech, v závitovém bloku, v komunikačním bloku a v převodních blocích a vysílají se do obráběcího stroje jako řídicí povely. Obdobným způsobem přicházejí do spojovacího bloku minipočítače informace o provozních stavech obráběcího stroje. Časová základna ve spolupráci se zápisovým blokem a řídicím blokem koordinuje činnost celého zapojení.

Využije se pro řízení obráběcích strojů. Předmět je definován jedním bodem.



Vynález se týká zapojení přídavného zařízení řídicího systému s minipočítačem při číslcovém řízení obráběcích strojů.

Jednou ze základních částí řídicího systému s minipočítačem, která převádí a zpracovává veškeré řídicí příkazy minipočítače an vhodné ovládací signály pro obráběcí stroje a naopak, je část řídicího systému, které se nazývá přídavné zařízení (CNC periferie).

Dosud známá přídavná zařízení řídicích systémů jsou řešena jednoúčelově pro dané funkční vlastnosti systému. Skládají se z řady speciálních bloků, které jsou obvykle spojeny s počítačem přes více spojovacích karet. Vnitřní struktura skladby těchto bloků není jednotná a jejich vzájemné propojení není provedeno univerzální přenosovou sběrnicí. V případě potřeby řídit jiný typ stroje je třeba provést i jisté korektury v uspořádání přídavného zařízení. Tato změna uspořádání přídavného zařízení má za následek obvykle změnu zapojení a vytvoření doplňujících karet.

Tyto nevýhody odstraňuje zapojení přídavného zařízení řídicího systému s minipočítačem podle vynálezu jehož podstata spočívá v tom, že informační výstup spojovacího bloku je spojen s informačním vstupem řídicího bloku a s informačním vstupem adresové paměti, jejíž první adresový výstup je spojen s adresovým vstupem každého diferenčního členu, s adresovým vstupem závitového bloku, s adresovým vstupem komunikačního bloku a s přímým adresovým vstupem položkového dekodéru. Každý jednotlivý výstup položkového dekodéru je spojen s odpovídajícím výběrovým vstupem prvního až posledního převodního bloku. Potvrzovací výstup každého převodního bloku je spojen s potvrzovacím vstupem kmitočtového bloku, s potvrzovacím vstupem závitového bloku, s potvrzovacím vstupem každého diferenčního členu, s potvrzovacím vstupem adresové paměti a s potvrzovacím vstupem spojovacího bloku. Adresový výstup spojovacího bloku je spojen s adresovým vstupem adresové paměti, jejíž druhý adresový výstup je spojen se vstupem adresového dekodéru. Položkový výstup adresového dekodéru je spojen s dekodovaným adresovým vstupem položkového dekodéru. Komunikační výstup adresového dekodéru je spojen s výběrovým vstupem komunikačního bloku, jehož obousměrný komunikační vývod je spojen s obousměrným komunikačním vývodem panelu. Frekvenční vstup komunikačního bloku je spojen s frekvenčním vstupem každého diferenčního členu, s frekvenčním vstupem závitového bloku a s frekvenčním výstupem časové základny. Taktovací výstup časové základny je spojen s taktovacím vstupem spojovacího bloku, jehož zápisový výstup je spojen se zápisovým vstupem adresové paměti a se zápisovým vstupem zápisového bloku. Datový vstup zápisového bloku je spojen s datovým výstupem spojovacího bloku. Zápisový výstup zápisového bloku je spojen se zápisovým vstupem závitového bloku, se zápisovým vstupem komunikačního bloku, se zápi-

sovým vstupem každého převodního bloku a se zápisovým vstupem každého diferenčního členu. Výběrový vstup každého diferenčního členu je spojen s odpovídajícím výběrovým diferenčním výstupem adresového dekodéru, jehož závitový výstup je spojen s výběrovým vstupem závitového bloku. Řídicí výstup závitového bloku je spojen s řídicím výstupem komunikačního bloku, s řídicím vstupem každého převodního bloku, s řídicím výstupem každého diferenčního členu a s řídicím vstupem řídicího bloku. Informační výstup řídicího bloku je spojen s informačním vstupem spojovacího bloku. Obousměrný datový vývod řídicího bloku je spojen s obousměrným datovým vývodem každého diferenčního členu s obousměrným datovým vývodem závitového bloku, s obousměrným datovým vývodem komunikačního bloku a s obousměrným datovým vývodem každého převodního bloku. Obousměrný informační vývod každého převodního bloku je spojen s odpovídajícím obousměrným informačním vývodem zapojení. Každý povelový vstup zapojení je spojen s povelovým výstupem odpovídajícího diferenčního členu, jehož každý odměřovací vstup je spojen s odpovídajícím odměřovacím vstupem zapojení. Snímací vstup zapojení je spojen se snímacím vstupem závitového bloku.

Zapojení přídavného zařízení řídicího systému s minipočítačem podle vynálezu má řadu výhod, z nichž nejhlavnější tkví v tom, že je řešena přehledným blokovým způsobem umožňující univerzální připojení k libovolnému obráběcímu stroji. Jednotlivé bloky jsou navzájem propojeny univerzální adresovou a datovou sběrnicí, umožňující libovolnou záměnnost bloků při jednoduché změně adresace v řídicím programu minipočítače. Tento způsob vzájemného spojení rovněž značně minimalizuje propojení mezi jednotlivými kartami přídavného zařízení. Univerzální uspořádání přídavného zařízení řídicího systému usnadní použití u nejrůznějších typů obráběcích strojů. Tím vzrůstá seriovost výroby takového systému a klesají jeho výrobní náklady. Vzhledem k přehlednému uspořádání systému klesají rovněž nároky na údržbu, opravy a servis.

Příklad zapojení přídavného zařízení řídicího systému s minipočítačem je znázorněn v blokovém schématu na připojeném výkrese.

Jednotlivé bloky zapojení je možno charakterizovat takto:

Spojovací blok 1 je realizován souborem integrovaných obvodů, kombinačního a sekvenčního charakteru. Slouží ke zprostředkování obousměrného přenosu adresových, datových a řídicích informací mezi minipočítačem a ostatními příslušnými bloky přídavného zařízení. Adresová paměť 2 je vytvořena dynamickými paměťmi typu „flip-flop“ a slouží k uchování adresové informace pro následný přenos a zápis datové informace.

Adresový dekodér 3 i položkový dekodér 4 je realizován logickou sítí číslcových obvodů, vytvářejících rekodovací logické funkce kombinačního

charakteru. Adresový dekodér 3 dekoduje hlavní část adresové informace a určuje kam se bude následná datová informace zapisovat. Položkový dekodér 4 dekoduje část adresové informace – položku – a určuje kam se bude ukládat následná datová informace v prvním až posledním převodním bloku 10.1 až 10.0.

Zápisový blok 5 je vytvořen z časovacích a zpožďovacích obvodů, které vytvářejí vhodně synchronizovaný zápisový puls, pro zápis datových informací v příslušných částech přídavného zařízení.

Řídicí blok 6 je realizován logickými obvody, které umožňují měnit směr přenosu datových informací mezi spojovacím blokem 1 a ostatními bloky zapojení.

Všechny diferenční členy 7.1 až 7.0 jsou stejné. Každý je vytvořen z mezipaměti zadaného přírůstku polohy, mikrointerpolátoru, vyhodnocovače polohové odchylky a akumulátoru polohové odchylky, které mohou být též doplněny regulátorem posuvového motoru. Tyto části jsou realizovány dynamickými pamětmi typu „flip-flop“, lineárními interpolátory čítačového typu, čítači a analogovými obvody realizujícími potřebné funkce. Diferenční členy 7.1 až 7.n řídí na základě zadaných povelů posuv souřadnic a zpětně vyhodnocují informace z odměřovacích čidel polohy. Závitový blok 8 je vytvořen ze vstupních pamětí čítačového typu, ve kterých je akumulována informace o úhlu natočení vřetene v časovém intervalu mezi dvěma za sebou jdoucími dotazy z minipočítače a z obvodů pro zprostředkování tohoto přenosu do počítače. Závitový blok 8 slouží k vytvoření vzájemné vazby mezi úhlovým natočením vřetene obráběcího stroje a posuvem obráběcího nástroje při řezání různých typů závitů.

Komunikační blok 9 obsahuje vyrovnávací paměti a další obvody, které zprostředkovávají spojení s panelem 11 seriovým způsobem. Slouží ke zprostředkovávání přenosu jednotlivých informací mezi panelem 11 a ostatními bloky zapojení a naopak.

Všechny převodní bloky 10.1 až 10.n jsou stejné. Každý je vytvořen ze statických pamětí, z výstupních výkonových spínacích prvků a ze vstupních protiporuchových členů. Zprostředkovávají přenos dvouhodnotových informací mezi systémem a obráběcím strojem a naopak.

Panel 11 je sestaven z řady ovládacích a indikačních prvků, např. tlačítek, signálních diod, alfanumerických displejů a pod. Panel 11 dále obsahuje elektronické prvky, umožňující spojení s komunikačním blokem 9. Slouží obsluze k ovládání chodu systému a k informaci o jednotlivých provozních stavech systému.

Časová základna 12 obsahuje generátor, čítače a další pomocné logické prvky kombinačního charakteru, která vytvářejí potřebné pulsní signály. Časová základna 12 vysílá všechny potřebné taktovací informace do jednotlivých bloků zapojení a přes spojovací blok 1 vysílá minipočítači požadavek na přerušení a obsluhu přídavného zařízení.

Zapojení jednotlivých bloků přídavného zařízení řídicího systému s minipočítačem je provedeno takto. Informační výstup 13 spojovacího bloku 1 je spojen s informačním vstupem 61 řídicího bloku 6 a s informačním vstupem 21 adresové paměti 2. První adresový výstup 24 adresové paměti 2 je spojen s adresovým vstupem 712 až 7n2 každého diferenčního členu 7.1 až 7.n s adresovým vstupem 82 závitového bloku 8, s adresovým vstupem 92 komunikačního bloku 9 a s přímým adresovým vstupem 42 položkového dekodéru 4. Každý jednotlivý vstup 41 a 4n položkového dekodéru 4 je spojen s odpovídajícím výběrovým vstupem 1011 až 10n1 prvního až posledního převodního bloku 10.1 až 10.n. Potvrzovací výstup 1013 až 10n3 každého převodního bloku 10.1 až 10.n je spojen s potvrzovacím výstupem 94 kmitočtového bloku 9, s potvrzovacím vstupem 84 závitového bloku 9, s potvrzovacím vstupem 714 až 7n4 každého diferenčního členu 7.1 až 7.n, s potvrzovacím výstupem 26 adresové paměti 2 a s potvrzovacím vstupem 18 spojovacího bloku 1. Adresový výstup 15 spojovacího bloku 1 je spojen s adresovým výstupem 22 adresové paměti 2, jejíž druhý adresový výstup 25 je spojen se vstupem 32 adresového dekodéru 3, jehož položkový výstup 34 je spojen s dekodovaným adresovým vstupem 43 položkového dekodéru 4. Komunikační výstup 39 adresového dekodéru 3 je spojen s výběrovým vstupem 91 komunikačního bloku 9, jehož obousměrný komunikační vývod 97 je spojen s obousměrným komunikačním vývodem 111 panelu 11. Frekvenční vstup 98 komunikačního bloku 9 je spojen s frekvenčním vstupem 719 až 7n9 každého diferenčního členu 7.1 až 7.n, s frekvenčním vstupem 87 závitového bloku 8 a s frekvenčním výstupem 121 časové základny 12. Taktovací výstup 122 časové základny 12 je spojen s taktovacím vstupem 19 spojovacího bloku 1. Zápisový výstup 17 spojovacího bloku 1 je spojen se zápisovým vstupem 23 adresové paměti 2 a se zápisovým vstupem 51 zápisového bloku 5, jehož datový vstup 52 je spojen s datovým výstupem 16 spojovacího bloku 1. Zápisový výstup 53 zápisového bloku 5 je spojen se zápisovým vstupem 83 závitového bloku 8, se zápisovým vstupem 93 komunikačního bloku 9, se zápisovým vstupem 1012 až 10n2 každého převodního bloku 10.1 až 10.n a se zápisovým vstupem 713 až 7n3 každého diferenčního členu 7.1 až 7.n. Výběrový vstup 711 až 7n1 každého diferenčního členu 7.1 až 7n1 je spojen s odpovídajícím výběrovým diferenčním výstupem 311 až 31n adresového dekodéru 3, jehož závitový výstup 38 je spojen se výběrovým vstupem 81 závitového bloku 8. Řídicí výstup 85 závitového bloku 8 je spojen s řídicím vstupem 95 komunikačního bloku 9, s řídicím vstupem 1014 až 10n4 každého převodního bloku 10.1 až 10.n, s řídicím výstupem 715 až 7n5 každého diferenčního členu 7.1 až 7.n a s řídicím vstupem 63 řídicího bloku 6, jehož informační výstup 62 je spojen s informačním vstupem 14 spojovacího bloku 1. Obousměrný datový vývod

209050

64 řídicího bloku 6 je spojen s obousměrným datovým vývodem 716 až 7n6 každého diferenčního členu 7.1 až 7.n, s obousměrným datovým vývodem 86 závitového bloku 8, s obousměrným datovým vývodem 96 komunikačního bloku 9 a s obousměrným datovým vývodem 1015 až 10n5 každého převodního bloku 10.1 až 10.n. Obousměrný informační vývod 1016 až 10n6 každého převodního bloku je spojen s odpovídajícím obousměrným informačním vývodem 16.1 až 16.n zapojení. Každý povelový vstup 13.1 až 13.n zapojení je spojen s povelovým výstupem 717 až 7n7 odpovídajícího diferenčního členu 7.1 až 7.n, jehož každý odměřovací vstup 718 až 7n8 je spojen s odpovídajícím odměřovacím vstupem 14.1 až 14.n zapojení. Snímací vstup 152 zapojení je spojen se snímacím vstupem 88 závitového bloku 8.

Zapojení pracuje takto. Na základě vyslané pulsní informace z taktovacího výstupu 122 časové základny 12 do taktovacího vstupu 19 spojovacího bloku 1 se požádá minipočítač o obsluhu přídatného zařízení. Po vyžádané obsluze se vyše nejprve šestnáctibitové slovo z informačního výstupu 13 spojovacího bloku 1 do informačního vstupu 21 adresové paměti 2. Společně s tímto šestnáctibitovým slovem vyše se informace z adresového výstupu 15 spojovacího bloku 1 do adresového vstupu 22 adresové paměti 2, která určuje, že vyše uvedené šestnáctibitové slovo je adresa. Zápisovým pulsem se zápisového výstupu 17 spojovacího bloku 1 se zapíše přes zápisový vstup 23 do adresové paměti 2 přenášená adresní informace. Zápis adresy v adresové paměti 2 se potvrdí vysláním pulsní informace z potvrzovacího výstupu 26 adresové paměti 2 do potvrzovacího vstupu 18 spojovacího bloku 1.

Ze druhého adresového výstupu 25 adresové paměti 2 se přivede čtvrtý až sedmý bit adresového slova do adresového vstupu 32 adresového dekodéru 3, kde se dekóduje na údaj 1 z 16ti. Dekódovaný údaj z každého výběrového diferenčního výstupu 311 až 31n se přivede na výběrový vstup 711 až 7n1 prvního až posledního diferenčního členu 7.1 až 7.n. Tím se diferenční bloky 7.1 až 7.n aktivují pro příjem nebo odeslání datového slova. Obdobně se aktivuje ze závitového výstupu 38 adresového dekodéru 3 přes výběrový vstup 81 závitový blok 8 z komunikačního výstupu 39 adresového dekodéru 3 přes výběrový vstup 91 se aktivuje komunikační blok 9. Nultý až třetí bit adresového slova se vysílá z prvního adresového výstupu 24 adresové paměti 2, jednak do adresových vstupů 712 až 7n2 prvního až posledního diferenčního členu 7.1 až 7.n, jednak do adresového vstupu 82 závitového bloku 8 a jednak do adresového vstupu 92 komunikačního bloku 9, kde blíže určuje oblast uložení nebo odeslání následného datového slova. Současně se nultý až třetí adresový bit datového slova vysílá do přímého adresového vstupu 42 položkového dekodéru 4, kde se v případě došlé informace z položkového

výstupu 34 adresového dekodéru 3 do dekódovaného adresového vstupu 43 položkového dekodéru 4 dekóduje na údaj jedna z šestnácti.

Dekódované údaje z prvního až posledního výstupu 41 až 4n položkového dekodéru 4 se přivádějí na výběrové vstupy 1011 až 10n1 prvního až posledního převodního bloku 10.1 až 10.n, kde aktivují tyto bloky 10.1 až 10.n pro příjem nebo odeslání datového slova.

Z vyše uvedeného vyplývá, že adresové slovo je kromě jiného rovněž nositelem informace o směru přenosu informací obsažených v datovém slově.

V následné posloupnosti po vyslání adresového slova se vysílá nebo přijímá prostřednictvím spojovacího bloku 1 příslušný počet datových slov. Příznakové informace, vyjadřující, že se jedná o datové slovo, se vysílá z datového výstupu 16 spojovacího bloku 1 do datového vstupu 52 zápisového bloku 5 současně s vysíláním datovým slovem z informačního výstupu 13 spojovacího bloku 1 do informačního vstupu 61 řídicího bloku 6, nebo s přijímaným datovým slovem z informačního výstupu 62 řídicího bloku 6 do informačního vstupu 14 spojovacího bloku 1.

Zápis datového slova nebo připojení datového slova v příslušném bloku na datovou sběrnici se provádí pulsní informací ze zápisového výstupu 53 zápisového bloku 5 do zápisových vstupů 713 až 7n3, 83, 93 a 1012 až 10n2 příslušných bloků 7.1 až 7.n, 8, 9, 10.1 až 10.n. Směr přenosu datového slova na datové sběrnici se řídí řídicím blokem 6 na základě informace vysílané z výstupů 715 až 7n5, 85, 95 a 1014 až 10n4 příslušných bloků 7.1 až 7.n, 8, 9, 10.1 až 10.n do jeho řídicího vstupu 63. Obousměrný datový vývod 64 řídicího bloku 6 zprostředkovává obousměrný přenos datových informací přes obousměrné datové vývody 716 až 7n6, 86, 96 a 1015 až 10n5 příslušných bloků 7.1 až 7.n, 8, 9, 10.1 až 10.n.

Vzájemná komunikace mezi komunikačním blokem 9 a panelem 11 se uskutečňuje na seriovém principu přenosu mezi obousměrným komunikačním vývodem 97 a 111 těchto bloků 9 a 11. Z frekvenčního výstupu 121 časové základny 12 přes odpovídající frekvenční vstupy 719 až 7n9, 87, 98 přicházejí do bloků 7.1 až 7.n, 8 a 9 frekvenční signály potřebné pro jejich činnost.

Přes povelové výstupy 717 až 7n7 prvního až posledního diferenčního členu 7.1 až 7.n přicházejí na povelové výstupy 13.1 až 13.n zapojení budící signály pro řízení posuvových servopohonů. Tyto posuvové servopohony nejsou na výkrese nakresleny. Odměřovací vstupy 718 až 7n8 diferenčních členů 7.1 až 7.n jsou vyvedeny na první odměřovací vstupy 14.1 až 14.n zapojení a jsou určeny pro připojení odměřovacích čidel polohy souřadnic. Závitový blok 8 získává přes snímací vstup 152 zapojení připojeného na jeho odměřovací vstup 88 potřebné informace o otáčkách vřetene.

Všechny potřebné dvouhodnotové informace se vysílají nebo přijímají prostřednictvím obousměrných informačních vývodů 16.1 a 16.n zapojení

přes obousměrné informační vývody 1016 až 10n6 prvního až posledního převodního bloku 10.1 až 10.n.

Vynálezu se využije při souvislém řízení obráběcích nebo jiných strojů.

PŘEDMĚT VYNÁLEZU

Zapojení přídavného zařízení řídicího systému s minipočítačem, vyznačující se tím, že informační výstup (13) spojovacího bloku (1) je spojen s informačním vstupem (61) řídicího bloku (6) a s informačním vstupem (21) adresové paměti (2), jejíž adresový výstup (24) je spojen s adresovým vstupem (712 až 7n2) každého diferenčního členu (7.1 až 7.n), s adresovým vstupem (82) závitového bloku (8), s adresovým vstupem (92) komunikačního bloku (9) a s přímým adresovým vstupem (42) položkového dekodéru (4), jehož každý jednotlivý výběrový vstup (1011 až 10n1) prvního až posledního převodního bloku (10.1 až 10.n), jehož každý potvrzovací výstup (1013 až 10n3) je spojen s potvrzovacím vstupem (94) kmitočtového bloku (9), s potvrzovacím vstupem (84) závitového bloku (8), s potvrzovacím vstupem (714 až 7n4) každého diferenčního členu (7.1 až 7.n), s potvrzovacím výstupem (26) adresové paměti (2) a s potvrzovacím vstupem (18) spojovacího bloku (1), jehož adresový výstup (15) je spojen s adresovým vstupem (22) adresové paměti (2), jejíž druhý adresový výstup (25) je spojen se vstupem (32) adresového dekodéru (3), jehož položkový výstup (34) je spojen s dekodovaným adresovým vstupem (43) položkového dekodéru (4) a komunikační výstup (39) adresového dekodéru (3) je spojen s výběrovým vstupem (91) komunikačního bloku (9), jehož obousměrný komunikační vývod (97) je spojen s obousměrným komunikačním vývodem (111) panelu (11) a frekvenční vstup (98) komunikačního bloku (9) je spojen s frekvenčním vstupem (719 až 7n9) každého diferenčního členu (7.1 až 7.n), s frekvenčním vstupem (87) závitového bloku (8) a s frekvenčním výstupem (121) časové základny (12), jejíž taktovací výstup (122) je spojen s taktovacím vstupem (19) spojovacího bloku (1), jehož zápisový výstup (17) je spojen se zápisovým vstupem (23) adresové paměti (2), se zápisovým

vstupem (51) zápisového bloku (5), jehož datový vstup (52) je spojen s datovým výstupem (16) spojovacího bloku (1) a zápisový výstup (53) zápisového bloku (5) je spojen se zápisovým vstupem (83) závitového bloku (8), se zápisovým vstupem (93) komunikačního bloku (9), se zápisovým vstupem (1012 až 10n2) každého převodního bloku (10.1 až 10.n) a se zápisovým vstupem (713 až 7n3) každého diferenčního členu (7.1 až 7.n), jehož každý výběrový vstup (711 až 7n1) je spojen s odpovídajícím výběrovým diferenčním výstupem (311 až 31n) adresového dekodéru (3), jehož závitový výstup (38) je spojen s výběrovým vstupem (81) závitového bloku (8), jehož řídicí výstup (85) je spojen s řídicím výstupem (95) komunikačního bloku (9), s řídicím vstupem (1014 až 10n4) každého převodního bloku (10.1 až 10.n), s řídicím výstupem (715 až 7n5) každého diferenčního členu (7.1 až 7.n) a s řídicím vstupem (63) řídicího bloku (6), jehož informační výstup (62) je spojen s informačním vstupem (14) spojovacího bloku (1) a obousměrný datový vývod (64) řídicího bloku (6) je spojen s obousměrným datovým vývodem (716 až 7n6) každého diferenčního členu (7.1 až 7.n), s obousměrným datovým vývodem (86) závitového bloku (8), s obousměrným datovým vývodem (96) komunikačního bloku (9) a s obousměrným datovým vývodem (1015 až 10n5) každého převodního bloku (10.1 až 10.n), jehož obousměrný informační vývod (1016 až 10n6) je spojen s odpovídajícím obousměrným informačním vývodem (16.1 až 16.n) zapojení, jehož každý povelový vstup (13.1 až 13.n) je spojen s povelovým výstupem (717 až 7n7) odpovídajícího diferenčního členu (7.1 až 7.n), jehož každý odměřovací vstup (718 až 7n8) je spojen s odpovídajícím odměřovacím vstupem (14.1 až 14.n) zapojení, jehož snímací vstup (152) je spojen se snímacím vstupem (88) závitového bloku (8).

