



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2025년04월11일

(11) 등록번호 10-2792747

(24) 등록일자 2025년04월03일

- (51) 국제특허분류(Int. Cl.)
H10D 86/00 (2025.01) H10D 30/67 (2025.01)
- (52) CPC특허분류
H10D 86/60 (2025.01)
H10D 30/6755 (2025.01)
- (21) 출원번호 10-2024-7011438(분할)
- (22) 출원일자(국제) 2014년05월12일
심사청구일자 2024년04월05일
- (85) 번역문제출일자 2024년04월05일
- (65) 공개번호 10-2024-0052069
- (43) 공개일자 2024년04월22일
- (62) 원출원 특허 10-2023-7016879
원출원일자(국제) 2014년05월12일
심사청구일자 2023년05월18일
- (86) 국제출원번호 PCT/JP2014/063136
- (87) 국제공개번호 WO 2014/188982
국제공개일자 2014년11월27일
- (30) 우선권주장
JP-P-2013-106284 2013년05월20일 일본(JP)
(뒷면에 계속)
- (56) 선행기술조사문헌
KR1020120093988 A*
KR1020120122912 A*
KR1020130040137 A*
*는 심사관에 의하여 인용된 문헌

- (73) 특허권자
가부시키가이샤 한도오파이 에네루기 쉐큐쇼
일본국 가나가와켄 아쓰기시 하세 398
- (72) 발명자
하나오카 가즈야
일본 243-0036 가나가와 아쓰기시 하세 398 가부
시키가이샤 한도오파이 에네루기 쉐큐쇼 내
마츠바야시 다이스케
일본 243-0036 가나가와 아쓰기시 하세 398 가부
시키가이샤 한도오파이 에네루기 쉐큐쇼 내
(뒷면에 계속)
- (74) 대리인
장훈

전체 청구항 수 : 총 5 항

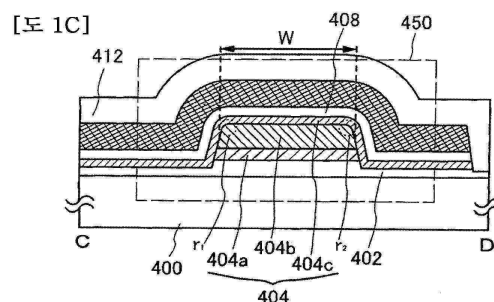
심사관 : 장영주

(54) 발명의 명칭 반도체 장치

(57) 요약

본 발명은 반도체 장치가 소형화됨에 따라 더 현저해지는 전기 특성의 열화를 억제할 수 있는 반도체 장치를 제공한다. 반도체 장치는 제 1 산화물막, 제 1 산화물막 위의 산화물 반도체막, 산화물 반도체막과 접촉되는 소스 전극 및 드레인 전극, 산화물 반도체막, 소스 전극, 및 드레인 전극 위의 제 2 산화물막, 제 2 산화물막 위의 게이트 절연막, 및 게이트 절연막과 접촉되는 게이트 전극을 포함한다. 산화물 반도체막의 상단부는 채널 폭 방향에서 봤을 때, 만곡된다.

대표도



(52) CPC특허분류

H10D 30/6757 (2025.01)

(72) 발명자

고바야시 요시유키

일본 173-0014 도쿄도 이타바시구 오야마히가시초
59-7 아리타비루 301

야마자키 순페이

일본 243-0036 가나가와 아쓰기시 하세 398 가부시
키가이샤 한도오따이 에네루기 켄큐쇼 내

마쓰다 신페이

일본 243-0036 가나가와 아쓰기시 하세 398 가부시
키가이샤 한도오따이 에네루기 켄큐쇼 내

(30) 우선권주장

JP-P-2013-147191 2013년07월16일 일본(JP)

JP-P-2013-196300 2013년09월23일 일본(JP)

JP-P-2014-087067 2014년04월21일 일본(JP)

명세서

청구범위

청구항 1

반도체 장치에 있어서,

제 1 절연막;

상기 제 1 절연막 위의 제 1 산화물막;

제 1 트랜지스터의 제 1 채널 형성 영역을 포함하는, 상기 제 1 산화물막 위의 제 1 산화물 반도체층;

상기 제 1 산화물 반도체층과 접촉되는 상기 제 1 트랜지스터의 소스 전극 및 드레인 전극;

상기 제 1 산화물 반도체층 위의 상기 제 1 트랜지스터의 게이트 절연막;

상기 제 1 트랜지스터의 상기 게이트 절연막의 위에 있고 상기 제 1 트랜지스터의 상기 게이트 절연막과 접촉되는 상기 제 1 트랜지스터의 제 1 게이트 전극;

상기 제 1 트랜지스터의 상기 제 1 게이트 전극 위의 제 2 절연막;

상기 제 2 절연막 위의 배선;

상기 제 1 절연막 아래의 제 2 트랜지스터의 제 2 게이트 전극; 및

상기 제 2 트랜지스터의 상기 제 2 게이트 전극 아래의 상기 제 2 트랜지스터의 제 2 채널 형성 영역을 포함하고,

나노빔 전자 회절이 상기 제 1 산화물 반도체층에 수행될 때, 복수의 스폿이 링 형상 영역 내에서 관찰되고,

상기 제 2 트랜지스터의 상기 제 2 채널 형성 영역은 실리콘을 포함하고,

상기 제 1 절연막은 상기 제 1 산화물막과 중첩되지 않는 제 1 영역 및 상기 제 1 산화물막과 중첩되는 제 2 영역을 포함하고,

상기 제 1 영역의 두께는 상기 제 2 영역의 두께보다 얇고,

상기 제 1 트랜지스터의 상기 소스 전극 및 상기 드레인 전극 중 한쪽은 상기 제 1 절연막의 상기 제 1 영역을 관통하는 콘택트 홀을 통하여 상기 제 2 트랜지스터의 소스 전극 및 드레인 전극 중 한쪽에 전기적으로 접속되고,

상기 제 1 트랜지스터의 상기 제 1 게이트 전극은 상기 배선에 전기적으로 접속되고,

상기 배선은 상기 제 1 영역을 관통하는 제 2 콘택트 홀을 통하여 상기 제 2 트랜지스터의 상기 제 2 게이트 전극에 전기적으로 접속되는, 반도체 장치.

청구항 2

반도체 장치에 있어서,

제 1 절연막;

상기 제 1 절연막 위의 제 1 산화물막;

제 1 트랜지스터의 제 1 채널 형성 영역을 포함하는, 상기 제 1 산화물막 위의 제 1 산화물 반도체층;

상기 제 1 산화물 반도체층과 접촉되는 상기 제 1 트랜지스터의 소스 전극 및 드레인 전극;

상기 제 1 산화물 반도체층 위의 상기 제 1 트랜지스터의 게이트 절연막;

상기 제 1 트랜지스터의 상기 게이트 절연막 위에 있고 상기 제 1 트랜지스터의 상기 게이트 절연막과 접촉되는 상기 제 1 트랜지스터의 제 1 게이트 전극;

상기 제 1 트랜지스터의 상기 제 1 게이트 전극 위의 제 2 절연막;
 상기 제 2 절연막 위의 배선;
 상기 제 1 절연막 아래의 제 2 트랜지스터의 제 2 게이트 전극; 및
 상기 제 2 트랜지스터의 상기 제 2 게이트 전극 아래의 상기 제 2 트랜지스터의 제 2 채널 형성 영역을 포함하고,
 나노빔 전자 회절이 상기 제 1 산화물 반도체층에 수행될 때, 복수의 스폿이 링 형상 영역 내에서 관찰되고,
 상기 제 2 트랜지스터의 상기 제 2 채널 형성 영역은 실리콘을 포함하고,
 상기 제 1 절연막은 상기 제 1 산화물막과 중첩되지 않는 제 1 영역 및 상기 제 1 산화물막과 중첩되는 제 2 영역을 포함하고,
 상기 제 1 영역의 두께는 상기 제 2 영역의 두께보다 얇고,
 상기 제 1 트랜지스터의 상기 소스 전극 및 상기 드레인 전극 중 한쪽은 상기 제 1 절연막의 상기 제 1 영역을 관통하는 콘택트 홀을 통하여 상기 제 2 트랜지스터의 소스 전극 및 드레인 전극 중 한쪽에 전기적으로 접속되고,
 상기 제 1 트랜지스터의 상기 제 1 게이트 전극은 상기 배선에 전기적으로 접속되고,
 상기 배선은 상기 제 1 영역을 관통하는 제 2 콘택트 홀을 통하여 상기 제 2 트랜지스터의 상기 제 2 게이트 전극에 전기적으로 접속되고,
 상기 제 1 트랜지스터는 n채널 트랜지스터이고,
 상기 제 2 트랜지스터는 p채널 트랜지스터인, 반도체 장치.

청구항 3

반도체 장치에 있어서,
 제 1 절연막;
 제 1 트랜지스터의 제 1 채널 형성 영역을 포함하는, 상기 제 1 절연막 위의 제 1 산화물 반도체층;
 상기 제 1 산화물 반도체층 위의 제 2 절연막;
 상기 제 1 트랜지스터의 제 1 게이트 전극으로서 기능하는 영역을 포함하는, 상기 제 2 절연막 위의 제 1 도전막;
 상기 제 1 도전막 위의 제 3 절연막;
 상기 제 3 절연막 위의 제 4 절연막;
 상기 제 4 절연막 위의 제 2 도전막;
 상기 제 1 절연막 위의, 상기 제 1 트랜지스터의 소스 전극으로서 기능하는 영역을 포함하는 제 3 도전막, 상기 제 1 절연막 위의, 상기 제 1 트랜지스터의 드레인 전극으로서 기능하는 영역을 포함하는 제 4 도전막, 및 상기 제 1 절연막 위의, 상기 제 1 트랜지스터의 상기 소스 전극 및 상기 제 1 트랜지스터의 상기 드레인 전극과 같은 도전막으로 형성된 제 5 도전막;
 상기 제 1 절연막 아래의 제 6 도전막;
 상기 제 6 도전막 아래의 제 5 절연막;
 제 2 트랜지스터의 제 2 게이트 전극으로서 기능하는 영역을 포함하는, 상기 제 5 절연막 아래의 제 7 도전막;
 상기 제 7 도전막 아래의 제 6 절연막; 및
 상기 제 6 절연막 아래의 상기 제 2 트랜지스터의 제 2 채널 형성 영역을 포함하고,
 상기 제 1 채널 형성 영역은 적어도 인듐을 포함하고,

상기 제 2 채널 형성 영역은 실리콘을 포함하고,

상기 제 2 도전막은 상기 제 5 도전막을 통하여 상기 제 6 도전막에 전기적으로 접속되고,

상기 제 6 도전막은 상기 제 7 도전막 및 상기 제 2 도전막과 중첩되고,

상기 제 3 도전막 및 상기 제 4 도전막 중 한쪽은 상기 제 2 트랜지스터의 소스 전극 및 드레인 전극 중 한쪽에 전기적으로 접속되고,

상기 제 5 도전막은 트랜지스터의 소스 전극 및 드레인 전극 중 한쪽으로서 기능하는 영역을 포함하지 않는, 반도체 장치.

청구항 4

반도체 장치에 있어서,

제 1 절연막;

제 1 트랜지스터의 제 1 채널 형성 영역을 포함하는, 상기 제 1 절연막 위의 제 1 산화물 반도체층;

상기 제 1 산화물 반도체층 위의 제 2 절연막;

상기 제 1 트랜지스터의 제 1 게이트 전극으로서 기능하는 영역을 포함하는, 상기 제 2 절연막 위의 제 1 도전막;

상기 제 1 도전막 위의 제 3 절연막;

상기 제 3 절연막 위의 제 2 도전막;

상기 제 1 절연막 위의, 상기 제 1 트랜지스터의 소스 전극으로서 기능하는 영역을 포함하는 제 3 도전막, 상기 제 1 절연막 위의, 상기 제 1 트랜지스터의 드레인 전극으로서 기능하는 영역을 포함하는 제 4 도전막, 및 상기 제 1 절연막 위의, 상기 제 3 도전막 및 상기 제 4 도전막과 같은 도전막으로 형성된 제 5 도전막;

상기 제 1 절연막 아래의 제 6 도전막;

상기 제 6 도전막 아래의 제 4 절연막;

제 2 트랜지스터의 제 2 게이트 전극으로서 기능하는 영역을 포함하는, 상기 제 4 절연막 아래의 제 7 도전막;

상기 제 7 도전막 아래의 제 5 절연막; 및

상기 제 5 절연막 아래의 상기 제 2 트랜지스터의 제 2 채널 형성 영역을 포함하고,

상기 제 2 도전막은 상기 제 5 도전막을 통하여 상기 제 6 도전막에 전기적으로 접속되고,

상기 제 5 도전막은 트랜지스터의 소스 전극 및 드레인 전극 중 한쪽으로서 기능하는 영역을 포함하지 않는, 반도체 장치.

청구항 5

반도체 장치에 있어서,

제 1 절연막;

제 1 트랜지스터의 제 1 채널 형성 영역을 포함하는, 상기 제 1 절연막 위의 제 1 산화물 반도체층;

상기 제 1 산화물 반도체층 위의 제 2 절연막;

상기 제 1 트랜지스터의 제 1 게이트 전극으로서 기능하는 영역을 포함하는, 상기 제 2 절연막 위의 제 1 도전막;

상기 제 1 도전막 위의 제 3 절연막;

상기 제 3 절연막 위의 제 4 절연막;

상기 제 4 절연막 위의 제 2 도전막;

상기 제 1 절연막 위의, 상기 제 1 트랜지스터의 소스 전극으로서 기능하는 영역을 포함하는 제 3 도전막, 상기 제 1 절연막 위의, 상기 제 1 트랜지스터의 드레인 전극으로서 기능하는 영역을 포함하는 제 4 도전막, 및 상기 제 1 절연막 위의, 상기 제 3 도전막 및 상기 제 4 도전막과 같은 도전막으로 형성된 제 5 도전막;

상기 제 1 절연막 아래의 제 6 도전막;

상기 제 6 도전막 아래의 제 5 절연막;

제 2 트랜지스터의 제 2 게이트 전극으로서 기능하는 영역을 포함하는, 상기 제 5 절연막 아래의 제 7 도전막;

상기 제 7 도전막 아래의 제 6 절연막; 및

상기 제 6 절연막 아래의 상기 제 2 트랜지스터의 제 2 채널 형성 영역을 포함하고,

상기 제 2 도전막은 상기 제 5 도전막을 통하여 상기 제 6 도전막에 전기적으로 접속되고,

상기 제 2 도전막은 상기 제 1 도전막과 중첩되는 영역을 포함하고,

상기 제 5 도전막은 상기 제 1 도전막과 중첩되는 영역을 포함하지 않고,

상기 제 5 도전막은 트랜지스터의 소스 전극 및 드레인 전극 중 한쪽으로서 기능하는 영역을 포함하지 않는, 반도체 장치.

발명의 설명

기술 분야

[0001] 본 발명은 반도체 장치에 관한 것이다.

[0002] 본 명세서에서, "반도체 장치"란 반도체 특성을 이용함으로써 기능할 수 있는 장치를 말하고, 전기-광학 장치, 반도체 회로, 및 전자 기기는 모두 반도체 장치의 범주에 포함된다.

배경 기술

[0003] 절연 표면을 갖는 기판 위에 형성된 반도체 박막을 사용하여 트랜지스터를 형성하는 기술이 주목을 모으고 있다. 상기 트랜지스터는, 집적 회로(IC) 및 화상 표시 장치(표시 장치) 등의 전자 디바이스의 광범위에서 사용된다. 트랜지스터에 적용 가능한 반도체 박막의 재료로서 실리콘계 반도체 재료가 널리 알려져 있다. 또 다른 예로서, 산화물 반도체가 주목되고 있다.

[0004] 예를 들어, 특허문헌 1에는, 인듐(In), 갈륨(Ga), 및 아연(Zn)을 포함하는 비정질 산화물 반도체가 활성층에 포함되는 트랜지스터가 개시(開示)되어 있다.

[0005] 특허문헌 2 및 3에는, 산화물 반도체막들을 적층함으로써 캐리어 이동도를 향상시키는 기술이 개시되어 있다.

선행기술문헌

특허문헌

[0006] (특허문헌 0001) 일본국 특개 제2006-165528호 공보

(특허문헌 0002) 일본국 특개 제2011-124360호 공보

(특허문헌 0003) 일본국 특개 제2011-138934호 공보

발명의 내용

해결하려는 과제

[0007] 일반적으로, 회로의 고집적화에는 트랜지스터의 소형화가 요구된다. 하지만, 트랜지스터의 소형화는, 온 상태 전류, 문턱 전압, 및 S값(subthreshold value) 등, 트랜지스터의 전기 특성을 열화시키는 것이 알려져 있다.

[0008] 예를 들어, 실리콘을 사용한 트랜지스터에서의 채널 길이의 단축은 문턱 전압 이하 스윙(S값)의 상승 또는 문턱

전압의 음 쪽으로의 이동 등 단채널 효과를 일으키는 것이 알려져 있다.

[0009] 한편, 산화물 반도체를 사용한 트랜지스터는, 전자가 다수 캐리어인 축적형 트랜지스터(축적층에 채널이 형성되는 트랜지스터)이고, 실리콘을 사용한 단채널 반전형 트랜지스터(반전층에 채널이 형성되는 트랜지스터)보다 산화물 반도체를 사용한 단채널 트랜지스터에서 DIBL(Drain-Induced Barrier Lowering)이 일어나기 어렵다. 바꿔 말하면, 산화물 반도체를 사용한 트랜지스터는 단채널 효과에 대한 저항을 갖는다.

[0010] 트랜지스터의 채널 폭이 축소됨으로써 온 상태 전류가 감소되는 것이 걱정된다. 온 상태 전류를 향상시키기 위한 기술로서, 채널이 활성층의 측면에도 형성되도록 두꺼운 활성층을 형성하는 기술이 알려져 있다. 하지만, 채널이 형성되는 표면적이 증대되는 경우, 채널 형성 영역과 게이트 절연막 사이의 계면에서 캐리어 산란이 증가되어, 충분히 높은 온 상태 전류를 얻기 쉽지 않다.

[0011] 본 발명의 일 형태의 하나의 목적은, 반도체 장치가 소형화됨에 따라 더 현저해지는 전기 특성의 열화를 억제할 수 있는 반도체 장치를 제공하는 것이다. 또 다른 목적은, 집적도가 높은 반도체 장치를 제공하는 것이다. 또 다른 목적은, 온 상태 전류 특성의 열화가 저감되는 반도체 장치를 제공하는 것이다. 또 다른 목적은, 소비 전력이 낮은 반도체 장치를 제공하는 것이다. 또 다른 목적은, 신뢰성이 높은 반도체 장치를 제공하는 것이다. 또 다른 목적은, 전원이 정지되더라도 데이터가 유지될 수 있는 반도체 장치를 제공하는 것이다. 또 다른 목적은, 신규 반도체 장치를 제공하는 것이다.

[0012] 또한, 이들 목적의 기재는 다른 목적의 존재를 방해하는 것이 아니다. 또한, 본 발명의 일 형태에서 모든 목적을 달성할 필요는 없다. 다른 목적은 명세서, 도면, 청구항 등의 기재로부터 명확해지며, 명세서, 도면, 청구항 등의 기재로부터 얻을 수 있다.

과제의 해결 수단

[0013] 본 발명의 일 형태는 적층된 산화물 반도체막을 포함하는 반도체 장치에 관한 것이다.

[0014] 본 발명의 일 형태는 제 1 산화물막, 제 1 산화물막 위의 산화물 반도체막, 산화물 반도체막과 접촉되는 소스 전극 및 드레인 전극, 산화물 반도체막, 소스 전극, 및 드레인 전극 위의 제 2 산화물막, 제 2 산화물막 위의 게이트 절연막, 및 게이트 절연막과 접촉되는 게이트 전극을 포함하는 반도체 장치다. 산화물 반도체막의 상단부는 채널 폭 방향에서 봤을 때, 만곡된다.

[0015] 또한, 본 명세서 등에서의 "제 1" 및 "제 2" 등의 서수사는 구성 요소끼리의 혼동을 피하기 위하여 사용되고, 구성 요소를 수적으로 한정하지 않는다.

[0016] 상술한 구조에서, 산화물 반도체막의 상면은 평탄부를 가져도 좋다.

[0017] 상술한 구조에서, 채널 폭 방향에서 봤을 때의 산화물 반도체막의 단부의 곡률반경(r)(단부가 2개인 경우, 각 곡률반경 r_1 및 r_2)은 0보다 크고 채널 폭(W)의 절반 이하다($0 < r$ (또는 r_1 또는 r_2) $\leq W/2$).

[0018] 상술한 구조에서, 제 2 산화물막의 상단부는 게이트 절연막의 하단부와 정렬하여도 좋고, 게이트 절연막의 상단부는 게이트 전극의 하단부와 정렬하여도 좋다.

[0019] 상술한 구조에서, 제 1 산화물막 및 제 2 산화물막 각각의 전도대 최하위는 산화물 반도체막의 전도대 최하위보다 진공 준위에 0.05eV 이상 2eV 이하만큼 가까운 것이 바람직하다.

[0020] 상술한 구조가 제 1 산화물막, 산화물 반도체막, 소스 전극, 드레인 전극, 제 2 산화물막, 게이트 절연막, 및 게이트 전극과 접촉되어 덮는 배리어막을 포함하여도 좋다.

[0021] 상술한 구조가, 사이에 배리어막을 개재(介)하여 제 1 산화물막, 산화물 반도체막, 소스 전극, 및 드레인 전극의 측면에 제 1 측벽 절연막을 포함하여도 좋다.

[0022] 상술한 구조가, 사이에 배리어막을 개재하여 제 2 산화물막, 게이트 절연막, 및 게이트 전극의 측면에 제 2 측벽 절연막을 포함하여도 좋다.

발명의 효과

[0023] 본 발명의 일 형태에 따라, 이하의 반도체 장치 중 어느 것을 제공할 수 있다: 반도체 장치가 소형화됨에 따라 더 현저해지는 전기 특성의 열화를 억제할 수 있는 반도체 장치, 집적도가 높은 반도체 장치, 온 상태 전류 특성의 열화가 저감되는 반도체 장치, 소비 전력이 낮은 반도체 장치, 신뢰성이 높은 반도체 장치, 전원이 정지되

더라도 데이터가 유지될 수 있는 반도체 장치, 및 신규 반도체 장치다. 또한, 이들 효과의 기재는 다른 효과의 존재를 방해하는 것이 아니다. 본 발명의 일 형태에서, 모든 효과를 얻을 필요는 없다. 다른 효과는 명세서, 도면, 청구항 등의 기재로부터 명확해지며, 명세서, 도면, 청구항 등의 기재로부터 얻을 수 있다.

도면의 간단한 설명

[0024]

- 도 1의 (A)~(C)는 트랜지스터를 도시한 상면도 및 단면도.
- 도 2의 (A) 및 (B)는 다층막의 밴드 구조를 나타낸 것.
- 도 3은 트랜지스터의 확대된 단면도.
- 도 4의 (A) 및 (B)는 각각 채널 폭 방향에서의 트랜지스터의 단면도.
- 도 5의 (A) 및 (B)는 각각 채널 폭 방향에서의 트랜지스터의 단면도.
- 도 6의 (A)~(C)는 트랜지스터를 도시한 상면도 및 단면도.
- 도 7은 트랜지스터의 단면도.
- 도 8의 (A)~(C)는 트랜지스터를 제작하기 위한 방법을 도시한 단면도.
- 도 9의 (A)~(C)는 트랜지스터를 제작하기 위한 방법을 도시한 단면도.
- 도 10의 (A) 및 (B)는 실시예에서 제작되는 트랜지스터의 단면 STEM이미지.
- 도 11은 실시예에서 제작되는 트랜지스터의 전기 특성의 측정 결과를 나타낸 것.
- 도 12는 실시예에서 제작되는 트랜지스터의 전기 특성의 측정 결과를 나타낸 것.
- 도 13의 (A)~(C)는 각각 실시예에서 제작되는 트랜지스터의 전기 특성의 측정 결과를 나타낸 것.
- 도 14의 (A)~(C)는 트랜지스터를 도시한 상면도 및 단면도.
- 도 15의 (A)~(C)는 트랜지스터를 제작하기 위한 방법을 도시한 것.
- 도 16의 (A)~(C)는 트랜지스터를 제작하기 위한 방법을 도시한 것.
- 도 17의 (A)~(C)는 트랜지스터를 제작하기 위한 방법을 도시한 것.
- 도 18의 (A)~(C) 각각은 트랜지스터를 제작하기 위한 방법을 도시한 것.
- 도 19의 (A)~(D) 각각은 본 발명의 일 형태의 반도체 장치를 포함하는 인버터를 도시한 것.
- 도 20은 본 발명의 일 형태의 반도체 장치의 회로도.
- 도 21은 본 발명의 일 형태의 반도체 장치의 블록도.
- 도 22는 본 발명의 일 형태의 기억 장치를 도시한 회로도.
- 도 23의 (A)~(C) 각각은 본 발명의 일 형태의 전자 기기를 도시한 것.
- 도 24는 반도체 장치의 예를 도시한 등가 회로도.
- 도 25의 (A) 및 (B) 각각은 채널 폭 방향에서의 트랜지스터의 단면도.
- 도 26은 채널 길이 방향에서의 트랜지스터의 단면도.
- 도 27은 트랜지스터의 I_d - V_g 특성을 나타낸 것.
- 도 28은 트랜지스터의 I_d - V_g 특성을 나타낸 것.
- 도 29는 트랜지스터의 I_d - V_g 특성을 나타낸 것.
- 도 30은 트랜지스터의 온도 의존성을 나타낸 것.
- 도 31은 트랜지스터의 온도 의존성을 나타낸 것.

도 32의 (A) 및 (B) 각각은 트랜지스터의 신뢰성을 나타낸 것.

도 33은 트랜지스터의 신뢰성을 나타낸 것.

도 34의 (A)~(D) 각각은 트랜지스터의 전기 특성을 나타낸 것.

도 35의 (A) 및 (B) 각각은 트랜지스터의 전기 특성을 나타낸 것.

도 36은 트랜지스터의 구조 개략도.

도 37의 (A) 및 (B) 각각은 산화물 반도체막의 나노빔 전자 회절 패턴을 나타낸 것.

도 38의 (A) 및 (B)는 투과 전자 회절 측정 장치의 예를 도시한 것.

도 39는 투과 전자 회절 측정에 의한 구조 해석의 예를 도시한 것.

도 40의 (A)~(C) 각각은 트랜지스터의 온도 의존성을 나타낸 것.

발명을 실시하기 위한 구체적인 내용

- [0025] 실시형태를 도면을 참조하여 자세히 설명한다. 다만, 본 발명은 이하의 설명에 한정되지 않고, 본 발명의 취지 및 범위로부터 벗어나지 않고, 형식 및 상세를 다양한 방법으로 변경할 수 있다는 것은, 당업자에 의하여 쉽게 이해된다. 따라서, 본 발명은 이하의 실시형태의 기재에 한정되지 말아야 한다. 또한, 이하에서 설명되는 본 발명의 구조에서, 같은 부분 또는 비슷한 기능을 갖는 부분은 상이한 도면에서 같은 부호로 가리켜지고, 이들의 설명은 생략하는 경우가 있다.
- [0026] (실시형태 1)
- [0027] 본 실시형태에서, 본 발명의 일 형태의 반도체 장치를 도면을 참조하여 설명한다.
- [0028] 도 1의 (A)~(C)는 본 발명의 일 형태의 트랜지스터를 도시한 상면도 및 단면도다. 도 1의 (A)는 상면도다. 도 1의 (B)는 도 1의 (A)에서의 일점쇄선 A-B를 따른 단면을 도시한 것이다. 도 1의 (C)는 도 1의 (A)에서의 일점쇄선 C-D를 따른 단면을 도시한 것이다. 또한, 도면을 간략화하기 위하여, 몇 개의 구성 요소를 도 1의 (A)의 상면도에 도시하지 않았다. 일점쇄선 A-B 방향을 채널 길이 방향이라고 하고, 일점쇄선 C-D 방향을 채널 폭 방향이라고 하는 경우가 있다. 또한, 채널 길이는 캐리어가 흐르는 방향에서의 채널 형성 영역의 길이이다. 채널 폭은 채널 길이 방향에 수직의, 채널 형성 영역의 길이이다.
- [0029] 도 1의 (A)~(C)에 도시된 트랜지스터(450)는, 기판(400) 위의 하지 절연막(base insulating film)(402); 하지 절연막(402) 위의 제 1 산화물막(404a) 및 산화물 반도체막(404b); 제 1 산화물막(404a) 및 산화물 반도체막(404b) 위의 소스 전극(406a) 및 드레인 전극(406b); 산화물 반도체막(404b), 소스 전극(406a), 및 드레인 전극(406b) 위의 제 2 산화물막(404c); 제 2 산화물막(404c) 위의 게이트 절연막(408); 게이트 절연막(408) 위의 게이트 전극(410); 및 소스 전극(406a), 드레인 전극(406b), 및 게이트 전극(410) 위의 산화물 절연막(412)을 포함한다. 제 1 산화물막(404a), 산화물 반도체막(404b), 및 제 2 산화물막(404c)을 총괄하여 다층막(404)이라고 한다.
- [0030] 트랜지스터의 채널 길이 및 채널 폭이 축소되면, 레지스트 마스크를 사용하여 가공되는 전극, 반도체막 등이 둥그스름한 단부(곡면)를 갖는 경우가 있다. 단면에서 봤을 때, 본 실시형태에서의 산화물 반도체막(404b)의 상단부는 둥그스름하고 반원 형상을 갖는다. 이 구조에 의하여, 산화물 반도체막(404b) 위에 형성되는, 게이트 절연막(408), 게이트 전극(410), 및 산화물 절연막(412)과의 피복률을 향상시킬 수 있다. 또한, 소스 전극(406a) 및 드레인 전극(406b)의 단부에 일어날 수 있는 전계 집중을 감소시킬 수 있어, 트랜지스터의 열화를 억제할 수 있다.
- [0031] 산화물 반도체막(404b)은 곡률반경이 r 인 접촉원(osculating circle)의 곡률을 갖는다. 또한, 곡률반경은 곡선의 접촉원의 반경과 동등하다. 산화물 반도체막(404b)은 상이한 접촉원의 곡률을 갖는 부분을 2개 이상 가져도 좋다.
- [0032] 구체적으로, 도 1의 (A)~(C)에 도시된 산화물 반도체막(404b)에서, 채널 폭 방향에서 본 상단부의 곡률반경(r_1)이 0보다 크고 채널 폭(W)의 절반 이하가 바람직하고, 마찬가지로 채널 폭 방향에서 본 상단부의 곡률반경(r_2)(곡률반경(r_2))을 갖는 상단부는 곡률반경(r_1)을 갖는 상단부로부터 채널 폭(W)만큼 떨어짐이 0보다 크고 채널 폭(W)의 절반 이하가 바람직하고, 마찬가지로 채널 폭 방향에서 본 상단부의 곡률반경(r_1)을 갖는 상단부로부터 채널 폭(W)만큼 떨어짐이 0보다 크고 채널 폭(W)의 절반 이하가 바람직하다.

널 폭(W)의 절반 이하($0 < r_1, r_2 \leq W/2$)가 바람직하다. 도 6의 (C)에 도시된 바와 같이 채널 폭 방향에서 봤을 때 산화물 반도체막(404b)의 상면이 평탄부를 갖지 않는 경우, 상단부의 곡률반경(r_3)은 0보다 크고 채널 폭(W)의 절반 이하($0 < r_3 \leq W/2$)가 바람직하다.

- [0033] 또한, 예컨대 트랜지스터의 "소스" 및 "드레인"의 기능은 반대 극성의 트랜지스터가 사용될 때 또는 회로 동작에서 전류 흐름의 방향이 변화될 때 서로 바뀌는 경우가 있다. 따라서, 본 명세서에서 "소스"라는 용어가 드레인을 가리키기 위하여 사용되고, "드레인"이라는 용어가 소스를 가리키기 위하여 사용될 수 있다.
- [0034] 기관(400)은 단순한 지지 기관에 한정되지 않고 트랜지스터 등의 또 다른 디바이스가 형성된 기관이어도 좋다. 이 경우, 트랜지스터(450)의 게이트 전극(410), 소스 전극(406a), 및 드레인 전극(406b) 중 적어도 하나가 상술한 디바이스에 전기적으로 접속되어도 좋다.
- [0035] 하지 절연막(402)은, 기관(400)으로부터의 불순물의 확산을 방지하는 기능에 더하여 다층막(404)에 산소를 공급하는 기능을 가질 수 있다. 이 때문에, 하지 절연막(402)은 산소를 포함하는 절연막인 것이 바람직하고, 산소 함유량이 화학량론적 조성보다 많은 산소를 포함하는 절연막인 것이 더 바람직하다. 상술한 바와 같이, 기관(400)에 또 다른 디바이스가 제공되는 경우, 하지 절연막(402)은 층간 절연막으로서의 기능도 갖는다. 이 경우, 하지 절연막(402)이 평탄하지 않은 표면을 갖기 때문에, 평탄면을 갖도록 하지 절연막(402)에 CMP(Chemical Mechanical Polishing) 처리 등의 평탄화 처리가 수행되는 것이 바람직하다.
- [0036] 산소를 공급할 수 있는 산화 알루미늄막이 하지 절연막(402)에 사용되는 것이 바람직하다. 상기 산화 알루미늄막은 산소를 공급하는 기능뿐만 아니라 수소, 물, 및 산소를 차단하는 기능도 갖는다. 산화 알루미늄과 산화 실리콘이 혼합된 타깃을 사용하여 형성된, 산화 실리콘을 포함하는 산화 알루미늄막을 사용할 수 있다. 이 경우, 산화 실리콘의 함유량은 0.1wt% 이상 30wt% 이하인 것이 바람직하다.
- [0037] 트랜지스터(450)의 채널 형성 영역에서의 다층막(404)은, 기관(400) 측으로부터 제 1 산화물막(404a), 산화물 반도체막(404b), 및 제 2 산화물막(404c)의 차례로 적층된 구조를 갖는다. 산화물 반도체막(404b)은 제 1 산화물막(404a) 및 제 2 산화물막(404c)에 의하여 둘러싸인다. 도 1의 (C)와 같이, 채널 폭 방향에서 봤을 때, 게이트 전극(410)은 산화물 반도체막(404b)을 전기적으로 덮는다.
- [0038] 여기서, 예컨대 산화물 반도체막(404b)에, 제 1 산화물막(404a) 및 제 2 산화물막(404c)보다 전자 친화력(진공 준위와 전도대 최하위 사이의 에너지 차이)이 높은 산화물 반도체가 사용된다. 전자 친화력은, 진공 준위와 가전자대 최상위 사이의 에너지 차이(소위 이온화 퍼텐셜)로부터 전도대 최하위와 가전자대 최상위 사이의 에너지 차이(소위 에너지 갭)를 뺀으로써 얻어질 수 있다.
- [0039] 제 1 산화물막(404a) 및 제 2 산화물막(404c)은 각각 산화물 반도체막(404b)을 형성하는 금속 원소를 1종류 이상 포함한다. 예를 들어, 제 1 산화물막(404a) 및 제 2 산화물막(404c)은 전도대 최하위가 산화물 반도체막(404b)보다 진공 준위에 가까운 산화물 반도체를 사용하여 형성되는 것이 바람직하다. 또한, 산화물 반도체막(404b)과 제 1 산화물막(404a) 사이의 전도대 최하위의 에너지 차이 및 산화물 반도체막(404b)과 제 2 산화물막(404c) 사이의 전도대 최하위의 에너지 차이는 각각 0.05eV, 0.07eV, 0.1eV, 또는 0.15eV 이상이고 2eV, 1eV, 0.5eV, 또는 0.4eV 이하인 것이 바람직하다.
- [0040] 이런 구조에서, 게이트 전극(410)에 전계가 인가되면, 다층막(404)에서 전도대 최하위가 가장 낮은 산화물 반도체막(404b)에 채널이 형성된다. 바꿔 말하면, 산화물 반도체막(404b)과 게이트 절연막(408) 사이에 제 2 산화물막(404c)이 형성됨으로써 트랜지스터의 채널이 게이트 절연막(408)과 접촉되지 않는 구조가 얻어진다.
- [0041] 또한, 제 1 산화물막(404a)이 산화물 반도체막(404b)에 포함되는 금속 원소를 1종류 이상 포함하기 때문에, 산화물 반도체막(404b)이 하지 절연막(402)에 접촉된다고 가정하면, 산화물 반도체막(404b)은, 하지 절연막(402)과의 계면보다 제 1 산화물막(404a)과의 계면에 계면 상태를 형성하기 어렵다. 이 계면 상태는 채널을 형성하는 경우가 있어, 트랜지스터의 문턱 전압을 변화시킨다. 따라서, 제 1 산화물막(404a)에 의하여, 문턱 전압 등, 트랜지스터의 전기 특성의 변동을 저감할 수 있다. 또한, 상기 트랜지스터의 신뢰성을 향상시킬 수 있다.
- [0042] 또한, 제 2 산화물막(404c)은 산화물 반도체막(404b)에 포함되는 금속 원소를 1종류 이상 포함하기 때문에, 산화물 반도체막(404b)이 게이트 절연막(408)에 접촉된다고 가정하면, 산화물 반도체막(404b)은, 게이트 절연막(408)과의 계면보다 제 2 산화물막(404c)과의 계면에 캐리어 산란을 일으키기 어렵다. 따라서, 제 2 산화물막(404c)에 의하여, 트랜지스터의 전계 효과 이동도를 증가시킬 수 있다.

- [0043] 제 1 산화물막(404a) 및 제 2 산화물막(404c)에는, 예컨대, Al, Ti, Ga, Ge, Y, Zr, Sn, La, Ce, 또는 Hf을 산화물 반도체막(404b)에 사용되는 재료보다 높은 원자 비율로 포함하는 재료를 사용할 수 있다. 구체적으로, 제 1 산화물막(404a) 및 제 2 산화물막(404c)에서의 상술한 금속 원소 중 어느 것의 원자 비율은 산화물 반도체막(404b)의 1.5배 이상, 바람직하게는 2배 이상, 더 바람직하게는 3배 이상으로 한다. 상술한 금속 원소 중 어느 것은, 산소에 강하게 결합되어, 제 1 산화물막(404a) 및 제 2 산화물막(404c)에서의 산소 빈자리의 발생을 억제하는 기능을 갖는다. 즉, 제 1 산화물막(404a) 및 제 2 산화물막(404c)에는 산화물 반도체막(404b)보다 산소 빈자리가 발생하기 어렵다.
- [0044] 또한, 제 1 산화물막(404a), 산화물 반도체막(404b), 및 제 2 산화물막(404c) 각각이 인듐, 아연, 및 M (M 은 Al, Ti, Ga, Ge, Y, Zr, Sn, La, Ce, 또는 Hf 등의 금속)을 적어도 포함하는 In- M -Zn 산화물이고, 제 1 산화물막(404a)은 M 및 Zn에 대한 In의 원자 비율이 $x_1:y_1:z_1$ 이고, 산화물 반도체막(404b)은 M 및 Zn에 대한 In의 원자 비율이 $x_2:y_2:z_2$ 이고, 제 2 산화물막(404c)은 M 및 Zn에 대한 In의 원자 비율이 $x_3:y_3:z_3$ 일 때, y_1/x_1 및 y_3/x_3 각각이 y_2/x_2 보다 큰 것이 바람직하다. y_1/x_1 및 y_3/x_3 각각이 y_2/x_2 의 1.5배 이상, 바람직하게는 2배 이상, 더 바람직하게는 3배 이상 크다. 이 때, 산화물 반도체막(404b)에서, y_2 가 x_2 이상이면 트랜지스터는 안정된 전기 특성을 가질 수 있다. 하지만, y_2 가 x_2 의 3배 이상 크면, 트랜지스터의 전계 효과 이동도가 감소되기 때문에 y_2 는 x_2 의 3배 미만인 것이 바람직하다.
- [0045] Zn 및 O를 생각하지 않는 경우, 제 1 산화물막(404a) 및 제 2 산화물막(404c)에서의 In의 비율과 M 의 비율은, 바람직하게는 In이 50atomic% 미만, M 이 50atomic% 이상이고, 더 바람직하게는 In이 34atomic% 이상, M 이 66atomic% 미만이다.
- [0046] 제 1 산화물막(404a) 및 제 2 산화물막(404c)의 두께는 각각 3nm 이상 100nm 이하, 바람직하게는 3nm 이상 50nm 이하이다. 산화물 반도체막(404b)의 두께는 3nm 이상 200nm 이하, 바람직하게는 3nm 이상 100nm 이하, 더 바람직하게는 3nm 이상 50nm 이하이다.
- [0047] 제 1 산화물막(404a), 산화물 반도체막(404b), 및 제 2 산화물막(404c)에는, 예컨대, 인듐, 아연, 및 갈륨을 포함하는 산화물 반도체를 사용할 수 있다. 또한, 캐리어 이동도를 향상시킬 수 있기 때문에 산화물 반도체막(404b)이 인듐을 포함하는 것이 바람직하다.
- [0048] 또한, 산화물 반도체막에서의 불순물 농도를 저감하여 산화물 반도체막을 진성 또는 실질적으로 진성으로 함으로써, 산화물 반도체막을 채널로 하는 트랜지스터에 안정된 전기 특성을 효과적으로 부여할 수 있다. "실질적으로 진성"이란 용어는, 산화물 반도체막이 $1 \times 10^{17}/\text{cm}^3$ 미만, 바람직하게는 $1 \times 10^{15}/\text{cm}^3$ 미만, 더 바람직하게는 $1 \times 10^{13}/\text{cm}^3$ 미만의 캐리어 밀도를 갖는 상태를 말한다.
- [0049] 산화물 반도체막에 포함되는 수소 원자의 일부가 산소 빈자리에 포획됨으로써, 산화물 반도체막이 n형 도전형을 가지게 한다. 따라서, 고순도 진성 산화물 반도체막에서의 페르미 레벨(E_f)보다 수소를 많이 포함하는 산화물 반도체막에서의 페르미 레벨(E_f)이 전도대(E_c) 바닥에 가깝기 때문에, 트랜지스터의 전계 효과 이동도의 향상이 기대된다. 산화물 반도체막이 진성 또는 실질적으로 진성이 되면, 산화물 반도체막의 페르미 에너지는 미드 갭(산화물 반도체막의 에너지 갭의 중간 에너지)과 같거나 또는 실질적으로 같게 된다. 이 경우, 산화물 반도체막에서의 캐리어 수의 저감으로 인하여 전계 효과 이동도가 감소되는 것이 우려된다.
- [0050] 하지만, 본 발명의 일 형태의 트랜지스터에서, 게이트 전계는 수직 방향뿐만 아니라 측면 방향으로도 산화물 반도체막에 인가된다. 즉, 게이트 전계는 산화물 반도체막 전체에 인가되어, 산화물 반도체막 전체에 전류가 흐른다. 따라서, 고순도 진성 산화물 반도체막으로 인한 전기 특성의 변동을 억제할 수 있고 트랜지스터의 전계 효과 이동도가 증가될 수 있다.
- [0051] 산화물 반도체막에서, 수소, 질소, 탄소, 실리콘, 및 산화물 반도체막의 주성분 외의 금속 원소는 불순물이다. 예를 들어, 수소 및 질소는 도너 준위를 형성하여 캐리어 밀도를 증가시킨다. 또한, 산화물 반도체막에서의 실리콘은 불순물 준위를 형성한다. 상기 불순물 준위는 트랩이 될 수 있어, 트랜지스터의 전기 특성을 열화시킨다. 따라서, 제 1 산화물막(404a), 산화물 반도체막(404b), 및 제 2 산화물막(404c)에서, 및 이들 막 사이의 계면에서 불순물 농도가 저감되는 것이 바람직하다.
- [0052] 산화물 반도체막을 진성 또는 실질적으로 진성으로 하기 위하여, SIMS(Secondary Ion Mass Spectrometry)에서,

예컨대, 산화물 반도체막의 정해진 깊이 또는 산화물 반도체막의 영역에서의 실리콘 농도가 바람직하게는 $1 \times 10^{19} \text{ atoms/cm}^3$ 미만, 더 바람직하게는 $5 \times 10^{18} \text{ atoms/cm}^3$ 미만, 더욱 바람직하게는 $1 \times 10^{18} \text{ atoms/cm}^3$ 미만인 것이 좋다. 또한, 산화물 반도체막의 정해진 깊이 또는 산화물 반도체막의 영역에서의 수소 농도가 바람직하게는 $2 \times 10^{20} \text{ atoms/cm}^3$ 이하, 더 바람직하게는 $5 \times 10^{19} \text{ atoms/cm}^3$ 이하, 더욱 바람직하게는 $1 \times 10^{19} \text{ atoms/cm}^3$ 이하, 보다 바람직하게는 $5 \times 10^{18} \text{ atoms/cm}^3$ 이하인 것이 좋다. 또한, 산화물 반도체막의 정해진 깊이 또는 산화물 반도체막의 영역에서의 질소 농도가 바람직하게는 $5 \times 10^{19} \text{ atoms/cm}^3$ 미만, 더 바람직하게는 $5 \times 10^{18} \text{ atoms/cm}^3$ 이하, 더욱 바람직하게는 $1 \times 10^{18} \text{ atoms/cm}^3$ 이하, 보다 바람직하게는 $5 \times 10^{17} \text{ atoms/cm}^3$ 이하인 것이 좋다.

[0053] 산화물 반도체막이 결정을 포함하는 경우, 고농도의 실리콘 또는 탄소가 산화물 반도체막의 결정성을 저감시키는 경우가 있다. 산화물 반도체막의 결정성을 낮추지 않기 위하여, 예컨대 산화물 반도체막의 정해진 깊이 또는 산화물 반도체막의 영역에서의 실리콘 농도를 $1 \times 10^{19} \text{ atoms/cm}^3$ 미만, 바람직하게는 $5 \times 10^{18} \text{ atoms/cm}^3$ 미만, 더 바람직하게는 $1 \times 10^{18} \text{ atoms/cm}^3$ 미만으로 하여도 좋다. 또한, 산화물 반도체막의 정해진 깊이 또는 산화물 반도체막의 영역에서의 탄소 농도를 예컨대 $1 \times 10^{19} \text{ atoms/cm}^3$ 미만, 바람직하게는 $5 \times 10^{18} \text{ atoms/cm}^3$ 미만, 더 바람직하게는 $1 \times 10^{18} \text{ atoms/cm}^3$ 미만으로 하여도 좋다.

[0054] 상술한 고순도 산화물 반도체막이 채널 형성 영역에 사용되는 트랜지스터는 매우 낮은 오프 상태 전류를 갖는다. 예를 들어, 소스와 드레인 사이의 전압이 0.1V, 5V, 또는, 10V 정도로 설정되는 경우, 트랜지스터의 채널 폭으로 표준화된 오프 상태 전류가 수 $\text{yA}/\mu\text{m}$ ~수 $\text{zA}/\mu\text{m}$ 까지 저감될 수 있다.

[0055] 또한, 트랜지스터의 게이트 절연막으로서, 실리콘을 포함하는 절연막이 사용되는 경우가 많기 때문에, 상술한 이유로, 본 발명의 일 형태의 트랜지스터의 경우와 같이, 채널로서 기능하는 다층막의 영역이 게이트 절연막과 접촉되지 않는 것이 바람직하다. 게이트 절연막과 다층막 사이의 계면에 채널이 형성되는 경우, 이 계면에서 캐리어의 산란이 일어나, 트랜지스터의 전계 효과 이동도가 저감되는 경우가 있다. 상술한 점에서도, 채널로서 기능하는 다층막의 영역이 게이트 절연막으로부터 분리되는 것이 바람직하다.

[0056] 따라서, 제 1 산화물막(404a), 산화물 반도체막(404b), 및 제 2 산화물막(404c)을 이 차례로 포함하는 적층 구조를 갖는 다층막(404)에 의하여, 채널이 산화물 반도체막(404b)에 형성될 수 있어, 트랜지스터는 높은 전계 효과 이동도 및 안정된 전기 특성을 가질 수 있다.

[0057] 다음에, 다층막(404)의 밴드 구조를 설명한다. 밴드 구조를 분석하기 위하여, 다층막(404)에 해당하는 적층막이 형성된다. 적층막에서, 제 1 산화물막(404a) 및 제 2 산화물막(404c)에 해당하는 층에 에너지 갭이 3.5eV인 In-Ga-Zn 산화물이 사용되고, 산화물 반도체막(404b)에 해당하는 층에 에너지 갭이 3.15eV인 In-Ga-Zn 산화물이 사용된다.

[0058] 제 1 산화물막(404a), 산화물 반도체막(404b), 및 제 2 산화물막(404c) 각각의 두께는 10nm이었다. 에너지 갭은 분광 타원 해석기(HORIBA Jobin Yvon제, UT-300)를 사용하여 측정되었다. 또한, 진공 준위와 가전자대 최상위 사이의 에너지 차이는 자외선 광전자 분광 분석(UPS) 장치(ULVAC-PHI, Inc., VersaProbe)를 사용하여 측정되었다.

[0059] 도 2의 (A)는, 진공 준위와 가전자대 최상위 사이의 에너지 차이로부터 에너지 갭을 뺀으로써 산출한, 각 층의 진공 준위와 전도대 최하위 사이의 에너지 차이(전자 친화력)를 개략적으로 나타낸 밴드 구조의 일부다. 도 2의 (A)는 제 1 산화물막(404a) 및 제 2 산화물막(404c)과 접촉하여 산화 실리콘막이 제공되는 경우를 나타낸 밴드도다. 여기서, E_v 는 진공 준위의 에너지를 나타내고, E_{c11} 및 E_{c12} 각각은 산화 실리콘막의 전도대 최하위를 나타내고, E_{cS1} 은 제 1 산화물막(404a)의 전도대 최하위를 나타내고, E_{cS2} 는 산화물 반도체막(404b)의 전도대 최하위를 나타내고, E_{cS3} 은 제 2 산화물막(404c)의 전도대 최하위를 나타낸다.

[0060] 도 2의 (A)에 나타난 바와 같이, 제 1 산화물막(404a), 산화물 반도체막(404b), 및 제 2 산화물막(404c)의 전도대 최하위는 연속적으로 변동된다. 이것은 제 1 산화물막(404a), 산화물 반도체막(404b), 및 제 2 산화물막(404c)의 구성 요소가 서로 근사(近似)하여, 산소가 제 1 산화물막(404a), 산화물 반도체막(404b), 및 제 2 산화물막(404c)끼리 확산되기 쉬운 점에서도 이해될 수 있다. 따라서, 제 1 산화물막(404a), 산화물 반도체막(404b), 및 제 2 산화물막(404c)은 상이한 구성 요소를 가지며 적층을 형성하지만, 연속된 물성을 갖는다. 도면에서, 상기 적층의 산화물 반도체층들 사이의 계면은 점선으로 가리켜진다.

- [0061] 같은 주성분을 포함하는 층들이 적층된 다층막(404)은 층들의 단순 적층 구조뿐만 아니라 연속된 에너지 밴드 (여기에서는 특히, 전도대 최하위가 층들 사이에서 연속적으로 변동되는, U자형을 갖는 우물 구조)를 갖도록 형성된다. 바꿔 말하면, 적층 구조는, 각 계면에 트랩 중심 또는 재결합 중심 등의 결함 준위를 형성하는 불순물이 존재하지 않도록 형성된다. 만일, 다층막에서 적층된 층들 사이에 불순물이 존재하면, 에너지 밴드의 연속성이 소실되고 포획 또는 재결합에 의하여 캐리어가 소멸된다.
- [0062] 또한, 도 2의 (A)는, EcS1과 EcS3이 서로 비슷한 경우를 나타낸 것이지만, EcS1과 EcS3은 서로 상이하더라도 좋다. 예를 들어, EcS3보다 EcS1이 높은 경우에서의 밴드 구조의 일부를 도 2의 (B)에 나타냈다.
- [0063] 예를 들어, EcS1이 EcS3과 동등할 때, Ga 및 Zn에 대한 In의 원자 비율이 1:3:2, 1:3:3, 1:3:4, 1:3:6, 1:4:5, 1:6:4, 또는 1:9:6인 In-Ga-Zn 산화물을 제 1 산화물막(404a) 및 제 2 산화물막(404c)에 사용할 수 있고, Ga 및 Zn에 대한 In의 원자 비율이 1:1:1 또는 3:1:2인 In-Ga-Zn 산화물을 산화물 반도체막(404b)에 사용할 수 있다. 또한, 예를 들어, EcS1이 EcS3보다 높을 때, Ga 및 Zn에 대한 In의 원자 비율이 1:6:4 또는 1:9:6인 In-Ga-Zn 산화물을 제 1 산화물막(404a)에 사용할 수 있고, Ga 및 Zn에 대한 In의 원자 비율이 1:1:1, 1:1:1.2, 1:1:1.5, 또는 3:1:2인 In-Ga-Zn 산화물을 산화물 반도체막(404b)에 사용할 수 있고, Ga 및 Zn에 대한 In의 원자 비율이 1:3:2, 1:3:3, 또는 1:3:4인 In-Ga-Zn 산화물을 제 2 산화물막(404c)에 사용할 수 있다.
- [0064] 도 2의 (A) 및 (B)에 따르면, 다층막(404)의 산화물 반도체막(404b)이 웰로서 기능하여, 채널이 다층막(404)을 포함하는 트랜지스터에서의 산화물 반도체막(404b)에 형성된다. 또한, 전도대 최하위가 연속적으로 변동되기 때문에, 다층막(404)은 U자형 웰이라고 할 수도 있다. 또한, 이러한 구조를 갖도록 형성된 채널을 매몰 채널(buried channel)이라고 할 수도 있다.
- [0065] 또한, 제 1 산화물막(404a) 및 제 2 산화물막(404c) 각각과, 산화 실리콘막 등의 절연막 사이의 계면 근방에 불순물 또는 결함으로 인한 트랩 준위가 형성될 수 있다. 제 1 산화물막(404a) 및 제 2 산화물막(404c)의 존재에 의하여, 산화물 반도체막(404b)을 상기 트랩 준위로부터 멀리할 수 있다. 하지만, EcS2와 EcS1 사이 및 EcS2와 EcS3 사이의 에너지 차이가 작을 때, 산화물 반도체막(404b)에서의 전자가 이 에너지 차이를 넘어 트랩 준위에 달하는 경우가 있다. 트랩 준위에 전자가 포획되면, 절연막 계면에 음의 고정 전하가 생겨 트랜지스터의 문턱 전압은 양 방향으로 시프트된다.
- [0066] 따라서, 트랜지스터의 문턱 전압의 변동을 저감하기 위하여, EcS2와 EcS1 사이 및 EcS2와 EcS3 사이에 적어도 정해진 값의 에너지 차이가 필요하다. 각각 상기 에너지 차이는 바람직하게는 0.1eV 이상, 더 바람직하게는 0.15eV 이상이다.
- [0067] 제 1 산화물막(404a), 산화물 반도체막(404b), 및 제 2 산화물막(404c)은 결정부를 포함하는 것이 바람직하다. 특히, c축이 정렬된 결정이 사용되면, 트랜지스터는 안정된 전기 특성을 가질 수 있다.
- [0068] In-Ga-Zn 산화물이 다층막(404)에 사용되는 경우, 게이트 절연막에 대한 In의 확산을 방지하도록, 제 2 산화물막(404c)은 산화물 반도체막(404b)보다 In을 적게 포함하는 것이 바람직하다.
- [0069] 소스 전극(406a) 및 드레인 전극(406b)에, 산소와 결합하기 쉬운 도전 재료가 사용되는 것이 바람직하다. 예를 들어, Al, Cr, Cu, Ta, Ti, Mo, 또는 W이 사용될 수 있다. 상기 재료 중, 특히 산소와 결합하기 쉬운 Ti 또는 나중의 프로세스 온도를 비교적 높게 할 수 있는, 융점이 높은 W을 사용하는 것이 바람직하다. 단, 산소와 결합하기 쉬운 도전 재료에는 산소가 확산되기 쉬운 재료도 포함된다.
- [0070] 산소와 결합하기 쉬운 도전 재료가 다층막과 접촉되면, 다층막에서의 산소가, 산소와 결합하기 쉬운 도전 재료로 확산되는 현상이 일어난다. 상기 현상은 온도가 높을 때 현저하게 일어난다. 트랜지스터의 제작 공정에는 몇 개의 가열 처리 단계가 포함되기 때문에, 상술한 현상은, 다층막에 있고 소스 전극 또는 드레인 전극과 접촉되는 영역 근방에 산소 빈자리를 발생시킨다. 상기 산소 빈자리는 막에 조금 포함되는 수소와 결합되어, 이 영역이 n형 영역으로 변화된다. 따라서, 상기 n형 영역은 트랜지스터의 소스 또는 드레인으로서 기능할 수 있다.
- [0071] 상기 n형 영역은 도 3에서, 트랜지스터의 확대된 단면도(채널 길이 방향에서의 단면)에 도시되었다. 산화물 반도체막(404b)에서의 점선으로 가리켜진 경계(435)는 진성 반도체 영역과 n형 반도체 영역 사이의 경계다. 산화물 반도체막(404b)에서, 소스 전극(406a) 또는 드레인 전극(406b)에 가까운 영역은 n형 영역이 된다. 여기서 경계(435)는 개략적으로 도시되었지만, 실제로는 경계는 명료하지 않은 경우가 있다. 도 3에서는 경계(435)가 산화물 반도체막(404b)에서 횡 방향으로 연장되는 것을 나타냈지만, 소스 전극(406a) 또는 드레인 전극(406b)과 제 1 산화물막(404a) 사이에 끼워진 제 1 산화물막(404a) 및 산화물 반도체막(404b)에서의 영역이 두께 방향으

로 전체적으로 n형이 되는 경우가 있다. 또한, 도시되지 않았지만, n형 영역은 제 1 산화물막 또는 제 2 산화물막에 형성되는 경우도 있다.

- [0072] 채널 길이가 매우 짧은 트랜지스터를 형성하는 경우, 산소 빈자리의 발생에 의하여 형성되는 n형 영역이 트랜지스터의 채널 길이 방향으로 연장될 수 있다. 이 경우, 트랜지스터의 전기 특성은, 예컨대, 문턱 전압이 시프트되거나 또는 게이트 전압으로 트랜지스터의 온 및 오프 상태를 제어할 수 없게(이 경우에는 트랜지스터가 온되게) 된다. 따라서, 채널 길이가 매우 짧은 트랜지스터가 형성될 때, 소스 전극 및 드레인 전극에 산소와 결합하기 쉬운 도전 재료를 사용하는 것이 반드시 바람직하지는 않다.
- [0073] 이런 경우, 상술한 재료보다 산소와 결합하기 어려운 도전 재료가 소스 전극(406a) 및 드레인 전극(406b)에 사용되는 것이 바람직하다. 산소와 결합하기 어려운 상기 도전 재료로서, 예컨대 질화 탄탈럼, 질화 타이타늄, 또는 루테튬을 포함하는 재료 등을 사용할 수 있다. 또한, 상기 도전 재료가 산화물 반도체막(404b)과 접촉되는 경우, 소스 전극(406a) 및 드레인 전극(406b)은, 산소와 결합하기 어려운 상기 도전 재료와, 산소와 결합하기 쉬운 상술한 도전 재료가 적층된 구조를 각각 가져도 좋다.
- [0074] 게이트 절연막(408)은, 산화 알루미늄, 산화 마그네슘, 산화 실리콘, 산화질화 실리콘, 질화산화 실리콘, 질화 실리콘, 산화 갈륨, 산화 저마늄, 산화 이트륨, 산화 지르코늄, 산화 란타넘, 산화 네오디뮴, 산화 하프늄, 및 산화 탄탈럼 중 하나 이상을 포함하는 절연막을 사용하여 형성될 수 있다. 게이트 절연막(408)은 상술한 재료 중 어느 것을 포함하는 적층이어도 좋다.
- [0075] 게이트 전극(410)에, Al, Ti, Cr, Co, Ni, Cu, Y, Zr, Mo, Ru, Ag, Ta, W 등을 사용하여 형성된 도전막을 사용할 수 있다. 상기 게이트 전극은 상술한 재료 중 어느 것을 포함하는 적층이어도 좋다. 또는, 질소를 포함하는 도전막이 게이트 전극(410)에 사용되어도 좋다.
- [0076] 게이트 절연막(408) 및 게이트 전극(410) 위에 산화물 절연막(412)이 형성되어도 좋다. 상기 산화물 절연막(412)은, 산화 알루미늄, 산화 마그네슘, 산화 실리콘, 산화질화 실리콘, 질화산화 실리콘, 질화 실리콘, 산화 갈륨, 산화 저마늄, 산화 이트륨, 산화 지르코늄, 산화 란타넘, 산화 네오디뮴, 산화 하프늄, 및 산화 탄탈럼 중 하나 이상을 포함하는 절연막을 사용하여 형성될 수 있다. 상기 산화물 절연막(412)은 상술한 재료 중 어느 것을 포함하는 적층이어도 좋다.
- [0077] 여기서, 산화물 절연막(412)은 과잉 산소를 포함하는 것이 바람직하다. 과잉 산소를 포함하는 산화물 절연막이란, 가열 처리 등에 의하여 산소를 방출할 수 있는 산화물 절연막을 말한다. 과잉 산소를 포함하는 산화물 절연막은, 열 탈착 분광법 분석에서 산소 원자로 환산될 때의 산소의 방출량이 1.0×10^{19} atoms/cm³ 이상인 막이 바람직하다. 상기 산화물 절연막으로부터 방출되는 산소는 게이트 절연막(408)을 통하여 다층막(404)에서의 채널 형성 영역으로 확산될 수 있어, 채널 형성 영역에 형성되는 산소 빈자리를 산소로 채울 수 있다. 이와 같이, 트랜지스터의 전기 특성을 안정시킬 수 있다.
- [0078] 산화 알루미늄막이 산화물 절연막(412)에 사용되는 것이 바람직하다. 상기 산화 알루미늄막은 산소를 공급하는 기능뿐만 아니라 수소, 물, 및 산소를 차단하는 기능도 갖는다. 또는 산화 알루미늄과 산화 실리콘이 혼합된 타깃을 사용하여 형성된, 산화 실리콘을 포함하는 산화 알루미늄막을 사용할 수 있다. 이 경우, 산화 실리콘의 함유량은 0.1wt% 이상 30wt% 이하인 것이 바람직하다.
- [0079] 반도체 장치의 고집적화에는 트랜지스터의 소형화가 요구된다. 하지만, 트랜지스터의 소형화는, 트랜지스터의 전기 특성의 열화를 일으키는 것이 알려져 있다. 특히, 채널 폭의 축소에 직접 기인하는 온 상태 전류가 상당히 저감된다.
- [0080] 도 4의 (A) 및 (B)는 각각 산화물 반도체막을 포함하는 종래의 트랜지스터의 채널 폭 방향에서의 단면도다. 각 트랜지스터는 기판(210) 위의 하지 절연막(220), 상기 하지 절연막 위에 형성된 산화물 반도체막(230), 상기 산화물 반도체막 위에 형성된 게이트 절연막(260), 및 게이트 전극(270)을 포함한다.
- [0081] 도 4의 (A)에서의 트랜지스터에서, 채널 폭 방향에서의 산화물 반도체막의 상면의 길이(W_T)는 산화물 반도체막(230)의 두께보다 상당히 크다. 이런 경우, 채널 폭은 W_T 로 정의될 수 있다.
- [0082] 게이트 전극(270)으로부터 산화물 반도체막(230)의 측면에 인가되는 전계는 산화물 반도체막(230) 전체에 인가되지 않기 때문에, 채널은 산화물 반도체막(230)의 측면에 충분히 형성되지 않는다. 또한, 상면의 길이(W_T)에 대한, 산화물 반도체막(230)의 두께에 해당하는 측면의 길이(W_{S1} , W_{S2})의 비율이 작기 때문에, 채널이 형성되더

라도 채널의 기여는 작다고 추정된다. 따라서, W_T 가 짧아질수록, 바꿔 말하면 트랜지스터가 소형화될수록 온 상태 전류가 저하된다고 말할 수 있다.

[0083] 도 4의 (B)에 도시된 바와 같이, 산화물 반도체막(230)의 두께만큼 W_T 가 짧은 트랜지스터의 경우, 게이트 전극(270)으로부터 산화물 반도체막(230)의 측면에 인가되는 전계는 산화물 반도체막(230) 전체에 인가되기 때문에, 산화물 반도체막(230)의 측면에도 채널이 형성된다. 따라서, 예컨대 산화물 반도체막(230)을 두껍게 함으로써 온 상태 전류가 증가되는 것으로 기대된다. 하지만 캐리어가 채널 형성 층(산화물 반도체막(230))과 게이트 절연막(260) 사이의 계면에 산란되기 때문에 종래의 트랜지스터에서, 온 상태 전류는 충분히 증가되지 않는다.

[0084] 또한, 증착 방법에 따라, 산화물 반도체막(230)의 측면을 덮는 게이트 절연막(260)의 두께(T_{G12})가 상기 산화물 반도체막의 상면을 덮는 상기 게이트 절연막의 두께(T_{G11})보다 얇게 되기 쉽다. 따라서, 낮은 내전압을 갖는 부분이 게이트 절연막(260)에 형성되어 트랜지스터의 신뢰성을 저하시킬 수 있다.

[0085] 또한, T_{G11} 및 T_{G12} 가 서로 상이하기 때문에 게이트 전극(270)으로부터 산화물 반도체막(230)에 인가되는 전계는 변동된다. 따라서, 온 상태 전류가 변동되는 경우가 있다.

[0086] 한편, 본 발명의 일 형태의 트랜지스터에서, 상술한 바와 같이, 제 2 산화물막(404c)은, 게이트 절연막(408)과 채널이 형성되는 산화물 반도체막(404b) 사이에 형성된다. 따라서, 채널 형성층과 게이트 절연막 사이의 계면에서의 캐리어의 산란을 감소시킬 수 있고 트랜지스터의 전계 효과 이동도가 증가될 수 있다.

[0087] 또한, 본 발명의 일 형태의 트랜지스터에서, 채널이 형성되는 산화물 반도체막(404b)을 덮도록 제 2 산화물막(404c)이 형성되어, 산화물 반도체막(404b)의 측면에서의 캐리어의 산란이 상면과 같이 저감될 수 있다. 이것은 본 발명의 일 형태의 트랜지스터의 온 상태 전류가 종래의 트랜지스터보다 높은 것을 의미한다.

[0088] 따라서, 본 발명의 일 형태의 트랜지스터는, 도 5의 (A) 또는 (B)에 나타낸 W_T 가 산화물 반도체막(404b)의 두께와 실질적으로 같게, 또는 더 작게 저감된 구조를 가질 때에 특히 우수한 효과를 나타낸다.

[0089] 도 5의 (A) 또는 (B)에 도시된 트랜지스터의 경우, 게이트 전극(170)으로부터 산화물 반도체막(404b)의 측면에 인가되는 전계가 산화물 반도체막(404b) 전체에 인가되기 때문에 채널이 산화물 반도체막(404b)의 측면 및 상면에 동등하게 형성된다.

[0090] 도 5의 (A)에서와 같은 채널 영역(137)이 트랜지스터에 형성되는 경우, 채널 폭은 W_T , W_{S1} , 및 W_{S2} 의 합으로 정의될 수 있고, 상기 채널 폭에 따라 상기 트랜지스터에서 온 상태 전류가 흐른다.

[0091] 도 5의 (B)에 도시된 바와 같은 매우 작은 W_T 를 갖는 트랜지스터의 경우, 채널 영역(138)은, W_T 방향으로 산화물 반도체막(404b) 전체에 형성되는 경우가 있다. 이 경우, 산화물 반도체막(404b) 전체에 전류가 흘러, 굉장히 높은 온 상태 전류가 트랜지스터에서 흐른다. 도 5의 (A)에 도시된 트랜지스터의 W_T 와 W_{S1} 이 충분히 작은 경우, 산화물 반도체막(404b) 전체에 전류가 흐른다.

[0092] 본 발명의 일 형태의 트랜지스터의 한 특징은 게이트 절연막(160)의 T_{G11} 과 T_{G12} 가 실질적으로 동등한 것이다. 이런 경우, 게이트 전극(170)으로부터 산화물 반도체막(404b)에 인가되는 전계는 변동되지 않고, 산화물 반도체막(404b)의 상면 및 측면에 채널이 균일하게 형성된다. 따라서, W_{S1} 및 W_{S2} 가 W_T 와 동등한 경우, 온 상태 전류는 상면에만 채널이 형성되는 경우의 3배 정도 높일 수 있다. W_{S1} 및 W_{S2} 가 각각 W_T 의 2배인 경우, 온 상태 전류는 상면에만 채널이 형성되는 경우의 5배 정도 높일 수 있다.

[0093] 본 발명의 일 형태의 트랜지스터의 게이트 절연막(160)의 T_{G11} 및 T_{G12} 가 실질적으로 동등한 경우, 낮은 내전압을 갖는 부분이 게이트 절연막(260)에 형성되지 않고, 신뢰성이 높은 트랜지스터를 형성할 수 있다.

[0094] 트랜지스터의 온 상태 전류를 효율적으로 향상시키기 위하여, $W_T/W_{S1}(W_T/W_{S2})$ 이 3 이하, 바람직하게는 $W_T/W_{S1}(W_T/W_{S2})$ 이 거의 1인 것이 좋다. 구체적으로, $W_T/W_{S1}(W_T/W_{S2})$ 이 0.7~1.3이다. $W_T/W_{S1}(W_T/W_{S2})$ 이 3보다 큰 경우, S값 및 오프 상태 전류가 증가될 수 있다.

[0095] 상술한 바와 같이, 본 발명의 일 형태의 트랜지스터에 의하여, 트랜지스터가 소형화되더라도 충분히 높은 온 상태 전류를 얻을 수 있다. 게이트 전극이 산화물 반도체막을 전기적으로 덮고 온 상태 전류가 증가된 바와 같은

트랜지스터의 구조를 s채널(surrounded channel) 구조라고도 한다.

- [0096] 본 발명의 일 형태의 트랜지스터에서, 산화물 반도체막(404b)은 제 1 산화물막(404a) 위에 형성되어, 계면 상태가 형성되기 어렵다. 또한, 산화물 반도체막(404b)이 3층 구조의 중간층이기 때문에 불순물이 위 및 아래로부터 산화물 반도체막(404b)에 들어가지 않는다. 산화물 반도체막(404b)이 제 1 산화물막(404a) 및 제 2 산화물막(404c)으로 둘러싸이는 구조에 의하여, 상술한 바와 같이 트랜지스터의 온 상태 전류가 증가되고, 또한, 문턱 전압이 안정화되어 S값이 저감될 수 있다. 따라서, I_{cut} (게이트 전압 V_G 가 0V일 때의 전류)를 저감할 수 있고, 소비 전력을 저감할 수 있다. 또한, 트랜지스터의 문턱 전압이 안정화되어 반도체 장치의 장기 신뢰성을 향상시킬 수 있다.
- [0097] 본 발명의 일 형태의 트랜지스터는 하지 절연막(120)과 기판(110) 사이에 도전막을 포함하여도 좋다. 상기 도전막이 제 2 게이트 전극으로서 사용될 때, 온 상태 전류가 더 증가될 수 있고 문턱 전압을 제어할 수 있다. 온 상태 전류를 증가하기 위하여 예컨대 게이트 전극(170) 및 도전막은 같은 전위를 갖도록 설정되고, 트랜지스터는 듀얼 게이트 트랜지스터로서 구동된다. 또한, 문턱 전압을 제어하기 위하여 게이트 전극(170)의 전위와 상이한 고정 전위가 도전막에 공급된다.
- [0098] 도 6의 (A)~(C)에 도시된 트랜지스터(460)를 사용할 수 있다. 도 6의 (A)~(C)는 트랜지스터(460)를 도시한 상면도 및 단면도다. 도 6의 (A)는 상면도다. 도 6의 (B)는 도 6의 (A)에서의 일점쇄선 A-B를 따른 단면을 도시한 것이다. 도 6의 (C)는 도 6의 (A)에서의 일점쇄선 C-D를 따른 단면을 도시한 것이다. 또한, 도면을 간략화하기 위하여, 몇 개의 구성 요소를 도 6의 (A)에서의 상면도에 도시하지 않았다.
- [0099] 도 6의 (A)~(C)와 도 1의 (A)~(C)에서의 트랜지스터의 차이는, 도 6의 (C)에 나타낸 바와 같이 채널 폭 방향에서 봤을 때 산화물 반도체막(404b)의 상면이 평탄부를 갖지 않는 점이다.
- [0100] 도 1의 (A)~(C)에서의 트랜지스터(450) 및 도 6의 (A)~(C)에서의 트랜지스터(460)에서, 다층막(404)은 산화물 반도체막(404b)이 제 1 산화물막(404a)과 제 2 산화물막(404c)에 의하여 끼워진 구조를 갖는다. 다층막(404)의 구조는 이 구조에 한정되지 않고, 도 7에서의, 제 1 산화물막(404a)과 제 2 산화물막(404c)이 제공되지 않고 산화물 반도체막(404b)만이 제공되는 트랜지스터(470)의 구조라도 좋다.
- [0101] 본 실시형태는 본 명세서에서의 다른 실시형태 중 어느 것과 적절히 조합될 수 있다.
- [0102] (실시형태 2)
- [0103] 본 실시형태에서, 도 1의 (A)~(C)를 참조하여 실시형태 1에서 설명한 트랜지스터(450)를 형성하기 위한 방법을 도 8의 (A)~(C) 및 도 9의 (A)~(C)를 참조하여 설명한다.
- [0104] 먼저, 기판(400) 위에 하지 절연막(402)을 형성한다(도 8의 (A) 참조).
- [0105] 기판(400)에는, 유리 기판, 세라믹 기판, 석영 기판, 사파이어 기판 등을 사용할 수 있다. 또는, 실리콘, 탄소화 실리콘 등으로 이루어진 단결정 반도체 기판 또는 다결정 반도체 기판, 실리콘 저마늄 등으로 이루어진 화합물 반도체 기판, SOI(Silicon-On-Insulator) 기판 등을 사용할 수 있다. 또는, 이들 기판 중 어느 것에 반도체 소자가 더 제공된 것을 사용할 수 있다.
- [0106] 하지 절연막(402)은 산화 알루미늄, 산화 마그네슘, 산화 실리콘, 산화질화 실리콘, 산화 갈륨, 산화 저마늄, 산화 이트륨, 산화 지르코늄, 산화 란타넘, 산화 네오디뮴, 산화 하프늄, 산화 탄탈럼 등의 산화물 절연막; 질화 실리콘, 질화산화 실리콘, 질화 알루미늄, 질화산화 알루미늄 등의 질화물 절연막; 또는 상술한 재료 중 어느 것을 혼합한 막을 사용하여 플라즈마 CVD법, 스퍼터링법 등에 의하여 형성할 수 있다. 또는, 상술한 재료 중 어느 것을 포함한 적층을 사용하여도 좋고, 하지 절연막(402) 중 적어도 다층막(404)과 접하는 상층은, 다층막(404)에 대한 산소의 공급원으로서 기능할 수 있는 과잉 산소를 포함하는 재료를 사용하여 형성되는 것이 바람직하다.
- [0107] 이온 주입법, 이온 도핑법, 플라즈마 잠입 이온 주입법 등으로 하지 절연막(402)에 산소를 첨가하여도 좋다. 산소를 첨가함으로써, 하지 절연막(402)이 다층막(404)에 산소를 더 쉽게 공급할 수 있도록 한다.
- [0108] 기판(400) 표면이 절연체로 이루어지고 나중에 형성되는 다층막(404)으로의 불순물 확산의 영향이 없는 경우에는 하지 절연막(402)을 반드시 제공할 필요는 없다.
- [0109] 다음에, 하지 절연막(402) 위에 제 1 산화물막(404a) 및 산화물 반도체막(404b)을 스퍼터링법, CVD법, MBE법, ALD법, 또는 PLD법으로 형성한다(도 8의 (B) 참조). 이 때, 도 8의 (B)에 나타낸 바와 같이, 하지 절연막(40

2)이 약간 오버 에칭된다. 하지 절연막(402)을 오버 에칭함으로써 나중에 형성되는 게이트 전극(410)이 제 2 산화물막(404c)을 쉽게 덮을 수 있다.

[0110] 제 1 산화물막(404a) 및 산화물 반도체막(404b)을 섬 형상(island shape)으로 가공하기 위하여, 먼저, 하드 마스크가 되는 막(예컨대 텅스텐막) 및 레지스트 마스크를 산화물 반도체막(404b) 위에 제공하고, 하드 마스크가 되는 막을 하드 마스크가 되도록 에칭한다. 이 후, 레지스트 마스크를 제거하고, 제 1 산화물막(404a) 및 산화물 반도체막(404b)을 하드 마스크를 사용하여 에칭한다. 이 후, 하드 마스크를 제거한다. 이 단계에서, 하드 마스크는 에칭 공정에 따라 단계적으로 감소되고, 결과적으로 하드 마스크의 단부가 둥그스름해지고, 하드 마스크 표면이 만족된다. 이 구조에 의하여, 산화물 반도체막(404b) 위에 형성되는, 제 2 산화물막(404c), 게이트 절연막(408), 게이트 전극(410), 및 산화물 절연막(412)과의 피복률을 향상시킬 수 있어 단절 등의 형상 불량 발생을 억제할 수 있다. 또한, 소스 전극(406a) 및 드레인 전극(406b)의 단부에 일어날 수 있는 전계 집중을 감소시킬 수 있어, 트랜지스터의 열화를 억제할 수 있다.

[0111] 제 1 산화물막(404a) 및 산화물 반도체막(404b)을 포함하는 적층, 또는 제 1 산화물막(404a), 산화물 반도체막(404b), 및 나중의 단계에서 형성되는 제 2 산화물막(404c)을 포함하는 적층에서의 연속적인 에너지 밴드를 형성하기 위하여, 이들 층은 로드록실(load lock chamber)을 포함하는 멀티 체임버 성막 장치(예컨대 스퍼터링 장치)를 사용하여 대기에 노출시키지 않고 연속적으로 형성될 필요가 있다. 스퍼터링 장치의 각 체임버는, 산화물 반도체의 불순물로서 작용하는 물 등을 가능한 한 제거하도록, 크라이오 펌프 등의 흡착식 진공 배기 펌프에 의하여 고진공(5×10^{-7} Pa 이상 1×10^{-4} Pa 이하정도)으로 배기될 수 있고, 성막되는 기판을 100℃ 이상, 바람직하게는 500℃ 이상으로 가열할 수 있는 체임버가 바람직하다. 또는, 터보 분자 펌프와 콜드 트랩의 조합이, 배기 계로부터 체임버 내에 탄소 성분이나 수분 등을 포함하는 가스가 역류되는 것을 방지하기 위하여 바람직하게 사용된다.

[0112] 고순도 진성 산화물 반도체를 얻기 위하여, 체임버의 고진공 배기뿐만 아니라 스퍼터링 가스의 고순도화도 필요하다. 스퍼터링 가스로서 사용되는 산소 가스 또는 아르곤 가스는 -40℃ 이하, 바람직하게는 -80℃ 이하, 더 바람직하게는 -100℃ 이하의 노점을 갖도록 고순도화되어, 산화물 반도체막에 수분 등이 들어가는 것을 가능한 한 방지할 수 있다.

[0113] 제 1 산화물막(404a), 산화물 반도체막(404b), 및 나중의 단계에서 형성되는 제 2 산화물막(404c)에는, 실시형태 1에서 설명한 재료를 사용할 수 있다. 예를 들어, Ga 및 Zn에 대한 In의 원자 비율이 1:3:4 또는 1:3:2인 In-Ga-Zn 산화물을 제 1 산화물막(404a)에 사용할 수 있고, Ga 및 Zn에 대한 In의 원자 비율이 1:1:1인 In-Ga-Zn 산화물을 산화물 반도체막(404b)에 사용할 수 있고, Ga 및 Zn에 대한 In의 원자 비율이 1:3:4 또는 1:3:2인 In-Ga-Zn 산화물을 제 2 산화물막(404c)에 사용할 수 있다.

[0114] 제 1 산화물막(404a), 산화물 반도체막(404b), 및 제 2 산화물막(404c) 각각에 사용할 수 있는 산화물 반도체는 적어도 인듐(In) 또는 아연(Zn)을 포함하는 것이 바람직하다. 또는 상기 산화물 반도체는 In과 Zn 양쪽을 포함하는 것이 바람직하다. 상기 산화물 반도체를 포함하는 트랜지스터의 전기 특성에서의 변동을 저감시키기 위하여, 상기 산화물 반도체는 In 및/또는 Zn에 대하여 스테빌라이저(stabilizer)를 포함하는 것이 바람직하다.

[0115] 스테빌라이저의 예에는, 갈륨(Ga), 주석(Sn), 하프늄(Hf), 알루미늄(Al), 및 지르코늄(Zr)이 포함된다. 스테빌라이저의 다른 예는, 란타넘(La), 세륨(Ce), 프라세오디뮴(Pr), 네오디뮴(Nd), 사마륨(Sm), 유로퓸(Eu), 가돌리늄(Gd), 터븀(Tb), 디스프로슘(Dy), 홀뮴(Ho), 에르븀(Er), 툴륨(Tm), 이터븀(Yb), 및 루테튬(Lu) 등의 란타노이드다.

[0116] 산화물 반도체로서, 예컨대 이하 중 어느 것을 사용할 수 있다: 산화 인듐, 산화 주석, 산화 아연, In-Zn 산화물, Sn-Zn 산화물, Al-Zn 산화물, Zn-Mg 산화물, Sn-Mg 산화물, In-Mg 산화물, In-Ga 산화물, In-Ga-Zn 산화물, In-Al-Zn 산화물, In-Sn-Zn 산화물, Sn-Ga-Zn 산화물, Al-Ga-Zn 산화물, Sn-Al-Zn 산화물, In-Hf-Zn 산화물, In-La-Zn 산화물, In-Ce-Zn 산화물, In-Pr-Zn 산화물, In-Nd-Zn 산화물, In-Sm-Zn 산화물, In-Eu-Zn 산화물, In-Gd-Zn 산화물, In-Tb-Zn 산화물, In-Dy-Zn 산화물, In-Ho-Zn 산화물, In-Er-Zn 산화물, In-Tm-Zn 산화물, In-Yb-Zn 산화물, In-Lu-Zn 산화물, In-Sn-Ga-Zn 산화물, In-Hf-Ga-Zn 산화물, In-Al-Ga-Zn 산화물, In-Sn-Al-Zn 산화물, In-Sn-Hf-Zn 산화물, 및 In-Hf-Al-Zn 산화물이다.

[0117] 또한 여기서, 예컨대 "In-Ga-Zn 산화물"이란, In, Ga, 및 Zn을 주성분으로서 포함하는 산화물을 의미한다. In-Ga-Zn 산화물은 In, Ga, 및 Zn 외의 금속 원소를 포함하여도 좋다. 또한, 본 명세서에서, In-Ga-Zn 산화물을 사용하여 형성된 막을 IGZO막이라고도 한다.

- [0118] 또는, $\text{InMO}_3(\text{ZnO})_m (m>0, m \text{은 정수가 아님})$ 으로 표시되는 재료를 사용하여도 좋다. 또한, M 은 Ga, Fe, Mn, 및 Co로부터 선택된 하나 이상의 금속 원소를 나타낸다. 또는, $\text{In}_2\text{SnO}_5(\text{ZnO})_n (n>0, n \text{은 정수})$ 으로 표시되는 재료를 사용하여도 좋다.
- [0119] 또한, 실시형태 1에서 자세히 설명한 바와 같이, 제 1 산화물막(404a) 및 제 2 산화물막(404c)이 각각 산화물 반도체막(404b)보다 낮은 전자 친화력을 갖도록 재료가 선택된다.
- [0120] 산화물막 및 산화물 반도체막은 각각 스퍼터링법에 의하여 형성되는 것이 바람직하다. 스퍼터링법으로서, RF 스퍼터링법, DC 스퍼터링법, AC 스퍼터링법 등을 사용할 수 있다. 특히, 성막에서 생기는 먼지를 저감할 수 있고 막 두께를 균일하게 할 수 있기 때문에 DC 스퍼터링법을 사용하는 것이 바람직하다.
- [0121] In-Ga-Zn 산화물을 사용하는 경우, 제 1 산화물막(404a), 산화물 반도체막(404b), 및/또는 제 2 산화물막(404c)에, Ga 및 Zn에 대한 In의 원자 비율이 1:1:1, 1:1:1.2, 1:1:1.5, 2:2:1, 3:1:2, 1:3:2, 1:3:4, 1:4:3, 1:5:4, 1:6:6, 2:1:3, 1:6:4, 1:9:6, 1:1:4, 및 1:1:2 중 어느 것인 재료를 사용하여, 제 1 산화물막(404a) 및 제 2 산화물막(404c) 각각이 산화물 반도체막(404b)보다 낮은 전자 친화력을 갖는다.
- [0122] 또한, 예컨대 원자 비율이 $\text{In}:\text{Ga}:\text{Zn}=a:b:c (a+b+c=1)$ 인 In, Ga, 및 Zn을 포함하는 산화물의 구성이, 원자 비율이 $\text{In}:\text{Ga}:\text{Zn}=A:B:C (A+B+C=1)$ 인 In, Ga, 및 Zn을 포함하는 산화물의 구성의 근방인 경우, 예컨대 $a, b,$ 및 c 가 $(a-A)^2 + (b-B)^2 + (c-C)^2 \leq r^2$ 의 관계를 만족시키고, r 이 예컨대 0.05이면 좋다. 다른 산화물에서도 마찬가지로 이다.
- [0123] 산화물 반도체막(404b)의 인듐 함유량은 제 1 산화물막(404a)의 인듐 함유량 및 제 2 산화물막(404c)의 인듐 함유량보다 많은 것이 바람직하다. 산화물 반도체에서, 주로 중금속의 s궤도가 캐리어 전도에 기여하고, 산화물 반도체에서의 In의 비율이 증가되면 s궤도의 중첩이 증가되기 쉽다. 따라서, In의 비율이 Ga보다 높은 구성을 갖는 산화물은 In의 비율이 Ga와 동등하거나 또는 Ga보다 낮은 구성을 갖는 산화물보다 높은 이동도를 갖는다. 이 때문에, 산화물 반도체막(404b)에 인듐의 함유량이 많은 산화물을 사용함으로써, 높은 이동도를 갖는 트랜지스터를 얻을 수 있다.
- [0124] 산화물 반도체막의 구조에 대하여 이하에서 설명한다.
- [0125] 또한 본 명세서에서, "평행"이라는 용어는, 2개의 직선 사이에 형성되는 각도가 -10° 이상 10° 이하인 것을 가리키고, 따라서 각도가 -5° 이상 5° 이하인 경우도 포함한다. 또한, "수직"이라는 용어는, 2개의 직선 사이에 형성되는 각도가 80° 이상 100° 이하인 것을 가리키고, 따라서 각도가 85° 이상 95° 이하인 경우를 포함한다.
- [0126] 본 명세서에서, 삼방정계 및 능면체정계는 육방정계에 포함된다.
- [0127] 산화물 반도체막은 단결정 산화물 반도체막과 비단결정 산화물 반도체막으로 대별된다. 비단결정 산화물 반도체막은 CAAC-OS(C-Axis Aligned Crystalline Oxide Semiconductor)막, 다결정 산화물 반도체막, 미결정 산화물 반도체막, 비정질 산화물 반도체막 등 중 어느 것을 포함한다.
- [0128] 먼저, CAAC-OS막을 설명한다.
- [0129] CAAC-OS막은 복수의 결정부를 포함하는 산화물 반도체막 중 하나다.
- [0130] CAAC-OS막의 투과 전자 현미경(TEM) 이미지에서, 결정부들 사이의 경계, 즉 결정 입계(grain boundary)는 명확히 관찰되지 않는다. 따라서, CAAC-OS막에서, 결정 입계로 인한 전자 이동도의 저하가 일어나기 어렵다.
- [0131] 시료면에 실질적으로 평행한 방향으로 관찰된 CAAC-OS막의 TEM 이미지(단면 TEM 이미지)에 따르면, 결정부에서 금속 원자는 층상으로 배열된다. 금속 원자의 각 층은, 위에 CAAC-OS막이 형성되는 면(이하, 위에 CAAC-OS막이 형성되는 면을 형성면이라고 함) 또는 CAAC-OS막의 상면을 반영한 형태를 가지며 CAAC-OS막의 형성면 또는 상면에 평행하게 배열된다.
- [0132] 한편, 시료면에 실질적으로 수직인 방향으로 관찰된 CAAC-OS막의 TEM 이미지(평면 TEM 이미지)에 따르면, 결정부에서 금속 원자가 삼각형 또는 육각형으로 배열된다. 하지만, 상이한 결정부들 사이에서 금속 원자의 배열에 규칙성은 없다.
- [0133] 또한, CAAC-OS막의 전자 회절 패턴에서, 배향을 갖는 스폿(회절점)이 보인다. 예를 들어, 직경 1nm 이상 30nm 이

하의 전자 빔에 의한 전자 회절(이런 전자 회절을 나노빔 전자 회절이라고도 함)이 CAAC-OS막의 상면에 수행될 때, 스폿이 관찰된다(도 37의 (A) 참조).

- [0134] 단면 TEM 이미지 및 평면 TEM 이미지의 결과로부터, CAAC-OS막에서의 결정부에서의 배향을 찾아냈다.
- [0135] CAAC-OS막은, X선 회절(XRD) 장치에 의하여 구조 해석이 수행된다. 예를 들어, InGaZnO₄ 결정을 포함하는 CAAC-OS막이 out-of-plane법에 의하여 분석되면, 회절각(2θ)이 31° 근방일 때 피크가 나타나는 경우가 많다. 이 피크는, InGaZnO₄ 결정의 (009)면에서 유래되고, 이는 CAAC-OS막에서의 결정이 c축 배향을 갖고, c축이 CAAC-OS막의 형성면 또는 상면에 실질적으로 수직인 방향으로 정렬되는 것을 가리킨다.
- [0136] 한편, c축에 실질적으로 수직인 방향으로 X선이 시료에 들어가는 in-plane법에 의하여 CAAC-OS막이 분석되면, 2θ 가 56° 근방일 때 피크가 나타나는 경우가 많다. 이 피크는 InGaZnO₄ 결정의 (110)면에서 유래된다. 여기서, 2θ 를 56° 근방에 고정하여, 시료면의 법선 벡터를 축(ϕ 축)으로서 시료를 회전시키는 조건하에서 분석(ϕ 스캔)을 수행한다. 시료가 InGaZnO₄의 단결정 산화물 반도체막인 경우, 6개의 피크가 나타난다. 이 6개의 피크는 (110)면과 등가인 결정면에서 유래된다. 한편, CAAC-OS막의 경우에는, 2θ 를 56° 근방에 고정하여 ϕ 스캔을 수행하더라도 피크는 명료하게 관찰되지 않는다.
- [0137] 상술한 결과에 따르면, c축 배향을 갖는 CAAC-OS막에서, 결정부들 사이에서의 a축 및 b축의 방향이 상이하면서, c축이 형성면의 법선 벡터 또는 상면의 법선 벡터에 평행한 방향으로 정렬된다. 따라서, 단면 TEM 이미지에서 관찰된 층상으로 배열된 금속 원자의 각 층은, 결정의 a-b면에 평행한 면에 상당한다.
- [0138] 또한, 결정부는, CAAC-OS막의 성막과 동시에 형성되거나, 또는 가열 처리 등의 결정화 처리를 통하여 형성된다. 상술한 바와 같이, 결정의 c축은 형성면의 법선 벡터 또는 상면의 법선 벡터에 평행한 방향으로 정렬된다. 따라서, 예컨대 CAAC-OS막의 형상을 에칭 등에 의하여 변화시키는 경우, c축이 CAAC-OS막의 형성면의 법선 벡터 또는 상면의 법선 벡터에 반드시 평행하지 않아도 된다.
- [0139] 또한, CAAC-OS막에서의 결정화도는 반드시 균일하지 않아도 된다. 예를 들어, CAAC-OS막을 형성하는 결정 성장이 CAAC-OS막의 상면 근방으로부터 일어나는 경우, 상면 근방에서의 결정화도는 형성면 근방보다 높은 경우가 있다. 또한, CAAC-OS막에 불순물이 첨가되면, 불순물이 첨가된 영역의 결정성이 변화되고, CAAC-OS막에서의 결정화도가 영역에 따라 변동된다.
- [0140] 또한, InGaZnO₄ 결정을 갖는 CAAC-OS막이 out-of-plane법에 의하여 분석되면, 31° 근방에서의 2θ 의 피크에 더하여, 36° 근방에서도 2θ 의 피크가 관찰될 수 있다. 36° 근방에서의 2θ 의 피크는, CAAC-OS막의 일부에 c축 배향을 갖지 않는 결정이 포함되는 것을 가리킨다. CAAC-OS막에서, 2θ 의 피크가 31° 근방에 나타나고, 2θ 의 피크가 36° 근방에 나타나지 않는 것이 바람직하다.
- [0141] CAAC-OS막은 불순물 농도가 낮은 산화물 반도체막이다. 불순물은 수소, 탄소, 실리콘, 또는 전이 금속 원소 등 산화물 반도체막의 주성분 외의 원소다. 특히, 실리콘 등, 산화물 반도체막에 포함되는 금속 원소보다 산소와의 결합력이 높은 원소는 산화물 반도체막으로부터 산소를 빼앗음으로써 산화물 반도체막의 원자 배열을 흐트러지게 하여 결정성 저하를 일으킨다. 또한, 철 또는 니켈 등의 중금속, 아르곤, 이산화탄소 등은 원자 반경(또는 분자 반경)이 크기 때문에 산화물 반도체막에 포함되면 산화물 반도체막의 원자 배열을 흐트러지게 하여 결정성을 저하시킨다. 또한 산화물 반도체막에 포함되는 불순물은 캐리어 트랩 또는 캐리어 발생원으로서 기능할 수 있다.
- [0142] 또한, CAAC-OS막은 결합 상태의 밀도가 낮은 산화물 반도체막이다. 예를 들어, 산화물 반도체막에서의 산소 빈 자리는 캐리어 트랩, 또는 수소가 포획되는 경우에는 캐리어 발생원으로서 기능한다.
- [0143] 불순물 농도가 낮고 결합 상태의 밀도가 낮은(산소 빈자리의 개수가 적은) 상태를 고순도 진성 상태 또는 실질적으로 고순도 진성 상태라고 한다. 고순도 진성 또는 실질적으로 고순도 진성인 산화물 반도체막은 캐리어 발생원이 거의 없기 때문에, 낮은 캐리어 밀도를 가질 수 있다. 따라서, 상기 산화물 반도체막을 포함하는 트랜지스터는 음의 문턱 전압을 거의 갖지(노멀리 온이 거의 되지) 않는다. 고순도 진성 또는 실질적으로 고순도 진성인 산화물 반도체막은 캐리어 트랩이 거의 없다. 따라서, 상기 산화물 반도체막을 포함하는 트랜지스터는 전기 특성의 변동이 작고 신뢰성이 높다. 산화물 반도체막에서 캐리어 트랩에 의하여 포획된 전하는 방출할 때까지 걸리는 시간이 길고 고정 전하처럼 행동할 수 있다. 따라서, 높은 불순물 농도 및 높은 결합 상태의 밀도를 갖는 산화물 반도체막을 포함하는 트랜지스터는 불안정한 전기 특성을 갖는 경우가 있다.

- [0144] 트랜지스터에 CAAC-OS막을 사용함으로써 가시광 또는 자외광의 조사로 인한 트랜지스터의 전기 특성의 변동이 작다.
- [0145] 다음에 다결정 산화물 반도체막을 설명한다.
- [0146] TEM에 의하여 얻어진 이미지에서, 예컨대 다결정 산화물 반도체막에서 결정 입계를 찾을 수 있다. TEM에 의하여 얻어진 이미지에서 다결정 산화물 반도체막에서의 결정 입계의 사이즈는 예컨대 2nm 이상 300nm 이하, 3nm 이상 100nm 이하, 또는 5nm 이상 50nm 이하인 경우가 많다. 또한, TEM에 의하여 얻어진 이미지에서, 다결정 산화물 반도체막에서 결정들 사이의 경계를 찾을 수 있는 경우가 있다.
- [0147] 다결정 산화물 반도체막은 복수의 결정 입계를 포함하여도 좋고, 결정들의 배향은 상기 복수의 결정 입계에서 상이하여도 좋다. 다결정 산화물 반도체막은 XRD 장치에 의하여 구조 해석이 수행된다. 예를 들어, InGaZnO₄ 결정을 포함하는 다결정 산화물 반도체막이 out-of-plane법으로 분석될 때, 2θ의 피크가 31°, 36° 근방 등에 나타나는 경우가 있다.
- [0148] 다결정 산화물 반도체막은 높은 결정성을 가져 높은 전자 이동도를 갖는 경우가 있다. 따라서, 다결정 산화물 반도체막을 포함하는 트랜지스터는 높은 전계 효과 이동도를 갖는다. 또한, 다결정 산화물 반도체막에서의 결정들 사이의 결정 입계에서 불순물이 편석되는 경우가 있다. 또한, 다결정 산화물 반도체막의 결정 입계는 결함 상태가 된다. 다결정 산화물 반도체막의 결정 입계가 캐리어 트랩 또는 캐리어 발생원으로서 기능할 수 있기 때문에, 다결정 산화물 반도체막을 포함하는 트랜지스터는 CAAC-OS막을 포함하는 트랜지스터보다 전기 특성의 변동이 크고 신뢰성이 낮은 경우가 있다.
- [0149] 다음에, 미결정 산화물 반도체막을 설명한다.
- [0150] TEM에 의하여 얻어진 이미지에서, 결정부를 미결정 산화물 반도체막에서 명료하게 찾을 수 없는 경우가 있다. 미결정 산화물 반도체막에서의 결정부의 사이즈는 1nm 이상 100nm 이하, 또는 1nm 이상 10nm 이하인 경우가 많다. 1nm 이상 10nm 이하, 또는 1nm 이상 3nm 이하의 사이즈를 갖는 미결정인, 나노 결정(nc)을 포함하는 산화물 반도체막을 특히 nc-OS(nanocrystalline Oxide Semiconductor)막이라고 한다. TEM에 의하여 얻어진 nc-OS막의 이미지에서, 예컨대 결정 입계가 명료하게 관찰될 수 없는 경우가 있다.
- [0151] nc-OS막에서, 미소한 영역(예컨대 1nm 이상 10nm 이하의 사이즈를 갖는 영역, 특히 1nm 이상 3nm 이하의 사이즈를 갖는 영역)은 원자 배열에 주기성을 갖는다. 또한, nc-OS막에서 상이한 결정부들 사이에서 결정 배향의 규칙성이 없기 때문에, 막 전체의 배향성은 관찰되지 않는다. 따라서, nc-OS막은 분석 방법에 따라 비정질 산화물 반도체막과 구별될 수 없는 경우가 있다. 예를 들어, nc-OS막에, 결정부보다 큰 직경을 갖는 X선을 사용하는 XRD 장치로 out-of-plane법에 의하여 구조 해석이 수행되면, 결정면을 나타내는 피크가 나타나지 않는다. 또한, 결정부의 직경보다 큰 프로브 직경(예컨대, 50nm 이상)을 갖는 전자 빔을 사용하여 얻어진 nc-OS막의 전자 회절 패턴(선택 영역 전자 회절 패턴이라고도 함)에 헤일로 패턴이 관찰된다. 한편, 결정부의 직경과 근사하거나 또는 결정부의 직경 이하의 프로브 직경을 갖는 전자 빔을 사용함으로써 얻어진 nc-OS막의 나노빔 전자 회절 패턴에는 스폿이 관찰된다. 또한, nc-OS막의 나노빔 전자 회절 패턴에서, 원형(링) 패턴의 휘도가 높은 영역이 관찰되는 경우가 있다. 또한, nc-OS막의 나노빔 전자 회절 패턴에서, 링 형상 영역 내에서 복수의 스폿이 보이는 경우가 있다(도 37의 (B) 참조).
- [0152] nc-OS막은 비정질 산화물 반도체막보다 규칙성이 높은 산화물 반도체막이기 때문에, nc-OS막은 비정질 산화물 반도체막보다 결함 상태의 밀도가 낮다. 하지만, nc-OS막에서 상이한 결정부들 사이에서 결정 배향의 규칙성이 없기 때문에, nc-OS막은 CAAC-OS막보다 결함 상태의 밀도가 높다.
- [0153] 따라서, nc-OS막은 CAAC-OS막보다 캐리어 밀도가 높아지는 경우가 있다. 캐리어 밀도가 높은 산화물 반도체막은 높은 전자 이동도를 갖는 경우가 있다. 따라서 nc-OS막을 포함하는 트랜지스터는 높은 전계 효과 이동도를 갖는 경우가 있다. nc-OS막은 CAAC-OS막보다 결함 상태 밀도가 높기 때문에 캐리어 트랩이 많은 경우가 있다. 따라서, nc-OS막을 포함하는 트랜지스터는 CAAC-OS막을 포함하는 트랜지스터보다 전기 특성의 변동이 크고 신뢰성이 낮다. 비교적 많은 양의 불순물이 포함되더라도 nc-OS막을 형성할 수 있기 때문에, nc-OS막은 CAAC-OS막에 비하여 쉽게 형성할 수 있어 목적에 따라 nc-OS막은 적합하게 사용될 수 있는 경우가 있다. 따라서, nc-OS막을 포함하는 트랜지스터를 포함하는 반도체 장치는 생산성 높게 제조될 수 있는 경우가 있다.
- [0154] 다음에, 비정질 산화물 반도체막을 설명한다.
- [0155] 비정질 산화물 반도체막은 불규칙한 원자 배열을 갖고 결정부를 갖지 않는다. 예를 들어, 비정질 산화물 반도체

체막은 석영과 같이 특정한 상태를 갖지 않는다.

- [0156] TEM에 의하여 얻어진 이미지에서, 비정질 산화물 반도체막에서 결정부를 찾을 수 없다.
- [0157] 비정질 산화물 반도체막에 XRD 장치로 out-of-plane법에 의하여 구조 해석이 수행되면, 결정면을 나타내는 피크는 나타나지 않는다. 비정질 산화물 반도체막의 전자 회절 패턴에는 헤일로 패턴이 보인다. 또한, 비정질 산화물 반도체막의 나노빔 전자 회절 패턴에는 스폿이 아니라 헤일로 패턴이 보인다.
- [0158] 비정질 산화물 반도체막은 수소 등의 불순물을 고농도로 포함한다. 또한, 비정질 산화물 반도체막은 고밀도의 결함 상태를 갖는다.
- [0159] 고불순물 농도 및 고밀도의 결함 상태를 갖는 산화물 반도체막은 많은 캐리어 트랩 또는 많은 캐리어 발생원을 갖는다.
- [0160] 따라서, 비정질 산화물 반도체막은, nc-OS막보다 높은 캐리어 밀도를 갖는다. 따라서, 비정질 산화물 반도체막을 포함하는 트랜지스터는, 노멀리 온이 되기 쉽다. 따라서, 이런 비정질 산화물 반도체층은 노멀리 온이 될 필요가 있는 트랜지스터에 적용될 수 있는 경우가 있다. 비정질 산화물 반도체막은 결함 상태의 밀도가 높기 때문에, 캐리어 트랩이 증가되는 경우가 있다. 따라서, 비정질 산화물 반도체막을 포함하는 트랜지스터는 CAAC-OS막 또는 nc-OS막을 포함하는 트랜지스터보다 전기 특성의 변동이 크고 신뢰성이 낮다.
- [0161] 다음에, 단결정 산화물 반도체막을 설명한다.
- [0162] 단결정 산화물 반도체막은 낮은 불순물 농도 및 낮은 결함 상태의 밀도를 갖는다(산소 빈자리의 양이 적다). 따라서, 캐리어 밀도를 저감시킬 수 있다. 따라서, 단결정 산화물 반도체막을 포함하는 트랜지스터는 노멀리 온이 되기 어렵다. 또한, 단결정 산화물 반도체막은 낮은 불순물 농도 및 낮은 결함 상태의 밀도를 갖기 때문에 캐리어 트랩이 저감될 수 있다. 따라서, 단결정 산화물 반도체막을 포함하는 트랜지스터는 전기 특성에서의 변동이 작기 때문에 신뢰성이 높다.
- [0163] 또한, 산화물 반도체막은 결함이 거의 없으면 이 밀도가 증가된다. 산화물 반도체막은 결정성이 높으면 이 밀도가 증가된다. 산화물 반도체막은, 수소 등의 불순물 농도가 낮으면 이 밀도가 증가된다. 단결정 산화물 반도체막은 CAAC-OS막보다 밀도가 높다. CAAC-OS막은 미결정 산화물 반도체막보다 밀도가 높다. 다결정 산화물 반도체막은 미결정 산화물 반도체막보다 밀도가 높다. 미결정 산화물 반도체막은 비정질 산화물 반도체막보다 밀도가 높다.
- [0164] 또한, 산화물 반도체막은 예컨대 비정질 산화물 반도체막, 미결정 산화물 반도체막, 및 CAAC-OS막 중 2개 이상의 막을 포함하는 적층막이어도 좋다.
- [0165] 산화물 반도체막이 복수의 구조를 갖는 경우, 구조는 나노빔 전자 회절을 사용하여 분석될 수 있는 경우가 있다.
- [0166] 도 38의 (A)는 전자총실(10)과, 전자총실(10) 아래의 광학계(12)와, 광학계(12) 아래의 시료실(14)과, 시료실(14) 아래의 광학계(16)와, 광학계(16) 아래의 관찰실(20)과, 관찰실(20)에 설치된 카메라(18)와, 관찰실(20)아래의 필름실(22)을 포함하는 투과 전자 회절 측정 장치를 도시한 것이다. 카메라(18)는 관찰실(20)내부를 향하여 제공된다. 또한, 필름실(22)은 반드시 제공될 필요는 없다.
- [0167] 도 38의 (B)는 도 38의 (A)에 도시된 투과 전자 회절 측정 장치의 내부 구조를 도시한 것이다. 투과 전자 회절 측정 장치에서, 시료실(14)에 위치하는 물질(28)은, 광학계(12)를 통하여 전자총실(10)에 설치된 전자총으로부터 방출된 전자로 조사된다. 물질(28)을 통과한 전자는 광학계(16)를 통하여 관찰실(20)에 제공된 형광관(32)에 들어간다. 형광관(32)상에서, 들어온 전자의 강도에 상응하는 패턴이 나타남으로써 투과 전자 회절 패턴이 측정된다.
- [0168] 카메라(18)는 형광관(32)에 대향하도록 설치되고 형광관(32)에 나타나는 패턴의 사진을 찍을 수 있다. 카메라(18)의 렌즈 중심과 형광관(32)의 중심을 통과하는 직선과, 형광관(32)의 상면에 의하여 형성되는 각도는, 예컨대 15° 이상 80° 이하, 30° 이상 75° 이하, 또는 45° 이상 70° 이하이다. 상기 각도가 감소될수록, 카메라(18)로 찍은 투과 전자 회절 패턴의 왜곡이 커진다. 또한, 미리 상기 각도가 얻어지면, 얻어진 투과 전자 회절 패턴의 왜곡을 고칠 수 있다. 또한, 필름실(22)에 카메라(18)가 제공되어도 좋다. 예를 들어, 전자(24)의 입사 방향과 마주보도록 카메라(18)가 필름실(22)에 제공되어도 좋다. 이 경우, 형광관(32)의 뒤쪽 면으로부터 왜곡이 적은 투과 전자 회절 패턴을 찍을 수 있다.

- [0169] 시료인 물질(28)을 고정하기 위한 홀더가 시료실(14)에 제공된다. 홀더는 물질(28)을 통과하는 전자를 투과한다. 홀더는 예컨대 X축, Y축, Z축 방향으로 물질(28)을 이동하는 기능을 가져도 좋다. 홀더의 이동 기능은 예컨대 1nm~10nm, 5nm~50nm, 10nm~100nm, 50nm~500nm, 및 100nm~1 μ m의 범위에서 물질을 이동시키는 정밀도를 가져도 좋다. 이 범위는 물질(28)의 구조에 최적의 범위로 정해지는 것이 바람직하다.
- [0170] 다음에, 상술한 투과 전자 회절 측정 장치에 의하여 물질의 투과 전자 회절 패턴을 측정하는 방법을 설명한다.
- [0171] 예를 들어, 도 38의 (B)에 도시된 바와 같이, 물질의 구조에서의 변화는 물질에서의 나노빔인 전자(24)의 조사 부분을 번시킴(스캔함)으로써 관찰될 수 있다. 이 때, 물질(28)이 CAAC-OS막이라면 도 37의 (A)에 나타난 바와 같은 회절 패턴이 관찰된다. 물질(28)이 nc-OS막이라면, 도 37의 (B)에 나타난 회절 패턴이 관찰된다.
- [0172] 물질(28)이 CAAC-OS막이라도, nc-OS막 등과 비슷한 회절 패턴이 부분적으로 관찰되는 경우가 있다. 그러므로, CAAC-OS막이 양호한지 여부는 소정의 영역에서 CAAC-OS막의 회절 패턴이 관찰되는 영역의 비율(CAAC 비율이라고 함)로 결정될 수 있다. 질(quality)이 높은 CAAC-OS막인 경우, 예컨대 CAAC 비율은 60% 이상, 바람직하게는 80% 이상, 더 바람직하게는 90% 이상, 더욱 바람직하게는 95% 이상이다. 또한, CAAC-OS막과 상이한 회절 패턴이 관찰되는 영역의 비율은 비CAAC 비율이라고 한다.
- [0173] 예를 들어, 투과 전자 회절 패턴은, 성막 직후("as-depo"라고 나타냄)에 얻어진 CAAC-OS막을 포함하는 시료의 상면, 및 350℃ 또는 450℃로 가열 처리가 수행된 CAAC-OS를 포함하는 시료의 상면을 스캔함으로써 얻어졌다. 여기서 5nm/초의 속도로 60초간 스캔하여 회절 패턴을 관찰하고, 얻어진 회절 패턴을 0.5초마다 정지 화상으로 변환함으로써 CAAC 비율을 얻었다. 또한 전자 빔으로서, 프로브 직경이 1nm인 나노빔이 사용되었다.
- [0174] 각 시료에서의 CAAC 비율을 도 39에 나타냈다. 이 결과는 성막 직후 또는 350℃의 가열 처리 후에 얻어진 CAAC 비율보다, 450℃의 가열 처리 후에 얻어진 CAAC 비율이 높은 것을 나타낸다. 즉, 350℃보다 높은 온도(예컨대 400℃ 이상)에서의 가열 처리는 비CAAC 비율을 저감시킨다(CAAC 비율을 증가시킨다). 여기서, CAAC-OS막과 상이한 회절 패턴의 대부분은 nc-OS막과 비슷한 회절 패턴이다. 그러므로 상술한 결과는, 인접한 영역의 구조의 영향에 의하여, nc-OS막과 비슷한 구조를 갖는 영역이 가열 처리에 의하여 재배열되어 영역은 CAAC가 되는 것을 시사한다.
- [0175] 이런 측정 방법에 의하여, 복수의 구조를 갖는 산화물 반도체막의 구조가 분석될 수 있는 경우가 있다.
- [0176] CAAC-OS막은 예컨대, 다결정 산화물 반도체 스퍼터링 타겟을 사용하여 스퍼터링법으로 성막할 수 있다. 상기 스퍼터링 타겟에 이온이 충돌되면, 스퍼터링 타겟에 포함되는 결정 영역이 a-b면을 따라 타겟으로부터 박리될 수 있다; 바꿔 말하면 a-b면에 평행한 면을 갖는 스퍼터링 입자(평판 형상 스퍼터링 입자, 또는 펠릿(pellet) 형상 스퍼터링 입자)가 타겟으로부터 벗겨질 수 있다. 이 경우, 상기 평판 형상 스퍼터링 입자 또는 상기 펠릿 형상 스퍼터링 입자가 대전되어, 플라즈마에 응집되지 않고 이 결정 상태를 유지하면서 기판에 도달함으로써 CAAC-OS막을 형성할 수 있다.
- [0177] 산화물 반도체막(404b)이 형성된 후, 제 1 가열 처리가 수행되어도 좋다. 제 1 가열 처리는 250℃ 이상 650℃ 이하, 바람직하게는 300℃ 이상 500℃ 이하의 온도로 불활성 가스 분위기, 산화성 가스를 10ppm 이상 포함하는 분위기, 또는 감압하에서 수행되어도 좋다. 또는, 불활성 가스 분위기에서 가열 처리가 수행되고 나서, 이탈된 산소를 보충하기 위하여 산화성 가스를 10ppm 이상 포함하는 분위기에서 또 다른 가열 처리가 수행됨으로써 제 1 가열 처리가 수행되어도 좋다. 제 1 가열 처리에 의하여, 산화물 반도체막(404b)의 결정성이 향상될 수 있고, 또한, 수소 및 물 등의 불순물이 하지 절연막(402) 및 제 1 산화물막(404a)으로부터 제거될 수 있다. 제 1 가열 처리는 산화물 반도체막(404b)을 형성하기 위한 예칭 전에 수행되어도 좋다.
- [0178] 소스 전극(406a) 및 드레인 전극(406b)이 되는 제 1 도전막이 제 1 산화물막(404a) 및 산화물 반도체막(404b) 위에 형성된다. 제 1 도전막에는 Al, Cr, Cu, Ta, Ti, Mo, W, 또는 이들 중 어느 것을 주성분으로서 포함하는 합금 재료를 사용할 수 있다. 예를 들어, 100nm 두께의 타이타늄막이 스퍼터링법 등에 의하여 형성된다. 또는 텅스텐막이 CVD법에 의하여 형성되어도 좋다.
- [0179] 이 후, 제 1 도전막이 산화물 반도체막(404b) 위에서 분단되도록 예칭되어, 소스 전극(406a) 및 드레인 전극(406b)을 형성한다(도 8의 (C) 참조). 이 때, 제 1 도전막이 오버 예칭되어 하지 절연막(402)이 부분적으로 예칭되어도 좋다.
- [0180] 다음에 제 2 산화물막(403c)이 제 1 산화물막(404a), 산화물 반도체막(404b), 소스 전극(406a), 및 드레인 전극(406b) 위에 형성된다.

- [0181] 또한, 제 2 산화물막(403c)이 형성된 후에 제 2 가열 처리가 수행되어도 좋다. 제 2 가열 처리는 제 1 가열 처리와 비슷한 조건하에서 수행될 수 있다. 제 2 가열 처리는 수소 및 물 등의 불순물을 제 2 산화물막(403c)으로부터 제거할 수 있다. 또한, 수소 및 물 등의 불순물을 제 1 산화물막(404a) 및 산화물 반도체막(404b)으로부터 더 제거할 수 있다.
- [0182] 다음에 게이트 절연막(408)이 되는 절연막(407)을 제 2 산화물막(403c) 위에 형성한다(도 9의 (A) 참조). 절연막(407)은 산화 알루미늄, 산화 마그네슘, 산화 실리콘, 산화질화 실리콘, 질화산화 실리콘, 질화 실리콘, 산화 갈륨, 산화 저마늄, 산화 이트륨, 산화 지르코늄, 산화 란타넘, 산화 네오디뮴, 산화 하프늄, 산화 탄탈럼 등을 사용하여 형성될 수 있다. 상기 절연막(407)은 상술한 재료 중 어느 것을 포함하는 적층이어도 좋다. 절연막(407)은 스퍼터링법, CVD법, MBE법, ALD법, PLD법 등에 의하여 형성될 수 있다. 피복물을 향상시킬 수 있고 도 5의 (A)에 도시된 바와 같이 T_{G11} 과 T_{G12} 를 서로 실질적으로 동등하게 하도록 원재료, 온도, 압력, 전극간 거리, 인가되는 전력 등을 선택하여 게이트 절연막(408)을 형성하는 것이 바람직하다. 예를 들어, 게이트 절연막으로서의 막질을 유지할 수 있는 범위에서 고온, 고압의 조건하에서 성막함으로써 피복물을 향상시킬 수 있다.
- [0183] 다음에, 절연막(407) 위에 게이트 전극(410)이 되는 제 2 도전막(409)을 형성한다(도 9의 (B) 참조). 제 2 도전막(409)에는 Al, Ti, Cr, Co, Ni, Cu, Y, Zr, Mo, Ru, Ag, Ta, W, 또는 이들 중 어느 것을 주성분으로서 포함한 합금 재료를 사용할 수 있다. 제 2 도전막(409)은 스퍼터링법, CVD법 등에 의하여 형성할 수 있다. 상술한 재료 중 어느 것을 포함하는 도전막과 질소를 포함하는 도전막을 포함하는 적층, 또는 질소를 포함하는 도전막을 제 2 도전막(409)에 사용하여도 좋다.
- [0184] 이 후, 제 2 도전막(409)을 레지스트 마스크를 사용하여 선택적으로 에칭하여, 게이트 전극(410)을 형성한다(도 9의 (C) 참조).
- [0185] 다음에, 상기 레지스트 마스크 또는 게이트 전극(410)을 마스크로 사용하여 절연막(407)을 선택적으로 에칭하여 게이트 절연막(408)을 형성한다.
- [0186] 다음에, 상기 레지스트 마스크 또는 게이트 전극(410)을 마스크로 사용하여 제 2 산화물막(403c)을 에칭하여 제 2 산화물막(404c)을 형성한다.
- [0187] 제 2 산화물막(404c)의 상단부가 게이트 절연막(408)의 하단부와 정렬된다. 게이트 절연막(408)의 상단부는 게이트 전극(410)의 하단부와 정렬된다. 게이트 절연막(408) 및 제 2 산화물막(404c)이 게이트 전극(410)을 마스크로 사용하여 형성되지만, 게이트 절연막(408) 및 제 2 산화물막(404c)은 제 2 도전막(409)이 형성되기 전에 형성되어도 좋다.
- [0188] 다음에, 산화물 절연막(412)이 소스 전극(406a), 드레인 전극(406b), 및 게이트 전극(410) 위에 형성된다(도 1의 (B) 참조). 산화물 절연막(412)을 위한 재료 및 방법은 하지 절연막(402)과 비슷한 것으로 할 수 있다. 산화물 절연막(412)은 산화 알루미늄, 산화 마그네슘, 산화 실리콘, 산화질화 실리콘, 질화산화 실리콘, 질화 실리콘, 산화 갈륨, 산화 저마늄, 산화 이트륨, 산화 지르코늄, 산화 란타넘, 산화 네오디뮴, 산화 하프늄, 및 산화 탄탈럼, 또는 질소를 포함하는 산화물 절연막을 사용하여 형성되어도 좋다. 산화물 절연막(412)은 스퍼터링법, CVD법, MBE법, ALD법, 또는 PLD법에 의하여 형성될 수 있고, 다층막(404)에 산소를 공급할 수 있도록 과잉 산소를 포함하여 형성되는 것이 바람직하다.
- [0189] 이온 주입법, 이온 도핑법, 플라즈마 잠입 이온 주입법 등으로 산화물 절연막(412)에 산소를 첨가하여도 좋다. 산소를 첨가함으로써, 산화물 절연막(412)이 다층막(404)에 산소를 더 쉽게 공급할 수 있도록 한다.
- [0190] 다음에 제 3 가열 처리를 수행하여도 좋다. 제 3 가열 처리는 제 1 가열 처리와 비슷한 조건하에서 수행될 수 있다. 제 3 가열 처리에 의하여, 과잉 산소를 하지 절연막(402), 게이트 절연막(408), 및 산화물 절연막(412)으로부터 쉽게 방출할 수 있어, 다층막(404)에서의 산소 빈자리를 저감할 수 있다.
- [0191] 상술한 공정을 통하여, 도 1의 (A)~(C)에 도시된 트랜지스터(450)를 제작할 수 있다.
- [0192] 본 실시형태는 본 명세서에서의 다른 실시형태 중 어느 것과 적절히 조합될 수 있다.
- [0193] (실시형태 3)
- [0194] 본 실시형태에서, 시시형태 1에서 설명한 트랜지스터와 상이한 구조를 갖는 트랜지스터를 설명한다.
- [0195] 도 14의 (A)~(C)는 본 발명의 일 형태의 트랜지스터의 상면도 및 단면도다. 도 14의 (A)는 상면도이고, 도 14

의 (B)는 도 14의 (A)에서의 일점쇄선 A-B를 따른 단면이고, 도 14의 (C)는 도 14의 (A)에서의 일점쇄선 C-D를 따른 단면이다. 또한, 도면을 간략화하기 위하여, 몇 개의 구성 요소를 도 14의 (A)의 상면도에 도시하지 않았다. 일점쇄선 A-B 방향을 채널 길이 방향이라고 하고, 일점쇄선 C-D 방향을 채널 폭 방향이라고 하는 경우가 있다.

- [0196] 도 14의 (A)~(C)에 도시된 트랜지스터(550)는, 기판(400) 위의 하지 절연막(402); 하지 절연막(402) 위의 제 1 산화물막(404a) 및 산화물 반도체막(404b); 제 1 산화물막(404a) 및 산화물 반도체막(404b) 위의 소스 전극(406a) 및 드레인 전극(406b); 산화물 반도체막(404b), 소스 전극(406a), 및 드레인 전극(406b) 위의 제 2 산화물막(404c); 제 2 산화물막(404c) 위의 게이트 절연막(408); 게이트 절연막(408) 위의 게이트 전극(410); 소스 전극(406a), 드레인 전극(406b), 제 2 산화물막(404c), 및 게이트 전극(410) 위의 배리어막(414); 배리어막(414)을 개재하여 제 1 산화물막(404a), 산화물 반도체막(404b), 소스 전극(406a), 및 드레인 전극(406b)의 측면을 덮는 측벽 절연막(416); 배리어막(414)을 개재하여 제 2 산화물막(404c), 게이트 절연막(408), 및 게이트 전극(410)의 측면을 덮는 측벽 절연막(418); 소스 전극(406a), 드레인 전극(406b), 게이트 전극(410), 측벽 절연막(416), 및 측벽 절연막(418) 위의 산화물 절연막(412); 산화물 절연막(412)에 형성되는 개구에 매립되고 개구를 통하여 소스 전극(406a) 및 드레인 전극(406b)에 각각 전기적으로 접속된 전극(419a) 및 전극(419b); 및 전극(419a) 및 전극(419b)에 각각 전기적으로 접속된 배선(420a) 및 배선(420b)을 포함한다. 제 1 산화물막(404a), 산화물 반도체막(404b), 및 제 2 산화물막(404c)을 총괄하여 다층막(404)이라고 한다.
- [0197] 산화물 반도체막(404b)은 둥그스름한 단부 및 반원 형상을 갖는다. 이 구조에 의하여, 산화물 반도체막(404b) 위에 형성되는, 게이트 절연막(408) 및 게이트 전극(410)과의 피복률을 향상시킬 수 있다.
- [0198] 배리어막(414)은 수소, 물, 및 산소에 대한 블로킹 효과를 갖는 절연막으로 형성되는 것이 바람직하다. 대표적으로는, 산화 알루미늄막이 사용된다. 상기 산화 알루미늄막은 블로킹 효과뿐만 아니라 산소를 공급하는 기능도 갖는 절연막이다. 산화 알루미늄과 산화 실리콘이 혼합된 타깃을 사용하여 형성된, 산화 실리콘을 포함하는 산화 알루미늄막을 사용할 수 있다. 이 경우, 산화 실리콘의 함유량은 0.1wt% 이상 30wt% 이하인 것이 바람직하다.
- [0199] 다층막(404)과 게이트 전극(410)의 측면에 접속되는 배리어막(414)은 피복률이 낮은 경우가 있지만, 피복률이 낮은 부분을 측벽 절연막(416) 및 측벽 절연막(418)으로 덮음으로써 수소, 물, 및 산소를 차단할 수 있다. 측벽 절연막(416) 및 측벽 절연막(418)에, 하지 절연막(402) 및 게이트 절연막(408)과 비슷한 재료를 사용할 수 있다.
- [0200] 전극(419a) 및 전극(419b)은 각각 소스 전극(406a) 및 드레인 전극(406b)과 전기적으로 접속된다. 배선(420a) 및 배선(420b)은 각각 전극(419a) 및 전극(419b)과 전기적으로 접속된다. 미세 가공에서, 개구가 산화물 절연막(412)에 형성되고 배선(420a) 및 배선(420b)이 개구를 통하여 소스 전극(406a) 및 드레인 전극(406b)에 전기적으로 접속되도록 형성되면, 배선(420a) 및 배선(420b)이 개구 바닥에 도달하지 않아, 배선(420a) 및 배선(420b)이 각각 소스 전극(406a) 및 드레인 전극(406b)에 전기적으로 접속될 수 없다. 이 때문에 개구가 전극(419a) 및 전극(419b)으로 채워진 후, 배선(420a) 및 배선(420b)이 형성될 필요가 있다. 또한, 배선(420a) 및 배선(420b)을 소스 전극(406a) 및 드레인 전극(406b)에 각각 접속시킬 수 있는 재료가 사용되는 경우, 전극(419a) 및 전극(419a)은 필요하지 않다.
- [0201] 전극(419a), 전극(419b), 배선(420a), 및 배선(420b)에, 소스 전극(406a), 드레인 전극(406b), 및 게이트 전극(410)과 비슷한 재료를 사용할 수 있다.
- [0202] 도 18의 (A)에 도시된, 측벽 절연막(416)이 제공되지 않는 트랜지스터(560)의 구조를 채용하여도 좋다. 또는 도 18의 (B)에 도시된, 측벽 절연막(416) 및 측벽 절연막(418)이 제공되지 않는 트랜지스터(570)의 구조를 채용하여도 좋다.
- [0203] 또는 도 18의 (C)에 도시된, 전극(419a) 및 전극(419b)이 소스 전극(406a) 및 드레인 전극(406b)에 연장되는 트랜지스터(580)의 구조를 채용하여도 좋다.
- [0204] 본 실시형태는 본 명세서에서의 다른 실시형태 중 어느 것과 적절히 조합될 수 있다.
- [0205] (실시형태 4)
- [0206] 본 실시형태에서, 도 14의 (A)~(C)를 참조하여 실시형태 3에서 설명한, 트랜지스터(550)를 형성하기 위한 방법을 도 15의 (A)~(C), 도 16의 (A)~(C), 및 도 17의 (A)~(C)를 참조하여 설명한다.

- [0207] 먼저, 기판(400) 위에 하지 절연막(402), 제 1 산화물막(403a), 및 산화물 반도체막(403b)을 형성한다(도 15의 (A) 참조). 기판(400), 하지 절연막(402), 제 1 산화물막(403a), 및 산화물 반도체막(403b)의 형성 방법 및 재료에 대해서는 상술한 실시형태를 참조할 수 있다.
- [0208] 소스 전극(406a) 및 드레인 전극(406b)이 되는 도전막을 산화물 반도체막(403b) 위에 형성한다. 채널이 형성되는 영역과 중첩되는 영역에서 도전막이 에칭됨으로써, 도전막(405a) 및 도전막(405b)이 형성된다(도 15의 (B) 참조). 소스 전극(406a) 및 드레인 전극(406b)이 되는 도전막의 형성 방법 및 재료에 대해서는 상술한 실시형태를 참조할 수 있다.
- [0209] 다음에 도전막(405a) 및 도전막(405b) 위에 레지스트 마스크가 형성되고, 제 1 산화물막(403a), 산화물 반도체막(403b), 도전막(405a), 및 도전막(405b)이 선택적으로 에칭됨으로써 제 1 산화물막(404a), 산화물 반도체막(404b), 소스 전극(406a), 및 드레인 전극(406b)이 형성된다(도 15의 (C) 참조). 이 때, 얇고 미세하게 형성된 레지스트는 에칭 가공될수록 서서히 사이즈가 축소되고, 결과적으로 소스 전극(406a) 및 드레인 전극(406b)의 단부가 둥그스름해지고 만곡되는 경우가 있다. 이 구조에 의하여, 소스 전극(406a) 및 드레인 전극(406b) 위에 형성되는, 제 2 산화물막(404c), 게이트 절연막(408), 게이트 전극(410), 및 산화물 절연막(412)과의 피복물을 향상시킬 수 있어 단절 등의 형상 불량 발생을 억제할 수 있다.
- [0210] 다음에 제 2 산화물막(403c) 및 절연막(407)이 제 1 산화물막(404a), 산화물 반도체막(404b), 소스 전극(406a), 및 드레인 전극(406b) 위에 형성된다(도 16의 (A) 참조). 제 2 산화물막(403c)과 절연막(407)의 형성 방법 및 재료에 대해서는 실시형태 1~3을 참조할 수 있다.
- [0211] 또한, 제 2 산화물막(403c)이 형성된 후에 제 2 가열 처리가 수행되어도 좋다. 제 2 가열 처리는 제 1 가열 처리와 비슷한 조건하에서 수행될 수 있다. 제 2 가열 처리는 수소 및 물 등의 불순물을 제 2 산화물막(404c)으로부터 제거할 수 있다. 또한, 수소 및 물 등의 불순물을 제 1 산화물막(404a) 및 산화물 반도체막(404b)으로부터 더 제거할 수 있다.
- [0212] 게이트 전극(410)이 되는 제 2 도전막을 절연막(407) 위에 형성하고, 레지스트 마스크를 사용하여 선택적으로 에칭하여, 게이트 전극(410)을 형성한다(도 16의 (B) 참조). 게이트 전극(410)의 형성 방법 및 재료에 대해서는 실시형태 1~3을 참조할 수 있다.
- [0213] 다음에, 상기 레지스트 마스크 또는 게이트 전극(410)을 마스크로 사용하여 절연막(407)을 선택적으로 에칭하여 게이트 절연막(408)을 형성한다.
- [0214] 다음에, 상기 레지스트 마스크 또는 게이트 전극(410)을 마스크로 사용하여 제 2 산화물막(403c)을 에칭하여 제 2 산화물막(404c)을 형성한다.
- [0215] 다음에, 배리어막(414)을 하지 절연막(402), 소스 전극(406a), 드레인 전극(406b), 및 게이트 전극(410) 위에 형성한다(도 16의 (C) 참조).
- [0216] 배리어막(414)은 수소, 물, 및 산소에 대한 블로킹 효과를 갖는 절연막이기 때문에 다층막(404), 하지 절연막(402), 및 게이트 절연막(408)에 포함되는 산소가 외부에 확산되는 것을 방지할 수 있어, 산소가 산화물 반도체막에 효과적으로 제공되고, 산소 빈자리를 저감시킬 수 있어, 결과적으로 우수한 전기 특성이 된다. 따라서, 신뢰성이 높은 반도체 장치를 제공할 수 있다.
- [0217] 다음에 측벽 절연막(416) 및 측벽 절연막(418)이 되는 절연막을 제공하고 이방성이 높은 에칭 처리를 수행함으로써, 배리어막(414)을 개재하여 다층막(404), 소스 전극(406a), 드레인 전극(406b), 게이트 절연막(408), 및 게이트 전극(410)의 측면에 측벽 절연막(416) 및 측벽 절연막(418)을 형성할 수 있다(도 17의 (A) 참조).
- [0218] 다음에 산화물 절연막(412)을 배리어막(414) 위에 형성한다(도 17의 (B) 참조). 산화물 절연막(412)의 형성 방법 및 재료에 대해서는 실시형태 1~3을 참조할 수 있다.
- [0219] 다음에 제 3 가열 처리를 수행하여도 좋다. 제 3 가열 처리는 제 1 가열 처리와 비슷한 조건하에서 수행될 수 있다. 제 3 가열 처리에 의하여, 과잉 산소를 하지 절연막(402), 게이트 절연막(408), 및 산화물 절연막(412)으로부터 쉽게 방출할 수 있어, 다층막(404)에서의 산소 빈자리를 저감할 수 있다.
- [0220] 다음에, 개구를 산화물 절연막(412) 및 배리어막(414)에 형성하고, 상기 개구를 통하여 소스 전극(406a) 및 드레인 전극(406b)에 각각 전기적으로 접속된 전극(419a) 및 전극(419b)을 산화물 절연막(412) 위 및 개구 내에 형성한다.

- [0221] 전극(419a) 및 전극(419b)이 되는 도전막을 산화물 절연막(412) 위 및 개구 내에 형성함으로써 전극(419a) 및 전극(419b)을 개구에 매립하고, 제거(마찰) 처리를 도전막에 수행하여 도전막의 일부를 제거하여 산화물 절연막(412)을 노출한다(도 17의 (C) 참조).
- [0222] 제거 처리에는, CMP(Chemical Mechanical Polishing) 처리가 사용되는 것이 바람직하다.
- [0223] 또한, 본 실시형태에서, 도전막의 일부를 제거하기 위하여 CMP 처리가 수행되지만, 또 다른 제거 처리가 채용되어도 좋다. 또는 CMP 처리 등의 마찰 처리가 에칭(드라이 에칭 또는 웨트 에칭) 처리 또는 플라즈마 처리와 조합되어도 좋다. 예를 들어, CMP 처리 후, 드라이 에칭 처리 또는 플라즈마 처리(예컨대 역 스퍼터링)가 수행되어 가공되는 표면의 평탄성을 향상시켜도 좋다. 제거 처리, 에칭 처리, 플라즈마 처리 등이 CMP 처리와 조합되는 경우, 공정 철자는 특별히 한정되지 않고 도전막의 재료, 막 두께, 및 표면 거칠기에 따라 적절히 설정되어도 좋다. 또는 도전막의 대부분이 CMP 처리에 의하여 제거되고 도전막의 나머지 부분이 드라이 에칭 처리에 의하여 제거되어도 좋다.
- [0224] 또한, CMP 처리는 한번만 또는 복수회 수행되어도 좋다. CMP 처리가 복수회 수행되는 경우, 제 1 마찰이 높은 마찰 레이트로 수행되고 나서 마지막 마찰이 낮은 마찰 레이트로 수행되는 것이 바람직하다. 상이한 마찰 레이트를 조합하여 마찰 단계를 수행함으로써 도전막(전극(419a) 및 전극(419b)) 표면을 더 향상시킬 수 있다.
- [0225] 다음에 전극(419a) 및 전극(419b)에 각각 전기적으로 접속되는 배선(420a) 및 배선(420b)을 산화물 절연막(412), 전극(419a), 및 전극(419b) 위에 형성한다(도 14의 (B) 참조).
- [0226] 상술한 공정을 통하여, 도 14의 (A)~(C)에 도시된 트랜지스터(550)를 제작할 수 있다.
- [0227] 본 실시형태는 본 명세서에서의 다른 실시형태 중 어느 것과 적절히 조합될 수 있다.
- [0228] (실시형태 5)
- [0229] 본 실시형태에서 본 발명의 일 형태의 트랜지스터를 포함하는 회로의 예를 도면을 참조하여 설명한다.
- [0230] 도 19의 (A)는 반도체 장치의 회로도이고, 도 19의 (C) 및 (D)는 각각 반도체 장치의 단면도다. 도 19의 (C) 및 (D)는 각각 왼쪽에 채널 길이 방향에서의 트랜지스터(450)의 단면도를 도시하였고, 오른쪽에 채널 폭 방향에서의 트랜지스터(450)의 단면도를 도시하였다. 회로도에서, 트랜지스터가 산화물 반도체를 포함한다고 명료하게 보여주기 위하여 트랜지스터 옆에 "OS"라고 적었다.
- [0231] 도 19의 (C) 및 (D)에 도시된 반도체 장치는 각각 하부에 제 1 반도체 재료를 포함하는 트랜지스터(2200)를 포함하고, 상부에 제 2 반도체 재료를 포함하는 트랜지스터를 포함한다. 여기서, 제 2 반도체 재료를 포함하는 트랜지스터로서 실시형태 1에서 예로서 설명한 트랜지스터(450)를 사용하는 예를 설명한다.
- [0232] 여기서, 제 1 반도체 재료 및 제 2 반도체 재료가 상이한 에너지 갭을 갖는 것이 바람직하다. 예를 들어, 제 1 반도체 재료가 산화물 반도체 외의 반도체 재료(예컨대 실리콘, 저마늄, 실리콘 저마늄, 탄소화 실리콘, 또는 갈륨 비소)이어도 좋고, 제 2 반도체 재료는 실시형태 1에서 설명한 산화물 반도체이라도 좋다. 산화물 반도체 외의 재료로서 단결정 실리콘 등을 포함하는 트랜지스터는 쉽게 고속 동작할 수 있다. 한편, 산화물 반도체를 포함하는 트랜지스터는 낮은 오프 상태 전류를 갖는다.
- [0233] 여기서 트랜지스터(2200)는 p채널 트랜지스터이지만, 상이한 구성을 갖는 회로를 형성하기 위하여 n채널 트랜지스터가 사용될 수 있는 것은 말할 나위 없다. 반도체 장치에 사용되는 재료 및 반도체 장치의 구조 등, 반도체 장치의 구체적인 구조는, 산화물 반도체를 사용하여 형성되는, 실시형태 1에서 설명한 트랜지스터의 사용을 빼면 여기서 설명되는 것에 한정될 필요는 없다.
- [0234] 도 19의 (A), (C), 및 (D)는 각각, p채널 트랜지스터 및 n채널 트랜지스터가 직렬로 접속되고 트랜지스터들의 게이트들이 접속되는, 소위 CMOS 회로의 구성예를 도시한 것이다.
- [0235] 본 발명의 일 형태의 산화물 반도체를 사용하는 트랜지스터는, 회로의 고속 동작을 달성할 수 있는, 높은 온 상태 전류를 갖는다.
- [0236] 도 19의 (C)에 도시된 구조에서, 트랜지스터(450)는 절연막(2201)을 개재하여 트랜지스터(2200) 위에 제공된다. 배선(2202)은 트랜지스터(2200)와 트랜지스터(450) 사이에 제공된다. 절연막의 위 및 아래에 있는 배선 및 전극은 절연막들에 매립된 플러그(2203)들을 통하여 전기적으로 접속된다. 트랜지스터(450)를 덮는 절연막(2204), 절연막(2204) 위의 배선(2205), 및 트랜지스터(450)의 한 쌍의 전극과 같은 도전막을 가공함으로써 형

성된 배선(2206)이 제공된다.

- [0237] 상술한 방법으로 2개의 트랜지스터를 적층함으로써 회로로 차지되는 면적이 저감될 수 있어, 복수의 회로가 고밀도로 배열될 수 있다.
- [0238] 도 19의 (C)에서, 트랜지스터(450)의 소스 및 드레인 중 한쪽은 배선(2202) 및 플러그(2203)를 통하여 트랜지스터(2200)의 소스 및 드레인 중 한쪽에 전기적으로 접속된다. 트랜지스터(450)의 게이트는 배선(2205), 배선(2206), 플러그(2203), 배선(2202) 등을 통하여 트랜지스터(2200)의 게이트에 전기적으로 접속된다.
- [0239] 도 19의 (D)에 도시된 구성에서, 플러그(2203)가 매립된 개구부는 트랜지스터(450)의 게이트 절연층에 제공되고, 트랜지스터(450)의 게이트가 플러그(2203)와 접촉된다. 이런 구성에 의하여, 회로의 집적화를 쉽게 달성할 수 있고 배선 및 플러그의 길이 및 개수를 도 19의 (C)에 도시된 구성보다 적게 할 수 있어, 회로는 고속으로 동작할 수 있다.
- [0240] 또한, 트랜지스터(450) 및 트랜지스터(2200)의 전극들 사이의 접속이 도 19의 (C) 또는 (D)에 도시된 구성으로부터 바뀔 때, 다양한 회로가 형성될 수 있다. 예를 들어, 트랜지스터의 소스 및 드레인이 도 19의 (B)에 도시된 바와 같이 또 다른 트랜지스터의 소스 및 드레인과 접속되는 구성을 갖는 회로가 소위 아날로그 스위치와 같이 동작할 수 있다.
- [0241] 물체의 정보를 판독하기 위한 이미지 센서 기능을 갖는 반도체 장치는 상술한 실시형태 중 어느 것에 설명된 트랜지스터를 사용하여 제작될 수 있다.
- [0242] 도 24는 이미지 센서 기능을 갖는 반도체 장치의 등가 회로의 예를 도시한 것이다.
- [0243] 포토다이오드(602)에서, 한쪽 전극이 포토다이오드 리셋 신호선(658)에 전기적으로 접속되고, 다른 쪽 전극이 트랜지스터(640)의 게이트에 전기적으로 접속된다. 트랜지스터(640)의 소스 및 드레인 중 한쪽은 포토 센서 기준 신호선(672)에 전기적으로 접속되고, 트랜지스터(640)의 소스 및 드레인 중 다른 쪽은 트랜지스터(656)의 소스 및 드레인 중 한쪽에 전기적으로 접속된다. 트랜지스터(656)의 게이트는 게이트 신호선(659)에 전기적으로 접속되고, 트랜지스터(656)의 소스 및 드레인 중 다른 쪽은 포토 센서 출력 신호선(671)에 전기적으로 접속된다.
- [0244] 포토다이오드(602)로서, 예컨대 p형 도전성을 갖는 반도체층, 고저항 반도체층(i형 도전성을 갖는 반도체층), 및 n형 도전성을 갖는 반도체층이 적층된 pin 포토다이오드를 사용할 수 있다.
- [0245] 포토다이오드(602)에 들어온 광의 검출에 의하여, 물체의 정보를 판독할 수 있다. 또한, 백 라이트 등의 광원은 물체의 정보를 판독할 때에 사용될 수 있다.
- [0246] 트랜지스터(640) 및 트랜지스터(656) 각각으로서, 상술한 실시형태 중 어느 것에서 설명한, 채널이 산화물 반도체에 형성되는 트랜지스터를 사용할 수 있다. 도 24에서, 트랜지스터(640) 및 트랜지스터(656)가 산화물 반도체를 포함하는 트랜지스터라고 알아볼 수 있도록 트랜지스터(640) 및 트랜지스터(656) 옆에 "OS"라고 적었다.
- [0247] 트랜지스터(640) 및 트랜지스터(656) 각각이, 산화물 반도체막이 게이트 전극으로 전기적으로 덮이는, 상술한 실시형태에서 설명한 트랜지스터 중 하나인 것이 바람직하다. 산화물 반도체막이 둥그스름한 상단부 및 만곡된 표면을 갖기 때문에 산화물 반도체막 위에 형성되는 막과의 피복률을 향상시킬 수 있다. 또한 소스 전극 및 드레인 전극의 단부에 일어날 수 있는 전계 집중을 저감할 수 있어, 트랜지스터의 열화를 억제할 수 있다. 그러므로 트랜지스터(640) 및 트랜지스터(656)의 전기 특성의 변동이 억제되고, 트랜지스터(640) 및 트랜지스터(656)는 전기적으로 안정된다. 도 24에 도시된 이미지 센서 기능을 갖는 반도체 장치는 상기 트랜지스터를 포함함으로써 높은 신뢰성을 가질 수 있다.
- [0248] 본 실시형태는 본 명세서에서의 다른 실시형태 중 어느 것과 적절히 조합될 수 있다.
- [0249] (실시형태 6)
- [0250] 본 실시형태에서, 본 발명의 일 형태의 트랜지스터를 포함하고, 전력이 없어도 저장된 데이터를 유지할 수 있고, 무제한의 기록 사이클 개수를 갖는, 반도체 장치(기억 장치)를 도면을 참조하여 설명한다.
- [0251] 도 20은 반도체 장치의 회로도다.
- [0252] 도 20에 도시된 반도체 장치는 제 1 반도체 재료를 포함하는 트랜지스터(3200), 제 2 반도체 재료를 포함하는 트랜지스터(3300), 및 커패시터(3400)를 포함한다. 또한, 실시형태 1에서 설명한 트랜지스터는 트랜지스터

(3300)로서 사용될 수 있다.

- [0253] 트랜지스터(3300)는 산화물 반도체를 포함하는 반도체층에 채널이 형성되는 톱 게이트 트랜지스터다. 트랜지스터(3300)의 오프 상태 전류가 낮기 때문에, 이런 트랜지스터에 의하여 저장된 데이터는 장기간 유지될 수 있다. 바꿔 말하면 반도체 기억 장치에서 리프래시 동작이 필요 없게 되거나, 또는 리프래시 동작의 빈도를 매우 낮게 할 수 있어, 소비 전력의 충분한 저감에 이어진다.
- [0254] 도 20에서, 제 1 배선(3001)은 트랜지스터(3200)의 소스 전극과 전기적으로 접속된다. 제 2 배선(3002)은 트랜지스터(3200)의 드레인 전극과 전기적으로 접속된다. 제 3 배선(3003)은 트랜지스터(3300)의 소스 전극 및 드레인 전극 중 한쪽과 전기적으로 접속된다. 제 4 배선(3004)은 트랜지스터(3300)의 게이트 전극과 전기적으로 접속된다. 트랜지스터(3200)의 게이트 전극, 및 트랜지스터(3300)의 소스 전극 및 드레인 전극 중 다른 쪽은, 커패시터(3400)의 한쪽 전극과 전기적으로 접속된다. 제 5 배선(3005)은 커패시터(3400)의 다른 쪽 전극과 전기적으로 접속된다.
- [0255] 도 20에서의 반도체 장치는 트랜지스터(3200)의 게이트 전극의 전위를 유지할 수 있다는 특징을 이용하여, 이와 같이 데이터의 기록, 유지, 및 판독이 가능하다.
- [0256] 데이터의 기록 및 유지를 설명한다. 먼저, 제 4 배선(3004)의 전위를 트랜지스터(3300)가 온되는 전위로 설정하여 트랜지스터(3300)를 온으로 한다. 따라서, 제 3 배선(3003)의 전위가 트랜지스터(3200)의 게이트 전극 및 커패시터(3400)에 공급된다. 즉, 트랜지스터(3200)의 게이트 전극에 소정의 전하가 공급된다(기록). 여기서는, 상이한 전위 레벨을 제공하는 2종류의 전하(이하 Low 레벨 전하 및 High 레벨 전하라고 함) 중 하나가 공급된다. 그 후, 제 4 배선(3004)의 전위를, 트랜지스터(3300)가 오프되는 전위로 설정하여, 트랜지스터(3300)를 오프로 한다. 이 후, 트랜지스터(3200)의 게이트 전극에 공급된 전하가 유지된다(유지).
- [0257] 트랜지스터(3300)의 오프 상태 전류는 매우 낮기 때문에, 트랜지스터(3200)의 게이트 전극의 전하는 오랫동안 유지된다.
- [0258] 다음에, 데이터의 판독을 설명한다. 제 1 배선(3001)에 소정의 전위(정전위)가 공급된 채, 제 5 배선(3005)에 적절한 전위(판독 전위)가 공급됨으로써, 트랜지스터(3200)의 게이트 전극에 유지된 전하량에 따라, 제 2 배선(3002)의 전위가 변동된다. 이것은 일반적으로, 트랜지스터(3200)로서 n 채널 트랜지스터를 사용하는 경우, 트랜지스터(3200)의 게이트 전극에 High 레벨 전하가 주어질 때의 외전상의 문턱 전압($V_{th,H}$)이, 트랜지스터(3200)의 게이트 전극에 Low 레벨 전하가 주어질 때의 외전상의 문턱 전압($V_{th,L}$)보다 낮아지기 때문이다. 여기서, 외전상의 문턱 전압이란, 트랜지스터(3200)를 온으로 하기 위해 필요한 제 5 배선(3005)의 전위를 말한다. 따라서, 제 5 배선(3005)의 전위를 $V_{th,H}$ 와 $V_{th,L}$ 의 사이에 있는 전위(V_0)로 설정함으로써, 트랜지스터(3200)의 게이트 전극에 공급된 전하를 결정할 수 있다. 예를 들어, 기록에서, High 레벨 전하가 공급되고 제 5 배선(3005)의 전위가 $V_0(>V_{th,H})$ 인 경우에, 트랜지스터(3200)가 온된다. 기록에서, Low 레벨 전하가 공급되는 경우에, 제 5 배선(3005)의 전위가 $V_0(<V_{th,L})$ 이 되더라도, 트랜지스터(3200)는 오프인 채다. 따라서, 제 2 배선(3002)의 전위를 결정함으로써, 게이트 전극에 유지된 데이터를 판독할 수 있다.
- [0259] 또한, 메모리 셀이 어레이로 배치되는 경우, 원하는 메모리 셀의 데이터만을 판독할 수 있는 것이 필요하다. 데이터를 판독하지 않는 경우에서의 제 5 배선(3005)에, 게이트 전극의 상태에 상관없이 트랜지스터(3200)가 오프되는 전위, 즉, $V_{th,H}$ 보다 낮은 전위가 공급되어도 좋다. 또는, 게이트 전극의 상태에 상관없이 트랜지스터(3200)가 온되는 전위, 즉, $V_{th,L}$ 보다 높은 전위가 제 5 배선(3005)에 공급되어도 좋다.
- [0260] 산화물 반도체를 사용하여 형성된 채널 형성 영역을 가지며 오프 상태 전류가 매우 낮은 트랜지스터를 포함하면, 본 실시형태에 설명되는 반도체 장치는, 저장된 데이터를 매우 오랫동안 유지할 수 있다. 바꿔 말하면, 리프래시 동작이 불필요하게 되거나, 또는 리프래시 동작의 빈도를 매우 낮게 할 수 있어, 소비 전력의 충분한 저감에 이어진다. 또한, 전력이 공급되지 않아도(다만, 전위는 고정되는 것이 바람직함), 저장된 데이터를 오랫동안 유지할 수 있다.
- [0261] 또한, 본 실시형태에서 설명한 반도체 장치에서, 데이터를 기록하기 위하여 높은 전압이 필요하지 않아, 소자의 열화 문제도 없다. 예를 들어, 종래의 불휘발성 메모리와는 달리, 플로팅 게이트로의 전자의 주입이나, 플로팅 게이트로부터의 전자의 추출이 필요하지 않기 때문에, 게이트 절연층의 열화 등의 문제가 발생하지 않는다. 즉, 개시된 발명의 반도체 장치는, 종래의 불휘발성 메모리의 문제인, 데이터를 재기록할 수 있는 횟수에 제한

이 없어, 신뢰성이 비약적으로 향상된다. 또한, 트랜지스터의 상태(온 또는 오프)에 따라 데이터가 기록되기 때문에, 고속 동작을 쉽게 달성할 수 있다.

[0262] 상술한 바와 같이, 높은 전기 특성을 갖는 미세화 및 고집적화된 반도체 장치를 제공할 수 있다.

[0263] (실시형태 7)

[0264] 본 실시형태에서, 상술한 실시형태 중 어느 것에서 설명한 트랜지스터를 사용할 수 있고, 상술한 실시형태에서 설명한 기억 장치를 포함하는 CPU를 설명한다.

[0265] 도 21은 실시형태 1에서 설명한 트랜지스터를 적어도 일부에 포함하는 CPU의 구성예를 도시한 블록도다.

[0266] 도 21에 도시된 CPU는 기관(1190) 위에, ALU(1191)(Arithmetic Logic Unit), ALU 컨트롤러(1192), 인스트럭션 디코더(1193), 인터럽트 컨트롤러(1194), 타이밍 컨트롤러(1195), 레지스터(1196), 레지스터 컨트롤러(1197), 버스 인터페이스(1198), 재기록 가능한 ROM(1199), 및 ROM 인터페이스(1199)를 포함한다. 반도체 기관, SOI 기관, 유리 기관 등은 기관(1190)으로서 사용된다. 재기록 가능한 ROM(1199) 및 ROM 인터페이스(1199)는 별개의 칩 위에 제공되어도 좋다. 도 21에서의 CPU는 구성을 간략화한 예에 불과하고 실제의 CPU는 용도에 따라 다양한 구성을 가져도 좋은 것은 말할 나위 없다. 예를 들어, CPU는 도 21에 도시된 CPU 또는 연산 회로를 포함하는 구조를 하나의 코어로 생각하고, 복수의 상기 코어가 포함되고, 코어들은 병렬로 동작하는 구성을 가져도 좋다. CPU가 내부 연산 회로 또는 데이터 버스에서 처리할 수 있는 비트 수는, 예컨대 8, 16, 32, 또는 64일 수 있다.

[0267] 버스 인터페이스(1198)를 통하여 CPU에 입력되는 명령은 인스트럭션 디코더(1193)에 입력되고 디코드된 후, ALU 컨트롤러(1192), 인터럽트 컨트롤러(1194), 레지스터 컨트롤러(1197), 및 타이밍 컨트롤러(1195)에 입력된다.

[0268] ALU 컨트롤러(1192), 인터럽트 컨트롤러(1194), 레지스터 컨트롤러(1197), 및 타이밍 컨트롤러(1195)는 디코드된 명령에 따라 다양한 제어를 수행한다. 구체적으로 ALU 컨트롤러(1192)는 ALU(1191)의 동작을 제어하기 위한 신호를 생성한다. CPU가 프로그램을 실행하는 동안, 인터럽트 컨트롤러(1194)는 우선도 또는 마스크 상태에 기초하여 외부 입출력 장치 또는 주변 회로로부터의 인터럽트 요구를 판단하고 상기 요구를 처리한다. 레지스터 컨트롤러(1197)는, 레지스터(1196)의 어드레스를 생성하고, CPU의 상태에 따라 레지스터(1196)로부터의 데이터 판독 또는 레지스터(1196)로의 데이터 기록을 실시한다.

[0269] 타이밍 컨트롤러(1195)는 ALU(1191), ALU 컨트롤러(1192), 인스트럭션 디코더(1193), 인터럽트 컨트롤러(1194), 및 레지스터 컨트롤러(1197)의 동작 타이밍을 제어하기 위한 신호를 생성한다. 예를 들어, 타이밍 컨트롤러(1195)는 기준 클럭 신호(CLK1)를 기초로, 내부 클럭 신호(CLK2)를 생성하는 내부 클럭 생성기를 포함하며, 내부 클럭 신호(CLK2)를 상술한 회로에 공급한다.

[0270] 도 21에 도시된 CPU에서, 메모리 셀을 레지스터(1196)에 제공한다. 레지스터(1196)의 메모리 셀로서, 상술한 실시형태에서 설명한 트랜지스터를 사용할 수 있다.

[0271] 도 21에 도시된 CPU에서, 레지스터 컨트롤러(1197)는 ALU(1191)로부터의 명령에 따라, 레지스터(1196)에서 데이터의 유지 동작을 선택한다. 즉, 레지스터(1196)에 포함되는 메모리 셀에서 플립플롭에 의하여 또는 커패시터에 의하여 데이터를 유지할지를 선택한다. 플립플롭에 의한 데이터 유지가 선택되면, 레지스터(1196)에서의 메모리 셀에 전원 전압이 공급된다. 커패시터에 의한 데이터 유지가 선택되면, 데이터는 커패시터에서 재기록되고, 레지스터(1196)에서의 메모리 셀에 대한 전원 전압의 공급을 정지할 수 있다.

[0272] 도 22는 레지스터(1196)로서 사용될 수 있는 기억 소자의 회로도예다. 기억 소자(700)는 전원이 정지되면 저장된 데이터가 휘발되는 회로(701), 전원이 정지되면 저장된 데이터가 휘발되지 않는 회로(702), 스위치(703), 스위치(704), 논리 소자(706), 커패시터(707), 및 선택 기능을 갖는 회로(720)를 포함한다. 회로(702)는 커패시터(708), 트랜지스터(709), 및 트랜지스터(710)를 포함한다. 또한, 기억 소자(700)는 필요에 따라 다이오드, 레지스터, 또는 인덕터 등의 또 다른 소자를 더 포함하여도 좋다.

[0273] 여기서, 회로(702)로서 상술한 실시형태에서 설명한 기억 장치를 사용할 수 있다. 기억 소자(700)에 대한 전원 전압의 공급이 정지될 때, 접지 전위(0V) 또는 회로(702)에서의 트랜지스터(709)가 오프되는 전위가 트랜지스터(709)의 제 1 게이트에 계속 입력된다. 예를 들어, 트랜지스터(709)의 제 1 게이트는 레지스터 등의 부하를 통하여 접지된다.

[0274] 스위치(703)가, 하나의 도전형을 갖는 트랜지스터(713)(예컨대 n채널 트랜지스터)이고 스위치(704)가, 상기 하

나의 도전형과 반대의 도전형을 갖는 트랜지스터(714)(예컨대 p채널 트랜지스터)인 예를 설명한다. 여기서 스위치(703)의 제 1 단자는 트랜지스터(713)의 소스 및 드레인 중 한쪽에 상당하고, 스위치(703)의 제 2 단자는 트랜지스터(713)의 소스 및 드레인 중 다른 쪽에 상당하며, 스위치(703)의 제 1 단자와 제 2 단자 사이의 도통 또는 비도통(즉 트랜지스터(713)의 온 상태 또는 오프 상태)이 트랜지스터(713)의 게이트에 입력되는 제어 신호(RD)에 의하여 선택된다. 스위치(704)의 제 1 단자는 트랜지스터(714)의 소스 및 드레인 중 한쪽에 상당하고, 스위치(704)의 제 2 단자는 트랜지스터(714)의 소스 및 드레인 중 다른 쪽에 상당하며, 스위치(704)의 제 1 단자와 제 2 단자 사이의 도통 또는 비도통(즉 트랜지스터(714)의 온 상태 또는 오프 상태)이 트랜지스터(714)의 게이트에 입력되는 제어 신호(RD)에 의하여 선택된다.

[0275] 트랜지스터(709)의 소스 및 드레인 중 한쪽은 커패시터(708)의 한 쌍의 전극 중 한쪽, 및 트랜지스터(710)의 게이트에 전기적으로 접속된다. 여기서, 접속부를 노드(M2)로 한다. 트랜지스터(710)의 소스 및 드레인 중 한쪽은 저전원 전위를 공급할 수 있는 라인(예컨대 GND라인)에 전기적으로 접속되고, 이들 중 다른 쪽은 스위치(703)의 제 1 단자(트랜지스터(713)의 소스 및 드레인 중 한쪽)에 전기적으로 접속된다. 스위치(703)의 제 2 단자(트랜지스터(713)의 소스 및 드레인 중 다른 쪽)는 스위치(704)의 제 1 단자(트랜지스터(714)의 소스 및 드레인 중 한쪽)에 전기적으로 접속된다. 스위치(704)의 제 2 단자(트랜지스터(714)의 소스 및 드레인 중 다른 쪽)는 전원 전위(VDD)를 공급할 수 있는 라인에 전기적으로 접속된다. 스위치(703)의 제 2 단자(트랜지스터(713)의 소스 및 드레인 중 다른 쪽), 스위치(704)의 제 1 단자(트랜지스터(714)의 소스 및 드레인 중 한쪽), 논리 소자(706)의 입력 단자, 및 커패시터(707)의 한 쌍의 전극 중 한쪽은 서로 전기적으로 접속된다. 여기서, 접속부를 노드(M1)로 한다. 커패시터(707)의 한 쌍의 전극 중 다른 쪽은 일정한 전위가 공급될 수 있다. 예를 들어, 커패시터(707)의 한 쌍의 전극 중 다른 쪽에는 저전원 전위(예컨대 GND) 또는 고전원 전위(예컨대 VDD)가 공급될 수 있다. 커패시터(707)의 한 쌍의 전극 중 다른 쪽은 저전원 전위를 공급할 수 있는 라인(예컨대 GND라인)에 전기적으로 접속된다. 커패시터(708)의 한 쌍의 전극 중 다른 쪽에는 일정한 전위가 공급될 수 있다. 예를 들어, 커패시터(708)의 한 쌍의 전극 중 다른 쪽에는 저전원 전위(예컨대 GND) 또는 고전원 전위(예컨대 VDD)가 공급될 수 있다. 커패시터(708)의 한 쌍의 전극 중 다른 쪽은 저전원 전위를 공급할 수 있는 라인(예컨대 GND라인)에 전기적으로 접속된다.

[0276] 트랜지스터, 배선 등의 기생 용량을 적극적으로 이용하면, 커패시터(707) 및 커패시터(708)를 공급할 필요는 없다.

[0277] 트랜지스터(709)의 제 1 게이트(제 1 게이트 전극)에는 제어 신호(WE)가 입력된다. 스위치(703) 및 스위치(704) 각각에 대하여 말하자면, 제어 신호(WE)와는 상이한 제어 신호(RD)에 의하여 제 1 단자와 제 2 단자 사이의 도통 상태 또는 비도통 상태가 선택된다. 스위치들 중 한쪽의 제 1 단자와 제 2 단자가 도통 상태일 때 스위치들 중 다른 쪽의 제 1 단자와 제 2 단자는 비도통 상태다.

[0278] 트랜지스터(709)의 소스 및 드레인 중 다른 쪽에는 회로(701)에 유지된 데이터에 상당하는 신호가 입력된다. 도 22는 회로(701)로부터 출력된 신호가 트랜지스터(709)의 소스 및 드레인 중 다른 쪽에 입력되는 예를 도시한 것이다. 스위치(703)의 제 2 단자(트랜지스터(713)의 소스 및 드레인 중 다른 쪽)로부터 출력되는 신호의 논리값은 논리 소자(706)에 의하여 반전되고, 반전된 신호가 회로(720)를 통하여 회로(701)에 입력된다.

[0279] 도 22의 예에서, 스위치(703)의 제 2 단자(트랜지스터(713)의 소스 및 드레인 중 다른 쪽)로부터 출력되는 신호는 논리 소자(706) 및 회로(720)를 통하여 회로(701)에 입력되지만, 본 실시형태는 이에 한정되지 않는다. 스위치(703)의 제 2 단자(트랜지스터(713)의 소스 및 드레인 중 다른 쪽)로부터 출력되는 신호는 논리값이 반전되지 않고 회로(701)에 입력되어도 좋다. 예를 들어, 입력 단자로부터 입력된 신호의 논리값이 반전됨으로써 얻어진 신호가 유지되는 노드가 회로(701)에 제공되는 경우에, 스위치(703)의 제 2 단자(트랜지스터(713)의 소스 및 드레인 중 다른 쪽)로부터 출력되는 신호를 상기 노드에 입력할 수 있다.

[0280] 도 22에서의 트랜지스터(709)로서, 실시형태 1에서 설명한 트랜지스터를 사용할 수 있다. 실시형태 3에서 설명한 바와 같이, 트랜지스터(709)는 제 2 게이트(제 2 게이트 전극)를 포함하는 것이 바람직하다. 제 1 게이트에는 제어 신호(WE)가 입력될 수 있고 제 2 게이트에는 제어 신호(WE2)가 입력될 수 있다. 제어 신호(WE2)는 일정한 전위를 갖는 신호다. 상기 일정한 전위로서, 예컨대 접지 전위(GND) 또는 트랜지스터(709)의 소스 전위보다 낮은 전위가 선택된다. 제어 신호(WE2)는 트랜지스터(709)의 문턱 전압을 제어하기 위한 전위 신호이고, 트랜지스터(709)의 I_{cut} 를 더 저감시킬 수 있다. 또한, 트랜지스터(709)로서, 제 2 게이트가 없는 트랜지스터를 사용할 수 있다.

[0281] 또한, 도 22에서, 트랜지스터(709)를 뺀, 기억 소자(700)에 포함되는 트랜지스터 각각은, 산화물 반도체 이외의

반도체를 사용하여 형성되는 층 또는 기판(1190)에 채널이 형성되는 트랜지스터일 수 있다. 예를 들어, 실리콘 층 또는 실리콘 기판에 채널이 형성되는 트랜지스터를 사용할 수 있다. 또는, 기억 소자(700)에 사용되는 모든 트랜지스터에, 채널이 산화물 반도체막에 형성되는 트랜지스터를 사용할 수 있다. 또는, 기억 소자(700)에서 트랜지스터(709) 외에도, 채널이 산화물 반도체막에 형성되는 트랜지스터를 포함할 수 있고, 나머지 트랜지스터에 산화물 반도체 외의 반도체를 포함하는 층 또는 기판(1190)에 채널이 형성되는 트랜지스터를 사용할 수도 있다.

- [0282] 도 22에서의 회로(701)로서, 예컨대 플립플롭 회로를 사용할 수 있다. 논리 소자(706)로서, 예컨대 인버터, 클록드 인버터 등을 사용할 수 있다.
- [0283] 본 발명의 일 형태의 반도체 장치는, 기억 소자(700)에 전원 전압이 공급되지 않는 기간 동안에, 회로(701)에 저장된 데이터를 회로(702)에 제공된 커패시터(708)에 의하여 유지할 수 있다.
- [0284] 산화물 반도체막에 채널이 형성되는 트랜지스터의 오프 상태 전류는 매우 낮다. 예를 들어, 산화물 반도체막에 채널이 형성되는 트랜지스터의 오프 상태 전류는 결정성을 갖는 실리콘에 채널이 형성되는 트랜지스터보다 굉장히 낮다. 따라서, 이런 산화물 반도체를 포함하는 트랜지스터를 트랜지스터(709)에 사용하면, 기억 소자(700)에 전원 전압이 공급되지 않는 기간 동안에도 커패시터(708)에 유지된 신호가 오랫동안 유지된다. 따라서, 기억 소자(700)는 전원 전압의 공급이 정지되는 기간 동안에도 저장된 내용(데이터)을 유지할 수 있다.
- [0285] 스위치(703) 및 스위치(704)가 제공되기 때문에, 기억 소자는 프리차지 동작을 수행하여, 전원 전압의 공급이 재개된 후에 회로(701)가 원래의 데이터를 다시 유지하기에 필요한 시간을 짧게 할 수 있다.
- [0286] 회로(702)에서, 커패시터(708)에 의하여 유지된 신호는 트랜지스터(710)의 게이트에 입력된다. 따라서, 기억 소자(700)에 대한 전원 전압의 공급이 재개된 후에, 커패시터(708)에 의하여 유지된 신호를 트랜지스터(710)의 상태(온 상태 또는 오프 상태)에 상당하는 것으로 변환하여, 회로(702)로부터 판독할 수 있다. 그러므로, 커패시터(708)에 의하여 유지된 신호에 상당하는 전위가 약간 변동되더라도 원래의 신호를 정확하게 판독할 수 있다.
- [0287] 프로세서에 포함되는 레지스터 또는 캐쉬 메모리 등의 기억 장치에 상술한 기억 소자(700)를 적용함으로써, 전원 전압의 공급 정지로 인하여 기억 장치 내의 데이터가 소실되는 것을 방지할 수 있다. 또한, 전원 전압의 공급이 재개된 후, 얼마 안 되어 기억 장치는 전원이 정지되기 전과 같은 상태로 돌아갈 수 있다. 따라서, 프로세서, 또는 프로세서에 포함되는 하나 또는 복수의 논리 회로에서 짧은 시간이라도 전원을 정지할 수 있다. 따라서 소비 전력을 억제할 수 있다.
- [0288] 본 실시형태에서 기억 소자(700)를 CPU에 사용하는 예를 설명하였지만, 기억 소자(700)는 DSP(Digital Signal Processor), 커스텀 LSI, PLD(Programmable Logic Device) 등의 LSI, 및 RF-ID(Radio Frequency Identification)에도 사용할 수 있다.
- [0289] 본 실시형태는 본 명세서에서의 다른 실시형태 중 어느 것과 적절히 조합될 수 있다.
- [0290] (실시형태 8)
- [0291] 본 실시형태에서, 실시형태 1에서 설명한 트랜지스터, 실시형태 5 또는 6에서 설명한 기억 장치, 또는 실시형태 7에서 설명한 CPU 등(DSP, 커스텀 LSI, PLD, 및 RF-ID를 포함함)을 포함할 수 있는 전자 기기의 예를 설명한다.
- [0292] 실시형태 1에서 설명한 트랜지스터, 실시형태 5 또는 6에서 설명한 기억 장치, 및 실시형태 7에서 설명한 CPU 등은 다양한 전자 기기(게임기도 포함함)에 적용될 수 있다. 전자 기기의 예에는 텔레비전, 모니터 등의 표시 장치, 조명 장치, 퍼스널 컴퓨터, 워드 프로세서, 화상 재생 장치, 포터블 오디오 플레이어, 라디오, 테이프 레코더, 스테레오, 전화, 코드리스 전화, 휴대 전화, 자동차 전화, 트랜스ceiver, 무선 장치, 게임기, 계산기, 휴대 정보 단말, 전자 공책, 전자 서적 리더, 전자 번역기, 음성 입력 장치, 비디오 카메라, 디지털 스틸 카메라, 전기 면도기, IC칩, 전자 레인지 등의 고주파 가열 장치, 전기 밥솥, 전기 세탁기, 전기 청소기, 에어컨디셔너 등의 공기조절 시스템, 식기 세척기, 식기 건조기, 의류 건조기, 이불 건조기, 전기 냉장고, 전기 냉동고, 전기 냉동 냉장고, DNA 보존용 냉동고, 방사선 계수기, 및 투석기나 X선 진단 장치 등의 의료 기기가 포함된다. 또한, 전자 기기의 예에는 연기 감지기, 열 감지기, 가스 경보 장치, 및 방범 경보 장치 등의 경보 장치를 포함한다. 또한, 전자 기기의 예에는 유도등, 신호기, 벨트 컨베이어, 엘리베이터, 에스컬레이터, 산업용 로봇, 및 전력 저장 시스템 등의 산업 기기를 포함할 수도 있다. 또한, 연료 엔진이나, 비수계 2차 전지로부터의 전력을 사용한 전동기에 의하여 구동하는 이동 물체 등도 전자 기기의 범주에 포함된다. 상기 이동 물체의 예에는, 전

기 자동차(EV), 내연 기관과 전동기를 포함한 하이브리드 자동차(HEV), 플러그인 하이브리드 자동차(PHEV), 이들 차량의 차륜을 무한궤도로 대신한 궤도 차량, 전동 어시스트 자전거를 포함하는 원동기 부착 이륜차, 오토바이, 전동 휠체어, 골프용 카트, 보트 또는 배, 잠수함, 헬리콥터, 항공기, 로켓, 인공 위성, 우주 탐사기, 혹성 탐사기, 및 우주선이 포함된다. 이들 전자 기기 중 몇 개의 구체적인 예를 도 23의 (A)~(C)에 도시하였다.

- [0293] 도 23의 (A)에 도시된 텔레비전 세트(8000)에서, 표시부(8002)는 하우징(8001)에 포함된다. 표시부(8002)는 영상을 표시할 수 있고, 스피커부(8003)는 음성을 출력할 수 있다. 상술한 실시형태에서 설명한 트랜지스터 중 어느 것은, 하우징(8001)에 포함되는 표시부(8002)를 동작하기 위한 구동 회로 또는 화소에 사용할 수 있다.
- [0294] 액정 표시 장치, 유기 EL 소자 등의 발광 소자가 각 화소에 제공된 발광 장치, 전기 영동 표시 장치, DMD(Digital Micromirror Device), 또는 PDP(Plasma Display Panel) 등의 반도체 표시 장치를 표시부(8002)에 사용할 수 있다.
- [0295] 텔레비전 세트(8000)에는 수신기, 모뎀 등이 제공되어도 좋다. 수신기에 의하여, 일반적인 텔레비전 방송을 수신할 수 있다. 또한, 텔레비전 세트(8000)가 모뎀을 통하여 유선 또는 무선에 의하여 통신 네트워크에 접속될 때, 일방향(송신기로부터 수신기) 또는 이방향(송신기와 수신기 사이 또는 수신기들 사이 등)의 데이터 통신을 수행할 수 있다.
- [0296] 또한, 텔레비전 세트(8000)는 정보 통신을 수행하기 위한 CPU(8004) 또는 메모리를 포함하여도 좋다. CPU(8004) 또는 메모리에, 상술한 실시형태에서 설명한 트랜지스터, 기억 장치, 및 CPU 중 어느 것을 사용하여 소비 전력을 저감할 수 있다.
- [0297] 도 23의 (A)에 도시된 경보 장치(8100)는 주택용 화재 경보기이며, 연기 또는 열에 대한 센서부(8102) 및 마이크로 컴퓨터(8101)를 포함하는 전자 기기의 예다. 마이크로 컴퓨터(8101)는 상술한 실시형태 중 어느 것에서 설명한 트랜지스터, 기억 장치, 또는 CPU를 포함한다.
- [0298] 도 23의 (A)에 도시된 실내기(8200) 및 실외기(8204)를 포함하는 에어컨디셔너는 상술한 실시형태 중 어느 것에서 설명한 트랜지스터, 기억 장치, CPU 등을 포함하는 전자 기기의 예다. 구체적으로는 실내기(8200)는 하우징(8201), 공기 출구(8202), CPU(8203) 등을 포함한다. 도 23의 (A)에서 CPU(8203)는 실내기(8200)에 제공되지 만, CPU(8203)는 실외기(8204)에 제공되어도 좋다. 또는, 실내기(8200)와 실외기(8204) 양쪽 모두에 CPU(8203)가 제공되어도 좋다. 상술한 실시형태에서 설명한 트랜지스터 중 어느 것을 에어컨디셔너의 CPU에 사용함으로써 에어컨디셔너의 소비 전력 저감을 달성할 수 있다.
- [0299] 도 23의 (A)에 도시된 전자 냉동 냉장고(8300)는 상술한 실시형태 중 어느 것에서 설명한 트랜지스터, 기억 장치, CPU 등을 포함하는 전자 기기의 예다. 구체적으로는 전기 냉동 냉장고(8300)는 하우징(8301), 냉장실용 도어(8302), 냉동실용 도어(8303), CPU(8304) 등을 포함한다. 도 23의 (A)에서, CPU(8304)가 하우징(8301)에 제공된다. 상술한 실시형태에서 설명한 트랜지스터 중 어느 것을 전기 냉동 냉장고(8300)의 CPU(8304)로서 사용하면, 전기 냉동 냉장고(8300)의 소비 전력 저감을 달성할 수 있다.
- [0300] 도 23의 (B) 및 (C)는 전자 기기의 예인 전자 자동차의 예를 도시한 것이다. 전기 자동차(9700)에는 2차 전지(9701)가 장비된다. 2차 전지(9701)의 전력의 출력은 회로(9702)에 의하여 조정되고, 전력은 구동 장치(9703)에 공급된다. 회로(9702)는 도시되지 않은, ROM, RAM, CPU 등을 포함하는 처리 장치(9704)에 의하여 제어된다. 상술한 실시형태에서 설명한 트랜지스터 중 어느 것을 전기 자동차(9700)의 CPU로서 사용하면 전기 자동차(9700)의 소비 전력 저감을 달성할 수 있다.
- [0301] 구동 장치(9703)는 DC 전동기 또는 AC 전동기를 단독 또는 내연 기관과 조합하여 포함한다. 처리 장치(9704)는 전기 자동차(9700)의 운전자에 의한 조작 정보(예컨대 가속, 감속, 또는 정지)나 운전 중의 정보(예컨대 오르막 길 또는 내리막길의 정보, 또는 구동륜에서의 부하의 정보) 등의 입력 정보에 기초하여 회로(9702)에 제어 신호를 출력한다. 회로(9702)는 처리 장치(9704)의 제어 신호에 따라, 2차 전지(9701)로부터 공급되는 전기 에너지를 조정하여 구동 장치(9703)의 출력을 제어한다. AC 전동기가 실장되는 경우, 도시되지 않았지만, 직류를 교류로 변환시키는 인버터도 내장된다.
- [0302] 본 실시형태는 본 명세서에서의 다른 실시형태 중 어느 것과 적절히 조합될 수 있다.
- [0303] (실시에 1)
- [0304] 본 실시예에서, 도 6의 (A)에 도시된 트랜지스터(460)와 같은 구조를 갖는 트랜지스터를 실시예 시료로서 제작

하였고, 트랜지스터의 단면을 조사하였다. 제작한 트랜지스터의 전기 특성을 평가하였다.

- [0305] 먼저, 실시예 시료를 제작하기 위한 방법을 설명한다.
- [0306] 먼저, 하지 절연막이 되는 산화질화 실리콘(SiON)막을 실리콘 기판 위에 두께 300nm로 형성하였다. 상기 산화질화 실리콘막을 이하의 조건하에서 스퍼터링에 의하여 형성하였다: 아르곤과 산소(아르곤:산소=25sccm:25sccm)의 혼합 분위기; 0.4Pa의 압력; 5.0kW의 전원(전원 출력); 60mm의 실리콘 기판과 타겟 사이의 거리; 및 100℃의 기판 온도다.
- [0307] 산화 실리콘막의 표면에는 마찰 처리가 수행되었고, 두께 10nm의 제 1 산화물막 및 두께 40nm의 산화물 반도체막이 적층되었다. 제 1 산화물막은, 이하의 조건하에서 In:Ga:Zn=1:3:2(원자 비율)의 산화물 타겟(IGZO(132))을 사용하여 스퍼터링에 의하여 형성되었다: 아르곤과 산소(아르곤:산소=30sccm:15sccm)의 혼합 분위기; 0.4Pa의 압력; 0.5kW의 전원; 60mm의 기판과 타겟 사이의 거리; 및 200℃의 기판 온도다. 산화물 반도체막을 이하의 조건하에서 In:Ga:Zn=1:1:1(원자 비율)의 산화물 타겟(IGZO(111))을 사용하여 스퍼터링에 의하여 형성하였다: 아르곤과 산소(아르곤:산소=30sccm:15sccm)의 혼합 분위기; 0.4Pa의 압력; 0.5kW의 전원; 60mm의 기판과 타겟 사이의 거리; 및 300℃의 기판 온도다. 또한, 제 1 산화물막 및 산화물 반도체막은 대기에 노출되지 않고 연속적으로 형성되었다.
- [0308] 다음에, 가열 처리를 수행하였다. 가열 처리는 450℃로 1시간 질소 분위기하에서 수행하고 나서, 450℃로 1시간 산소 분위기하에서 수행하였다.
- [0309] 두께 5nm의 텅스텐막을 산화물 반도체막 위에 형성하였고 하드 마스크를 형성하기 위하여 에칭하였다. ICP(inductively coupled plasma) 에칭법이 에칭에 채용되었다. 에칭 조건은 이하와 같다: 사불화 탄소(CF₄=100sccm) 분위기; 2000W의 전원; 50W의 바이어스 전력; 및 0.67Pa의 압력이다. 이 후, 에칭 조건을 이하와 같이 바꿨다: 사불화 탄소와 산소(CF₄:O₂=60sccm:40sccm) 혼합 분위기; 1000W의 전원; 25W의 바이어스 전력; 및 2.0Pa의 압력이다.
- [0310] 제 1 산화물막 및 산화물 반도체막이 이하의 조건하에서 ICP에칭에 의하여 섬 형상으로 가공되었다: 메탄과 아르곤(CH₄:Ar=16sccm:32sccm)의 혼합 분위기; 600W의 전원; 100W의 바이어스 전력; 1.0Pa의 압력; 및 70℃의 기판 온도다.
- [0311] 다음에 소스 전극 및 드레인 전극이 되는 텅스텐(W)막을 제 1 산화물막 및 산화물 반도체막 위에 두께 10nm가 되도록 형성하였다. 이하의 조건하에서 텅스텐 타겟을 사용하여 스퍼터링에 의하여 막을 형성하였다: 아르곤(80sccm) 분위기; 0.8Pa의 압력; 1.0kW의 전원(전원 출력); 60mm의 실리콘 기판과 타겟 사이의 거리; 및 230℃의 기판 온도다.
- [0312] 다음에 텅스텐막 위에 레지스트 마스크를 형성하였고 ICP에칭법을 사용하여 에칭을 수행하였다. 에칭으로서, 제 1 에칭 및 제 2 에칭을 수행하였다. 제 1 에칭 조건은 이하와 같다: 사불화 탄소(CF₄=100sccm) 분위기; 2000W의 전원; 50W의 바이어스 전력; 및 0.67Pa의 압력이다. 다음에 제 2 에칭 조건을 이하와 같이 바꿨다: 사불화 탄소와 산소(CF₄:O₂=60sccm:40sccm) 분위기; 1000W의 전원; 25W의 바이어스 전력; 및 2.0Pa의 압력이다. 따라서 소스 전극 및 드레인 전극을 형성하였다.
- [0313] 다음에 제 2 산화물막을 산화물 반도체막, 소스 전극, 및 드레인 전극 위에 두께 5nm로 형성하였다. 상기 막을 이하의 조건하에서 In:Ga:Zn=1:3:2(원자 비율)의 산화물 타겟(IGZO(132))을 사용하여 스퍼터링에 의하여 형성하였다: 아르곤과 산소(아르곤:산소=30sccm:15sccm)의 혼합 분위기; 0.4Pa의 압력; 0.5kW의 전원; 60mm의 기판과 타겟 사이의 거리; 및 200℃의 기판 온도다.
- [0314] 다음에 게이트 절연막이 되는 산화질화 실리콘막을 두께 10nm로 CVD법에 의하여 형성하였다.
- [0315] 질화 타이타늄막을 이하의 조건하에서 스퍼터링에 의하여 산화질화 실리콘막 위에 두께 10nm로 형성하였다: 질소(N₂=50sccm) 분위기; 0.2Pa의 압력; 12kW의 전원; 및 400mm의 기판과 타겟 사이의 거리다. 기판 온도는 실온으로 설정하였다. 텅스텐막을 이하의 조건하에서 질화 타이타늄막 위에 두께 10nm로 형성하였다: 아르곤(Ar=100sccm) 분위기; 2.0Pa의 압력; 4kW의 전원; 60mm의 기판과 타겟 사이의 거리; 및 230℃의 기판 온도다.
- [0316] 두께 10nm의 질화 타이타늄막과 두께 10nm의 텅스텐막의 적층을 ICP에칭에 의하여 에칭하였다. 에칭으로서, 제 1 에칭 및 제 2 에칭을 수행하였다. 제 1 에칭 조건은 이하와 같다: 염소, 사불화 탄소, 및 산소

($\text{Cl}_2:\text{CF}_4:\text{O}_2=45\text{sccm}:55\text{sccm}:55\text{sccm}$)의 혼합 분위기; 3000W의 전원; 110W의 바이어스 전력; 및 0.67Pa의 압력이다. 제 2 에칭은 제 1 에칭 후에 이하의 조건하에서 수행하였다: 삼염화 붕소 및 염소 ($\text{BCl}_3:\text{Cl}_2=150\text{sccm}:50\text{sccm}$)의 혼합 분위기; 1000W의 전원; 50W의 바이어스 전력; 및 0.67Pa의 압력이다. 이로써 게이트 전극을 형성하였다.

[0317] 게이트 절연막과 제 2 산화물막을 포함하는 적층을 게이트 전극을 마스크로서 사용하여 ICP에칭법에 의하여 에칭하였다. 에칭 조건은 이하와 같다: 메탄과 아르곤($\text{CH}_4:\text{Ar}=16\text{sccm}:32\text{sccm}$)의 혼합 분위기; 600W의 전원; 100W의 바이어스 전력; 1.0Pa의 압력; 및 70℃의 기판 온도다.

[0318] 다음에 두께 20nm의 산화 알루미늄막을 스퍼터링법에 의하여 게이트 전극 위에 형성하였고, 두께 150nm의 산화 질화 실리콘막을 CVD법에 의하여 이 위에 형성하였다.

[0319] 도 10의 (A) 및 (B)는 상술한 방법에 의하여 만들어진 실시예 시료의 단면 STEM 이미지다. 도 10의 (A)는 채널 길이 방향에서의 단면도다. 도 10의 (B)는 채널 폭 방향에서의 단면도다.

[0320] 도 10의 (B)에 나타난 바와 같이, 채널 폭 방향에서의 단면을 봤을 때, 산화물 반도체막인 IGZO(111)가 둥그스름한 단부 및 반원 형상을 갖는다. 이 구조가 산화물 반도체막 위에 형성된, 제 2 산화물막, 게이트 절연막, 및 게이트 전극과의 피복물을 향상시키고 단절 등의 형상 불량 발생을 방지하는 것을 찾았다.

[0321] 제작된 트랜지스터의 채널 길이는 68nm이고, 채널 폭은 34nm이었다.

[0322] 다음에 제작된 트랜지스터의 드레인 전류($I_d:[A]$)를 측정하였다. 드레인 전압($V_d:[V]$)은 0.1V 또는 1V로 설정되었고, 게이트 전압($V_g:[V]$)은 -3V로부터 3V까지 스위핑되었다. 도 29는 상기 트랜지스터의 측정 결과를 나타낸 것이다. 도 29에서, 실선은 1V의 드레인 전압($V_d:[V]$)에서의 측정 결과를 나타낸 것이고, 점선은 0.1V의 드레인 전압($V_d:[V]$)에서의 측정 결과를 나타낸 것이고, 가로축은 게이트 전압($V_g:[V]$)을 나타내고, 세로축은 드레인 전류($I_d:[A]$)를 나타낸다. 또한, "드레인 전압($V_d:[V]$)"이란, 소스의 전위가 기준 전위로서 사용될 때의 드레인 전압과 소스 사이의 전위 차이를 말하고, "게이트 전압($V_g:[V]$)"이란, 소스의 전위가 기준 전위로서 사용될 때의 게이트와 소스 사이의 전위 차이를 말한다.

[0323] 도 29는 본 실시예에서 제작한 트랜지스터의 드레인 전압($V_d:[V]$)이 1V일 때를 나타낸 것이고, 온 상태 전류가 5.31 μA ; 시프트 값이 0.13A; 문턱 전압이 0.65V; 및 오프 상태 전류가 측정 하한 이하이다. 또한, 시프트 값은 드레인 전류가 1×10^{-12} A일 때의 게이트 전압의 값이다. 드레인 전압이 0.1V일 때, 전계 효과 이동도는 $20.0\text{cm}^2/\text{Vs}$ 이고; S값은 113.1mV/dec다.

[0324] 상술한 결과는 본 실시예의 트랜지스터가 우수한 전기 특성을 갖는다는 것을 가리킨다.

[0325] (실시예 2)

[0326] 본 실시예에서, 실시예 1에서 제작한 트랜지스터의 온도 의존성을 조사하였다.

[0327] 평가에는, 드레인 전류($I_d:[A]$) 및 전계 효과 이동도(μFE)를 -25℃, 50℃, 및 150℃에서 측정하였다. 드레인 전압($V_d:[V]$)이 1V에 설정되었고, 게이트 전압($V_g:[V]$)이 -3V로부터 3V까지 스위핑되었다. 도 30은 상기 트랜지스터의 측정 결과를 나타낸 것이다. 도 30에서, 가로축은 게이트 전압($V_g:[V]$)을 나타내고, 왼쪽의 세로축은 드레인 전류($I_d:[A]$)를 나타내고, 오른쪽의 세로축은 전계 효과 이동도($\mu\text{FE}:\text{cm}^2/\text{Vs}$)를 나타낸다.

[0328] 도 30에 나타난 바와 같이, 실시예 1에서 제작한 트랜지스터에서, 온 상태 전류 및 전계 효과 이동도는 온도 변화에 의하여 거의 변화하지 않는다.

[0329] 도 31은 문턱 전압의 온도 의존성을 나타낸 것이다.

[0330] 문턱 전압은 온도 변화에 의하여 거의 변화하지 않는 것을 찾았다.

[0331] 상술한 결과는 본 실시예의 트랜지스터가 온도 저항을 갖는다는 것을 가리킨다.

[0332] (실시예 3)

- [0333] 본 실시예에서, 실시예 1에서 제작한 트랜지스터의 신뢰성을 평가하였다.
- [0334] 평가에는, 소스 전압(V_s : [V]) 및 드레인 전압(V_d : [V])을 0V로 설정하였고, -1.8V의 게이트 전압이 150℃로 1시간 인가된 스트레스 시험 조건하에서 드레인 전류(I_d : [A])를 측정하였다. 도 32의 (A)는 상기 트랜지스터의 측정 결과를 나타낸 것이다. 도 32의 (A)에서, 실선은 1V의 드레인 전압(V_d : [V])에서의 결과를 나타낸 것이고, 점선은 0.1V의 드레인 전압에서의 결과를 나타낸 것이고, 가로축은 게이트 전압(V_g : [V])을 나타내고, 세로축은 드레인 전류(I_d : [A])를 나타낸다.
- [0335] 또한, 소스 전압(V_s : [V]) 및 게이트 전압(V_d : [V])을 0V로 설정하였고, 1.8V의 드레인 전압이 150℃로 1시간 인가된 스트레스 시험 조건하에서 드레인 전류(I_d : [A])를 측정하였다. 도 32의 (B)는 상기 트랜지스터의 측정 결과를 나타낸 것이다. 도 32의 (B)에서, 실선은 1V의 드레인 전압(V_d : [V])에서의 결과를 나타낸 것이고, 점선은 0.1V의 드레인 전압에서의 결과를 나타낸 것이고, 가로축은 게이트 전압(V_g : [V])을 나타내고, 세로축은 드레인 전류(I_d : [A])를 나타낸다.
- [0336] 또한, 그래프에서, 실선은 스트레스 시험 전의 결과를 나타낸 것이고 점선은 스트레스 시험 후의 결과를 나타낸 것이다. 도 32의 (A) 및 (B)에 나타난 바와 같이, 실시예 1에서 제작한 트랜지스터가 1V의 드레인 전압(V_d : [V])을 가질 때, 문턱 전압의 변화량(ΔV_{th})은 작고, 도 32의 (A)에서 0.03V이고 도 32의 (B)에서 0.11V다.
- [0337] 도 33에서의 사각형은 소스 전압(V_s : [V]) 및 게이트 전압(V_g : [V])을 0V로 설정하였고, 1.8V의 드레인 전압(V_d : [V])이 125℃로 87.6시간(0.01년에 상당함) 인가된 경우에서의 문턱 전압의 변화량을 나타낸 것이다.
- [0338] 도 33에서의 능형은 소스 전압(V_s : [V]) 및 드레인 전압(V_d : [V])을 0V로 설정하였고, -1.8V의 게이트 전압(V_g : [V])이 125℃로 87.6시간(0.01년에 상당함) 인가된 경우에서의 문턱 전압의 변화량을 나타낸 것이다.
- [0339] 실시예 1에서 제작한 트랜지스터의 문턱 전압의 변화량이 0.01년 후라도 작은 것이 도 33에서 알 수 있다.
- [0340] 상술한 결과는 본 실시예의 트랜지스터가 높은 전기적 안정성을 갖는다는 것을 가리킨다.
- [0341] (실시예 4)
- [0342] 본 실시예에서, 실시예 1에서 제작한 트랜지스터의 채널 폭에 따른 전기 특성을 평가하였다.
- [0343] 먼저, 상이한 채널 폭을 갖는 트랜지스터의 온 상태 전류(I_{on} : [A])를 1V의 드레인 전압(V_d : [V])으로 측정하였다. 도 34의 (A)는 상기 트랜지스터의 측정 결과를 나타낸 것이다. 도 34의 (A)에서, 가로축은 채널 길이(nm)를 나타내고, 세로축은 온 상태 전류(I_{on} : [A])를 나타낸다. 또한, 그래프에서의 능형은 40nm의 채널 폭의 결과를 나타낸 것이고; 삼각형은 100nm의 채널 폭, 그리고 사각형은 500nm의 채널 폭을 나타낸 것이다.
- [0344] 도 34의 (A)는 채널 폭이 작더라도 온 상태 전류(I_{on})가 높은 것을 가리킨다.
- [0345] 다음에 상이한 채널 폭을 갖는 트랜지스터의 전계 효과 이동도를 0.1V의 드레인 전압(V_d : [V])으로 측정하였다. 도 34의 (B)는 상기 트랜지스터의 측정 결과를 나타낸 것이다. 도 34의 (B)에서, 가로축은 채널 길이[nm]를 나타내고, 세로축은 전계 효과 이동도($\mu FE: cm^2/Vs$)를 나타낸다. 또한, 그래프에서의 능형은 40nm의 채널 폭의 결과를 나타낸 것이고; 삼각형은 100nm의 채널 폭, 그리고 사각형은 500nm의 채널 폭을 나타낸 것이다.
- [0346] 도 34의 (B)는 채널 폭이 작을수록 더 높은 이동도를 갖는 트랜지스터를 가리킨 것이다.
- [0347] 다음에 상이한 채널 폭을 갖는 트랜지스터의 문턱 전압을 1V의 드레인 전압(V_d : [V])으로 측정하였다. 도 34의 (C)는 상기 트랜지스터의 측정 결과를 나타낸 것이다. 도 34의 (C)에서, 가로축은 채널 길이[nm]를 나타내고, 세로축은 문턱 전압(V_{th} : [V])을 나타낸다. 또한, 그래프에서의 능형은 40nm의 채널 폭의 결과를 나타낸 것이고; 삼각형은 100nm의 채널 폭, 그리고 사각형은 500nm의 채널 폭을 나타낸 것이다.
- [0348] 문턱 전압은 거의 변화하지 않는 것을 도 34의 (C)로부터 알 수 있다.
- [0349] 다음에 상이한 채널 폭을 갖는 트랜지스터의 시프트 값을 1V의 드레인 전압(V_d : [V])으로 측정하였다. 여기서

시프트 값은 상승 모서리를 나타내고 $1E-12A$ 의 드레인 전류($I_d[A]$)에 대한 게이트 전압($V_g[V]$)으로 정의된다. 도 34의 (D)는 상기 트랜지스터의 측정 결과를 나타낸 것이다. 도 34의 (D)에서, 가로축은 채널 길이[nm]를 나타내고, 세로축은 시프트 값[V]을 나타낸다. 또한, 그래프에서의 능형은 40nm의 채널 폭의 결과를 나타낸 것이고; 삼각형은 100nm의 채널 폭, 그리고 사각형은 500nm의 채널 폭을 나타낸 것이다.

[0350] 도 34의 (D)는 채널 폭이 작을수록 시프트 값에서의 변화가 작은 트랜지스터를 가리킨 것이다.

[0351] 다음에 상이한 채널 폭을 갖는 트랜지스터의 S값을 0.1V의 드레인 전압($V_d:[V]$)으로 측정하였다. 도 35의 (A)는 상기 트랜지스터의 측정 결과를 나타낸 것이다. 도 35의 (A)에서, 가로축은 채널 길이[nm]를 나타내고, 세로축은 S값[mV/dec.]을 나타낸다. 또한, 그래프에서의 능형은 40nm의 채널 폭의 결과를 나타낸 것이고; 삼각형은 100nm의 채널 폭, 그리고 사각형은 500nm의 채널 폭을 나타낸 것이다.

[0352] 도 35의 (A)는 채널 폭이 작을수록 S값에서의 감소량이 더 큰 트랜지스터를 가리킨 것이다.

[0353] 다음에 채널 폭에 따른 DIBL을 측정하였다. DIBL은, 1V의 드레인 전압($V_d:[V]$)에서의 문턱 전압을 0.1V의 드레인 전압($V_d:[V]$)에서의 문턱 전압으로부터 빼고, 얻어진 값을 0.9로 나눔으로써 얻어졌다. 도 35의 (B)는 상기 트랜지스터의 측정 결과를 나타낸 것이다. 도 35의 (B)에서, 가로축은 채널 길이[nm]를 나타내고, 세로축은 DIBL값[V/V.]을 나타낸다. 또한, 그래프에서의 능형은 40nm의 채널 폭의 결과를 나타낸 것이고; 삼각형은 100nm의 채널 폭, 그리고 사각형은 500nm의 채널 폭을 나타낸 것이다.

[0354] 도 35의 (B)는 채널 폭이 작을수록 DIBL이 낮아지는 트랜지스터를 가리킨 것이다.

[0355] 상술한 결과는 본 실시예의 트랜지스터의 전기 특성은 채널 폭이 작을수록 좋아지는 것을 가리킨다.

[0356] (실시예 5)

[0357] 본 실시예에서, 도 6의 (A)에 도시된 트랜지스터(460)와 같은 구조를 갖는 트랜지스터를 실시예 시료로서 제작하였고, 트랜지스터의 전기 특성을 평가하였다.

[0358] 먼저, 실시예 시료를 제작하기 위한 방법을 설명한다.

[0359] 실시예 시료를 제작하기 위한 방법에 대해서는 실시예 1을 참조할 수 있다. 실시예 1의 트랜지스터와 본 실시예의 트랜지스터의 차이는 제 1 산화물막뿐이다; 본 실시예의 트랜지스터의 제 1 산화물막의 두께는 10nm다. 상기 막을 이하의 조건하에서 In:Ga:Zn=1:3:4(원자 비율)의 산화물 타겟(IGZO(134))을 사용하여 스퍼터링에 의하여 형성하였다: 아르곤과 산소(아르곤:산소=30sccm:15sccm)의 혼합 분위기; 0.4Pa의 압력; 0.5kW의 전원; 60mm의 기판과 타겟 사이의 거리; 및 200℃의 기판 온도다.

[0360] 본 실시예에서 제작한 트랜지스터에서, 채널 길이는 70nm로 설정되었고, 채널 폭은 40nm로 설정되었다.

[0361] 다음에 이 트랜지스터의 드레인 전류($I_d:[A]$)를 드레인 전압($V_d:[V]$)이 1V로 설정되었고, 게이트 전압($V_g:[V]$)이 -3V로부터 3V까지 스위핑된 조건하에서 측정하였다. 또한, 0.1V의 드레인 전압($V_d:[V]$)에서의 전계 효과 이동도(μFE)를 측정하였다. 도 11은 1V의 드레인 전압($V_d:[V]$)에서의 트랜지스터의 측정 결과를 나타낸 것이다. 도 11에서, 가로축은 게이트 전압($V_g:[V]$)을 나타내고, 왼쪽의 세로축은 드레인 전류($I_d:[A]$)를 나타내고, 오른쪽의 세로축은 전계 효과 이동도($\mu FE:cm^2/Vs$)를 나타낸다.

[0362] 도 11에 나타난 바와 같이, 본 실시예에서 제작한 트랜지스터의 드레인 전압($V_d:[V]$)이 1V일 때, 온 상태 전류는 $5.08 \mu A$ 다. 또한, 드레인 전압이 0.1V일 때, 전계 효과 이동도는 $17.0cm^2/Vs$ 다.

[0363] 상술한 결과는 본 실시예의 트랜지스터가 우수한 전기 특성을 갖는다는 것을 가리킨다.

[0364] (실시예 6)

[0365] 본 실시예에서, 도 6의 (A)에 도시된 트랜지스터(460)와 같은 구조를 갖는 트랜지스터를 실시예 시료로서 제작하였고, 채널 폭에 따른 전기 특성을 평가하였다.

[0366] 먼저, 실시예 시료를 제작하기 위한 방법을 설명한다.

[0367] 실시예 시료를 제작하기 위한 방법에 대해서는 실시예 1을 참조할 수 있다. 시료 A는 실시예 1에서 사용한 트

랜지스터(제 1 산화물막은 막 두께 10nm의 IGZO(132), 산화물 반도체막은 막 두께 40nm의 IGZO(111))다. 시료 B는 실시예 5에서 사용한 트랜지스터(제 1 산화물막은 막 두께 10nm의 IGZO(134), 산화물 반도체막은 막 두께 40nm의 IGZO(111))다. 시료 C는 제 1 산화물막이 막 두께 20nm의 IGZO(132), 산화물 반도체막이 막 두께 15nm의 IGZO(111), 다른 구성 요소는 시료 A와 같이 제작되었다. 시료 C의 형성 조건은 이하와 같다. 제 1 산화물막을, 이하의 조건하에서 In:Ga:Zn=1:3:2(원자 비율)의 산화물 타겟(IGZO(132))을 사용하여 스퍼터링에 의하여 형성하였다: 아르곤과 산소(아르곤:산소=30sccm:15sccm)의 혼합 분위기; 0.4Pa의 압력; 0.5kW의 전원; 60mm의 기판과 타겟 사이의 거리; 및 200℃의 기판 온도다. 산화물 반도체막을, 이하의 조건하에서 In:Ga:Zn=1:1:1(원자 비율)의 산화물 타겟(IGZO(111))을 사용하여 스퍼터링에 의하여 형성하였다: 아르곤과 산소(아르곤:산소=30sccm:15sccm)의 혼합 분위기; 0.4Pa의 압력; 0.5kW의 전원; 60mm의 기판과 타겟 사이의 거리; 및 300℃의 기판 온도다.

[0368] 본 실시예에서 제작된 트랜지스터에서, 채널 길이는 40nm로 설정되었다.

[0369] 트랜지스터에서, 채널 폭(W)에 따른 온 상태 전류(I_{on} : [A])를 1V의 드레인 전압(V_d : [V])으로 측정하였다. 또한, 본 실시예에서, 온 상태 전류는 (문턱 전압 +1V)의 전압으로 측정된 전류다. 도 12 및 도 13의 (A)~(C)는 상기 트랜지스터의 측정 결과를 나타낸 것이다. 도 12 및 도 13의 (A)~(C)에서, 가로축은 채널 폭(W: [nm])을 나타내고, 왼쪽의 세로축은 온 상태 전류(I_{on} : [A])를 나타낸다.

[0370] 도 12에 따르면, 두께 15nm의 산화물 반도체막을 포함하는 시료 C에서, 온 상태 전류(I_{on})는 채널 폭(W)이 작아질수록 감소된다. 한편, 두께 40nm의 산화물 반도체막을 각각 포함하는 시료 A 및 B에서, 온 상태 전류(I_{on})는 채널 폭(W)이 작아질수록 감소되지 않는다.

[0371] 이것은, 두꺼운 산화물 반도체막이 채널 폭이 작은 경우의 횡방향에서의 게이트 전극의 전계를 증가시켜, 온 상태 전류(I_{on})가 향상되기 때문일 것이다.

[0372] 도 13의 (A)는 시료 A의 특성을 나타낸 것이다. 도 13의 (B)는 시료 B의 특성을 나타낸 것이다. 도 13의 (C)는 시료 C의 특성을 나타낸 것이다. 도 13의 (A)~(C)는, 채널 폭(W)이 커질수록 시료 A, B, 및 C 중 어느 것의 온 상태 전류(I_{on})가 증가되는 것을 나타낸다.

[0373] (실시예 7)

[0374] 본 실시예에서, 도 6의 (A)에 도시된 트랜지스터(460)와 같은 구조를 갖는 트랜지스터를 실시예 시료로서 제작하였고, 제작한 트랜지스터의 전기 특성을 평가하였다.

[0375] 먼저, 실시예 시료를 제작하기 위한 방법을 설명한다.

[0376] 먼저, 하지 절연막이 되는 산화질화 실리콘(SiON)막을 실리콘 기판 위에 두께 300nm로 형성하였다. 상기 산화질화 실리콘막을 이하의 조건하에서 스퍼터링에 의하여 형성하였다: 아르곤과 산소(아르곤:산소=25sccm:25sccm)의 혼합 분위기; 0.4Pa의 압력; 5.0kW의 전원(전원 출력); 60mm의 실리콘 기판과 타겟 사이의 거리; 및 100℃의 기판 온도다.

[0377] 산화 실리콘막의 표면에는 마찰 처리가 수행되고, 두께 20nm의 제 1 산화물막 및 두께 20nm의 산화물 반도체막이 적층되었다. 제 1 산화물막을, 이하의 조건하에서 In:Ga:Zn=1:3:4(원자 비율)의 산화물 타겟(IGZO(134))을 사용하여 스퍼터링에 의하여 형성하였다: 아르곤과 산소(아르곤:산소=40sccm:5sccm)의 혼합 분위기; 0.4Pa의 압력; 0.5kW의 전원; 60mm의 기판과 타겟 사이의 거리; 및 200℃의 기판 온도다. 산화물 반도체막을 이하의 조건하에서 In:Ga:Zn=1:1:1(원자 비율)의 산화물 타겟(IGZO(111))을 사용하여 스퍼터링에 의하여 형성하였다: 아르곤과 산소(아르곤:산소=30sccm:15sccm)의 혼합 분위기; 0.4Pa의 압력; 0.5kW의 전원; 60mm의 기판과 타겟 사이의 거리; 및 300℃의 기판 온도다. 또한, 제 1 산화물막 및 산화물 반도체막은 대기에 노출되지 않고 연속적으로 형성되었다.

[0378] 다음에, 가열 처리를 수행하였다. 가열 처리는 450℃로 1시간 질소 분위기하에서 수행하고 나서, 450℃로 1시간 산소 분위기하에서 수행하였다.

[0379] 다음에 소스 전극 및 드레인 전극이 되는 텅스텐막을 산화물 반도체막 위에 두께 150nm가 되도록 형성하였다. 이하의 조건하에서 텅스텐 타겟을 사용하여 스퍼터링에 의하여 막을 형성하였다: 아르곤(80sccm) 분위기; 0.8Pa의 압력; 1.0kW의 전원(전원 출력); 60mm의 실리콘 기판과 타겟 사이의 거리; 및 230℃의 기판 온도다.

- [0380] 다음에 텅스텐막 위에 레지스트 마스크를 형성하였고 ICP에칭법을 사용하여 에칭을 수행하였다. 에칭으로서, 제 1 에칭, 제 2 에칭, 및 제 3 에칭을 수행하였다. 제 1 에칭 조건은 이하와 같다: 염소, 사불화 탄소, 및 산소($\text{Cl}_2:\text{CF}_4:\text{O}_2=45\text{sccm}:55\text{sccm}:55\text{sccm}$)의 혼합 분위기; 3000W의 전원; 110W의 바이어스 전력; 및 0.67Pa의 압력이다. 다음에 제 2 에칭 조건은 이하와 같다: 산소($\text{O}_2=100\text{sccm}$) 분위기; 2000W의 전원; 0W의 바이어스 전력; 및 3.0Pa의 압력이다. 제 3 에칭 조건은 이하와 같다: 염소, 사불화 탄소, 및 산소($\text{Cl}_2:\text{CF}_4:\text{O}_2=45\text{sccm}:55\text{sccm}:55\text{sccm}$)의 혼합 분위기; 3000W의 전원; 110W의 바이어스 전력; 및 0.67Pa의 압력이다. 따라서 소스 전극 및 드레인 전극을 형성하였다.
- [0381] 다음에 레지스트 마스크를 산화물 반도체막 위에 형성하였고, 제 1 산화물막 및 산화물 반도체막을 이하의 조건하에서 ICP에칭에 의하여 섬 형상으로 가공하였다: 삼염화 붕소($\text{BCl}_3=80\text{sccm}$) 분위기; 450W의 전원; 100W의 바이어스 전력; 1.2Pa의 압력; 및 70℃의 기판 온도다.
- [0382] 다음에 제 2 산화물막을 산화물 반도체막, 소스 전극, 및 드레인 전극 위에 두께 5nm로 형성하였다. 상기 막을 이하의 조건하에서 In:Ga:Zn=1:3:2(원자 비율)의 산화물 타깃을 사용하여 스퍼터링에 의하여 형성하였다: 아르곤과 산소(아르곤:산소=30sccm:15sccm)의 혼합 분위기; 0.4Pa의 압력; 0.5kW의 전원; 60mm의 기판과 타깃 사이의 거리; 및 200℃의 기판 온도다.
- [0383] 다음에 게이트 절연막이 되는 산화질화 실리콘막을 두께 20nm로 CVD법에 의하여 형성하였다.
- [0384] 질화 탄탈럼막을 이하의 조건하에서 스퍼터링에 의하여 산화질화 실리콘막 위에 두께 30nm로 형성하였다: 질화 탄탈럼 및 아르곤($\text{TaN}=50\text{sccm}:10\text{sccm}$)의 혼합 분위기; 0.6Pa의 압력; 1kW의 전원; 60mm의 기판과 타깃 사이의 거리다. 기판 온도는 실온으로 설정하였다. 텅스텐막을 이하의 조건하에서 질화 타이타늄막 위에 두께 135nm로 형성하였다: 아르곤($\text{Ar}=100\text{sccm}$) 분위기; 2.0Pa의 압력; 4kW의 전원; 60mm의 기판과 타깃 사이의 거리; 및 230℃의 기판 온도다.
- [0385] 두께 30nm의 질화 탄탈럼막과, 두께 135nm의 텅스텐막의 적층을 ICP에칭에 의하여 에칭하였다. 에칭으로서, 제 1 에칭 및 제 2 에칭을 수행하였다. 제 1 에칭 조건은 이하와 같다: 염소, 사불화 탄소, 및 산소($\text{Cl}_2:\text{CF}_4:\text{O}_2=45\text{sccm}:55\text{sccm}:55\text{sccm}$)의 혼합 분위기; 3000W의 전원; 110W의 바이어스 전력; 및 0.67Pa의 압력이다. 제 2 에칭은 제 1 에칭 후에 이하의 조건하에서 수행하였다: 염소($\text{Cl}_2=100\text{sccm}$) 분위기; 1000W의 전원; 50W의 바이어스 전력; 및 0.67Pa의 압력이다. 이로써 게이트 전극을 형성하였다.
- [0386] 게이트 절연막과 제 2 산화물막을 포함하는 적층을 ICP에칭에 의하여 에칭하였다. 에칭 조건은 이하와 같다: 삼염화 붕소($\text{BCl}_3=80\text{sccm}$) 분위기; 450W의 전원; 100W의 바이어스 전력; 1.2Pa의 압력; 및 70℃의 기판 온도다.
- [0387] 다음에 두께 140nm의 산화 알루미늄막을 스퍼터링법에 의하여 게이트 전극 위에 형성하였고, 두께 300nm의 산화 질화 실리콘막을 CVD법에 의하여 이 위에 형성하였다.
- [0388] 채널 길이는 0.48 μm 이었고, 채널 폭은 0.5 μm 이었다.
- [0389] 다음에 제작된 트랜지스터의 온도 의존성을 조사하였다.
- [0390] 평가에는, 1 μm 의 채널 폭당 드레인 전류($I_d:[A]$)를 25℃, 50℃, 100℃, 150℃, 200℃, 및 250℃로 측정하였다. 드레인 전압($V_d:[V]$)은 1V로 설정되었고, 게이트 전압($V_g:[V]$)은 -3V로부터 3V까지 스위핑되었다. 도 40의 (A)는 상기 트랜지스터의 측정 결과를 나타낸 것이다. 도 40의 (A)에서, 가로축은 게이트 전압($V_g:[V]$)을 나타내고, 세로축은 드레인 전류($I_d:[A]$)를 나타낸다. 또한, 도 40의 (A)에서의 화살표는 온도에서의 상승을 가리킨다.
- [0391] 도 40의 (A)에 나타난 바와 같이, 본 실시예에서 제작한 트랜지스터에서, 온 상태 전류는 온도 변화에 의하여 거의 변화하지 않는다.
- [0392] 도 40의 (B) 및 (C)는 문턱 전압 및 S값의 온도 의존성을 나타낸 것이다.
- [0393] 문턱 전압 및 S값은 온도 변화에 의하여 거의 변화하지 않는 것을 찾았다.
- [0394] 상술한 결과는 본 실시예의 트랜지스터가 온도 저항을 갖는다는 것을 가리킨다.

- [0395] (실시예 8)
- [0396] 본 실시예에서, 산화물 반도체막의 형상에 따른 전기 특성의 차이를 조사하였다.
- [0397] 먼저, 트랜지스터의 구조를 설명한다.
- [0398] 도 25의 (A)는 산화물 반도체막의 상단부가 모난 트랜지스터(이하, 이런 트랜지스터를 사각형 구조를 갖는 트랜지스터라고도 함)의 채널 폭 방향에서의 단면도다. 도 25의 (A)에서, W 는 채널 폭을 나타내고, 산화물 반도체막은 $W/2$ 의 두께를 갖는다.
- [0399] 도 25의 (B)는, 본 발명의 일 형태인, 산화물 반도체막의 상단부가 둥그스름한 트랜지스터(이하, 이런 트랜지스터를 반원 구조를 갖는 트랜지스터라고도 함)의 채널 폭 방향에서의 단면도다. 도 25의 (B)에서, r 은 곡률반경을 나타내고 $r=W/2$ 다.
- [0400] 사각형 구조를 갖는 트랜지스터의 유효 채널 폭은 $2W$ (측면과 상면의 합)다. 반원 구조를 갖는 트랜지스터의 유효 채널 폭은 $1.57W$ (반원의 원주, $\pi r=\pi W/2=1.57W$)다. 사각형 구조를 갖는 트랜지스터에 대한 반원 구조를 갖는 트랜지스터의 유효 채널 폭(W)의 비율은 0.785이다.
- [0401] 도 26은 도 25의 (A) 및 (B)에 도시된 트랜지스터의 채널 길이 방향에서의 단면도다. 도 26에서, L 은 채널 길이를 나타낸다.
- [0402] 다음에 계산 조건을 설명한다.
- [0403] 계산은 표 1에 나타난 조건하에서 Sentaurus 장치(Synopsys, Inc.제)를 사용하여 수행하였다.

표 1

사이즈	채널 길이 L	40nm
	채널 폭 W	40nm
GI	유전율	4.1
	두께	10nm
OS	조성비	IGZO(111)
	전자 친화력	4.6eV
	E_g	3.2eV
	유전율	15
	채널부에서의 도너 밀도	$6.60E-9cm^{-3}$
	소스 전극 및 드레인 전극 아래의 도너 밀도	$5.00E+18cm^{-3}$
	전자 이동도	$15cm^2/Vs$
	정공 이동도	$0.01cm^2/Vs$
	N_c	$5.00E+18cm^{-3}$
	N_v	$5.00E+18cm^{-3}$
하지 절연막	두께	20nm
	유전율	4.1
GE	두께	400nm
	일함수	5eV
S/D	일함수	4.6eV

- [0404]
- [0405] 도 27은 0.1V의 드레인 전압(V_d : [V])에서의 I_d - V_g 특성 및 이동도를 나타낸 것이다. 도 28은 1V의 드레인 전압(V_d : [V])에서의 I_d - V_g 특성 및 이동도를 나타낸 것이다.
- [0406] 도 27 및 도 28에서, 반원 구조를 갖는 트랜지스터의 상승 전압(I_d - V_g 특성 중 하나)은 사각형 구조를 갖는 트랜지스터보다 가파르다. 또한, 유효 채널 폭(W)을 사용하여 계산된 반원 구조를 갖는 트랜지스터의 이동도는 사각형 구조를 갖는 트랜지스터보다 높다.
- [0407] 표 2는 도 27 및 도 28로부터 얻어진 특성의 값을 비교한 것이다.

표 2

	사각형 구조	반원 구조
문턱 전압($V_d=1$)	-0.518 V	-0.443 V
온 상태 전류 ($V_d=1$, V_g =문턱 전압+3 V)	18.4 μ A	16.4 μ A
S값 ($V_d=0.1$)	198mV/dec	177mV/dec
이동도($V_d=0.1$)	14.3cm ² /Vs	15.6cm ² /Vs

[0408]

[0409]

온 상태 전류를 빼고, 특성에서 반원 구조를 갖는 트랜지스터는 사각형 구조를 갖는 트랜지스터보다 뛰어난 것을 표 2로부터 찾았다. 사각형 구조를 갖는 트랜지스터에 대한 반원 구조를 갖는 트랜지스터의 온 상태 전류 비는 0.892이어서, 유효 채널 폭(W)의 0.785보다 높다. 즉, 사각형 구조를 갖는 트랜지스터의 채널부보다 반원 구조를 갖는 트랜지스터의 채널부에서 전자가 유기되기 쉽다.

[0410]

유효 채널 폭(W)과 온 상태 전류 사이의 관계가, 전자가 사각형 구조를 갖는 트랜지스터의 채널부보다 반원 구조를 갖는 트랜지스터의 채널부에서 유기되기 쉬운 이유 중 하나일 것이다. 온 상태 전류는 게이트 절연막의 용량(이하, GI 용량이라고도 함)에 비례한다고 생각하였지만, 반원 구조를 갖는 트랜지스터의 GI 용량은 평행판 커패시터에 의하여 나타내어지지 않고 이하의 식으로 대략 나타내어진다.

[0411]

[식 1]

$$C_r = \varepsilon \frac{\pi}{\ln(1 + \frac{t_{GI}}{t_{OS}})}$$

[0412]

[0413]

식 1에서, C_r 은 반원 구조를 갖는 트랜지스터의 단위 채널 길이당 GI 용량을 나타내고, ε 은 게이트 절연막의 유전율을 나타내고, t_{GI} 는 게이트 절연막의 두께를 나타내고, t_{OS} 는 산화물 반도체막의 두께를 나타낸다.

[0414]

반원 구조를 갖는 트랜지스터에서, GI 용량은 유효 채널 폭($W(\pi t_{OS})$)에 비례하지 않고, 온 상태 전류는 유효 채널 폭(W)의 비율을 사용하여 얻어질 수 없다.

[0415]

한편, 사각형 구조를 갖는 트랜지스터의 단위 채널 길이당 GI 용량은 이하의 식으로 대략 나타내어진다.

[0416]

[식 2]

$$C_s = \varepsilon \frac{4t_{OS}}{t_{GI}}$$

[0417]

[0418]

GI 용량의 비율은 반드시 온 상태 전류를 얻기 위하여 사용될 필요가 있다. 사각형 구조를 갖는 트랜지스터(식 2로부터 얻어짐)에 대한 반원 구조를 갖는 트랜지스터(식 1로부터 얻어짐)의 GI 용량비인 C_r/C_s 는 0.968 정도이고, 0.785의 유효 채널 폭(W) 비율보다 크다. 이 추산은 근사적인 값이며, 계산에 의하여 얻어진 비율과 일치하지 않지만, 추산으로부터 사각형 구조를 갖는 트랜지스터의 채널부보다 반원 구조를 갖는 트랜지스터의 채널부에서 전자가 유기되기 더 쉬워진다고 말할 수 있다.

[0419]

<참고예>

[0420]

본 참고예에서, CAAC-OS막을 사용하는 트랜지스터가 단채널 효과에 대하여 충분한 저항을 갖는 점을 설명한다.

[0421]

특성 길이(characteristic length)는 단채널 효과에 대한 저항의 지표로서 널리 사용된다. 특성 길이는 채널부에서의 퍼텐셜의 곡선의 지표다. 특성 길이가 짧아질수록 퍼텐셜이 더 가파르게 상승되고, 이는 단채널 효과에 대한 저항이 높은 것을 의미한다.

[0422]

CAAC-OS막을 사용하는 트랜지스터는 축적형 트랜지스터다. CAAC-OS막을 사용하는 트랜지스터가 단채널 효과에 대한 저항이 있는 이유는 축적형 트랜지스터의 특성 길이가 채널이 반전형 트랜지스터에 형성되는 트랜지스터보

다 짧기 때문일 것이다.

[0423] 트랜지스터의 구조를 도 36의 개략도를 사용하여 자세히 설명한다. 또한, ϵ_s 는 반도체막의 유전율을 나타내고, ϵ_{ox} 는 게이트 절연막의 유전율을 나타내고, t_s 는 반도체막의 두께를 나타내고, t_{ox} 는 게이트 절연막의 두께를 나타낸다.

[0424] 먼저, n채널 반전형 트랜지스터의 채널부에서의 퍼텐셜은 푸아송의 방정식을 풀으로써 얻어진다. 도 36에서, 가우스의 법칙이 반도체막에서 채널부가 되는 영역인, 사선으로 어둡게 한 좁은 부분($x \sim (x+dx)$)에 적용되어, 이하의 식을 얻었다.

[0425] [식 3]

$$-\epsilon_s t_s \left[-\frac{d\phi(x)}{dx} + \frac{d\phi(x+dx)}{dx} \right] - \epsilon_{ox} \frac{V_G - V_{FB} - \phi(x)}{t_{ox}} dx = -e N_A t_s dx$$

[0427] $\phi(x)$ 는 위치(x)에서의 퍼텐셜(표면 퍼텐셜)을 나타내고, $\phi(x+dx)$ 는 위치($x+dx$)에서의 퍼텐셜(표면 퍼텐셜)을 나타내고, V_G 는 게이트 전압을 나타내고, V_{FB} 는 플랫밴드 전압을 나타내고, e 는 기본 전하를 나타내고, N_A 는 억셉터 밀도를 나타낸다.

[0428] 식 3을 정리하여 이하의 식을 낸다.

[0429] [식 4]

$$\frac{d^2\phi(x)}{dx^2} + \frac{\epsilon_{ox}}{\epsilon_s t_s t_{ox}} \left[V_G - V_{FB} - \phi(x) - \frac{e N_A t_s t_{ox}}{\epsilon_{ox}} \right] = 0$$

[0431] 식 5를 식 4에 대입하여 식 6을 얻었다.

[0432] [식 5]

$$\frac{1}{l^2} = \frac{\epsilon_{ox}}{\epsilon_s t_s t_{ox}}$$

[0434] [식 6]

$$\frac{d^2\phi(x)}{dx^2} - \frac{1}{l^2} \phi(x) + \frac{1}{l^2} \left(V_G - V_{FB} - \frac{e N_A t_s t_{ox}}{\epsilon_{ox}} \right) = 0$$

[0436] 식 6의 일반해는 식 7을 사용하여 얻어져, 식 8이 얻어진다.

[0437] [식 7]

$$V_L = V_G - V_{FB} - \frac{e N_A t_s t_{ox}}{\epsilon_{ox}}$$

[0439] [식 8]

$$\phi(x) = A \exp(x/l) + B \exp(-x/l) + V_L$$

[0441] 퍼텐셜($\phi(x)$)은 이하의 경계 조건을 만족시킨다.

[0442] [식 9]

$$\begin{cases} \phi(0) = V_{bi} \\ \phi(L) = V_{bi} + V_{DS} \end{cases}$$

[0444] 상술한 경계 조건을 만족시키는 계수 A와 B가 얻어지고, 정리하여 미분 방정식의 특해를 낸다. 퍼텐셜($\phi(x)$)

은 이하와 같다.

[식 10]

$$\phi(x) = V_L + \frac{1}{\sinh\left(\frac{L}{l}\right)} \left[(V_{bi} - V_{DS} - V_L) \sinh\left(\frac{x}{l}\right) + (V_{bi} - V_L) \sinh\left(\frac{L-x}{l}\right) \right]$$

상기 식에 $x=0$ 또는 $x=L$ 을 대입함으로써 식 10이 식 9에서의 경계 조건을 만족하는 것이 쉽게 확인된다.

식 10에서, l 은 퍼텐셜의 곡선의 지표인 특성 길이를 나타낸다. 특성 길이가 짧아질수록 FET에서의 채널부의 퍼텐셜은 더 가파르게 변화된다.

그러므로 반전형 트랜지스터의 특성 길이는 이하와 같다.

[식 11]

$$\frac{1}{l^2} = \frac{\varepsilon_{OX}}{\varepsilon_S t_S t_{OX}}$$

다음에 축적형 트랜지스터(이 범주에 CAAC-OS막을 사용하는 트랜지스터를 포함함)를 비슷한 방법으로 고찰하고, 축적형 트랜지스터 및 반전형 트랜지스터의 특성 길이들을 비교한다. 상술한 바와 같이, 가우스의 법칙이 반도체 채널에서 채널부가 되는 영역인 좁은 부분($x \sim (x+dx)$)에 적용되어, 이하의 식을 얻었다.

[식 12]

$$-\varepsilon_S t_S \left[-\frac{d\phi(x)}{dx} + \frac{d\phi(x+dx)}{dx} \right] - \varepsilon_{OX} \frac{V_G - V_{FB} - \phi(x)}{t_{OX}} dx = -en_i \exp\left(\frac{e(\phi(x) - \phi_F)}{k_B T}\right) t_S dx$$

식 12에서, n_i 는 진성 캐리어 밀도를 나타내고, k_B 는 볼츠만상수를 나타내고, ϕ_F 는 페르미 전위를 나타낸다.

식 12를 정리하여 이하의 식을 낸다.

[식 13]

$$\frac{d^2 \phi(x)}{dx^2} + \frac{1}{l^2} [V_G - V_{FB} - \phi(x)] = \frac{e}{\varepsilon_S} n_i \exp\left(\frac{e(\phi(x) - \phi_F)}{k_B T}\right)$$

또한, l 은 반전형 트랜지스터의 특성 길이와 동등하다.

식 13의 오른쪽은 이하에서 든 근사식(식 14)을 사용하여 전개되어, 식 15를 낸다.

[식 14]

$$x = x_1 + x', \quad \phi(x) = \phi_1 + \Delta\phi(x') \quad (\phi_1 = \phi(x_1))$$

$$(\text{다만 } \phi_1 = \phi(x_1))$$

[식 15]

$$\begin{aligned} & \frac{d^2 \Delta\phi(x')}{dx'^2} + \frac{1}{l^2} [V_G - V_{FB} - \phi_1 - \Delta\phi(x')] \\ &= \frac{e}{\varepsilon_S} n_i \exp\left(\frac{e(\phi_1 - \phi_F)}{k_B T}\right) \exp\left(\frac{e\Delta\phi(x')}{k_B T}\right) = \frac{e}{\varepsilon_S} n_1 \exp\left(\frac{e\Delta\phi(x')}{k_B T}\right) \approx \frac{e}{\varepsilon_S} n_1 \left[1 + \frac{e\Delta\phi(x')}{k_B T} \right] \end{aligned}$$

식 15에서, n_1 은 위치(x_1)에서의 캐리어 밀도를 나타낸다. 식 16과 식 17을 식 15에 대입함으로써 식 18을

낸다.

[식 16]

$$\frac{1}{\lambda_1^2} = \frac{e^2 n_1}{\epsilon_s k_B T}$$

[식 17]

$$n_1 = n_i \exp\left(\frac{e(\phi_1 - \phi_F)}{k_B T}\right)$$

[식 18]

$$\frac{d^2 \Delta \phi(x')}{dx'^2} - \left(\frac{1}{l^2} + \frac{1}{\lambda_1^2} \right) \Delta \phi(x') + \frac{1}{l^2} (V_G - V_{FB} - \phi_1) - \frac{e}{\epsilon_s} n_1 = 0$$

식 18은 식 19를 사용하여 정리되어 식 20을 낸다.

[식 19]

$$\frac{1}{l'^2} = \frac{1}{l^2} + \frac{1}{\lambda_1^2}$$

[식 20]

$$\frac{d^2 \Delta \phi(x')}{dx'^2} - \frac{1}{l'^2} \Delta \phi(x') + \frac{1}{l'^2} \left[\frac{l'^2}{l^2} (V_G - V_{FB} - \phi_1) - l'^2 \frac{e}{\epsilon_s} n_1 \right] = 0$$

식 20은 점(x_1)의 근방에서만 효과적이다.

결과적으로, 점(x_1)의 근방에서의 축적형 트랜지스터의 특성 길이는 이하와 같다.

[식 21]

$$\frac{1}{l'^2} = \frac{\epsilon_{OX}}{\epsilon_s t_s t_{OX}} + \frac{e^2 n_1}{\epsilon_s k_B T}$$

반전형 트랜지스터와 축적형 트랜지스터를 비교하기 위하여, 반전형 트랜지스터의 특성 길이(l)를 $l(inv)$ 로 표시하고, 축적형 트랜지스터의 특성 길이(l')를 $l(acc)$ 로 표시한다. 특성 길이를 비교한다.

[식 22]

$$\begin{cases} \frac{1}{l(inv)^2} = \frac{\epsilon_{OX}}{\epsilon_s t_s t_{OX}} \\ \frac{1}{l(acc)^2} = \frac{\epsilon_{OX}}{\epsilon_s t_s t_{OX}} + \frac{e^2 n_1}{\epsilon_s k_B T} \end{cases}$$

식 22에 따르면 $l(inv) > l(acc)$ 을 알 수 있다.

축적형 트랜지스터의 특성 길이($l(acc)$)의 얻어진 값은 점(x_1)에 따라 변동되지만, 축적형 트랜지스터의 특성 길이는 반전형 트랜지스터보다 어느 경우에도 짧다. 또한, 전자 밀도가 소스 및 드레인 가까이에서 증가되기 때문에 퍼텐셜이 더 가파르게 상승된다.

상술한 바와 같이, 축적형 트랜지스터의 특성 길이는 반전형 트랜지스터보다 짧은 것을 찾았다.

부호의 설명

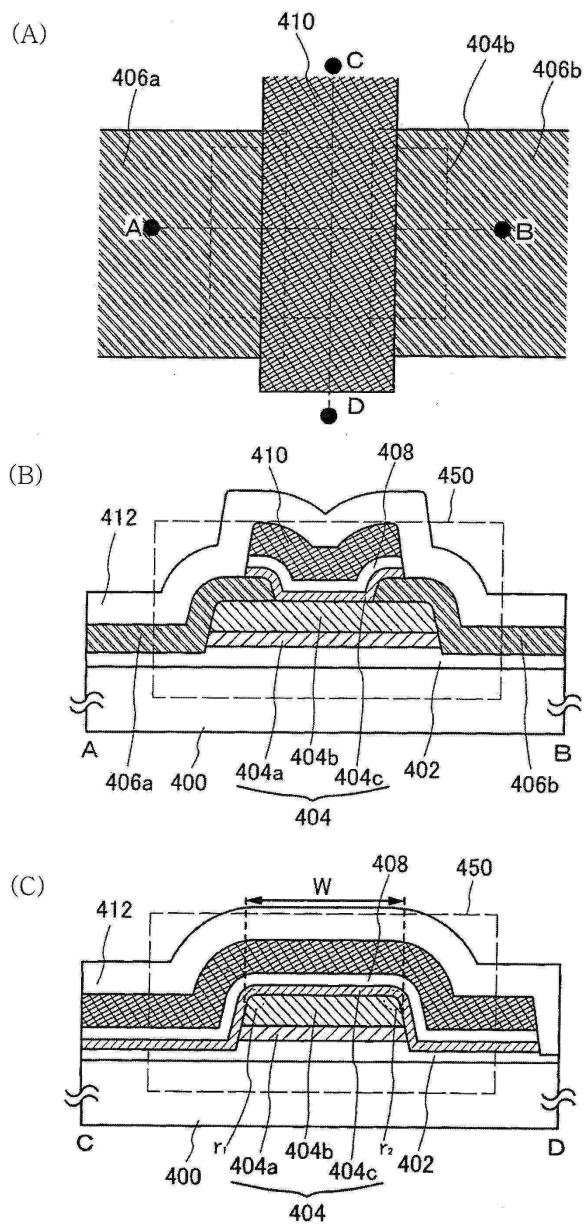
[0487]

110: 기관, 120: 하지 절연막, 137: 채널 영역, 138: 채널 영역, 160: 게이트 절연막, 170: 게이트 전극, 210: 기관, 220: 하지 절연막, 230: 산화물 반도체막, 260: 게이트 절연막, 270: 게이트 전극, 400: 기관, 402: 하지 절연막, 403a: 제 1 산화물막, 403b: 산화물 반도체막, 403c: 제 2 산화물막, 404: 다층막, 404a: 제 1 산화물막, 404b: 산화물 반도체막, 404c: 제 2 산화물막, 405a: 도전막, 405b: 도전막, 406a: 소스 전극, 406b: 드레인 전극, 407: 절연막, 408: 게이트 절연막, 409: 도전막, 410: 게이트 전극, 412: 산화물 절연막, 414: 배리어막, 416: 측벽 절연막, 418: 측벽 절연막, 419a: 전극, 419b: 전극, 420a: 배선, 420b: 배선, 435: 경계, 450: 트랜지스터, 460: 트랜지스터, 470: 트랜지스터, 550: 트랜지스터, 560: 트랜지스터, 570: 트랜지스터, 580: 트랜지스터, 602: 포토다이오드, 640: 트랜지스터, 656: 트랜지스터, 658: 포토다이오드 리셋 신호, 659: 게이트 신호선, 672: 포토 센서 기준 신호선, 700: 기억 소자, 701: 회로, 702: 회로, 703: 스위치, 704: 스위치, 706: 논리 소자, 707: 커패시터, 708: 커패시터, 709: 트랜지스터, 710: 트랜지스터, 713: 트랜지스터, 714: 트랜지스터, 720: 회로, 1189: ROM 인터페이스, 1190: 기관, 1191: ALU, 1192: ALU 컨트롤러, 1193: 인스트럭션 디코더, 1194: 인터럽트 컨트롤러, 1195: 타이밍 컨트롤러, 1196: 레지스터, 1197: 레지스터 컨트롤러, 1198: 버스 인터페이스, 1199: ROM, 2200: 트랜지스터, 2201: 절연막, 2202: 배선, 2203: 플러그, 2204: 절연막, 2205: 배선, 2206: 배선, 3001: 배선, 3002: 배선, 3003: 배선, 3004: 배선, 3005: 배선, 3200: 트랜지스터, 3300: 트랜지스터, 3400: 커패시터, 8000: 텔레비전 장치, 8001: 하우징, 8002: 표시부, 8003: 스피커부, 8004: CPU, 8100: 경보 장치, 8101: 마이크로 컴퓨터, 8102: 센서부, 8200: 실내기, 8201: 하우징, 8202: 공기출구, 8203: CPU, 8204: 실외기, 8300: 전기 냉동 냉장고, 8301: 하우징, 8302: 냉장실용 도어, 8303: 냉동실용 도어, 8304: CPU, 9700: 전기 자동차, 9701: 2차 전지, 9702: 회로, 9703: 구동 장치, 9704: 처리 장치

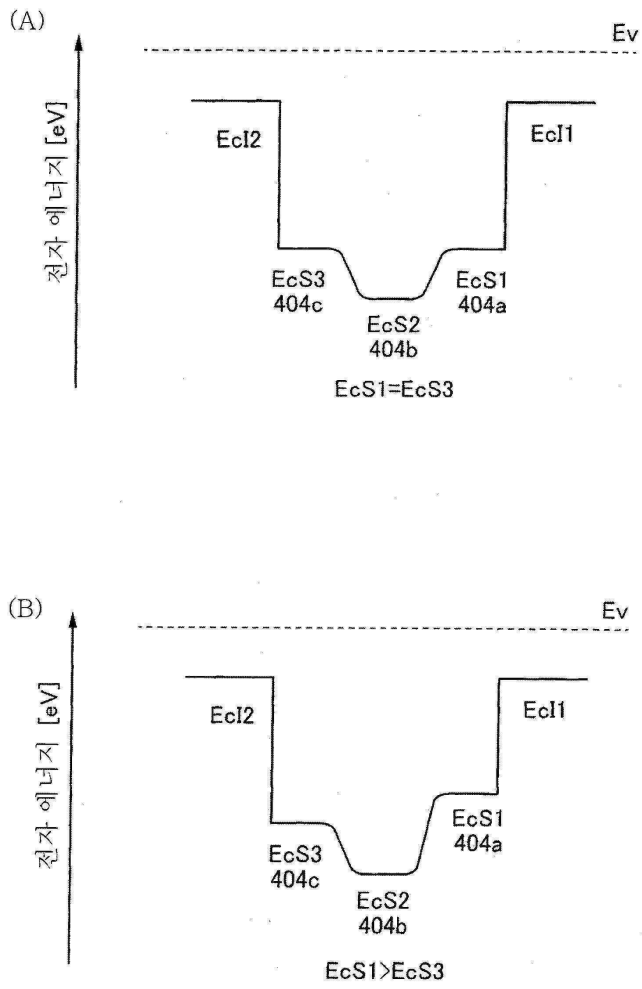
본 출원은 2013년 5월 20일에 일본 특허청에 출원된 일련 번호 2013-106284의 일본 특허 출원, 2013년 7월 16일에 일본 특허청에 출원된 일련 번호 2013-147191의 일본 특허 출원, 2013년 9월 23일에 일본 특허청에 출원된 일련 번호 2013-196300의 일본 특허 출원, 및 2014년 4월 21일에 일본 특허청에 출원된 일련 번호 2014-087067의 일본 특허 출원에 기초하고, 본 명세서에 그 전문이 참조로 통합된다.

도면

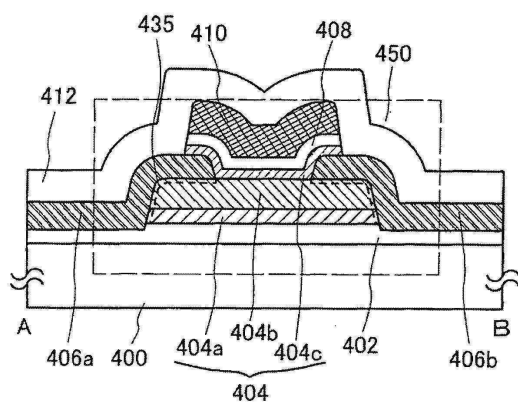
도면1



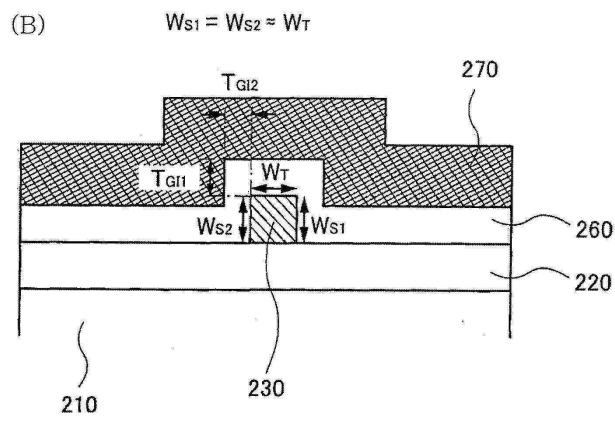
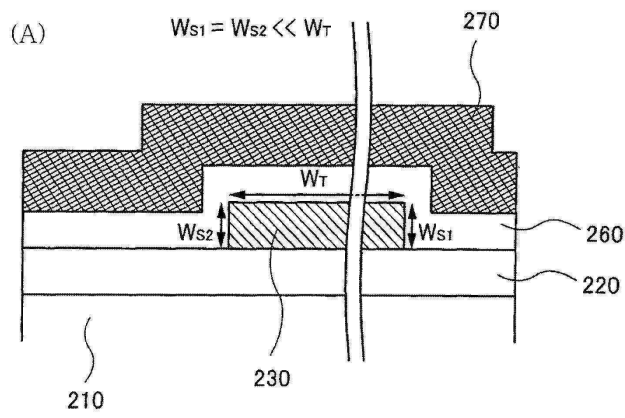
도면2



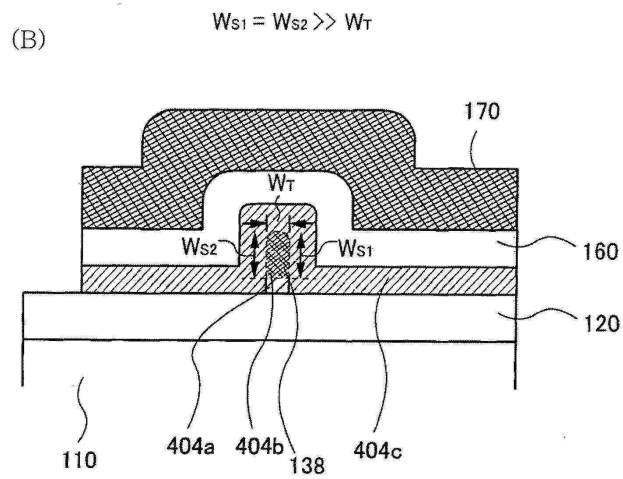
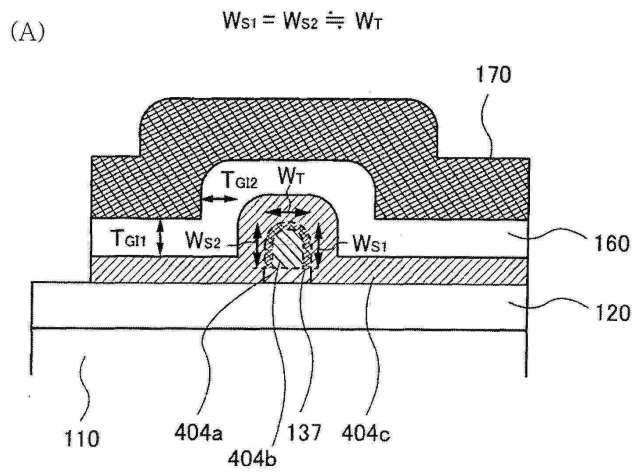
도면3



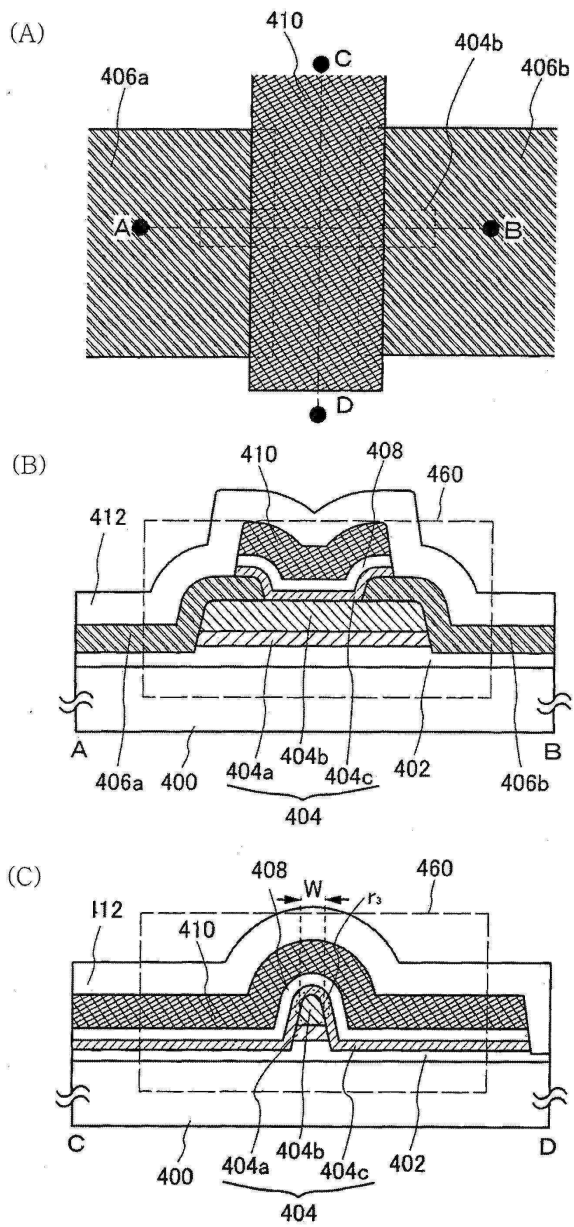
도면4



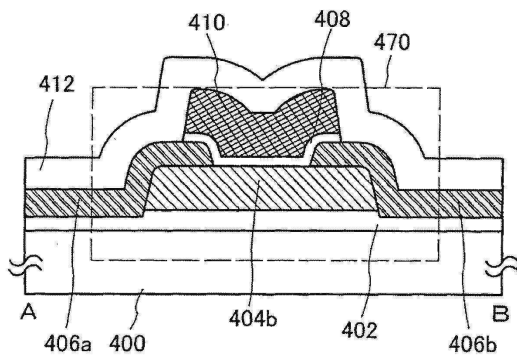
도면5



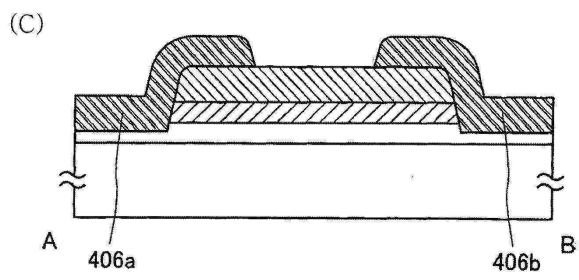
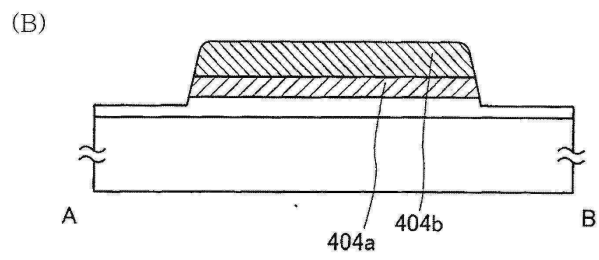
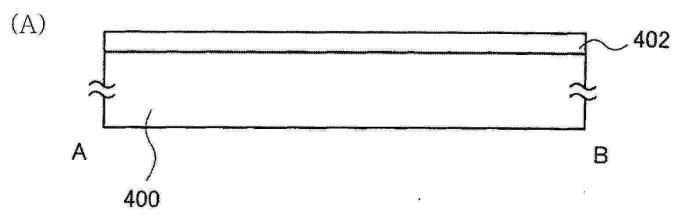
도면6



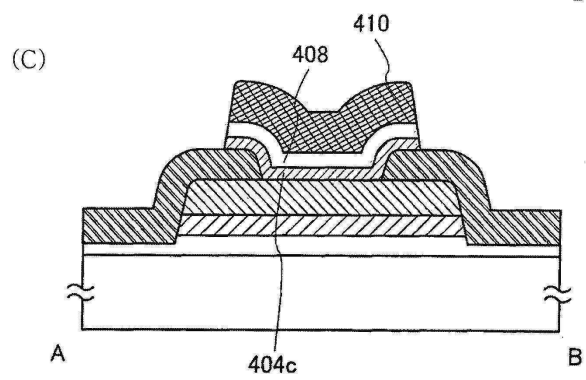
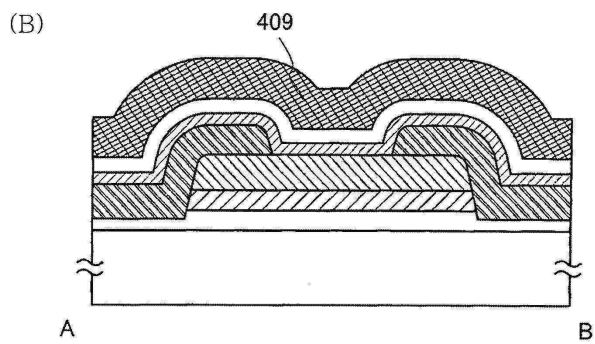
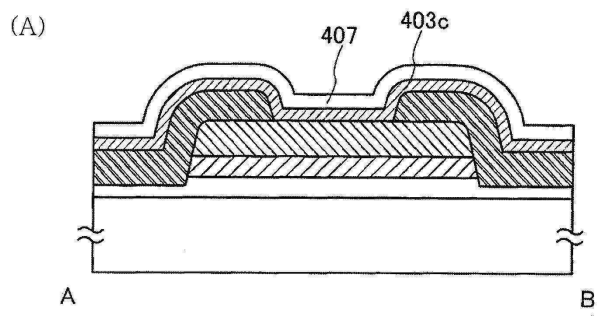
도면7



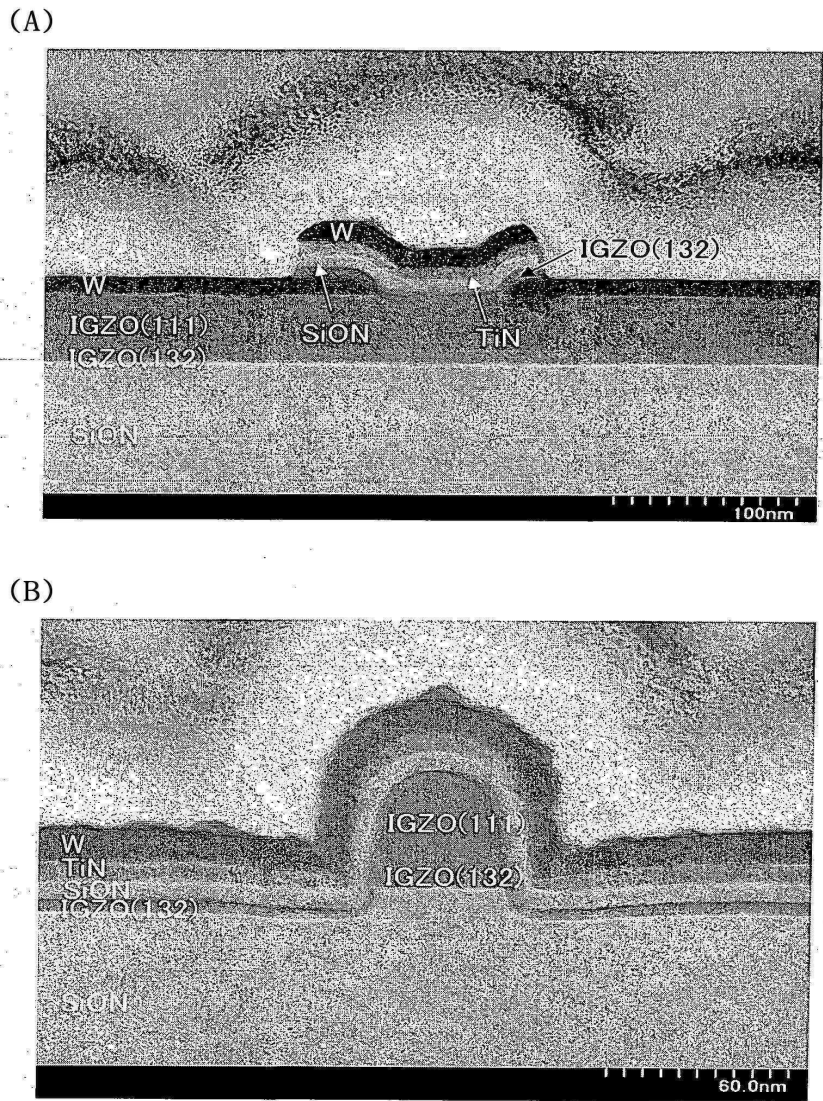
도면8



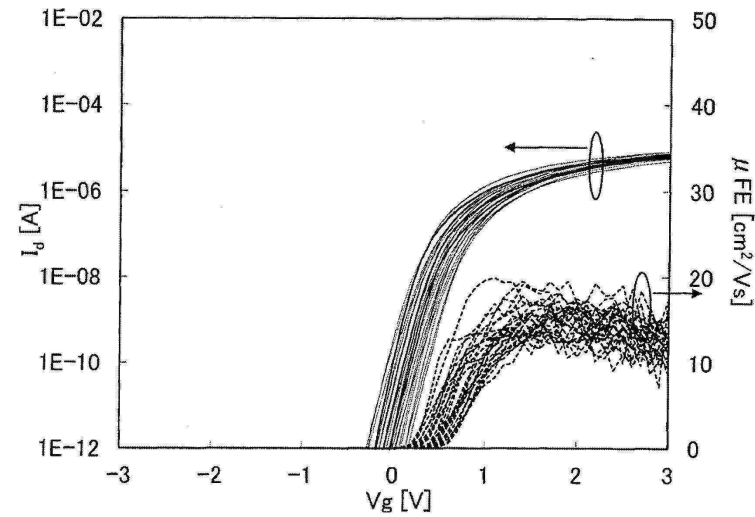
도면9



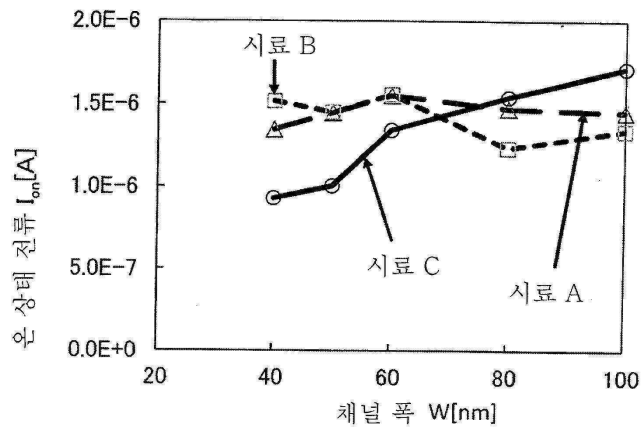
도면10



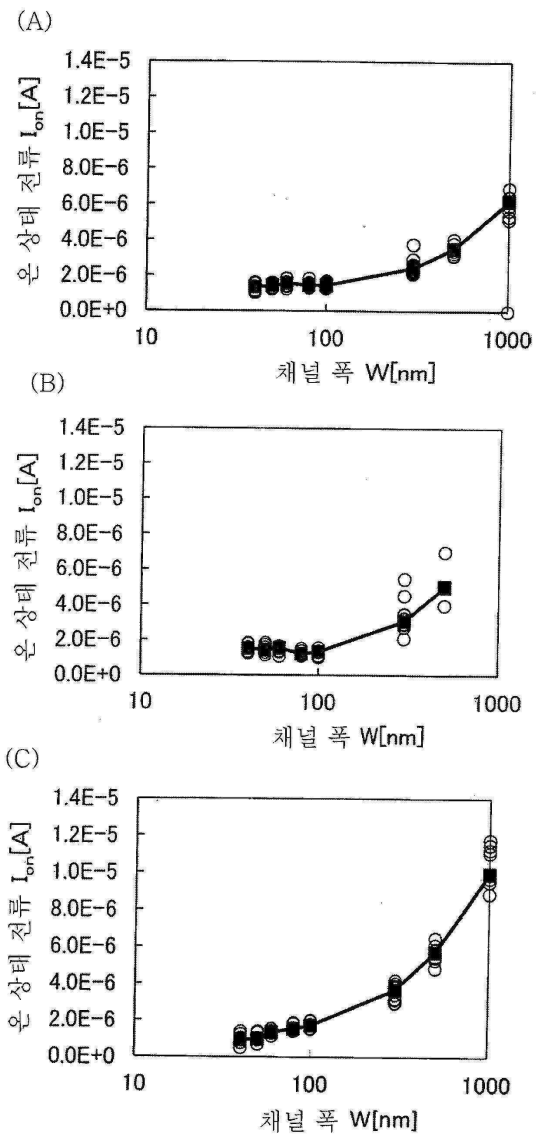
도면11



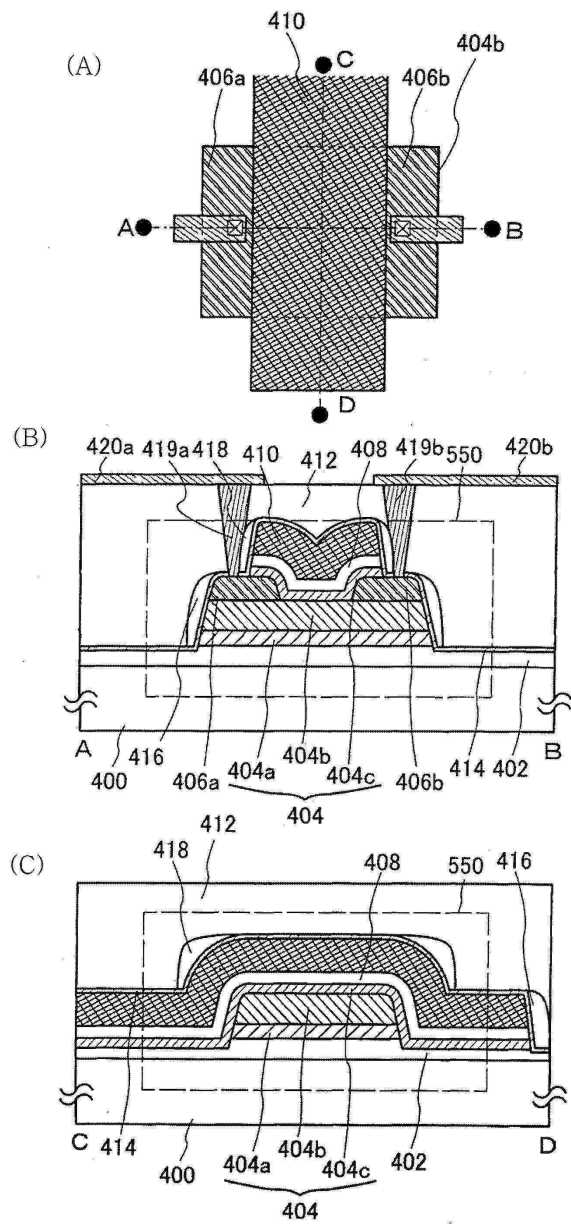
도면12



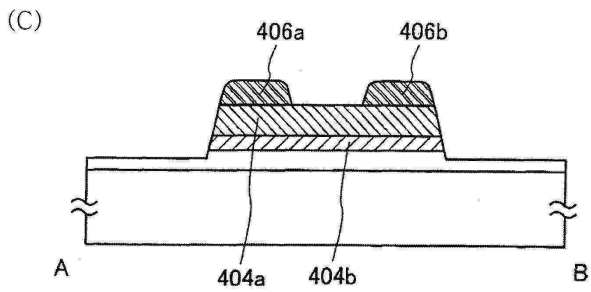
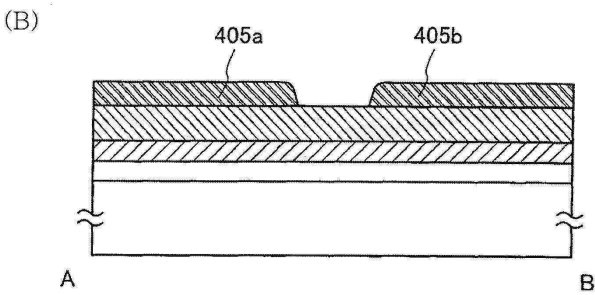
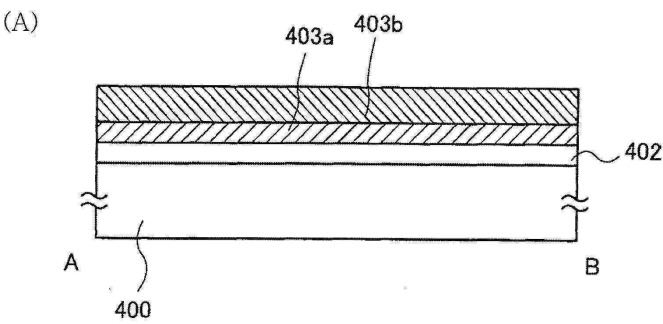
도면13



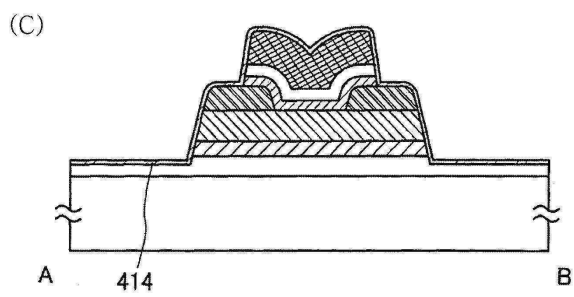
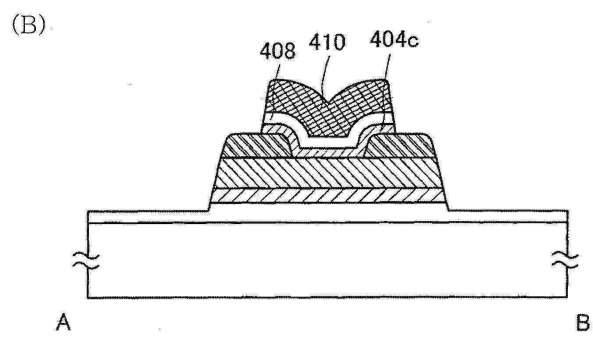
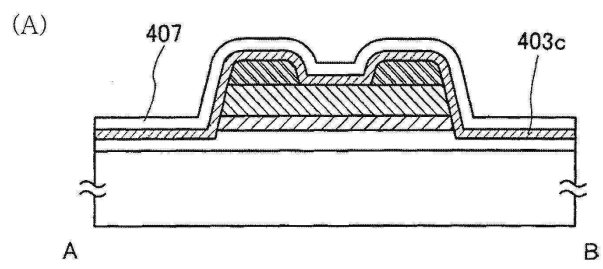
도면14



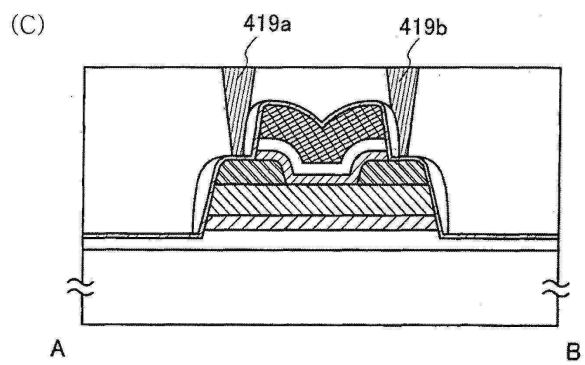
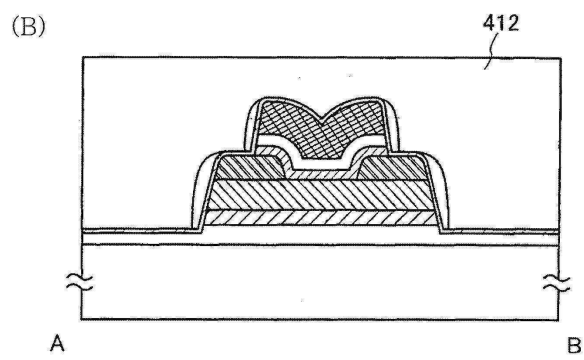
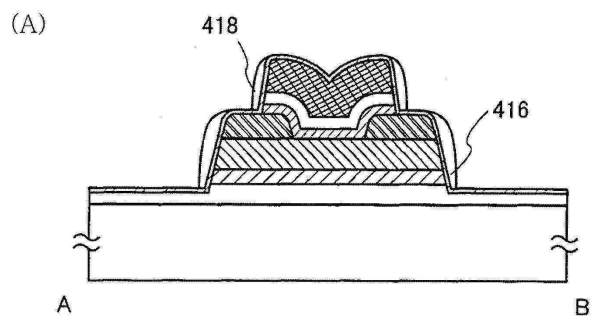
도면15



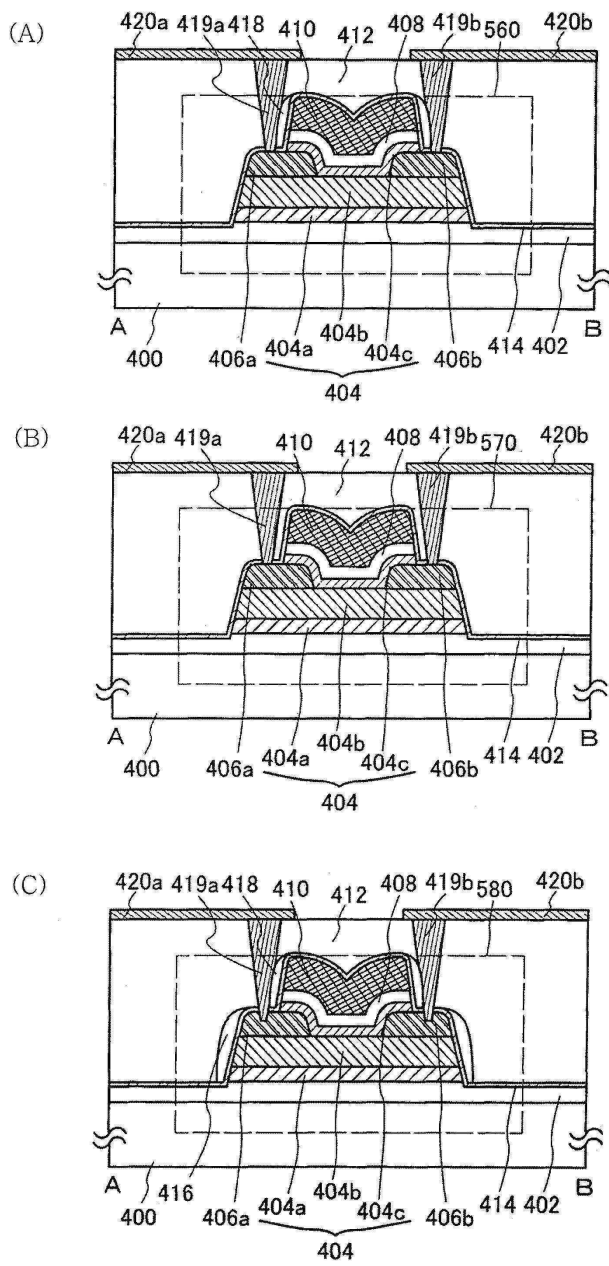
도면16



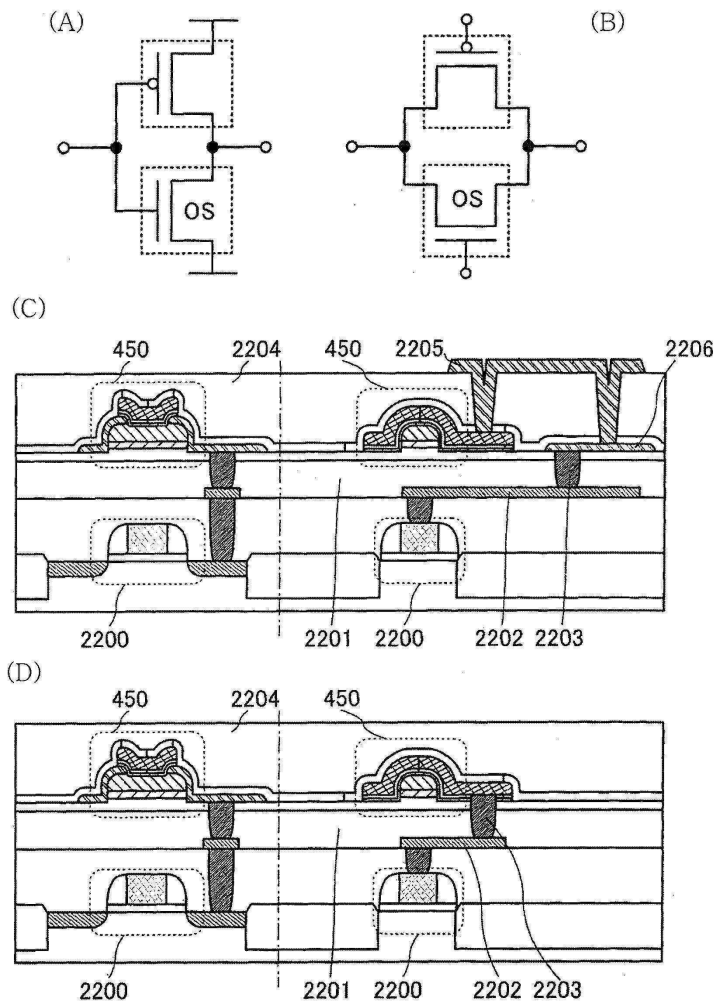
도면17



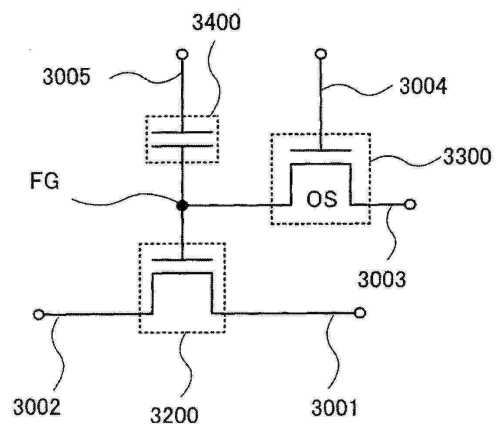
도면18



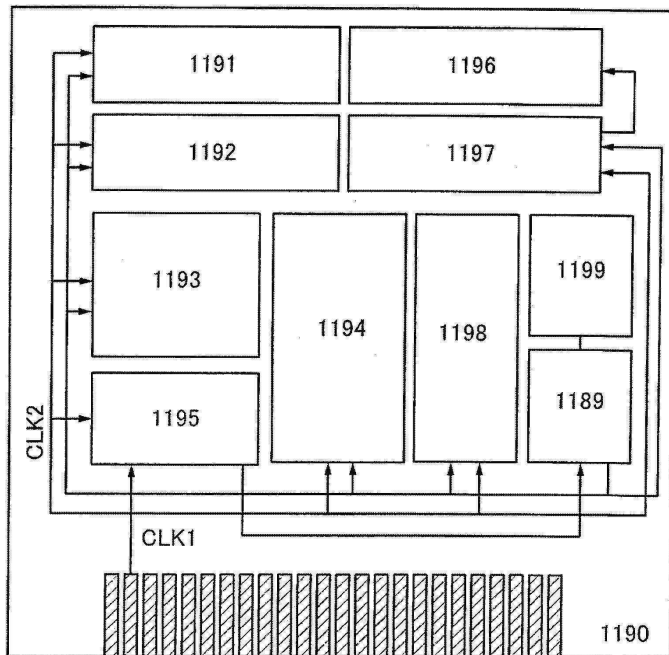
도면19



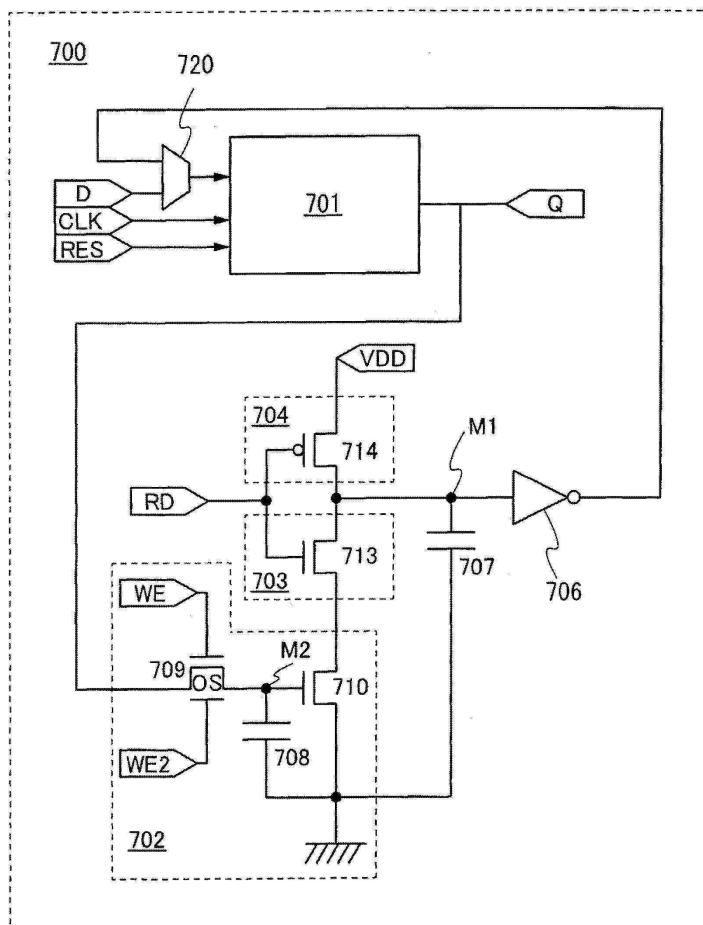
도면20



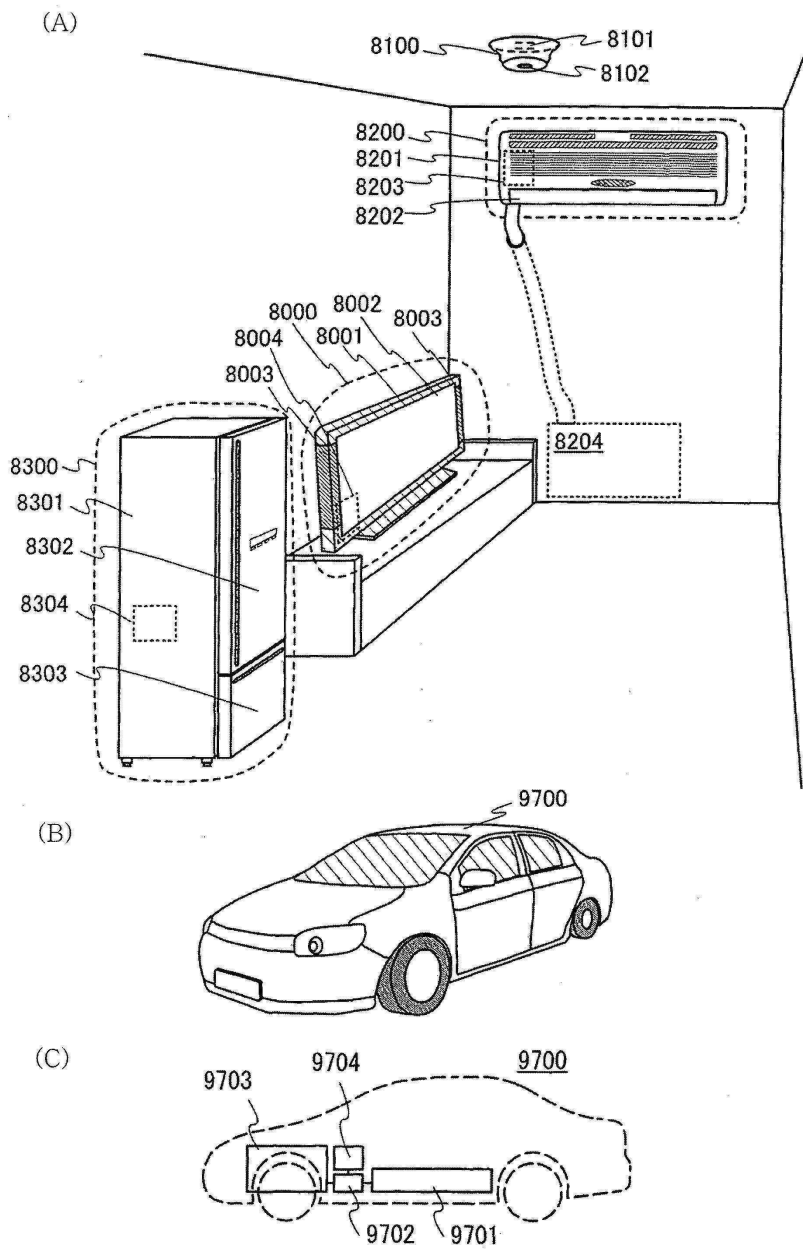
도면21



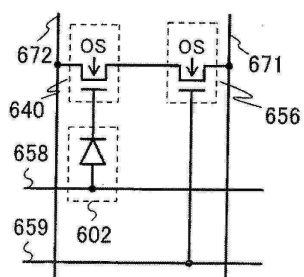
도면22



도면23

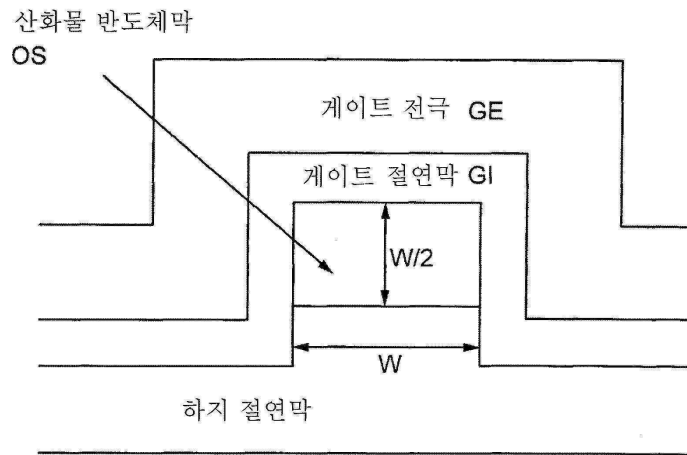


도면24

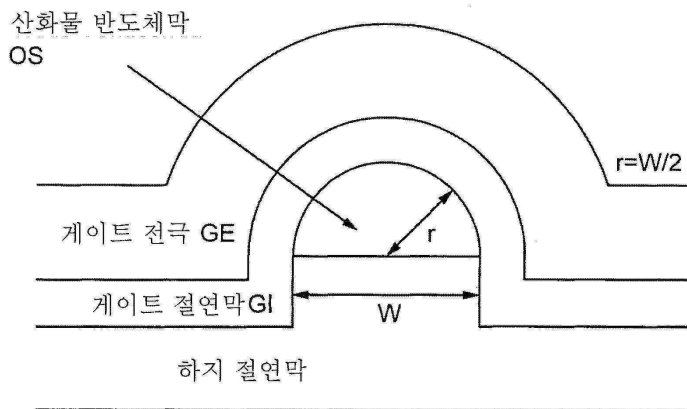


도면25

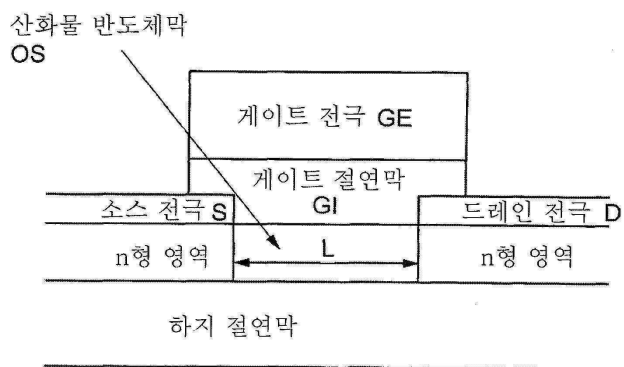
(A)



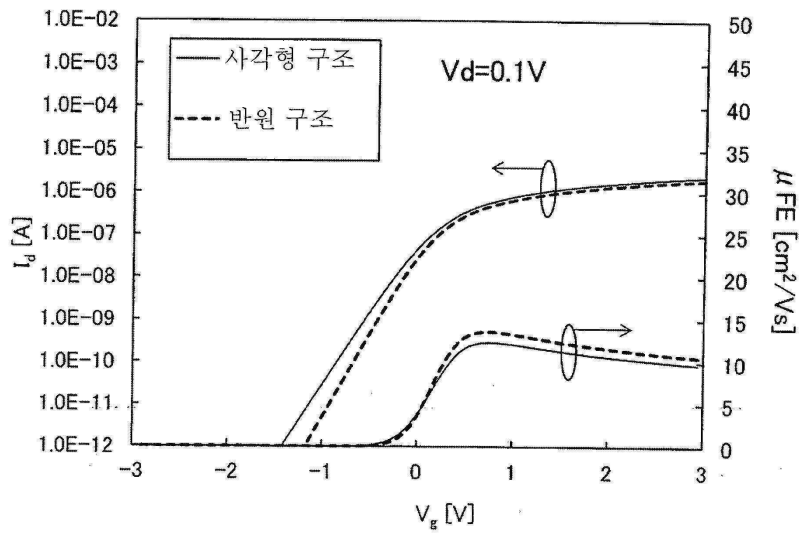
(B)



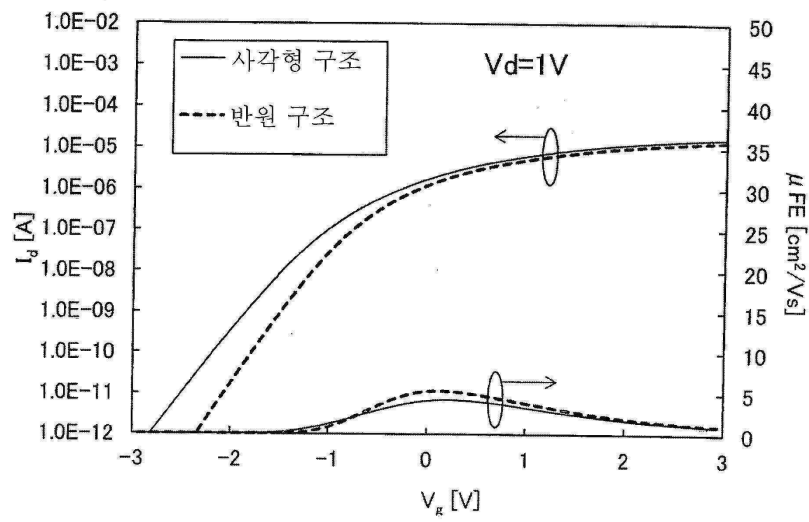
도면26



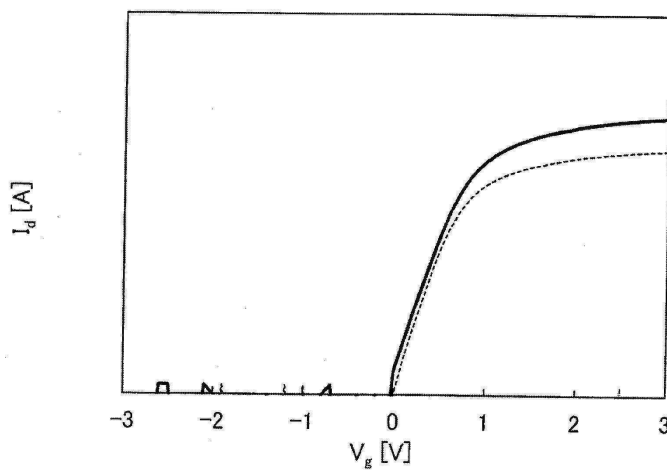
도면27



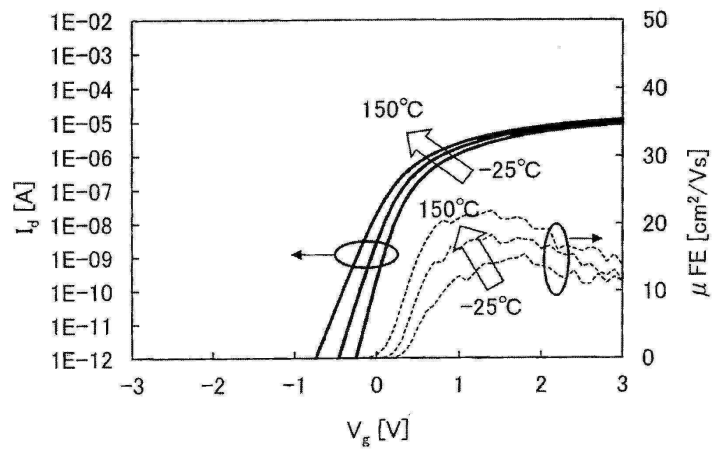
도면28



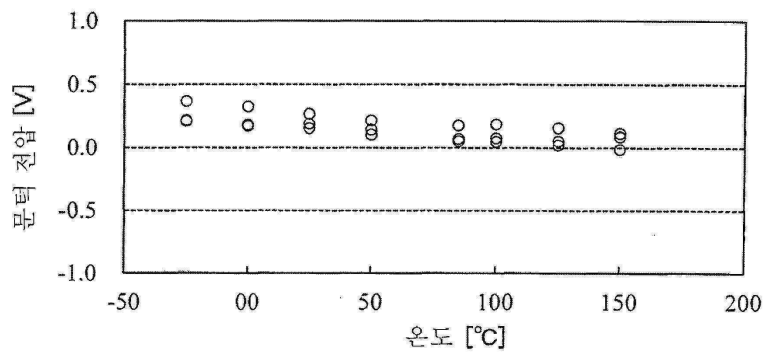
도면29



도면30

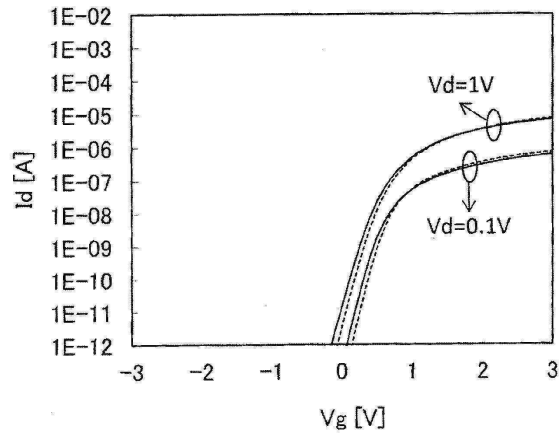


도면31

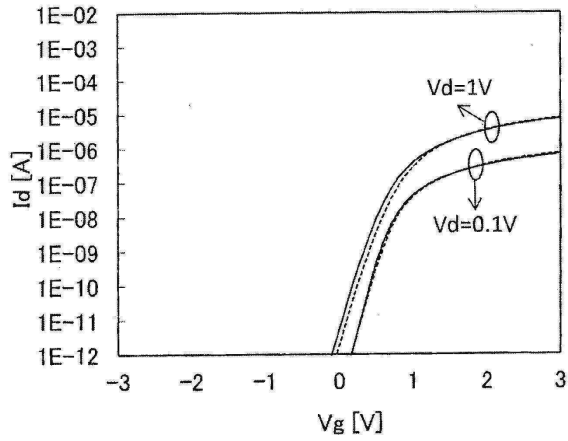


도면32

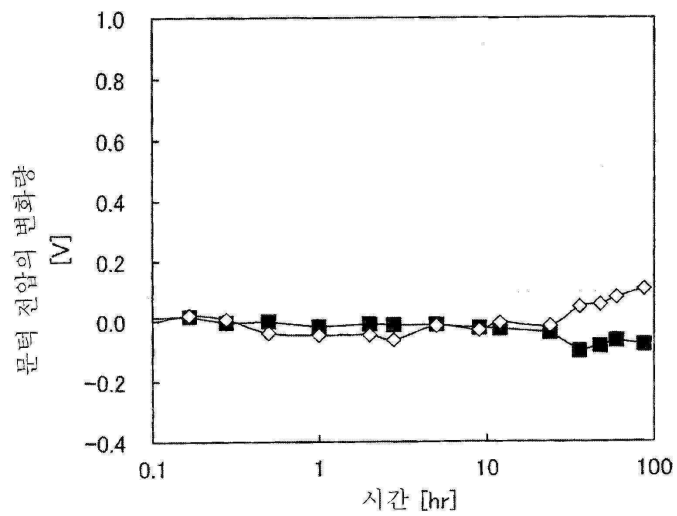
(A)



(B)

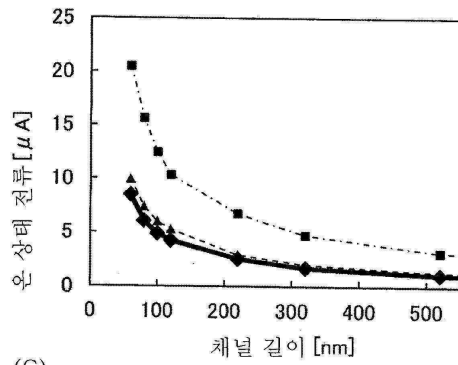


도면33

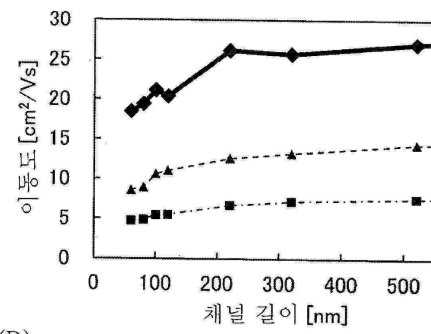


도면34

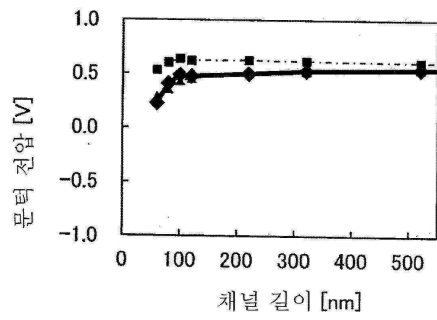
(A)



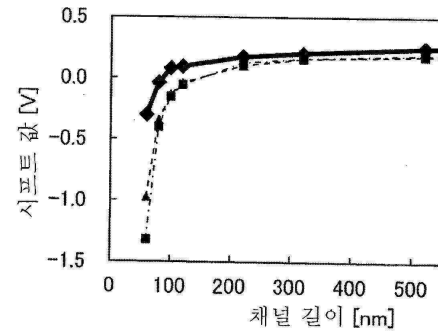
(B)



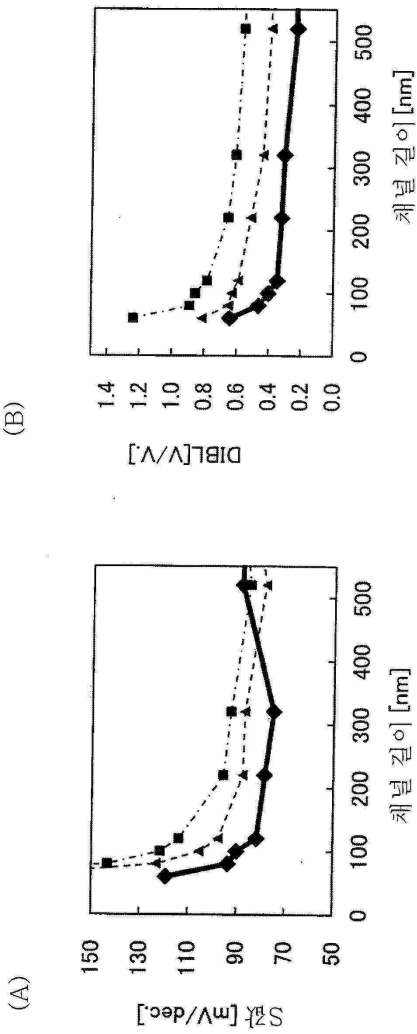
(C)



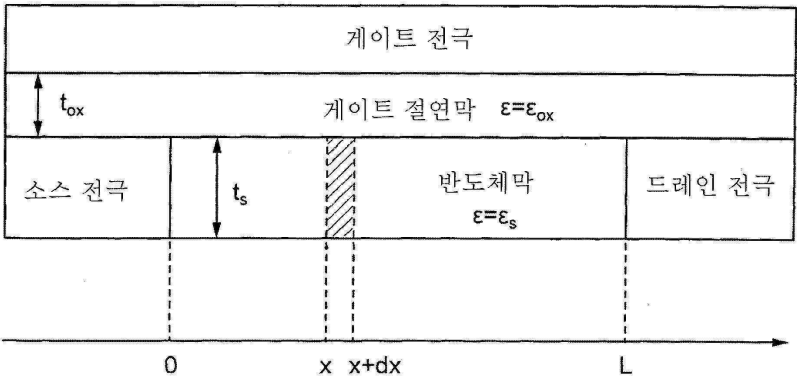
(D)



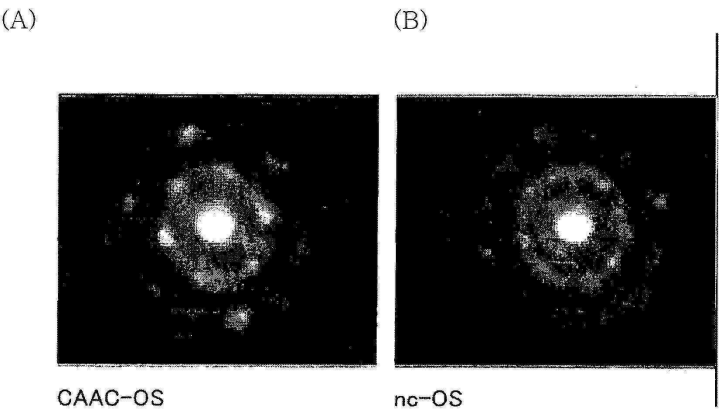
도면35



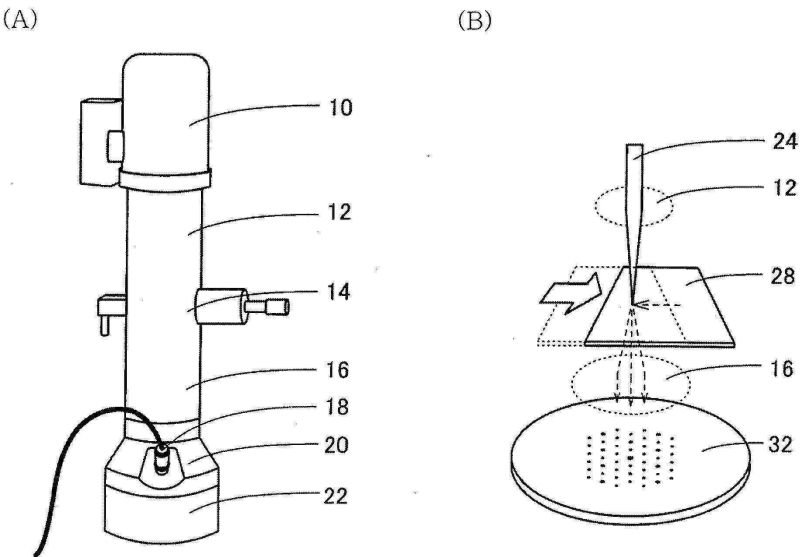
도면36



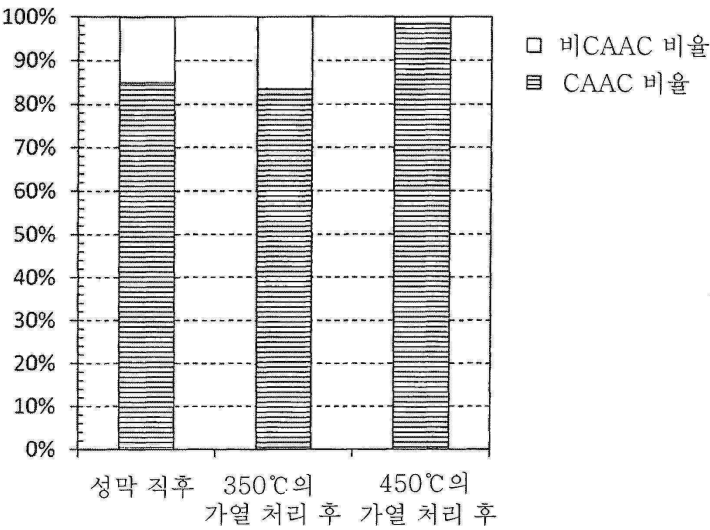
도면37



도면38

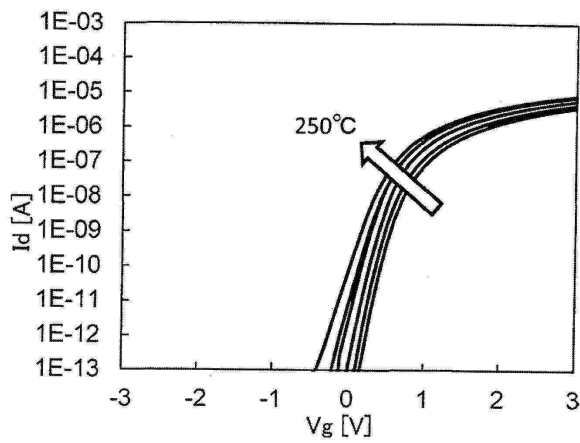


도면39

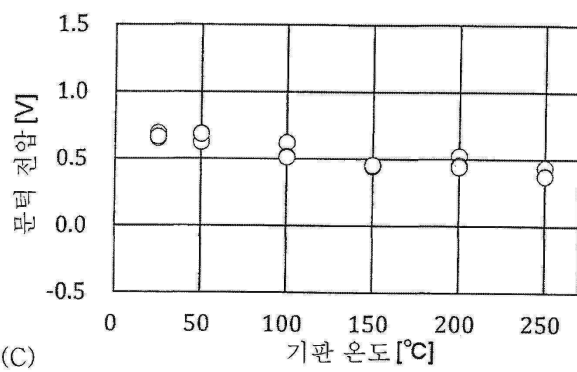


도면40

(A)



(B)



(C)

