【公報種別】特許法第１７条の２の規定による補正の掲載
【部門区分】第７部門第３区分
【発行日】平成18年1月5日(2006.1.5)

【公表番号】特表2005-504464(P2005-504464A)
【公表日】平成17年2月10日(2005.2.10)
【年通号数】公開・登録公報2005-006
【出願番号】特願2003-529444(P2003-529444)
【国際特許分類】
Ｈ０４Ｌ　13/08　　(2006.01)
【ＦＩ】
Ｈ０４Ｌ　13/08

【手続補正書】
【提出日】平成17年9月1日(2005.9.1)
【手続補正１】
【補正対象書類名】特許請求の範囲
【補正対象項目名】全文
【補正方法】変更
【補正の内容】
【特許請求の範囲】
【請求項１】
送信装置と受信装置の間においてビデオのライン・データを遅延させるための装置であって、前記ビデオのライン・データは、直前のビデオのラインの対応するデータと現在のビデオのラインの対応するデータを含んでおり、前記直前のビデオのラインの対応するデータは第１のデータ部分と第２のデータ部分を含んでおり、前記現在のビデオのラインの対応するデータは第３のデータ部分と第４のデータ部分を含んでおり、
前記装置は、
複数の記憶場所を有するシングル・ポート・ランダム・アクセス・メモリと、
前記ＲＡＭに結合される第１の記憶デバイスと前記ＲＡＭに結合される第２の記憶デバイスを含む処理装置とから成り、
前記処理装置が、
前記ＲＡＭの記憶場所の１つから前記第１のデータ部分と前記第２のデータ部分を読み出し、
前記ＲＡＭから前記第１のデータ部分を前記受信装置に出力し、
前記第１の記憶デバイスに前記第２のデータ部分を記憶し、
前記送信装置からの前記第３のデータ部分を前記第２の記憶デバイスに記憶し、
前記第２の記憶デバイスからの前記第３のデータ部分と前記送信装置からの前記第４のデータ部分を前記ＲＡＭの記憶場所の１つに書き込み、
前記第１の記憶デバイスからの前記第２のデータ部分を前記受信装置に出力するように構成されている、送信装置と受信装置の間においてビデオのライン・データを遅延させる装置。
【請求項２】
前記処理装置は、更に
前記ＲＡＭの記憶場所の１つから前記第１のデータ部分と前記第２のデータ部分を読み出し、
前記第１のデータ部分を前記受信装置に出力し、
前記第１の記憶デバイスに前記第２のデータ部分を記憶し、
前記第２の記憶デバイスに前記第３のデータ部分を記憶する処理を同時に実行し、
更に、前記処理装置は、

前記第２の記憶デバイスからの前記第３のデータ部分と前記送信装置からの前記第４のデータ部分をＲＡＭの記憶場所の１つに書き込み、
前記第１の記憶デバイスからの前記第２のデータ部分を前記受信装置に出力する処理を同時に実行する、請求項１に記載の送信装置と受信装置の間においてビデオのライン・データを遅延させる装置。
【請求項３】
前記処理装置は、更に、
ＲＡＭの記憶場所の１つから前記第１のデータ部分と前記第２のデータ部分を読み取り、
前記第１のデータ部分を前記受信装置に出力し、
前記第１の記憶デバイスに前記第２のデータ部分を記憶し、
前記第２の記憶デバイスに前記第３のデータ部分を記憶する処理を実行し、
更に、前記処理装置は、前記処理と交互に、
前記第２の記憶デバイスからの前記第３のデータ部分と前記送信装置からの前記第４のデータ部分をＲＡＭの記憶場所の１つに書き込み、
前記第１の記憶デバイスからの前記第２のデータ部分を前記受信装置に出力する処理を実行する、請求項２に記載の送信装置と受信装置の間においてビデオのライン・データを遅延させる装置。
【請求項４】
更に、前記処理装置は、
クロック信号に対応するレートで、ＲＡＭの記憶場所の１つから前記第１のデータ部分と前記第２のデータ部分を読み取り、
前記第１のデータ部分を前記受信装置に出力し、
前記第１の記憶デバイスに前記第２のデータ部分を記憶し、
前記第２の記憶デバイスに前記第３のデータ部分を記憶する処理を実行し、
更に、前記処理装置は、
前記クロックとほぼ同じレートで、前記第２の記憶デバイスからの前記第３のデータ部分と前記送信装置からの前記第４のデータ部分をＲＡＭの記憶場所の１つに書き込み、
前記第１の記憶デバイスからの前記第２のデータ部分を前記受信装置に出力する処理を実行する、請求項３に記載の送信装置と受信装置の間においてビデオのライン・データを遅延させる装置。
【請求項５】
更に、前記処理装置は、第１のアドレスを連続的に増加させる手段と、第２のアドレスを連続的に増加させる手段と、ＲＡＭに第１のアドレスと第２のアドレスを交互に供給する手段とを備えた、請求項４に記載の送信装置と受信装置の間においてビデオのライン・データを遅延させる装置。
【請求項６】
更に、前記処理装置は、前記アドレスを供給する手段を制御するように構成された有限状態機械を含む、請求項５に記載の送信装置と受信装置の間においてビデオのライン・データを遅延させる装置。
【請求項７】
前記第１の記憶デバイスは、第１の幾つかのＤ型フリップ‐フロップを含み、
前記第２の記憶デバイスは、第２の幾つかのＤ型フリップ‐フロップを含み、
第１の幾つかのＤ型フリップ‐フロップの数と第２の幾つかのＤ型フリップ‐フロップの数が等しい、請求項１に記載の送信装置と受信装置の間においてビデオのライン・データを遅延させる装置。
【請求項８】
ＲＡＭがダイナミックＲＡＭを含む、請求項１に記載の送信装置と受信装置の間においてビデオのライン・データを遅延させる装置。
【請求項９】

送信装置と受信装置の間においてビデオのライン・データを遅延させるための方法であって、前記ビデオのライン・データは、直前のビデオのラインの対応するデータと現在のビデオのラインの対応するデータを含んでおり、前記直前のビデオのラインの対応するデータは第１のデータ部分と第２のデータ部分を含んでおり、前記現在のビデオのラインの対応するデータは第３のデータ部分と第４のデータ部分を含んでおり、
シングル・ポート・ランダム・アクセス・メモリの記憶場所の１つから前記第１のデータ部分と前記第２のデータ部分を読み出すステップと、
前記第１のデータ部分を前記受信装置に出力するステップと、
前記第１の記憶デバイスに前記第２のデータ部分を記憶するステップと、
前記第２の記憶デバイスに前記第３のデータ部分を記憶するステップと、
前記第２の記憶デバイスからの前記第３のデータ部分と前記送信装置からの前記第４のデータ部分をＲＡＭの記憶場所の１つに書き込むステップと、
前記第１の記憶デバイスからの前記第２のデータ部分を前記受信装置に出力するステップと、
から成る、送信装置と受信装置の間においてビデオのライン・データを遅延させる方法。
【請求項１０】
前記第１のデータ部分と前記第２のデータ部分を読み出すステップと、前記第１のデータ部分を出力するステップと、前記第２のデータ部分を記憶するステップと、前記第３のデータ部分を記憶するステップとが同時に実行され、且つ
前記第３のデータ部分と前記第４のデータ部分の書き込みステップと前記第２のデータ部分を出力するステップとが同時に実行される、請求項９に記載の送信装置と受信装置の間においてビデオのライン・データを遅延させる方法。
【請求項１１】
前記第１のデータ部分と前記第２のデータ部分を読み出すステップと、前記第１のデータ部分を出力するステップと、前記第２のデータ部分を記憶するステップと、および前記第３のデータ部分を記憶するステップとが、前記第３のデータ部分と前記第４のデータ部分の書き込みステップおよび前記第２のデータ部分を出力するステップと交互に実行される、請求項１０に記載の送信装置と受信装置の間においてビデオのライン・データを遅延させる方法。
【請求項１２】
前記第１のデータ部分と前記第２のデータ部分を読み出すステップと、前記第１のデータ部分を出力するステップと、前記第２のデータ部分を記憶するステップと、前記第３のデータ部分を記憶するステップとが、クロック信号に対応したレートで実行され、且つ前記第３のデータ部分と前記第４のデータ部分の書き込みステップと、前記第２のデータ部分を出力するステップとが前記クロックとほぼ同じレートで実行される、請求項１１に記載の送信装置と受信装置の間においてビデオのライン・データを遅延させる方法。
【請求項１３】
第１のアドレスを連続的に増加させるステップと、
第２のアドレスを連続的に増加させるステップと、
第１のアドレスと第２のアドレスをＲＡＭに交互に供給するステップと、
を含む、請求項１２に記載の送信装置と受信装置の間においてビデオのライン・データを遅延させる方法。
【請求項１４】
前記第３のデータ部分を記憶するステップが前記第３のデータ部分を幾つかのＤ型フリップ‐フロップに記憶するステップを含んでおり、且つ
前記第２のデータ部分を記憶するステップが前記第２のデータ部分を前記Ｄ型フリップ‐フロップと同じ数のＤ型フリップ‐フロップに記憶するステップを含んでいる、請求項９に記載の送信装置と受信装置の間においてビデオのライン・データを遅延させる方法。
【請求項１５】
前記第１のデータ部分と前記第２のデータ部分を読み出すステップが、ダイナミックＲ

ＡＭから前記第１のデータ部分と前記第２のデータ部分を読み出すステップを含んでいる、請求項９に記載の送信装置と受信装置の間においてビデオのライン・データを遅延させる方法。
【手続補正２】
【補正対象書類名】明細書
【補正対象項目名】発明の名称
【補正方法】変更
【補正の内容】
【発明の名称】送信装置と受信装置の間においてビデオのライン・データを遅延させる装置および方法
【手続補正３】
【補正対象書類名】明細書
【補正対象項目名】０００５
【補正方法】変更
【補正の内容】
【０００５】
(発明の概要)
送信装置と受信装置の間におけるビデオ・ライン・データを遅延させるための装置は、シングル・ポートのランダム・アクセス・メモリ（ＲＡＭ）と処理装置（ｐｒｏｃｅｓｓｉｎｇ　ａｒｒａｎｇｅｍｅｎｔ）から構成される。処理装置は、ＲＡＭのデータ記憶場所から（１つ前のビデオ・ラインに対応する）データの第１の部分の中の１つと前記データの第２部分の中の１つを読み出す手段と、読み出されたデータの第１部分の中の１つのデータを受信装置に出力する手段と、読み出されたデータの第２部分の中の１つのデータを第１の記憶デバイスに記憶する手段と、（現在のビデオ・ラインに対応する）データの第３部分の中の１つを第２の記憶デバイスに記憶する手段と、第２の記憶デバイスからのデータの第３部分の中の１つと送信装置からの（現在のビデオ・ラインに対応する）データの第４部分の中の１つをＲＡＭのデータ記憶場所に記憶する手段と、第１の記憶デバイスからのデータの第２の部分の中の１つのデータを受信装置に出力する手段と、から構成される。
特許請求の範囲と実施例との対応関係を実施例で使われている参照番号を用いて示すと以下の通りである。
（請求項１）
送信装置と受信装置の間においてビデオのライン・データを遅延させるための装置（１００）であって、前記ビデオのライン・データは、直前のビデオのラインの対応するデータと現在のビデオのラインの対応するデータを含んでおり、前記直前のビデオのラインの対応するデータは第１のデータ部分と第２のデータ部分を含んでおり、前記現在のビデオのラインの対応するデータは第３のデータ部分と第４のデータ部分を含んでおり、
前記装置（１００）は、
複数の記憶場所を有するシングル・ポート・ランダム・アクセス・メモリ（１１０）と、
前記ＲＡＭ（１１０）に結合される第１の記憶デバイス（７００）と前記ＲＡＭ（１１０）に結合される第２の記憶デバイス（６５０）を含む処理装置（１８０）とから成り、
前記処理装置（１８０）が、
前記ＲＡＭ（１１０）の記憶場所の１つから前記第１のデータ部分と前記第２のデータ部分を読み出し、
前記ＲＡＭ（１１０）から前記第１のデータ部分を前記受信装置に出力し、
前記第１の記憶デバイス（７００）に前記第２のデータ部分を記憶し、
前記送信装置からの前記第３のデータ部分を前記第２の記憶デバイス（６５０）に記憶し、
前記第２の記憶デバイス（６５０）からの前記第３のデータ部分と前記送信装置からの

前記第４のデータ部分を前記ＲＡＭ（１１０）の記憶場所の１つに書き込み、
前記第１の記憶デバイス（７００）からの前記第２のデータ部分を前記受信装置に出力するように構成されている、送信装置と受信装置の間においてビデオのライン・データを遅延させる装置。
（請求項２）
前記処理装置（１８０）は、更に
前記ＲＡＭ（１１０）の記憶場所の１つから前記第１のデータ部分と前記第２のデータ部分を読み出し、
前記第１のデータ部分を前記受信装置に出力し、
前記第１の記憶デバイス（７００）に前記第２のデータ部分を記憶し、
前記第２の記憶デバイス（６５０）に前記第３のデータ部分を記憶する、処理を同時に実行し、
更に、前記処理装置（１８０）は、
前記第２の記憶デバイス（６５０）からの前記第３のデータ部分と前記送信装置からの前記第４のデータ部分をＲＡＭ（１１０）の記憶場所の１つに書き込み、
前記第１の記憶デバイス（７００）からの前記第２のデータ部分を前記受信装置に出力する処理を同時に実行する、請求項１に記載の送信装置と受信装置の間においてビデオのライン・データを遅延させる装置（１００）。
（請求項３）
前記処理装置（１８０）は、更に、
ＲＡＭ（１１０）の記憶場所の１つから前記第１のデータ部分と前記第２のデータ部分を読み取り、
前記第１のデータ部分を前記受信装置に出力し、
前記第１の記憶デバイス（７００）に前記第２のデータ部分を記憶し、
前記第２の記憶デバイス（６５０）に前記第３のデータ部分を記憶する処理を実行し、
更に、前記処理装置（１８０）は、前記処理と交互に、
前記第２の記憶デバイス（６５０）からの前記第３のデータ部分と前記送信装置からの前記第４のデータ部分をＲＡＭ（１１０）の記憶場所の１つに書き込み、
前記第１の記憶デバイス（７００）からの前記第２のデータ部分を前記受信装置に出力する処理を実行する、請求項２に記載の送信装置と受信装置の間においてビデオのライン・データを遅延させる装置（１００）。
（請求項４）
更に、前記処理装置（１８０）は、
クロック信号に対応するレートで、ＲＡＭ（１１０）の記憶場所の１つから前記第１のデータ部分と前記第２のデータ部分を読み取り、
前記第１のデータ部分を前記受信装置に出力し、
前記第１の記憶デバイス（７００）に前記第２のデータ部分を記憶し、
前記第２の記憶デバイス（６５０）に前記第３のデータ部分を記憶する処理を実行し、
更に、処理装置（１８０）は、
前記クロックとほぼ同じレートで、前記第２の記憶デバイス（６５０）からの前記第３のデータ部分と前記送信装置からの前記第４のデータ部分をＲＡＭ（１１０）の記憶場所の１つに書き込み、
前記第１の記憶デバイス（７００）からの前記第２のデータ部分を前記受信装置に出力する処理を実行する、請求項３に記載の送信装置と受信装置の間においてビデオのライン・データを遅延させる装置（１００）。
（請求項５）
更に、前記処理装置（１８０）は、第１のアドレスを連続的に増加させる手段（２００、３８０）と、第２のアドレスを連続的に増加させる手段（２００、５５０）と、ＲＡＭ（１１０）に第１のアドレスと第２のアドレスを交互に供給する手段（２００、６００）とを備えた、請求項４に記載の送信装置と受信装置の間においてビデオのライン・データ

を遅延させる装置（１００）。
（請求項６）
更に、前記処理装置（１８０）は、前記アドレスを供給する手段（２００、６００）を制御するように構成された有限状態機械（２００）を含む、請求項５に記載の送信装置と受信装置の間においてビデオのライン・データを遅延させる装置（１００）。
（請求項７）
前記第１の記憶デバイス（７００）は、第１の幾つかのＤ型フリップ‐フロップ（７００）を含み、
前記第２の記憶デバイス（６５０）は、第２の幾つかのＤ型フリップ‐フロップ（６５０）を含み、
第１の幾つかのＤ型フリップ‐フロップ（７００）の数と第２の幾つかのＤ型フリップ‐フロップ（６５０）の数が等しい、請求項１に記載の送信装置と受信装置の間においてビデオのライン・データを遅延させる装置（１００）。
（請求項８）
ＲＡＭ（１１０）がダイナミックＲＡＭを含む、請求項１に記載の送信装置と受信装置の間においてビデオのライン・データを遅延させる装置（１００）。
（請求項９）
送信装置と受信装置の間においてビデオのライン・データを遅延させるための方法（１２５０）であって、前記ビデオのライン・データは、直前のビデオのラインの対応するデータと現在のビデオのラインの対応するデータを含んでおり、前記直前のビデオのラインの対応するデータは第１のデータ部分と第２のデータ部分を含んでおり、前記現在のビデオのラインの対応するデータは第３のデータ部分と第４のデータ部分を含んでおり、
シングル・ポート・ランダム・アクセス・メモリ（１１０）の記憶場所の１つから前記第１のデータ部分と前記第２のデータ部分を読み出すステップ（１３２０）と、
前記第１のデータ部分を前記受信装置に出力するステップ（１３３０）と、
前記第１の記憶デバイス（７００）に前記第２のデータ部分を記憶するステップ（１３４０）と、
前記第２の記憶デバイス（６５０）に前記第３のデータ部分を記憶するステップ（１３５０）と、
前記第２の記憶デバイス（６５０）からの前記第３のデータ部分と前記送信装置からの前記第４のデータ部分をＲＡＭ（１１０）の記憶場所の１つに書き込むステップ（１３７０）と、
前記第１の記憶デバイス（７００）からの前記第２のデータ部分を前記受信装置に出力するステップ（１３８０）と、
から成る、送信装置と受信装置の間においてビデオのライン・データを遅延させる方法（１２５０）。
（請求項１０）
前記第１のデータ部分と前記第２のデータ部分を読み出すステップ（１３２０）と、前記第１のデータ部分を出力するステップ（１３３０）と、前記第２のデータ部分を記憶するステップ（１３４０）と、前記第３のデータ部分を記憶するステップ（１３５０）とが同時に実行され、且つ
前記第３のデータ部分と前記第４のデータ部分の書き込みステップ（１３７０）と前記第２のデータ部分を出力するステップ（１３８０）とが同時に実行される、請求項９に記載の送信装置と受信装置の間においてビデオのライン・データを遅延させる方法（１２５０）。
（請求項１１）
前記第１のデータ部分と前記第２のデータ部分を読み出すステップ（１３２０）と、前記第１のデータ部分を出力するステップ（１３３０）と、前記第２のデータ部分を記憶するステップ（１３４０）と、および前記第３のデータ部分を記憶するステップ（１３５０）とが、前記第３のデータ部分と前記第４のデータ部分の書き込みステップ（１３７０）

および前記第２のデータ部分を出力するステップ（１３８０）と交互に実行される、請求項１０に記載の送信装置と受信装置の間においてビデオのライン・データを遅延させる方法（１２５０）。

（請求項１２）

前記第１のデータ部分と前記第２のデータ部分を読み出すステップ（１３２０）と、前記第１のデータ部分を出力するステップ（１３３０）と、前記第２のデータ部分を記憶するステップ（１３４０）と、前記第３のデータ部分を記憶するステップ（１３５０）とが、クロック信号に対応したレートで実行され、且つ前記第３のデータ部分と前記第４のデータ部分の書き込みステップ（１３７０）と、前記第２のデータ部分を出力するステップ（１３８０）とが前記クロックとほぼ同じレートで実行される、請求項１１に記載の送信装置と受信装置の間においてビデオのライン・データを遅延させる方法（１２５０）。

（請求項１３）

第１のアドレスを連続的に増加させるステップ（１３５４）と、

第２のアドレスを連続的に増加させるステップ（１３８４）と、

第１のアドレスと第２のアドレスをＲＡＭ（１１０）に交互に供給するステップ（１２９０、１３００）と、

を含む、請求項１２に記載の送信装置と受信装置の間においてビデオのライン・データを遅延させる方法（１２５０）。

（請求項１４）

前記第３のデータ部分を記憶するステップ（１３５０）が前記第３のデータ部分を幾つかのＤ型フリップ‐フロップ（６５０）に記憶するステップを含んでおり、且つ

前記第２のデータ部分を記憶するステップ（１３４０）が前記第２のデータ部分を前記Ｄ型フリップ‐フロップ（６５０）と同じ数のＤ型フリップ‐フロップ（７００）に記憶するステップを含んでいる、請求項９に記載の送信装置と受信装置の間においてビデオのライン・データを遅延させる方法（１２５０）。

（請求項１５）

前記第１のデータ部分と前記第２のデータ部分を読み出すステップ（１３２０）が、ダイナミックＲＡＭから前記第１のデータ部分と前記第２のデータ部分を読み出すステップを含んでいる、請求項９に記載の送信装置と受信装置の間においてビデオのライン・データを遅延させる方法（１２５０）。