

公告本

申請日期	87.5.28
案 號	87108346
類 別	1401C 23/522

A4
C4

437044

(以上各欄由本局填註)

發明專利說明書

一、發明 名稱	中 文	具有經改良電子遷移抗性及減低缺陷感度之次四分之一微米銅互連體
	英 文	SUB-QUARTER-MICRON COPPER INTERCONNECTIONS WITH IMPROVED ELECTROMIGRATION RESISTANCE AND REDUCED DEFECT SENSITIVITY
二、發明 人	姓 名	1. 哈撒拉 S. 雷舍爾 5. 李察 G. 史密司 2. 侯瑪士戴爾 M. 戴拉爾 6. 艾烈斯安得 J. 史溫頓 3. 保羅 S. 麥凱林 7. 李察 A. 瓦西尼克 4. 度 B. 努彥元
	國 籍	均美國
三、申請人	住、居所	1. 美國紐約州史棟維亞市裘帝斯路27號 2. 美國紐約州米頓市卡塞爾路16號 3. 美國紐約州波克吉波斯市大衛路27號 4. 美國康乃迪克州鄧保瑞市喜克瑞街15號 5. 美國紐約州波克吉波斯市美楓路71號 6. 美國紐約州侯波維爾姜順市若士莫爾路11號 7. 美國紐約州布瑞斯特市埋耳路鹿耳街10號
	姓 名 (名稱)	美商萬國商業機器公司
三、申請人	國 籍	美國
	住、居所 (事務所)	美國紐約州阿蒙市
三、申請人	代 表 人 姓 名	費羅普

437044

(由本局填寫)

承辦人代碼：
大 類：
I P C 分類：

A6
B6

本案已向：

國 (地區)	申請專利，申請日期：	案號：	， ☐ 有 ☐ 無主張優先權
美國	1997 年 5 月 30 日	08/866,777	☒ 有 ☐ 無主張優先權
美國	1997 年 10 月 8 日	08/947,277	☒ 有 ☐ 無主張優先權

有關微生物已寄存於：，寄存日期：，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明(1)

發明背景

本專利申請案為美國專利申請案序號08/866,777之部份連續案，該申請案之標題為"具有提高電子遷移抗性及減低缺陷感度之銅互連體及其形成方法"，於1997年5月30日提出申請。

1. 發明範圍

本發明係關於半導體製造之領域，更明確言之，係關於銅為基材之互連體在次微米尺寸上之設計，其對於腐蝕與缺陷具有減低之感度，於是具有經改良之可靠性。本發明亦關於提供用以形成所設計結構之方法。

2. 相關技藝之描述

由於對超大型積體電路裝置之幾何形狀持續按比例下降，故對於具有最小間距與高導電率之互連線路，及對於具有低介電常數之鈍化材料，有漸增之需求，同時需要比以前更強效之可靠性。特別是在次四分之一微米線條寬度之體系中，最重要之因素係為高導電率與高電子遷移抗性。

一項研究途徑係使用銅冶金材料，因其具有高導電率與高電子遷移抗性，且伴隨著聚醯亞胺鈍化層，以提供低交叉電容。一種利用此研究途徑之方法，係由Luther等人揭示於VLSI多階互連會議(VMIC), 第15-21頁, 1993中。其他製程改良係使用雙波紋方法，以同時形成銅互連線條與階層間通孔銷釘，其係由Dalal等人陳述於美國專利5,434,451中，與本申請案共同讓受人。波紋方法係涉及充填狹窄壕溝或狹窄孔洞或兩者之組合。此項技藝中習知，使用物理蒸氣沈積

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(2)

(PVD)方法，譬如濺射或蒸發，以充填此種狹窄孔洞與壕溝是不適當的，因為會形成經充填金屬線條或銷釘之高度推拔狀橫截面。Joshi等人在美國專利5,300,813中，亦與本申請案共同讓受人，陳述使用PVD方法以沈積高導電率金屬，接著為鎢罩蓋層之化學蒸氣沈積(CVD)，以充填該推拔狀橫截面之頂部部份。此封端程序會造成銅導體截面面積之實質上降低，此係由於該推拔狀橫截面所致。亦由於封端金屬係伴隨著導體金屬沈積，故導體金屬之狹縫係沿著所完成產物之導體邊緣外露。再者，於此封端程序之化學-機械拋光步驟期間，藉拋光移除之堅硬金屬粒子，會有磨損金屬線條之傾向。因此，順應性沈積方法，譬如CVD或電鍍，係為銅沈積所需要的。

但是，已發現CVD銅遭遇到所需要高度複雜先質之有限貯架壽命之困難。關於CVD銅之一項更嚴重問題，係為藉銅先質之蒸氣製造線條之污染，其會使半導體裝置中毒。

藉由電鍍之銅沈積，已被使用於印刷電路板(PCB)達數十年。由於電鍍之低成本、低沈積溫度及其順應地塗覆狹窄間隙之能力，故其係為在銅互連體上沈積之較佳方法。應明瞭的是，銅之電鍍需要銅晶種層在基材上。PVD方法已經常被用以沈積銅，以提供晶種層。但是，已發現PVD沈積之銅，當與電鍍銅比較時，具有十倍較低之電子遷移抗性；及當與CVD銅比較時，具有三倍較低之電子遷移抗性。由於銅晶種層可構成互連線條橫截面面積之高達20%，故此晶種層會嚴重地妨礙銅互連體之電子遷移特性。雖然

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (3)

銅之電子遷移抗性係足夠高，以承受在正常設計導體線條中之耗損，但已在PVD晶種層 / 電鍍銅導體線條中發現缺陷所引致之電子遷移故障。由於銅之高導電率，故線條缺陷，譬如導體線條寬度或厚度，當變薄降至數百埃時，能夠未被發現地通過電篩選試驗。可瞭解在此等區域中之電流密度，在實際使用期間係相當地高，由於電子遷移，於是造成早期場失效。

當互連線條為次四分之一微米尺寸時，在使用PVD方法以提供晶種層時，發生另一個主要問題。此處即使是藉PVD技術沈積之薄晶種層，亦會相當大地使間隙變窄，如上述。這會造成中空殼層線條。

CVD銅沈積技術呈現問題，例如藉銅先質之蒸氣製造線條之污染，於是使半導體裝置中毒。CVD沈積銅之厚度愈大，則線條污染傾向愈大。

不同元素與銅共沈積，以供高溫應用或用以改良機械強度，係由Thomas於美國專利5,414,301；由Shapiro等人於美國專利4,007,039；由Akutsu等人於美國專利4,872,048；及由Woodford與Bricknell於美國專利4,406,858中陳述。但是，當銅與另一種元素共沈積時，電阻率經常會增加，其會抗拒使用銅在高性能系統中之真正目的。

在銅冶金學上之又另一個可靠性顧慮係為腐蝕性。此係藉助於圖1與1a之圖解，描述於下文。圖1為上述先前技藝之互連體系之部份結構，說明金屬互連體之兩個階層，各階層係由雙波紋方法所界定。圖1a為互連體橫截面之放大

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(4)

視圖；其中在一階層上之銅互連線條9，經顯示係經過通孔銷釘11，與下方階層之金屬互連線條102接觸。應明瞭的是，在雙波紋方法中，通孔銷釘11與導體線條102係為彼此之完整部份。銅互連體係包含黏著層5，選用障壁層6；PVD銅晶種層8；整體銅層9與11，及無機絕緣體4在聚醯亞胺絕緣體3之頂上。

已發現銅線條之腐蝕，通常係伴隨著使用聚醯亞胺作為層間絕緣體而發生。這是因為無論何時使用聚醯亞胺作為層間絕緣體，其施用經常涉及添加無機絕緣體薄層4。添加此無機絕緣體薄層，係為充作蝕刻止動層，如在頒予Chow等人之美國專利4,789,648中所陳述者，或為降低聚醯亞胺碎屑在化學-機械拋光期間形成，如由Joshi等人在美國專利5,403,779中所陳述者(兩專利均歸屬於本發明之讓受人)。此無機絕緣體層4之有害作用，係為妨礙聚醯亞胺薄膜中之殘餘水分之逃逸。因此，蒸氣壓會蓄積在聚醯亞胺薄膜中，其會找到通往銅之路徑。結果，形成銅之氧化物與氫氧化物。隨著時間與溫度，此等氧化物與氫氧化物最後會造成空隙13(圖1)在銅導體中形成。此等腐蝕所引致之空隙13，咸認會從銅導體之頂部表面引發，其原因有二。其一，內襯層5與6係覆蓋導體線條之底部與側面，而非頂部表面。其次，無機絕緣體層4與在導體線條側壁上之內襯5與6間之接面，在處理溫度漂移期間變成分離，於是提供水份與銅接觸之路徑。Joshi等人之美國專利5,426,330，歸屬於本發明之讓受人，陳述一種提供鎢罩蓋在銅導體之頂

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(5)

上以防止銅腐蝕之方法。如前文所討論者，此封端方法會在拋光期間形成不期望之金屬碎屑，造成金屬線條磨損。

因此，儘管再三努力，及在先前技藝中之各種體系，但由於對缺陷敏感之電子遷移故障與腐蝕所致之製造問題仍然存在。必須發展用以製造具有經改良可靠性與減低缺陷感度之銅積體電路圖樣之較佳方法。

將先前技藝之問題與缺失牢記在心，因此本發明之一項目的係為提供一種製造具有經改良製程良率與可靠性之次半微米尺寸之高性能互連電路系統之方法。

本發明之另一項目的，係為提供一種具有低介電常數聚醯亞胺鈍化層之高導電率銅為基材之冶金材料。

本發明之又另一項目的，係為減低銅互連冶金材料之缺陷感度，其方式是改良其電子遷移抗性。

本發明之又再另一項目的，係為提供具有減低PVD銅晶種層厚度之電鍍銅互連線條，以改良互連線條之電子遷移抗性。

本發明之另一項目的，係為提供一種金屬封端之銅線條之方法，其不會影響金屬線條完整性。

發明摘述

上述及其他目的，對於熟諳此藝者而言係為顯而易見的，其係在本發明中達成，其係關於一種在基材上提供具有經改良電子遷移與腐蝕抗性之次半微米銅互連體之方法。此方法可包括使用電鍍銅之雙波紋方法，其中係採用減低厚度之PVD層，或其中PVD層係被CVD銅晶種層之順應性

五、發明說明(6)

塗層取代，此塗層比PVD沈積銅具有約三倍較高之電子遷移抗性。於本發明中，晶種層亦可轉化成金屬間層。銅金屬間層，譬如鈐、鐳、鋳、錫及鈦，係經提供以改良電子遷移抗性，及減低缺陷感度。亦提供一種方法以形成罩蓋，其係完全覆蓋基材中形成之銅線條頂部上之表面，以改良腐蝕抗性。亦描述結構與方法，經由在銅間隙位置摻入碳原子，以改良電子遷移與腐蝕抗性。

一方面，本發明係包括一種形成藉由介電絕緣體互相隔離之銅線條之多階互連體，以造成對基材中之電特徵接觸之方法。此方法包括之步驟為，首先製備具有介電絕緣層之基材，以在經界定之圖樣中接收銅線條，及視情況在該圖樣中沈積金屬內襯。接著，在該圖樣中沈積一層減低厚度之PVD銅，一層CVD銅或一層能夠與銅形成金屬間化合物之元素，接著為一或多層銅。在沈積可形成金屬間層之元素之情況中，係接著將基材加熱，以使可形成金屬間層之元素與銅層反應，以形成一層金屬間化合物在銅層中。此可形成金屬間層之元素，較佳係選自包括鈐、鐳、鈦、錫及鋳。此可形成金屬間之元素之層可在銅層之前沈積，或銅層可在形成金屬間之元素之前沈積。亦可在銅層之前沈積該可形成金屬間之元素層，並可在銅層之後，沈積另一個可形成金屬間之元素層。

金屬內襯、可形成金屬間元素之層及銅層，可藉共同或個別沈積技術沈積，選自包括濺射、蒸發及CVD。金屬內襯、可形成金屬間元素之層及銅層，較佳係藉濺射，以單

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(7)

次抽氣降壓，在原位沈積，其中濺射可為反應性濺射、準直濺射、磁控管濺射、低壓濺射、ECR濺射、離子束濺射及其任何組合。

在一更佳方法中，本發明係關於一種形成銅線條之可信賴多階互連體之方法，在次微米間距下，並藉低介電絕緣體互相隔離，以造成對基材中電特徵之接觸。此方法包括之步驟為，首先在具有電特徵之基材上沈積一對絕緣層，在至少一個絕緣層上以光石印方式界定通孔銷釘圖樣，部份蝕刻該對絕緣層，在至少一個絕緣層上以光石印方式界定互連線條圖樣，及蝕刻絕緣層直到電特徵外露為止；於是在該對絕緣體中形成壕溝與孔洞。接著，在壕溝與孔洞中沈積內襯冶金材料。沈積能夠與銅形成金屬間化合物之元素層，以及一或多層銅，以充填孔洞與壕溝。將銅拋光以移除壕溝外側之過量金屬，並將基材加熱以使可形成金屬間之元素與銅反應，以形成金屬間化合物與銅之層。

銅層之一可藉由銅與含碳氣體之反應性濺射沈積，以在經沈積銅之晶格中摻入碳原子。可形成金屬間層之元素，其厚度較佳係在約100埃與600埃之間。金屬間層可在孔洞與壕溝中之銅下方，在孔洞與壕溝中之銅內部，或在孔洞與壕溝中之銅上方形成。

在一相關方面，本發明係提供一種具有銅線條互連體之基材，其包含一對絕緣層，經配置在具有電特徵之基材上，此絕緣層具有經蝕刻之通孔銷釘圖樣，及經蝕刻之互連線條圖樣，在該對絕緣體中形成孔洞與壕溝。一金屬層係

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(8)

作為壕溝與孔洞之內襯，並以銅充填孔洞與壕溝，其中銅之一部份係包含銅金屬間化合物之區域。

另一方面，本發明係關於一種在具有壕溝之基材上提供具有經改良電子遷移與腐蝕抗性之銅互連體之方法，其包括之步驟為，在真空工具中加熱基材，將呈氣體形式之含碳物質引進真空中，並在基材壕溝中沈積銅金屬，同時使間隙原子摻入銅晶格中，以在壕溝中形成銅線條。此基材在沈積期間較佳係保持在100-400°C間之溫度下，且含碳物質為一種具有式 C_xH_y 或 CxH_x ，且未含有氧、氮或硫之煙。

在一相關方面，本發明係提供一種具有銅線條互連體之基材，其包含一對絕緣層，經配置在具有電特徵之基材上，此絕緣層具有經蝕刻之通孔銷釘圖樣，及經蝕刻之互連線條圖樣，在該對絕緣體中形成孔洞與壕溝，作為壕溝與孔洞內襯之金屬層，及充填孔洞與壕溝之銅，此銅含有約0.1至15 ppm 碳。

在另一方面，本發明係關於一種在具有與周圍絕緣體呈平面狀表面之基材互連體上提供保護性罩蓋之方法，此方法包括之步驟為，提供一基材，其具有絕緣層於其上，經蝕刻之通孔銷釘圖樣及經蝕刻之互連線條圖樣，在絕緣層內形成孔洞與壕溝，及銅冶金材料充填該孔洞與壕溝至絕緣層之上方表面，以形成基材互連體。然後將銅拋光，以使其表面下凹至低於其周圍絕緣層表面。接著沈積一層罩蓋用之物質，覆蓋該凹陷銅至高於周圍絕緣層表面之程度。然後，將基材拋光以自基材互連體外側之區域移除罩蓋。

五、發明說明(9)

材料，並形成與周圍絕緣層表面呈平面狀之罩蓋表面。凹陷厚度較佳為約100埃至400埃，且罩蓋用之材料係經選擇性地沈積，並選自包括鎢、鎢-矽、鎢-氮、鉛、鋅、鉭、鉭-氮化物、鈦、錫、釧、鍺、碳、鉻、鉻-氧化鉻、錫、鉑及其組合。

於又另一方面，本發明係提供一種形成銅線條之多階互連體之方法，該銅線條係藉介電絕緣體互相隔離，以造成對基材中電特徵之接觸，此方法包括以下步驟：

- (a) 製備具有介電絕緣層之基材，以接收銅線條在經界定之圖樣中；
- (b) 視情況沈積金屬內襯在該圖樣中；
- (c) 接著在該圖樣中沈積銅之化學蒸氣沈積層，或銅之物理蒸氣沈積層，其具有低於約800埃之厚度；及
- (d) 在該化學或物理蒸氣沈積之銅層上，藉不同方法沈積一層銅，以實質上填滿該圖樣。

該化學蒸氣沈積銅層較佳可具有厚度為約50至2000埃，更佳為約100至700埃。物理蒸氣沈積可藉銅濺射或藉銅蒸發，且此物理蒸氣沈積銅層較佳係具有厚度低於約600埃。

在沈積化學或物理蒸氣沈積銅層之前，此方法可包括在圖樣中沈積一層能夠與銅形成金屬間化合物之元素之步驟。於沈積實質上填滿該圖樣之銅層後，本發明可包括加熱基材，以使該可形成金屬間層之元素與實質上填滿該圖樣之銅層反應，以形成一層金屬間化合物之步驟。

五、發明說明 (10)

附圖簡述

咸認係為新穎之本發明特徵，及本發明之構件特性，係特別在隨文所附申請專利範圍中提出。附圖僅為說明目的，且未按一定比例畫出。但是，本發明本身，關於機體組成與操作方法兩者，可參考下文詳述並搭配附圖而獲得最良好地明瞭，其中：

圖1為先前技藝之部份多階銅互連體之立視圖，其係使用電鍍銅以雙波紋方法製成，並描述在正常製程中所造成之金屬腐蝕與線條缺陷。

圖1a為圖1互連體一部份之放大視圖，說明使用於先前技藝中之不同金屬層。

圖2為在開始本發明方法之前，基材之立視圖；其中係將一層有機介電絕緣體與另一個介電絕緣體之薄層沈積，並根據先前技藝之雙波紋方法之陳述內容，將通孔銷釘與互連線條之合併圖樣蝕刻，以曝露出下方之金屬特徵。

圖3為在剛形成之互連結構中之不同層之立視圖，此結構係併入本發明之可形成銅金屬間層之組合物。

圖4為圖3互連結構根據本發明將銅晶種層轉化成互連體用之金屬間下層後之立視圖。

圖5a與5b為本發明替代具體實施例之立視圖，其中金屬間層係在銅互連體之中間形成，其中圖5a顯示小尺寸通孔銷釘，而圖5b顯示大尺寸通孔銷釘。

圖6a-d為如圖3中所示之所形成結構之立視圖，但其中銅之薄層係自頂部表面移除，以說明處理步驟之順序，以形

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (11)

成根據本發明之罩蓋層。

圖7為在剛形成互連結構中不同層之立視圖，其係利用根據本發明之PVD或CVD銅晶種層製成。

圖8為圖7之結構，於銅之電鍍層已被沈積於晶種層上，及晶圓已被拋光以移除過量金屬後之立視圖。

較佳具體實施例之描述

在描述本發明之較佳具體實施例時，可參考本文之附圖2-8，其中類似數字係指本發明之類似特徵。本發明之特徵在附圖中未必按一定比例顯示。

參考圖2，其係顯示習用矽半導體結構之橫截面，此結構包含矽基材105，於其上具有各種裝置接觸銷釘(通孔)101與局部互連體(線條)102，典型上為具有鈦與一氮化鈦下層(未示出)之鎢，個別在絕緣體層106、103上形成。利用絕緣體薄層以防止在通孔與線條間之金屬尖釘形成，例如由於失調準所致者，係揭示於美國專利申請案序號(律師案件目錄編號FI9-96-137)中，其標題為"具有次半微米多階高密度電互連體之自動對準複合絕緣體及其製程"，與本案同一日期提出申請。

本發明之方法係形成銅線條之可信賴多階互連體，在次微米間距下，並藉由低介電絕緣體互相隔離，造成對基材中電特徵之接觸。此基材結構可為具有多個電子裝置、有機電路載體或陶瓷電路載體之半導體。局部互連體102較佳係藉先前技藝之波紋方法形成，其中局部互連體之頂部表面係實質上與周圍絕緣體103之表面呈平面狀，典型上

五、發明說明 (12)

為經沈積之硼矽酸鹽或磷矽酸鹽玻璃或 SiO_2 。接著沈積介電絕緣層 2、3 及 4，以開始進行形成高導電率互連體之程序。此對絕緣體可藉 ECR、濺射、電漿加強 CVD、CVD、旋轉塗覆或此等方法之任何組合進行沈積。例如，此等絕緣體可製自聚醯亞胺、氮化矽、氧化鋁、二氧化矽、磷矽酸鹽玻璃、氧化鈮、氧化鎂、氣凝膠或此等物質之任何組合。

於共待審美國專利申請案序號 08/841,221 中所陳述之絕緣體之選擇及將其納入積體電路製造中之方法，可採用於此處，且此申請案之揭示內容係併於本文供參考。

通孔銷釘圖樣係接著界定在絕緣體 4 頂上，例如藉光石印程序，接著為以適當蝕刻劑蝕刻絕緣體 4 及部份蝕刻絕緣體 3 之步驟。其次，再一次藉例如光石印程序界定高導電率金屬互連線條之圖樣，接著蝕刻絕緣體 3 之其餘部份及絕緣體 2，以形成壕溝 12 與孔洞 13，以曝露出金屬線條 102。此等步驟為此項技藝中被稱為雙波紋方法之最初處理步驟，且係描述於公告中，譬如頒予 Dalal 等人之美國專利 5,434,451，歸屬於本申請案之讓受人，其揭示內容係併於本文供參考。

其次，根據本發明沈積所選擇之內襯材料與高導電率金屬，並藉化學-機械方法拋光以移除過量金屬，於是同時形成通孔銷釘與互連金屬線條圖樣。本發明係在此方法中，將合併之通孔銷釘與互連線條圖樣在絕緣體層 2、3 及 4 上蝕刻以曝露出局部互連體 102 之一部份時施行。

五、發明說明 (13)

本發明之互連體系以圖3開始說明，為清楚起見其中僅顯示圖2之一部份。在定位濺射清理具有圖2結構之晶圓後，沈積黏著與接觸金屬之薄層5，典型上為100至300埃厚，其較佳為鈦、鉭、氮化鉭、鉻、鎢或此等層之任何組合。接著沈積選用之熱擴散障壁層6，典型上為200至400埃厚，其材料譬如鉻-氧化鉻、鎢-矽、鎢-氮化物、鎢-氮化物-矽、鈦-氮化物、鉭或鉭-氮化物。層5與6係稱為被採用於本發明中之內襯冶金材料。接觸金屬可為例如鈦、鉭或鉭-氮化物。障壁材料可為鈦-氮化物、鈦-氧-氮化物、鉭、鉭-氮化物、鉻、鉻 / 氧化鉻、鎢、鎢-氮化物、鎢-矽或其任何組合。

內襯層可藉共同或個別沈積技術沈積，譬如濺射、蒸發。較佳係採用濺射技術，譬如反應性濺射、準直濺射、磁控管濺射、低壓濺射、ECR濺射、離子束濺射或其任何組合。層5與6之此等前述沈積，更佳係使用準直濺射，在單次抽氣降壓中進行，及使用沈積反應性金屬之技術，其係由Dalal與Lowney陳述於美國專利4,379,832中，歸屬於本發明之讓受人，其揭示內容係併於本文供參考。較佳沈積溫度係在約120°C與400°C之間。

在此選用層6之後，於本發明之第一個具體實施例中，係沈積薄層7，較佳為約100至600埃厚，其為一種能夠與銅形成金屬間化合物之元素。此種元素可選自包括鉛、鎳、銦、錫及鈦。然後，沈積薄銅晶種層8，典型上為600至2000埃厚。

五、發明說明 (14)

層 5-8 可藉共同或個別沈積技術沈積，譬如濺射、蒸發或 CVD。較佳係採用濺射技術，譬如反應性濺射、準直濺射、磁控管濺射、低壓濺射、ECR 濺射、離子束濺射或其任何組合。層 5、6 及 7 與 8 之此等前述沈積，更佳係使用準直濺射，在單次抽氣降壓中進行，及使用沈積反應性金屬之技術，其係由 Dalal 與 Lowney 陳述於美國專利 4,379,832 中，歸屬於本發明之讓受人，其揭示內容係併於本文供參考。較佳沈積溫度係在約 120°C - 400°C 之間。銅晶種層亦可故意在間隙位置含有碳，以加強電子遷移抗性，其將進一步討論於下文。

在銅晶種層 8 之後，接著電鍍銅之其餘層 9，以充填壕溝。或者，可藉 CVD 方法沈積層 8 或 8 與 9。然後藉化學-機械方法拋光基材晶圓，以自未經構圖區域移除所有過量金屬，於是造成圖 3 中所示之平面化結構。

若使用可形成金屬間之金屬層 7，則接著將基材晶圓在譬如氮之非反應性氣層中，加熱至溫度約 $250-450^{\circ}\text{C}$ ，歷經 30 分鐘至 2 小時。這會造成形成金屬間之層 7 與銅層反應，而形成圖 4 中之銅金屬間化合物層 10。此銅金屬間層，對銅層 8 與 9 提供經改良之電子遷移抗性。可形成金屬間之金屬之厚度，較佳係經選擇，以在金屬間化合物形成期間消耗所有銅晶種層 8 (圖 3)。藉本發明在銅層中形成之金屬間化合物，可為銅化鈦 (Hf_2Cu)、銅化鋇 (LaCu_2)、 η -青銅 (Cu_6Sn_5)、銅化鈦 (TiCu) 及銅化鋅 (Zr_2Cu)。

金屬間層可為完全金屬間，或金屬間與成份金屬層之組

五、發明說明 (15)

合。可形成金屬間層之元素之選擇，可以兩種標準為基礎。首先，經選擇之元素較佳係未具有或具有低於2原子百分比在銅中之溶解度。低溶解度是很重要的，否則此元素將會擴散進入銅中，並影響其導電率。其次，此元素較佳係與銅形成安定金屬間層。除了上述元素以外，符合此等標準之任何其他元素，均可採用作為可形成銅金屬間之元素。

重複上述處理步驟，以在較高程度下界定與形成互連體。應明瞭的是，在互連體之最後階層被界定後，吾人可選擇僅進行一次熱處理，以形成金屬間層；或在互連體之各階層後，可選擇重複熱處理。

於本發明之另一項具體實施例中，金屬間層係在互連體厚度之中間形成，如圖5a中關於小尺寸通孔銷釘，及圖5b中關於較寬廣通孔銷釘所示。在此項具體實施例中，金屬間層7係在最初銅層後沈積，以形成遠離銅邊緣及朝向內部區域之金屬間化合物區域。圖5a顯示熱處理後之金屬間區域10(其中係首先沈積金屬間元素層7)，在銅層9之內部呈Y-形。亦可採用超過一個金屬間區域，如圖5b中所示，其中金屬間元素7之兩個區域，係在熱處理後，被沈積在經顯示為金屬間化合物區域10a與10b之位置處。

於本發明之又另一項具體實施例中，可形成金屬間之元素係被沈積在銅線條之頂部，呈罩蓋形式。如圖6a中所示，在形成圖3之平面化結構後，銅之薄層，大約100至400埃厚，係被移除以使其表面自周圍絕緣體表面下凹。移除

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (16)

可藉由銅互連線條或通孔銷釘之輕微化學-機械拋光、機械拋光或兩者，以提供經平面化之罩蓋表面。

如圖 6b 中所示，可形成金屬間元素之薄層，係接著藉前述方法 (PVD、電鍍、無電鍍覆、CVD，或藉其任何組合) 選擇性地沈積，較佳係在晶圓之原位濺射清理後進行。接著藉化學-機械拋光或僅藉機械拋光，自互連壕溝外側移除過量金屬，留下可形成金屬間元素之罩蓋在銅線條頂上，與層 4 之表面相同階層，如圖 6c 中所示。下一個步驟是按上述熱處理晶圓，以在銅層 9 頂部形成金屬間層 7。於圖 6d 中顯示此具體實施例，其中金屬間層或區域係在銅互連層之底部與頂部形成。

此種形成金屬間罩蓋層之方法，具有沿著線條邊緣完全覆蓋銅線條之優點，這與使得銅之狹縫外露不同，後者例如在其中罩蓋金屬伴隨著內視與銅一起沈積之方法中之情況。應明瞭的是，雖然此種形成罩蓋之方法，係於此處針對形成金屬間化合物罩蓋之目的加以描述，但此方法並不限於此種金屬，而是任何所要之金屬、合金或金屬間化合物均可使用，譬如鎢、鎢-矽、鎢-氮、鉛、鍍、鉭、鉭-氮化物、鈦、錫、鎳、鍍、鍍、碳、鉻、鉻-氧化鉻、錫、鉍或其任何組合。

因此，銅金屬間層係藉選擇性沈積形成，無論是在銅線條橫截面之底部、中央、頂部，或在此等位置之任何組合處。本發明係提供一種在任何或所有此等區域中，於原位形成銅金屬間層，以改良銅互連線條之電子遷移抗性之方

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(17)

法。

為在經沈積之銅晶格中摻入碳原子，如上文所討論者，銅晶種層較佳係在真空工具中，伴隨著呈氣體形式之含碳物質之故意流失進行沈積。基材較佳係保持在約 100-400°C 之溫度下。此含碳物質為一種未包含氧、氮或硫之烴，譬如歸屬於 C_xH_y 或 C_xH_x 烴基之含碳物質。此含碳物質可以濃縮形式，或使用惰性載氣以稀釋形式引進真空工具中。真空工具較佳為濺射或蒸發工具，且含碳物質之分壓係為約 10^{-4} 至 10^{-7} 托。

此種沈積程序之更佳參數為首先將基材抽氣降壓至 10^{-8} 托之壓力，使用自動壓力控制，流出 10^{-5} 托壓力下之乙炔氣體，及接著引進 4 毫托壓力下之氬氣，以及濺射沈積銅至基材之壕溝中。本發明之此方面係提供一種銅之互連體，其具有 0.1 ppm 至 15 ppm 經溶解碳在銅晶格中。

已發現此種碳之摻入銅中，會在電鍍銅中達到加強之電子遷移抗性，而在 CVD 銅中則達較小程度。雖然不希望被理論所束縛，但咸信加強之電子遷移抗性係由於碳原子摻入間隙位置所致。此種間隙碳不會些許地影響銅之電性質，但會大為影響其化學與機械性質。

顯而易見的是，在給予本文所提出之指引與說明下，可對熟練技師提示本發明方法與結構之替代具體實施例。例如，應明瞭的是，銅晶種層 8 係為在下一處理步驟中電鍍銅之目的而沈積。若選擇使用 CVD 銅層 9，則不需要晶種層 8。而且，該對絕緣體可為有機/無機、有機/有機或

五、發明說明 (18)

無機 / 無機。

亦已發現在藉波紋方法形成銅互連體上，使用化學蒸氣沈積以沈積銅晶種層，當與使用先前技藝中所採用之物理蒸氣沈積(例如濺射或蒸發)技術，在典型 1100-2000 埃厚度下比較時，係提供迄今未知之優點。所沈積之 CVD 銅晶種層，可具有厚度範圍約 50-2000 埃，較佳係在約 100-700 埃之範圍內。或者，PVD 銅晶種層，當在厚度低於約 800 埃，較佳係低於約 600 埃下沈積時，係提供勝過較厚先前技藝 PVD 銅晶種層之優點。此等優點包括較高電子遷移抗性。當使用 CVD 銅晶種層或當使用 PVD 銅晶種層而低於 800 埃厚度時，充填壕溝之銅層可直接沈積在銅晶種層上，無需根據本發明之銅金屬間層。銅層應藉不同於用以沈積晶種層之方法沈積。

本發明此方面之互連體，係顯示於圖 7 與 8 中。如圖 7 中所示(其顯示圖 2 之一部份)，在原地濺射清理具有圖 2 結構之晶圓後，內襯層 5 與 6 係以如前文所述之相同方式沈積，其中熱擴散層 6 仍然是選用的。但是，代替沈積銅金屬間層 7，可將晶種層 8 直接沈積在內襯層 6 上，或若層 6 不存在，則直接沈積在內襯層 5 上。若採用 CVD 技術，則晶種層厚度 8 更佳係在約 300 至 600 埃之範圍內。若採用 PVD 技術，則銅晶種層較佳係低於約 600 埃厚，更佳為約 200 至 500 埃厚。在銅晶種層 8 之後，其餘銅層 9 係經電鍍，以完全充填壕溝。然後，將基材晶圓藉化學-機械方法拋光，以自未經構圖區域移除所有過量金屬，於是造成圖 8 中所示之結

五、發明說明 (19)

構。於是，此種結構可提供具有經改良電子遷移抗性與減低缺陷感度之次四分之一微米銅互連體。

雖然本發明已搭配特定較佳具體實施例，特別地加以描述，但得以明白，許多替代方式、修正與變異，對熟諳此藝者而言，在明白前述說明之後將是顯而易見的。因此，意欲涵蓋在內的是，隨文所附之申請專利範圍係包含任何此種落在本發明真實範圍與精神內之替代方式、修正與變異。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

四、中文發明摘要 (發明之名稱： 具有經改良電子遷移抗性及減低缺陷感度之次四分之一微米銅互連體)

一種提供具有經改良電子遷移與腐蝕抗性之次半微米銅互連體之方法。此方法包括使用電鍍銅之雙波紋，其中晶種層係藉化學蒸氣沈積法或藉物理蒸氣沈積法，沈積低於約800埃之薄層。

英文發明摘要 (發明之名稱： SUB-QUARTER-MICRON COPPER INTERCONNECTIONS WITH IMPROVED ELECTROMIGRATION RESISTANCE AND REDUCED DEFECT SENSITIVITY)

A method of providing sub-half-micron copper interconnections with improved electromigration and corrosion resistance. The method includes double damascene using electroplated copper, where the seed layer is deposited by chemical vapor deposition, or by physical vapor deposition in a layer less than about 800 angstroms.

六、申請專利範圍

1. 一種形成銅線條之多階互連體之方法，該銅線條係藉介電絕緣體互相隔離，以造成對基材中電特徵之接觸，該方法包括以下步驟：
 - (a) 製備具有介電絕緣層之基材，以接收呈界定圖樣之銅線條；
 - (b) 視情況在該圖樣中沈積金屬內襯；
 - (c) 在該圖樣中沈積一層能夠與銅形成金屬間化合物之元素；
 - (d) 接著在該圖樣中沈積一個化學蒸氣沈積之銅層；
 - (e) 在該化學蒸氣沈積之銅層上方，藉不同程序沈積一銅層，以實質上填滿該圖樣；及
 - (f) 加熱基材，以使該可形成金屬間層之元素與該實質上填滿該圖樣之銅層反應，以形成一層金屬間化合物。
2. 如申請專利範圍第1項之方法，其中化學蒸氣沈積之銅層具有約50至2000埃之厚度。
3. 如申請專利範圍第1項之方法，其中化學蒸氣沈積之銅層具有約100至700埃之厚度。
- ~~在沈積實質上填滿該圖樣之銅層後，包括以下步驟：~~
4. 如申請專利範圍第1項之方法，其中可形成金屬間層之元素係選自包括鉛、鎳、鈦、錫及鋅。
5. 一種形成銅線條之多階互連體之方法，該銅線條係藉介電絕緣體互相隔離，以造成對基材中電特徵之接觸，該方法包括以下步驟：

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

六、申請專利範圍

- (a) 製備具有介電絕緣層之基材，以接收呈界定圖樣之銅線條；
 - (b) 視情況在該圖樣中沈積金屬內襯；
 - (c) 在該圖樣中沈積一層能夠與銅形成金屬間化合物之元素；
 - (d) 接著在該圖樣中沈積一個物理蒸氣沈積之銅層，其具有低於約800埃之厚度；
 - (e) 在該物理蒸氣沈積之銅層上方，藉不同程度沈積一銅層，以實質上填滿該圖樣；及
 - (f) 加熱基材，以使該可形成金屬間層之元素與該實質上填滿該圖樣之銅層反應，以形成一層金屬間化合物。
6. 如申請專利範圍第5項之方法，其中物理蒸氣沈積係藉銅濺射。
 7. 如申請專利範圍第5項之方法，其中物理蒸氣沈積係藉銅蒸發。
 8. 如申請專利範圍第5項之方法，其中物理蒸氣沈積之銅層具有低於約600埃之厚度。
 9. 如申請專利範圍第5項之方法，其中可形成金屬間層之元素係選自包括鉛、鋇、鈦、錫及鋳。
 10. 一種形成銅線條之多階互連體之方法，該銅線條係藉介電絕緣體互相隔離，以造成對基材中電特徵之接觸，該方法包括以下步驟：
 - (a) 製備具有介電絕緣層之基材，以接收呈界定圖樣之

(請先閱讀背面之注意事項再填寫本頁)

訂

六、申請專利範圍

銅線條；

- (b) 視情況在該圖樣中沈積金屬內襯；
- (c) 在該圖樣中沈積一層能夠與銅形成金屬間化合物之元素；
- (d) 接著藉選自包括化學蒸氣沈積與物理蒸氣沈積之程序，在該圖樣中沈積銅晶種層，其中該晶種層具有低於約800埃之厚度；
- (e) 在該銅晶種層上方，藉不同程序沈積一銅層，以實質上填滿該圖樣；及
- (f) 加熱基材，以使該可形成金屬間層之元素與該實質上填滿該圖樣之銅層反應，以形成一層金屬間化合物。

- 11. 如申請專利範圍第10項之方法，其中銅晶種層具有低於約600埃之厚度。
- 12. 如申請專利範圍第10項之方法，其中可形成金屬間層之元素係選自包括鉛、鋇、鈦、錫及鋳。
- 13. 如申請專利範圍第12項之方法，其中銅晶種層係藉物理蒸氣沈積法進行沈積。
- 14. 如申請專利範圍第12項之方法，其中銅晶種層係藉化學蒸氣沈積法進行沈積。

(請先閱讀背面之注意事項再填寫本頁)

訂

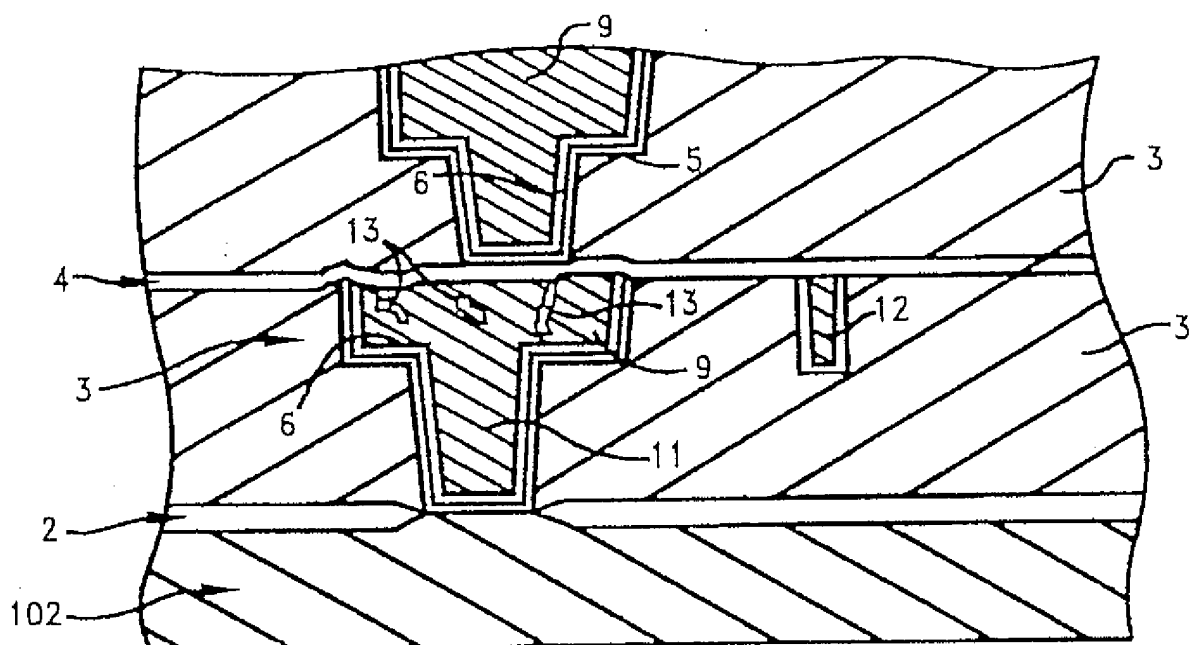


圖 1

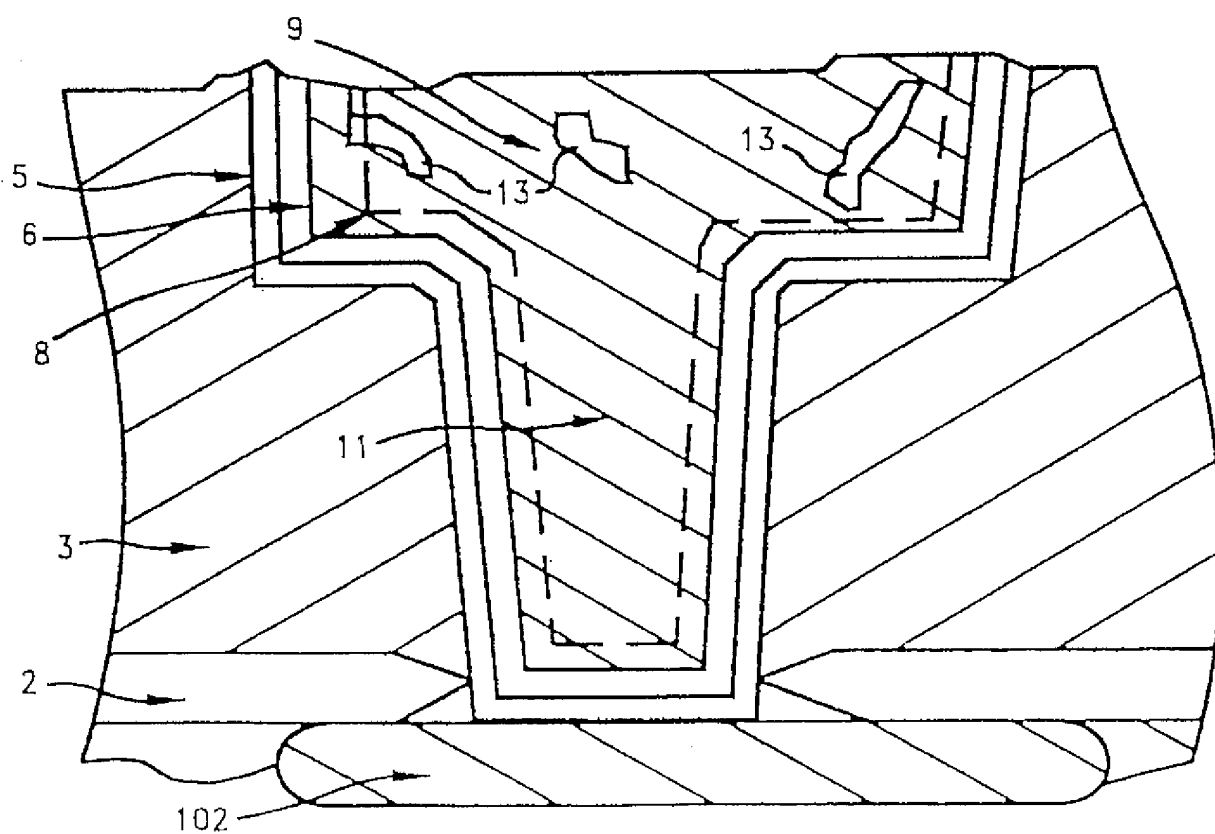


圖 1a

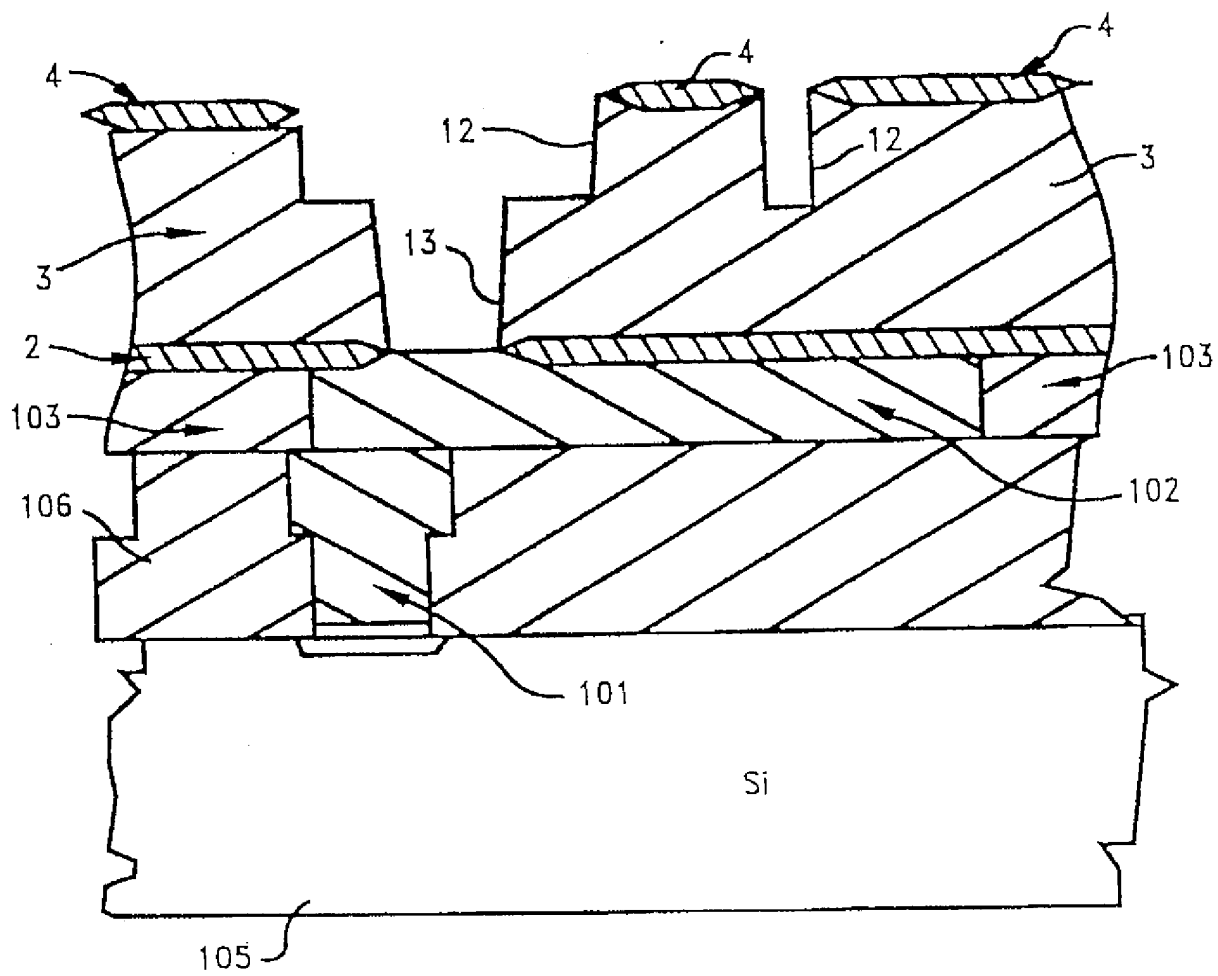


圖 2

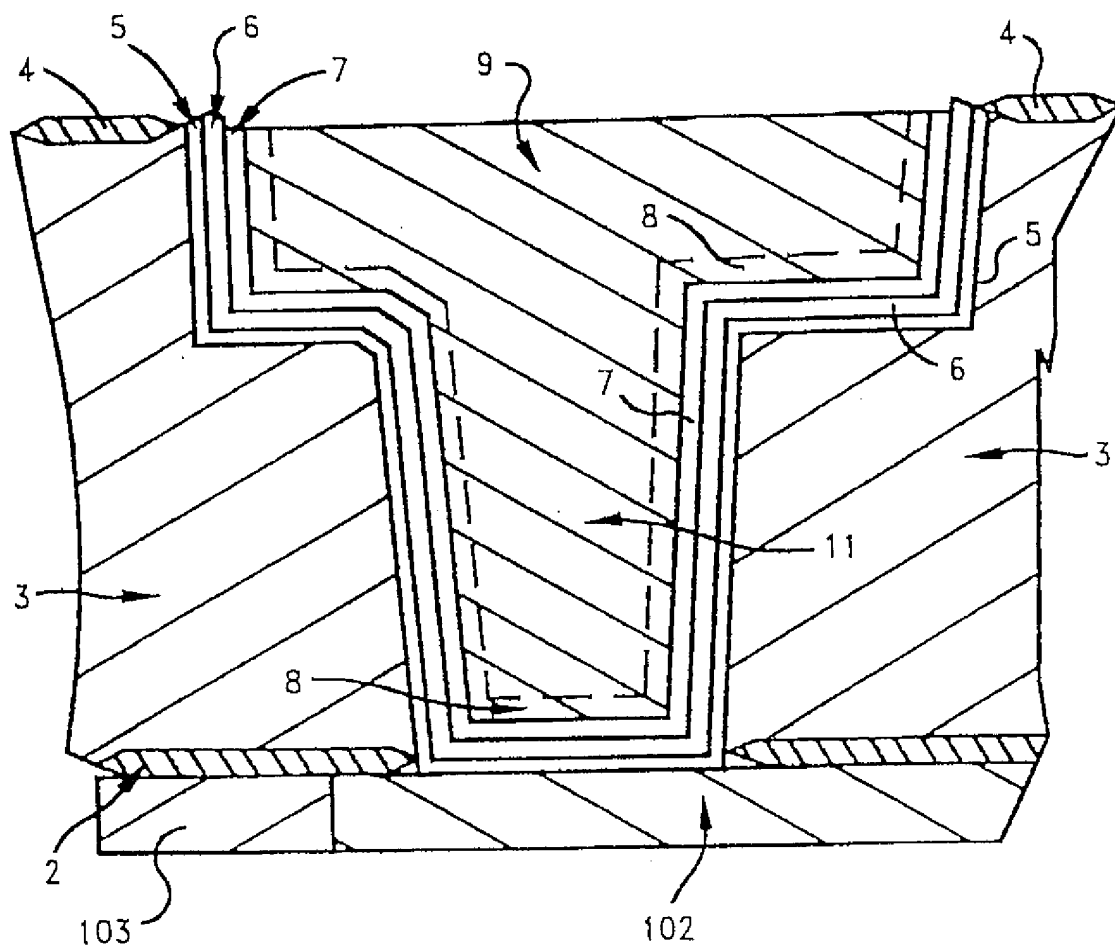


圖 3

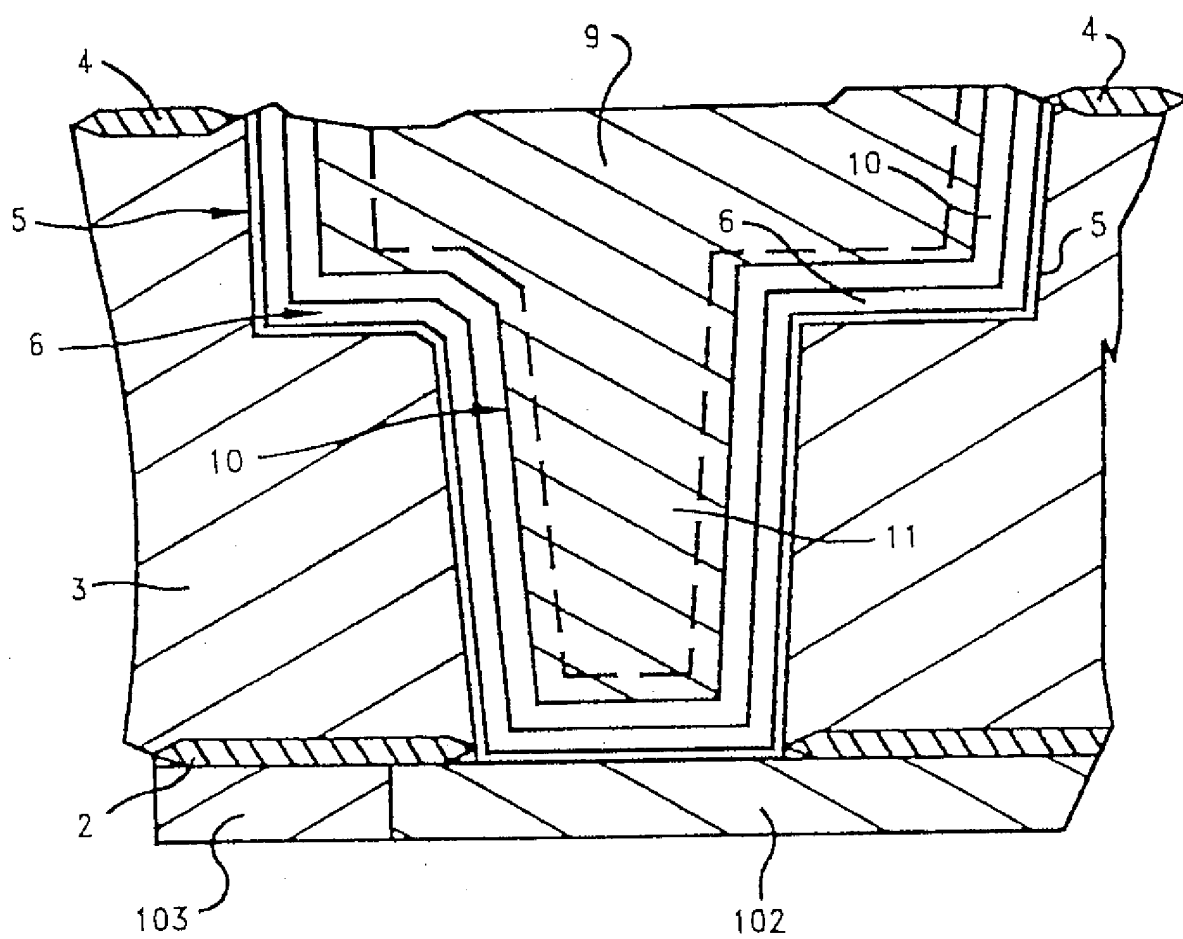


圖 4

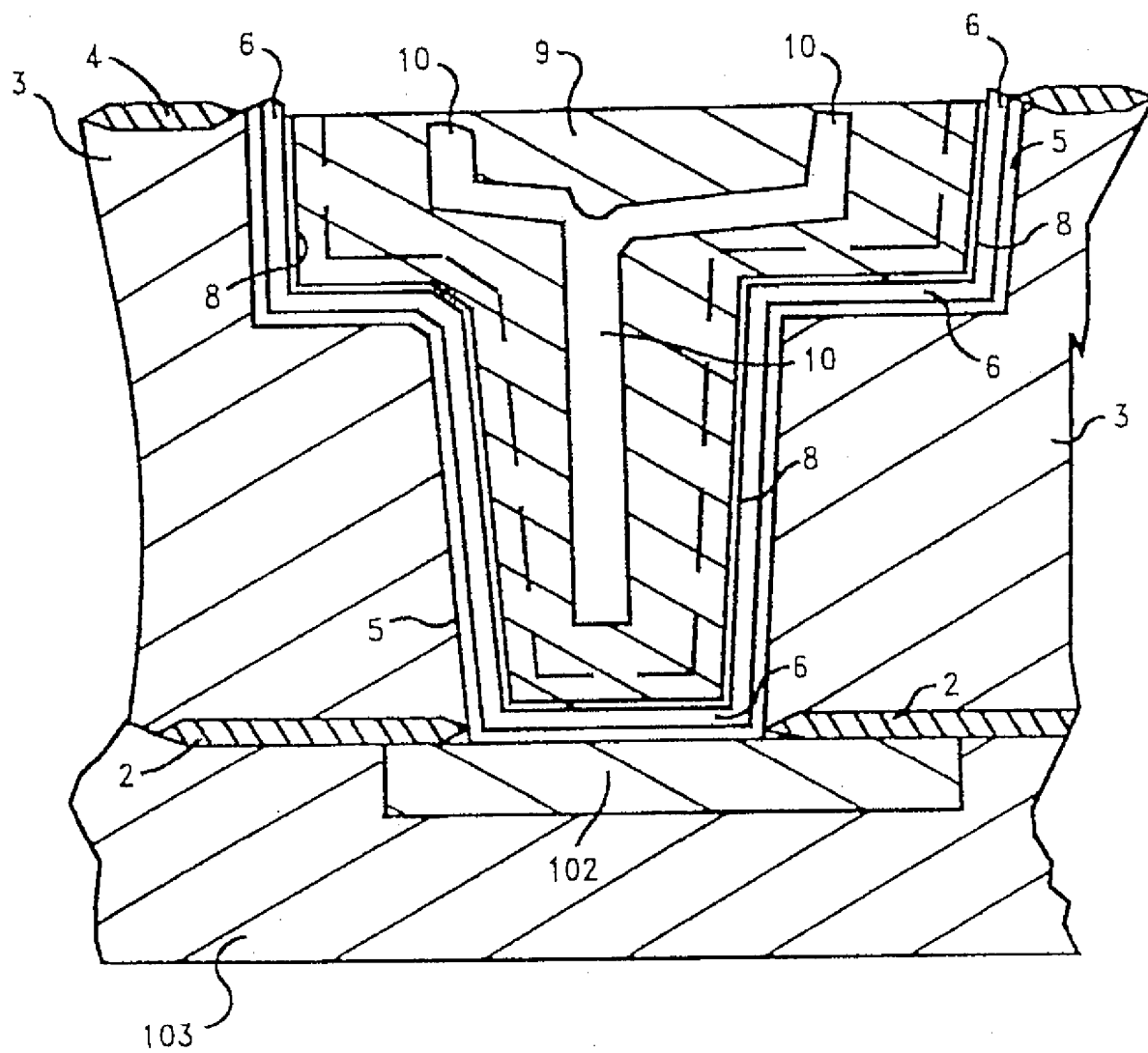


圖 5a

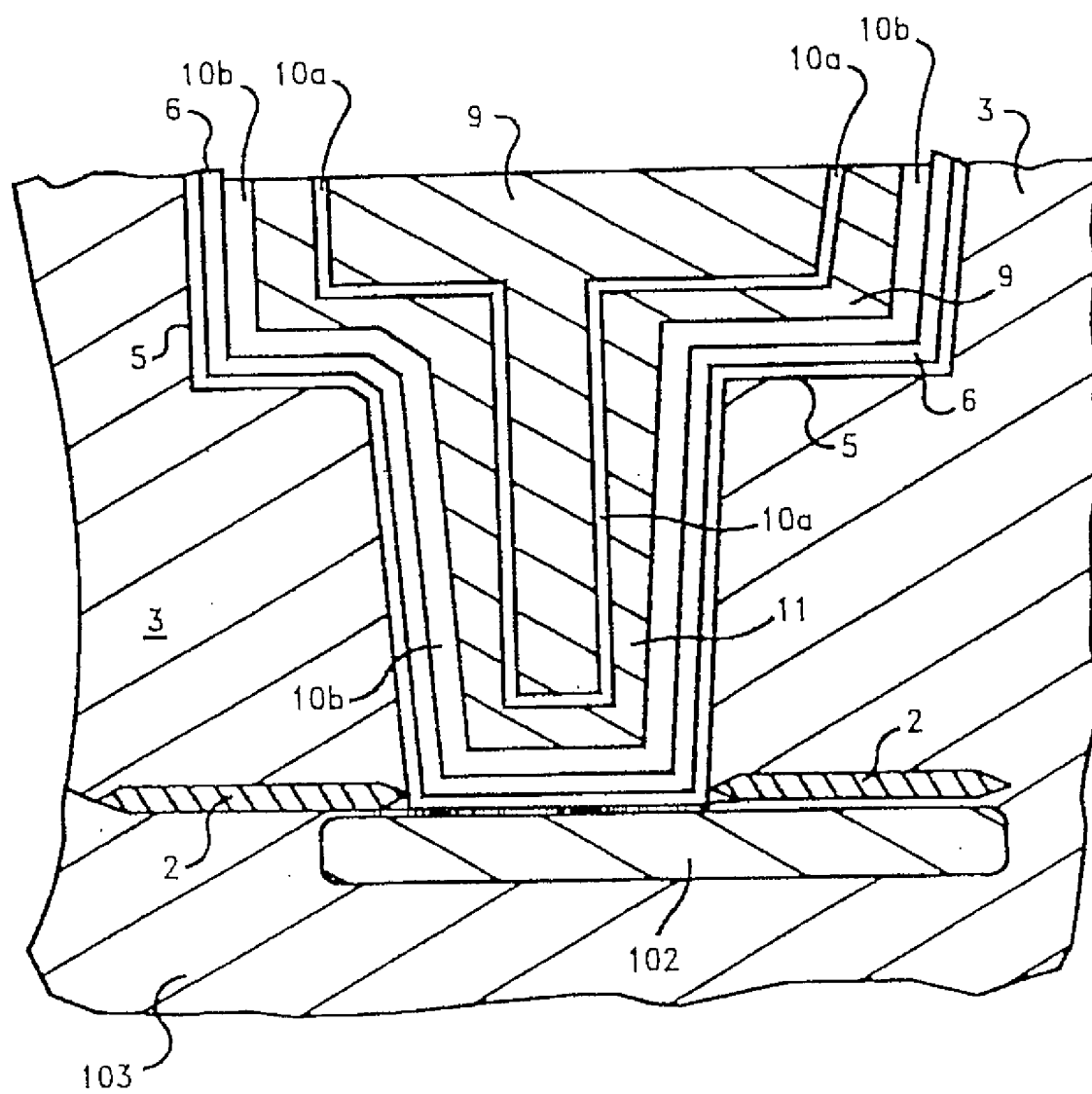
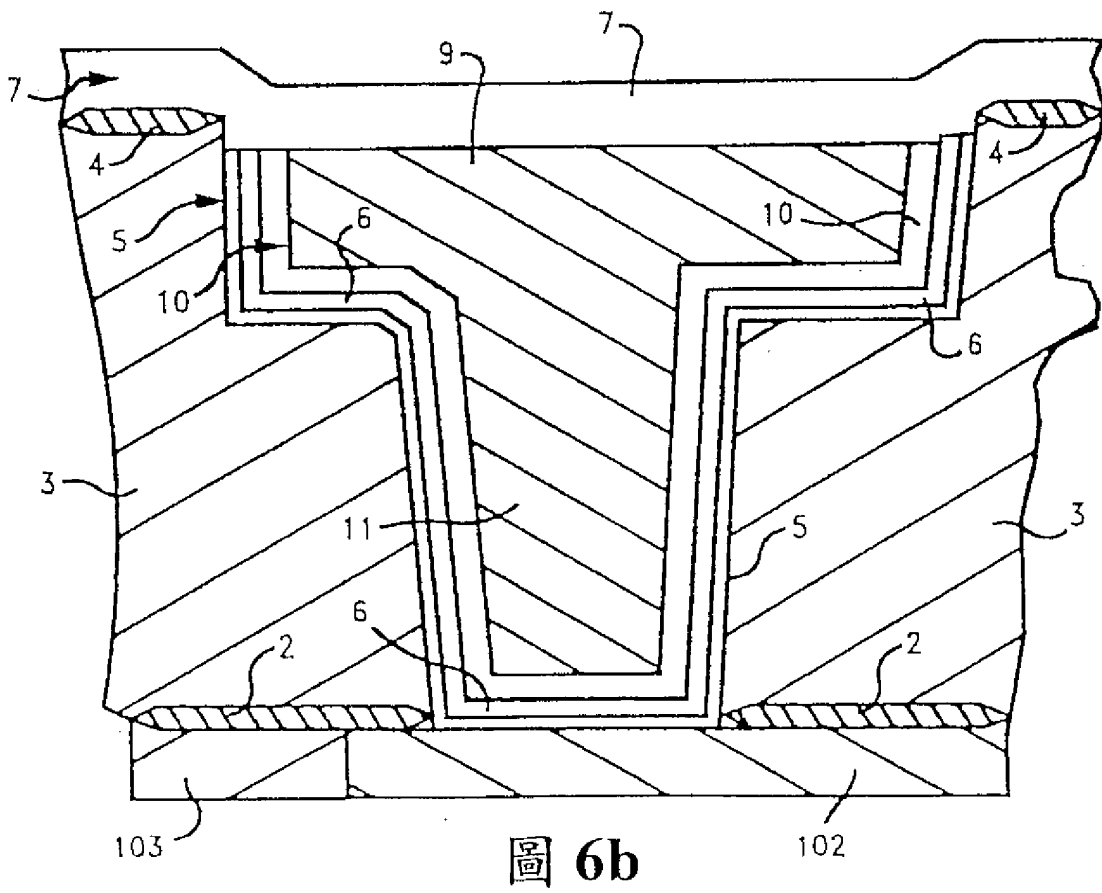
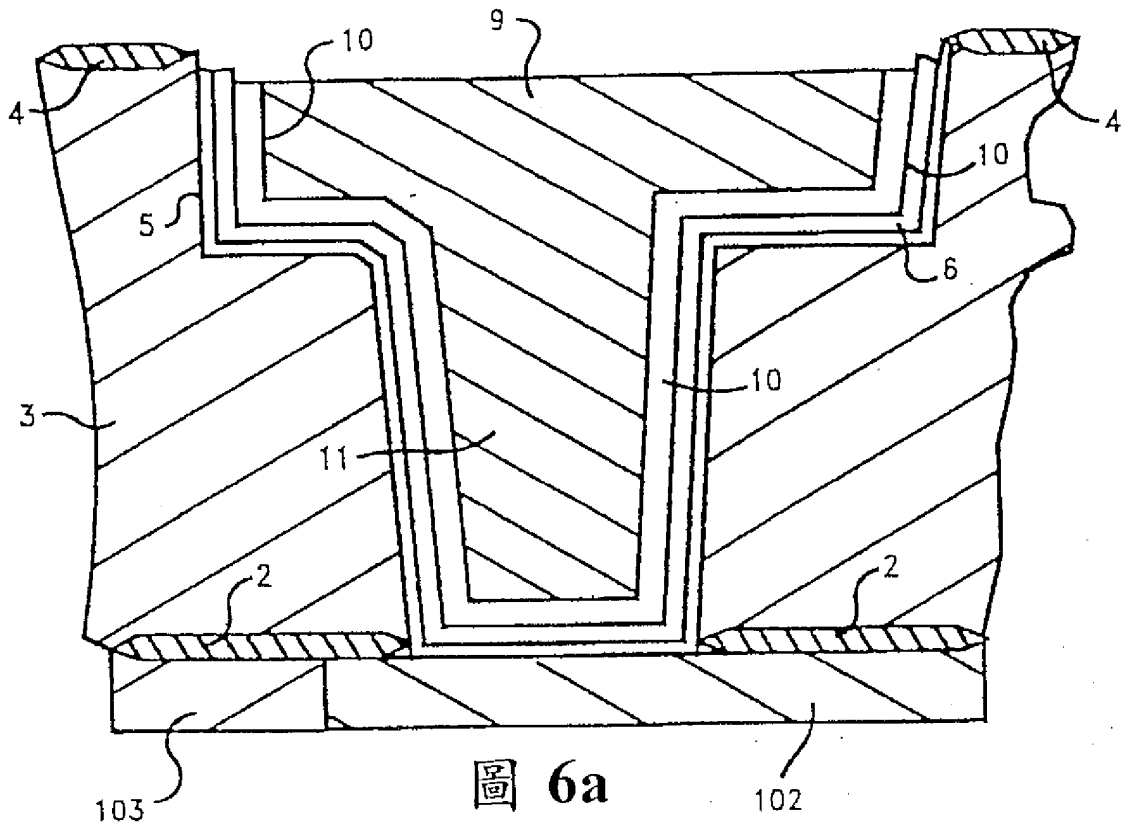


圖 5b



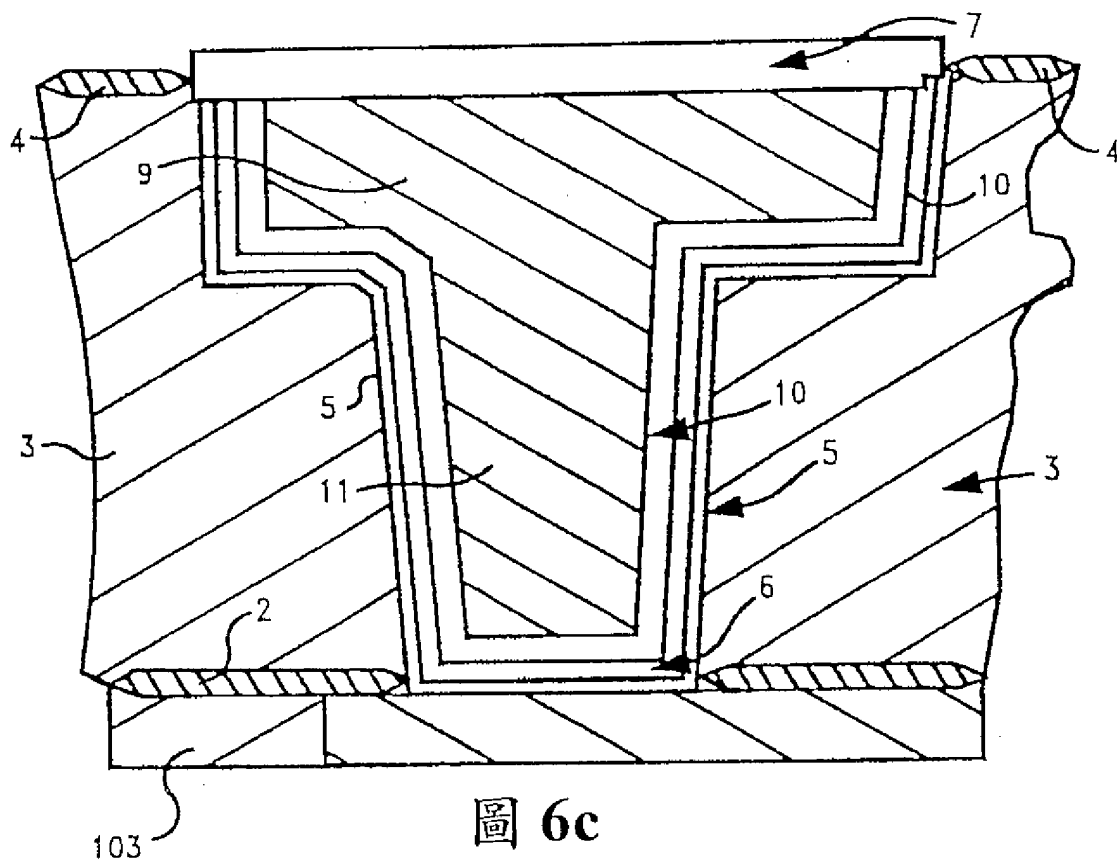


圖 6c

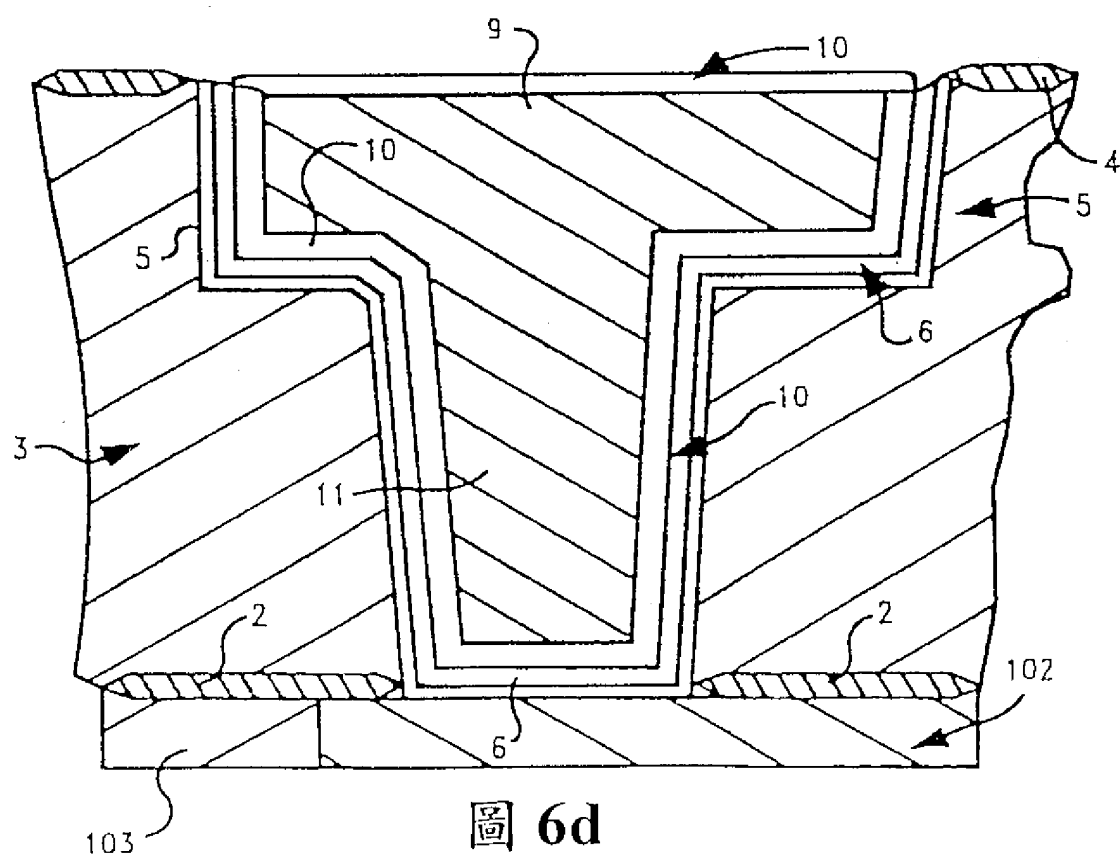


圖 6d

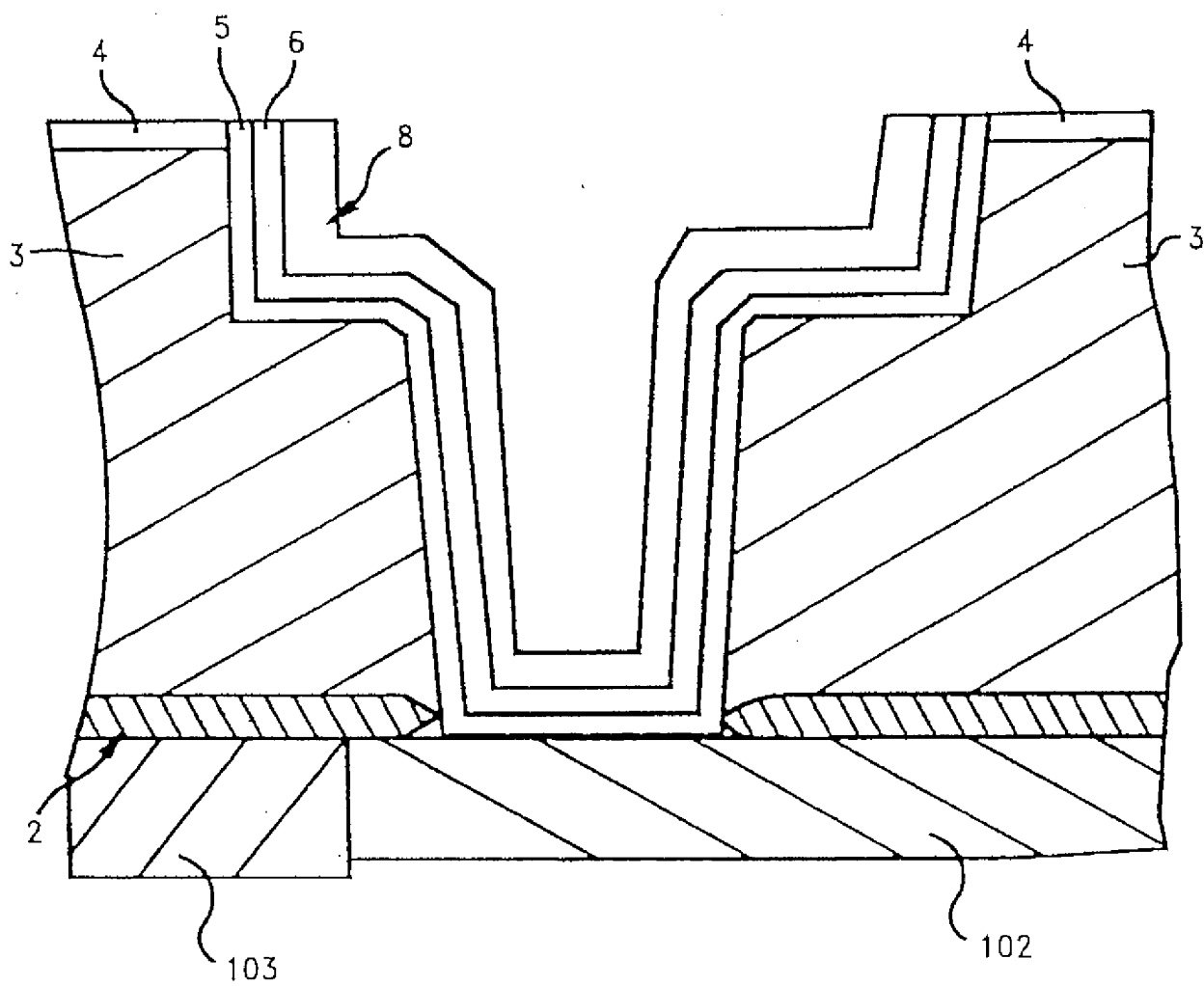


圖 7

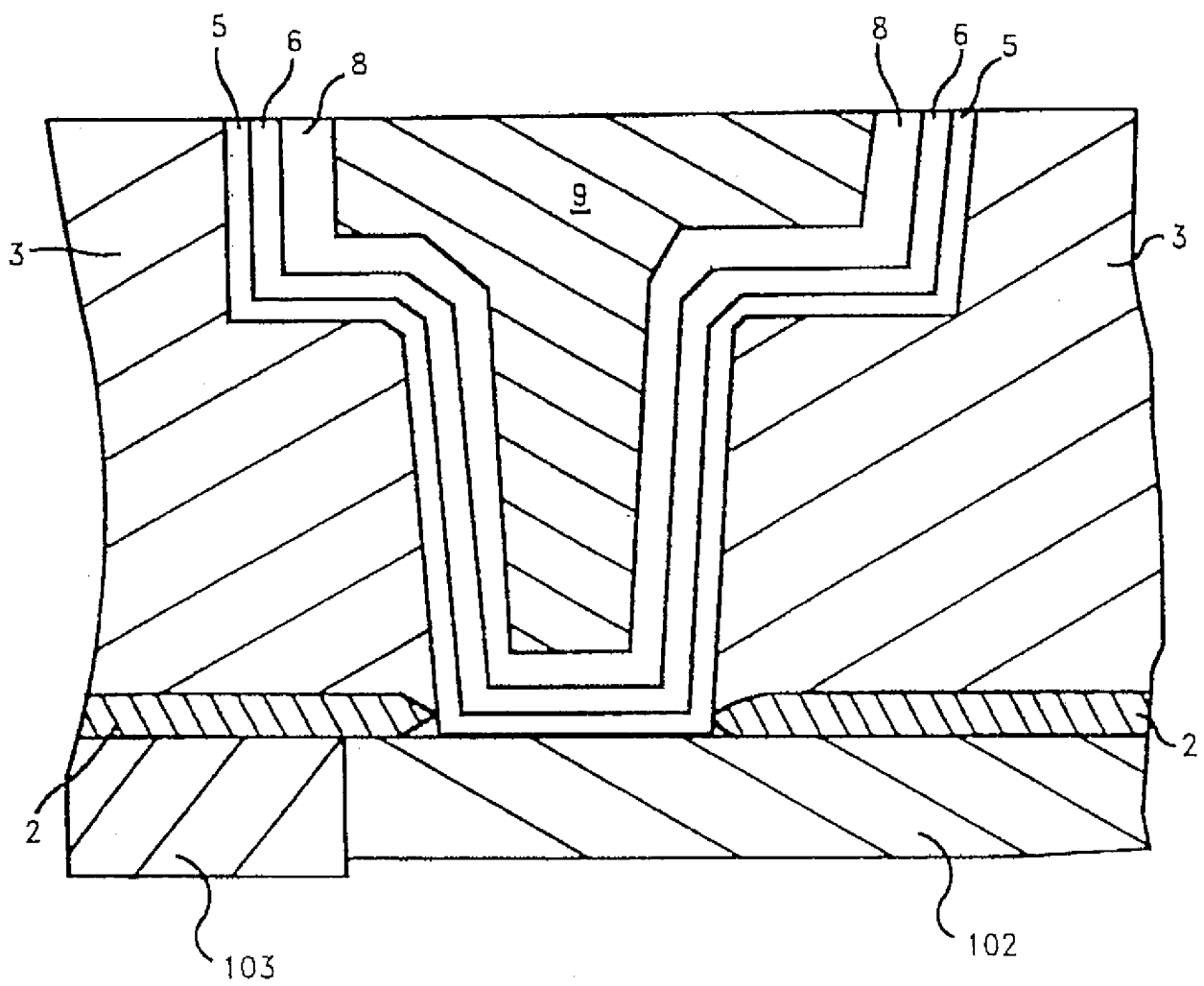


圖 8

六、申請專利範圍

1. 一種形成銅線條之多階互連體之方法，該銅線條係藉介電絕緣體互相隔離，以造成對基材中電特徵之接觸，該方法包括以下步驟：
 - (a) 製備具有介電絕緣層之基材，以接收呈界定圖樣之銅線條；
 - (b) 視情況在該圖樣中沈積金屬內襯；
 - (c) 在該圖樣中沈積一層能夠與銅形成金屬間化合物之元素；
 - (d) 接著在該圖樣中沈積一個化學蒸氣沈積之銅層；
 - (e) 在該化學蒸氣沈積之銅層上方，藉不同程序沈積一銅層，以實質上填滿該圖樣；及
 - (f) 加熱基材，以使該可形成金屬間層之元素與該實質上填滿該圖樣之銅層反應，以形成一層金屬間化合物。
2. 如申請專利範圍第1項之方法，其中化學蒸氣沈積之銅層具有約50至2000埃之厚度。
3. 如申請專利範圍第1項之方法，其中化學蒸氣沈積之銅層具有約100至700埃之厚度。
- ~~在沈積實質上填滿該圖樣之銅層後，包括以下步驟：~~
4. 如申請專利範圍第1項之方法，其中可形成金屬間層之元素係選自包括鉛、鎳、鈦、錫及鋅。
5. 一種形成銅線條之多階互連體之方法，該銅線條係藉介電絕緣體互相隔離，以造成對基材中電特徵之接觸，該方法包括以下步驟：

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

六、申請專利範圍

- (a) 製備具有介電絕緣層之基材，以接收呈界定圖樣之銅線條；
 - (b) 視情況在該圖樣中沈積金屬內襯；
 - (c) 在該圖樣中沈積一層能夠與銅形成金屬間化合物之元素；
 - (d) 接著在該圖樣中沈積一個物理蒸氣沈積之銅層，其具有低於約800埃之厚度；
 - (e) 在該物理蒸氣沈積之銅層上方，藉不同程度沈積一銅層，以實質上填滿該圖樣；及
 - (f) 加熱基材，以使該可形成金屬間層之元素與該實質上填滿該圖樣之銅層反應，以形成一層金屬間化合物。
6. 如申請專利範圍第5項之方法，其中物理蒸氣沈積係藉銅濺射。
 7. 如申請專利範圍第5項之方法，其中物理蒸氣沈積係藉銅蒸發。
 8. 如申請專利範圍第5項之方法，其中物理蒸氣沈積之銅層具有低於約600埃之厚度。
 9. 如申請專利範圍第5項之方法，其中可形成金屬間層之元素係選自包括鉛、鋇、鈦、錫及鋳。
 10. 一種形成銅線條之多階互連體之方法，該銅線條係藉介電絕緣體互相隔離，以造成對基材中電特徵之接觸，該方法包括以下步驟：
 - (a) 製備具有介電絕緣層之基材，以接收呈界定圖樣之

(請先閱讀背面之注意事項再填寫本頁)

訂

六、申請專利範圍

銅線條；

- (b) 視情況在該圖樣中沈積金屬內襯；
- (c) 在該圖樣中沈積一層能夠與銅形成金屬間化合物之元素；
- (d) 接著藉選自包括化學蒸氣沈積與物理蒸氣沈積之程序，在該圖樣中沈積銅晶種層，其中該晶種層具有低於約800埃之厚度；
- (e) 在該銅晶種層上方，藉不同程序沈積一銅層，以實質上填滿該圖樣；及
- (f) 加熱基材，以使該可形成金屬間層之元素與該實質上填滿該圖樣之銅層反應，以形成一層金屬間化合物。

- 11. 如申請專利範圍第10項之方法，其中銅晶種層具有低於約600埃之厚度。
- 12. 如申請專利範圍第10項之方法，其中可形成金屬間層之元素係選自包括鉛、鋇、鈦、錫及鋳。
- 13. 如申請專利範圍第12項之方法，其中銅晶種層係藉物理蒸氣沈積法進行沈積。
- 14. 如申請專利範圍第12項之方法，其中銅晶種層係藉化學蒸氣沈積法進行沈積。

(請先閱讀背面之注意事項再填寫本頁)

訂