



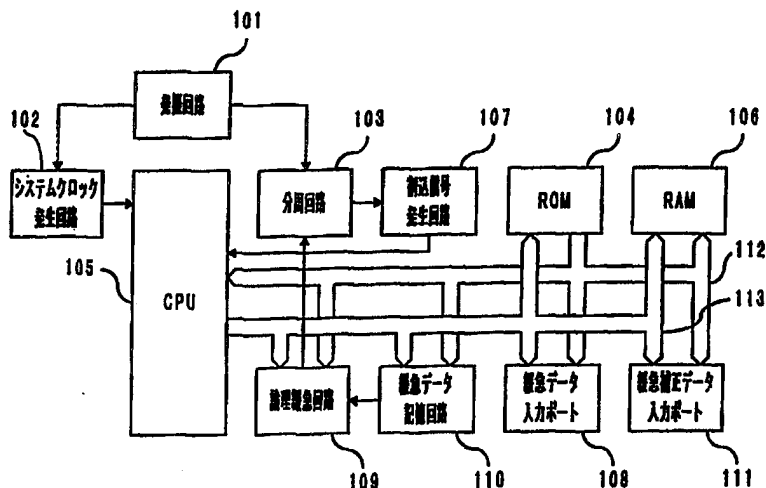
PCT

特許協力条約に基づいて公開された国際出願

(51) 国際特許分類6 G04G 3/02	A1	(11) 国際公開番号 WO98/44395 (43) 国際公開日 1998年10月8日(08.10.98)
(21) 国際出願番号 PCT/JP98/01301 (22) 国際出願日 1998年3月25日(25.03.98) (30) 優先権データ 特願平9/76285 1997年3月27日(27.03.97) JP (71) 出願人 (米国を除くすべての指定国について) セイコーインスツルメンツ株式会社 (SEIKO INSTRUMENTS INC.)[JP/JP] 〒261-8507 千葉県千葉市美浜区中瀬1丁目8番地 Chiba, (JP) (72) 発明者; および (75) 発明者/出願人 (米国についてのみ) 小笠原健治(OGASAWARA, Kenji)[JP/JP] 〒261-8507 千葉県千葉市美浜区中瀬1丁目8番地 セイコーインスツルメンツ株式会社内 Chiba, (JP) (74) 代理人 弁理士 林敬之助(HAYASHI, Keinosuke) 〒270-2252 千葉県松戸市千駄堀1493 Chiba, (JP)		(81) 指定国 CN, US, 欧州特許 (DE, FR, GB). 添付公開書類 国際調査報告書

(54)Title: ELECTRONIC CLOCK

(54)発明の名称 電子時計



- 101 ... oscillation circuit
- 102 ... system clock generation circuit
- 103 ... frequency division circuit
- 107 ... interrupt signal generation circuit
- 109 ... buffer storage circuit
- 110 ... buffer data storage circuit
- 108 ... buffer data input port
- 111 ... buffer correction data input port

(57) Abstract

A high-precision electronic clock in which the operation of a buffer storage circuit for adjusting the precision of the electronic clock is controlled by a micro computer. An output of an oscillation circuit (101) is inputted to a system clock generation circuit (102), and a CPU (105) for executing various arithmetic processing starts operating by this system clock. The output of the oscillation circuit (101) is also inputted to a frequency division circuit (103). An interrupt signal generation circuit (107) starts operating by a signal which has its frequency divided by the frequency division circuit (103), and generates an interrupt signal to the CPU (105). A buffer storage circuit (109) makes increment of a buffer cycle counter allocated to a RAM (106) every interrupt action. When a predetermined count is made, the buffer storage circuit (109) starts operating by data of a ROM (104). With respect to buffer data of the buffer storage circuit (109), data of a buffer data input port (108) are stored in buffer data storage means (110) in accordance with the data of the ROM (104).

(57)要約

電子時計の精度を調整するための論理緩急回路の動作をマイコンにより制御する高精度電子時計である。

発振回路101の出力がシステムクロック発生回路102に入力され、このシステムクロックにより各種演算処理を行うCPU105が動作する。また、発振回路101の出力は分周回路103に入力され、分周回路103に分周された信号により割込信号発生回路107が動作し、CPU105に対し割込信号を発生する。論理緩急回路109は、割込動作毎にRAM106に割り当てられた論理緩急周期カウンタをインクリメントし、所定のカウントをすると、ROM104のデータにより論理緩急回路109が動作する。論理緩急回路109の緩急データは、緩急データ入力ポート108のデータをROM104のデータに従い、論理緩急データ記憶手段110に記憶される。

PCTに基づいて公開される国際出願のパンフレット第一頁に掲載されたPCT加盟国を同定するために使用されるコード(参考情報)

AL	アルバニア	FI	フィンランド	LR	リベリア	SK	スロヴァキア
AM	アルメニア	FR	フランス	LS	レソト	SL	シエラ・レオネ
AT	オーストリア	GA	ガボン	LT	リトアニア	SN	セネガル
AU	オーストラリア	GB	英国	LU	ルクセンブルグ	SZ	スワジランド
AZ	アゼルバイジャン	GD	グレナダ	LV	ラトヴィア	TD	チャード
BA	ボスニア・ヘルツェゴビナ	GE	グルジア	MC	モナコ	TG	トーゴ
BB	バルバドス	GH	ガーナ	MD	モルドヴァ	TJ	タジキスタン
BE	ベルギー	GM	ガンビア	MG	マダガスカル	TM	トルクメニスタン
BF	ブルキナ・ファソ	GN	ギニア	MK	マケドニア旧ユーゴスラヴィア 共和国	TR	トルコ
BG	ブルガリア	GW	ギニア・ビサウ	ML	マリ	TT	トリニダード・トバゴ
BJ	ベナン	GR	ギリシャ	MN	モンゴル	UA	ウクライナ
BR	ブラジル	HR	クロアチア	MR	モーリタニア	UG	ウガンダ
BY	ベラルーシ	HU	ハンガリー	MW	マラウイ	US	米国
CA	カナダ	ID	インドネシア	MX	メキシコ	UZ	ウズベキスタン
CF	中央アフリカ	IE	アイルランド	NE	ニジェール	VN	ヴェトナム
CG	コンゴ	IL	イスラエル	NL	オランダ	YU	ユーゴスラビア
CH	スイス	IS	アイスランド	NO	ノールウェー	ZW	ジンバブエ
CI	コートジボアール	IT	イタリア	NZ	ニュー・ジーランド		
CM	カメルーン	JP	日本	PL	ポーランド		
CN	中国	KE	ケニア	PT	ポルトガル		
CU	キューバ	KG	キルギスタン	RO	ルーマニア		
CY	キプロス	KP	北朝鮮	RU	ロシア		
CZ	チェコ	KR	韓国	SD	スーダン		
DE	ドイツ	KZ	カザフスタン	SE	スウェーデン		
DK	デンマーク	LC	セントルシア	SG	シンガポール		
EE	エストニア	LI	リヒテンシュタイン	SI	スロヴェニア		
ES	スペイン	LK	スリ・ランカ				

明 細 書

電子時計

5 技術分野

本発明は、マイコンを搭載した電子時計に関する。特に精度を調整するための論理緩急回路の動作をマイコンにより制御する高精度電子時計に関するものである。

10 背景技術

通常、電子時計は、32kHzの水晶発振回路を用い、10秒周期の論理緩急を行っていた。その場合、 $1/32768 \times 86400/10 = 264\text{msec/day}$ の調整分解能で調整されており、月差数十秒という精度ではほとんど問題にならない値であった。ところがここ数年の間に時計は高精度化に向かい、年差数十秒という高精度電子時計が開発されてきた。年差数十秒という精度を保つためには工場での精度の合せ込みが重要となり、 264msec/day の調整分解能では対応ができなくなってきた。

そこで細かい調整分解能を得るために、高精度電子時計においてはさまざまな方式がとられてきた。1つの方式として、論理緩急を行う周期を延し、調整分解能を細かくするという方式がある。発振回路201からの信号を分周回路202により分周し、第1の緩急周期カウンタ203によりカウントされた周期で論理緩急回路205を動作させ、緩急データ入力ポート207から取り込まれ、緩急データ記憶回路206に記憶されたデータにより緩急動作を行っており、例えば320秒周期で論理緩急動作を行った場合、 $1/32768 \times 86400/320 = 8\text{msec/day}$ という調整分解能での合せ込みが可能となり、高精度電子時計を実現させるに十分な分解能を得ている。

しかし論理緩急周期を延した場合、調整分解能が細くなる一方、調整可能範囲が狭くなるというデメリットが生じるため、第2の緩急周期カウンタ204により、短い周期での論理緩急動作も行い、短い周期と長い周期での論理緩急動作を組み合わせ、細かい調整分解能と広い調整範囲を実現していた。

- 5 しかし、従来の高精度電子時計では、高精度電子時計用のカスタムICを開発する際、論理緩急回路の動作周期や緩急データ入力ポートのビット数を事前に決定し開発を進めて行くため、論理緩急回路の最小分解能および調整範囲は固定されてしまい、実際に工場での精度の合せ込みを行った場合、工場での合せ込み精度のバラツキや温度環境等により狙いの精度に追い込めなくなり、量
- 10 産の歩留りに大きな影響が出てしまうという問題があった。さらに、発振回路に用いる水晶の周波数がばらついており、ICで固定された調整範囲を超えていた場合、水晶の選別等によるコストアップも考えられる。また、高精度電子時計用ICの中には、水晶のエイジング特性等により精度が計時的にずれてきた場合のアフターサービス用の補正手段を持っているものもあるが、やはりICを開発する
- 15 際に決められた調整量が割り当てられているため、小売店等での再調整時には緩急量が粗すぎる、または細かすぎるため、再調整できないという問題も出てしまう。これらの問題は、ICを開発して工場や市場に製品が出て初めて解ることであり、歩留り低下、コストアップ、ICのハード修正による納期遅延等様々な問題が発生してしまう。

20

発明の開示

- 本発明は第1に、発振回路と、発振回路の出力からシステムクロックを発生させるシステムクロック発生回路と、発振回路の出力を分周する分周回路と、時計の計時動作等の処理手順がプログラミングされているROMと、ROMにプロ
- 25 グラミングされているデータを解読し、各種演算処理を行うCPUと、各種データを記憶するRAMと、演算処理手段に対し割込信号を発生させる割込信号発生

回路と、外部から緩急データを取り込むための緩急データ入力ポートと、分周回路の分周比を可変し、精度を調整するための論理緩急回路と、論理緩急回路の緩急量を決定する緩急データを記憶するための緩急データ記憶回路とを有する構成とした。

- 5 第2に第1の構成に緩急データ入力ポートにより入力された緩急データを補正するためのデータを外部から取り込む緩急補正データ入力ポートを有する構成とした。

図面の簡単な説明

- 10 図1は、本発明に係わる電子時計の一例を示す機能ブロック図である。
図2は、従来の電子時計の構成を示す機能ブロック図である。
図3は、本発明に係わる電子時計の論理緩急回路の緩急量を示す一覧表である。
図4は、本発明に係わる電子時計の第1の実施形態の動作フローを示す図
15 である。
図5は、本発明に係わる電子時計の第2の実施形態の動作フローを示す図である。
図6は、本発明に係わる電子時計の第3の実施形態の動作フローを示す図
20 である。

発明を実施するための最良の形態

- 図1は、本発明の代表的な構成の1例を示す機能ブロック図である。図1において、発振回路101の出力がシステムクロック発生回路102に入力され、このシステムクロックにより各種演算処理を行うCPU105が動作する。また、発振回路101の出力は分周回路103に入力され、分周回路103に分周された信号により割込信号発生回路107が動作し、CPU105に対し割込信号を発生す
25

る。

分周回路103の分周比を可変し、精度を調整するための論理緩急回路109を動作させるには、割込信号発生回路107からの割込信号によりCPU105が割込動作に入り、最初にROM104のアドレスが決定され、プログラミングデータがデータバス112にのりCPU105に送られる。CPU105ではプログラミングデータを解読し、各種演算処理が行われる。CPU105の割込動作毎にRAM106に割り当てられた論理緩急周期カウンタをインクリメントし、所定の値をカウントすると、ROM104のデータによりアドレスバス113が論理緩急回路109の動作制御アドレスを選択し、データバス112により論理緩急回路が動作する。

10 論理緩急回路109の緩急データは、緩急データ入力ポート108および緩急補正データ入力ポート111に割り当てられた入力ポートのデータをROM104のデータに従い、アドレスバス113が入力ポートのアドレスを選択し、CPU105からのリード信号によりデータバス112に取り込まれ、CPU105内のアキュムレータに保存され、アキュムレータのデータは、ROM104のデータおよびアドレスバス113により緩急データ記憶回路110のアドレスが選択され、データバス112を介し緩急データ記憶回路110に記憶される。緩急データ入力ポート108および緩急補正データ入力ポート111に割り当てられる入力ポートは、外部からデータを取り込むことができるポートであれば汎用の入力ポートや入出力ポートでかまわない。

20 図3は、本発明の論理緩急回路の緩急周期と緩急データの組み合わせによる日差の緩急量の一覧表である。図3において、発振回路101の出力を32kHzとした場合、緩急データ記憶回路110を構成するB0～B5の各ビットは32kHz、16kHz、8kHz、4kHz、2kHz、1kHzの1クロックの緩急量に相当し、日差の緩急量を求める式は次の式で求めることができる。

25
$$(1/\text{緩急周波数}) \times 86400 \text{秒} / \text{緩急周期}(\text{sec/day}) \cdots (1)$$

(1)式を用いて、B1で320秒周期の論理緩急動作を行った場合の緩急量は

$(1/16384) \times 86400 / 320 = 16.5 (\text{msec/day})$ となる。

図4は、本発明の電子時計における論理緩急回路109の動作周期を10秒と320秒で行い、緩急データを10ビットとした場合の動作を示すフローチャートである。図4において、割込信号発生回路107からの割込信号により、CPU105
5 は割込動作に入り、RAM105に割り当てられた10秒周期カウンタおよび320秒周期カウンタをインクリメントする(S401)。10秒周期カウンタが10になったかを判断し、10になった場合S403へ、10に満たなかった場合、S406へ分岐する(S402)。10秒周期カウンタが10になった場合、緩急データ入力ポート108の10ビットの内、10秒周期の緩急データに割り当てられた5ビットを取り込
10 む(S403)。取り込まれた5ビットのデータを緩急データ記憶回路110のB0～B4にセットする(S404)。

セットされた緩急データにしたがい、論理緩急回路109が動作する(S405)。10秒周期カウンタが10に満たなかった場合、320秒周期カウンタが320になったかを判断し、320になった場合S407へ、320に満たなかった場合、CPU
15 105を停止し、HALT動作に入る(S406)。320秒周期カウンタが320になった場合、緩急データ入力ポート108の10ビットの内、320秒周期の緩急データに割り当てられた5ビットを取り込む(S407)。取り込まれた5ビットのデータを緩急データ記憶回路110のB0～B4にセットする(S408)。セットされた緩急データにしたがい、論理緩急回路109が動作する(S409)。以上の動作により、
20 論理緩急回路109は、最小分解能8msec/dayから最大で8.44sec/dayの論理緩急を行うことができる。

図5は、本発明の電子時計における論理緩急回路109の動作周期を10秒と640秒で行い、緩急データを11ビットとした場合の動作を示すフローチャートである。図5において、割込信号発生回路107からの割込信号により、CPU105
25 は割込動作に入り、RAM105に割り当てられた10秒周期カウンタおよび640秒周期カウンタをインクリメントする(S501)。10秒周期カウンタが10になった

かを判断し、10になった場合S503へ、10に満たなかった場合、S506へ分岐する(S502)。10秒周期カウンタが10になった場合、緩急データ入力ポート108の11ビットの内、10秒周期の緩急データに割り当てられた5ビットを取り込む(S503)。取り込まれた5ビットのデータを緩急データ記憶回路110のB0～
5 B4にセットする(S504)。

セットされた緩急データにしたがい、論理緩急回路109が動作する(S505)。10秒周期カウンタが10に満たなかった場合、640秒周期カウンタが640になったかを判断し、640になった場合S507へ、640に満たなかった場合、CPU105を停止し、HALT動作に入る(S506)。640秒周期カウンタが640になっ
10 た場合、緩急データ入力ポート108の11ビットの内、640秒周期の緩急データに割り当てられた6ビットを取り込む(S507)。取り込まれた6ビットのデータを緩急データ記憶回路110のB0～B5にセットする(S508)。セットされた緩急データにしたがい、論理緩急回路109が動作する(S509)。以上の動作により、論理緩急回路109は、最小分解能4msec/dayから最大で8.44sec/day
15 の論理緩急を行うことができる。

図6は、本発明の電子時計における緩急データの補正処理を示すフローチャートである。図6において、緩急データ入力ポート108から読み込まれた緩急データをRAM106に割り当てられた第1の演算領域に書き込む(S601)。緩急補正データ入力ポート111から読み込まれた緩急データをRAM106に割り
20 てられた第2の演算領域に書き込む(S602)。第2の演算領域に書き込まれたデータはROM104のプログラミングデータによりB0からB5の該当ビットに割り当てられ、割り当てられたビットに相当する第1の演算領域のビットに加算または減算する(S603)。演算された第1の演算領域のデータを緩急データ記憶回路110にセットする(S604)。以降、図4または図5の動作を行う。

25

産業上の利用可能性

本発明によれば、上述の如く、緩急周期と緩急データビット数をROMにプログラミングされたデータにより任意に決定することができるため、精度の調整分解能および調整範囲を工場の製造体制に合わせて、容易に変更することが可能となる。

- 5 また、市場での精度の再調整に必要な調整量に関しても、小売店等の情報を元に再度設定し直すことがROMにプログラミングされたデータの変更により、容易に可能となる。

請 求 の 範 囲

1. 発振回路と、前記発振回路の出力からシステムクロックを発生させるシステムクロック発生回路と、前記発振回路の出力を分周する分周回路と、時計の
5 計時動作等の処理手順がプログラミングされているROMと、前記ROMにプログラミングされているデータを解読し、各種演算処理を行うCPUと、各種データを記憶するRAMと、前記CPUに対し割込信号を発生させる割込信号発生回路と、外部から緩急データを取り込むための緩急データ入力ポートと、前記分周回路の分周比を可変し、精度を調整するための論理緩急回路と、前記論理緩急
10 回路の緩急量を決定する緩急データを記憶するための緩急データ記憶回路とを有し、前記論理緩急回路は、前記ROMのデータに従い、前記割込信号発生回路からの信号を受け、前記CPUにより前記RAMでカウントされた少なくとも2つの周期で動作し、前記緩急データ入力ポートから取り込まれ、前記緩急データ記憶回路に記憶された緩急データと2つの緩急周期を前記ROMにプログラミ
15 ングされたデータにより、任意に組み合わせて動作させることを特徴とする電子時計。
2. 前記緩急データ入力ポートにより入力された緩急データを補正するためのデータを外部から取り込む緩急補正データ入力ポートを有し、前記論理緩急回路は、前記緩急データ入力ポートと前記緩急補正データ入力ポートにより取り
20 込まれたデータを前記ROMにプログラミングされたデータに従い、前記CPUにより前記RAM上で演算されたデータを前記緩急データ記憶回路に記憶させ、動作することを特徴とする請求項1記載の電子時計。

図1

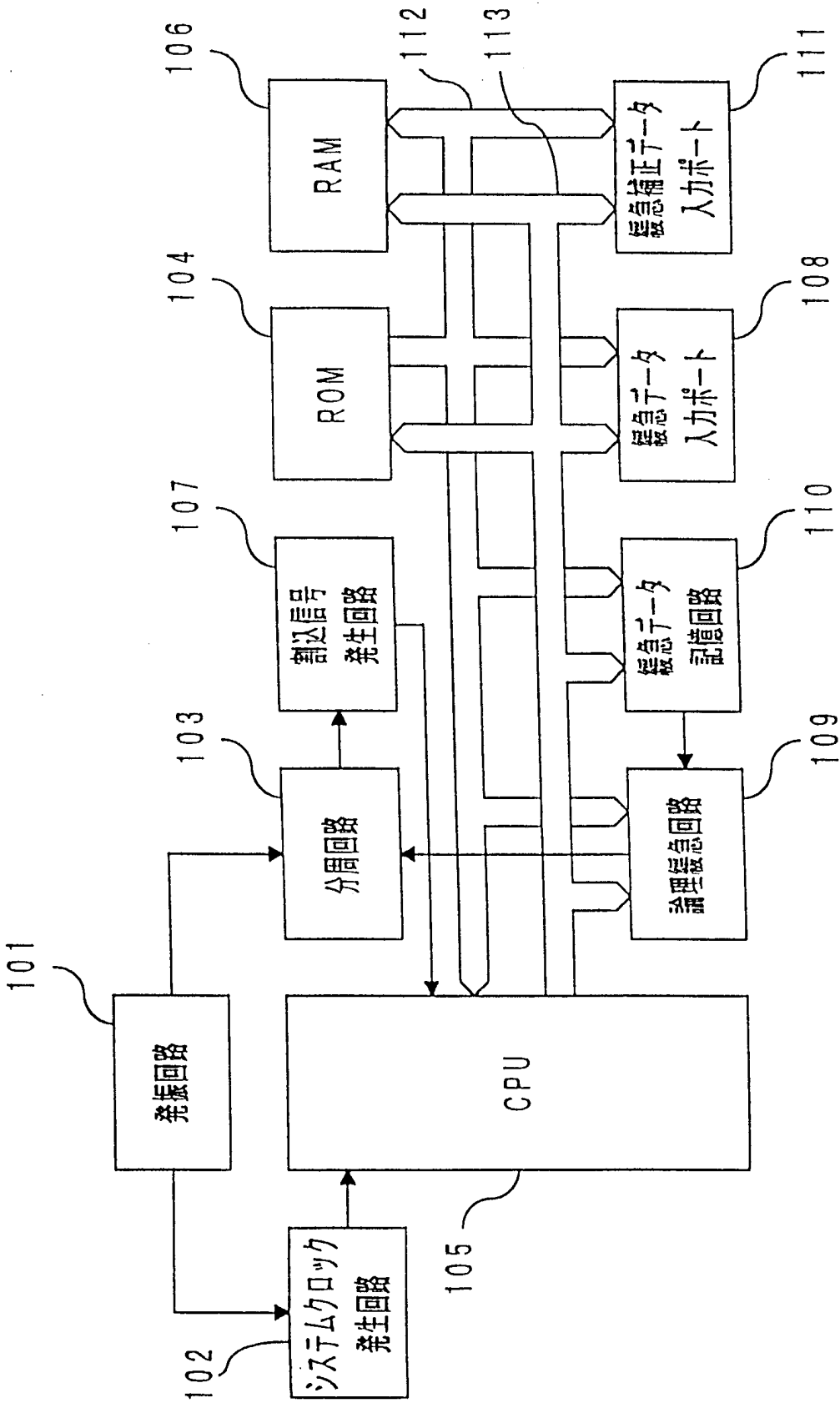


図 2

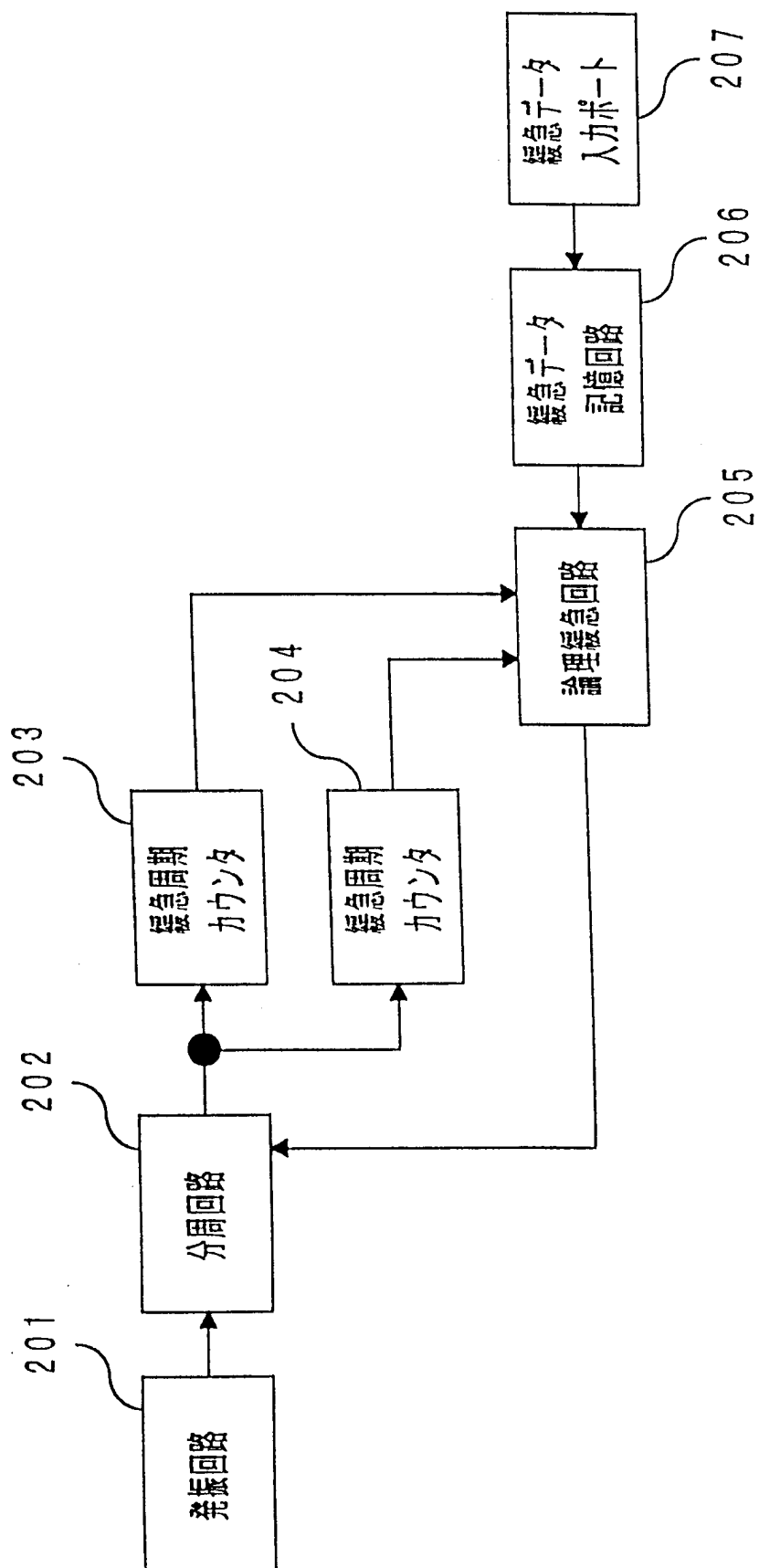


図 3

緩急ビット	10秒周期	320秒周期	640秒周期
B0	264msec/day	8msec/day	4msec/day
B1	527msec/day	16msec/day	8msec/day
B2	1.05sec/day	33msec/day	16msec/day
B3	2.11sec/day	66msec/day	33msec/day
B4	4.22sec/day	132msec/day	66msec/day
B5	8.44sec/day	264msec/day	132msec/day

図 4

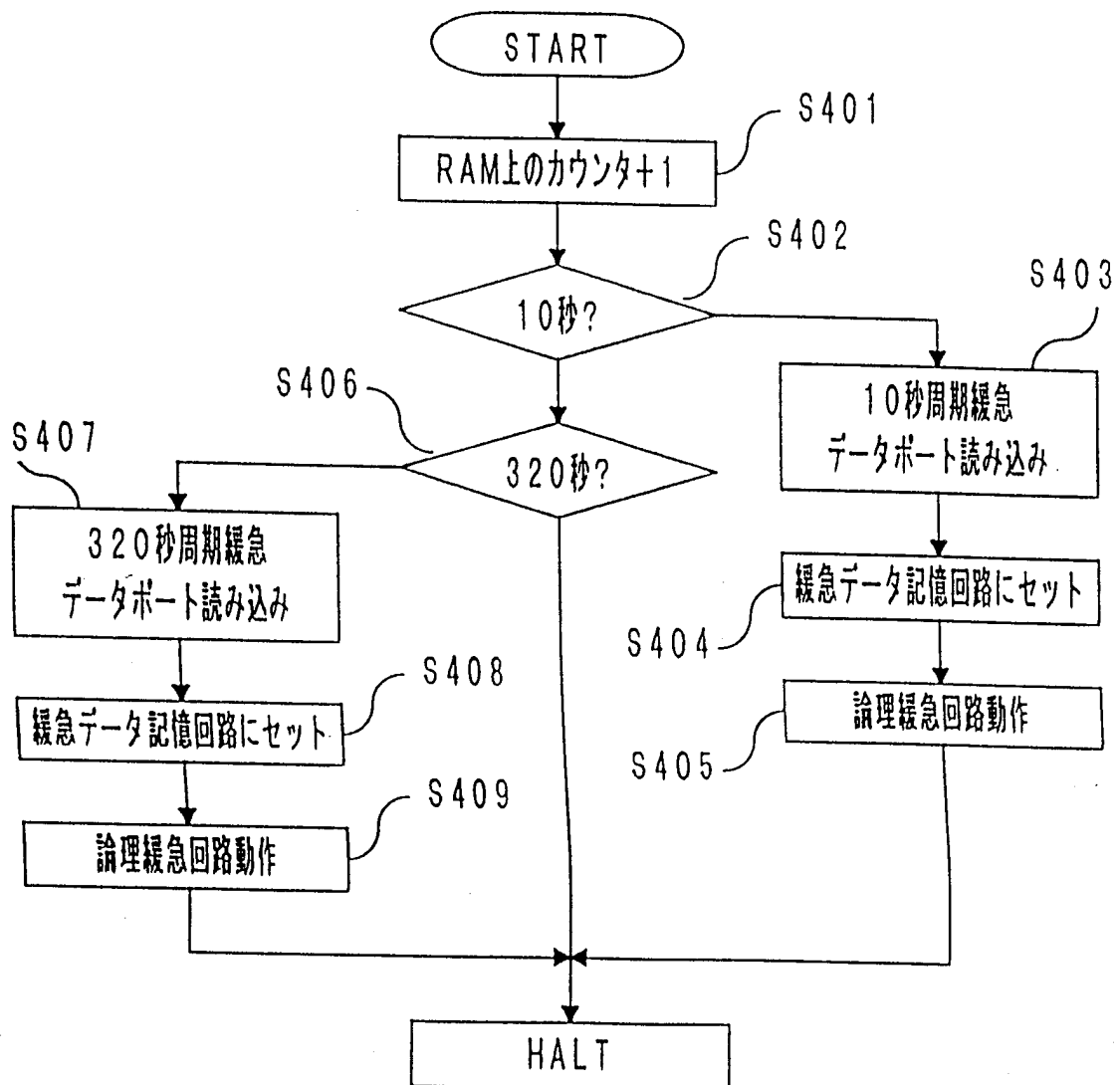


図 5

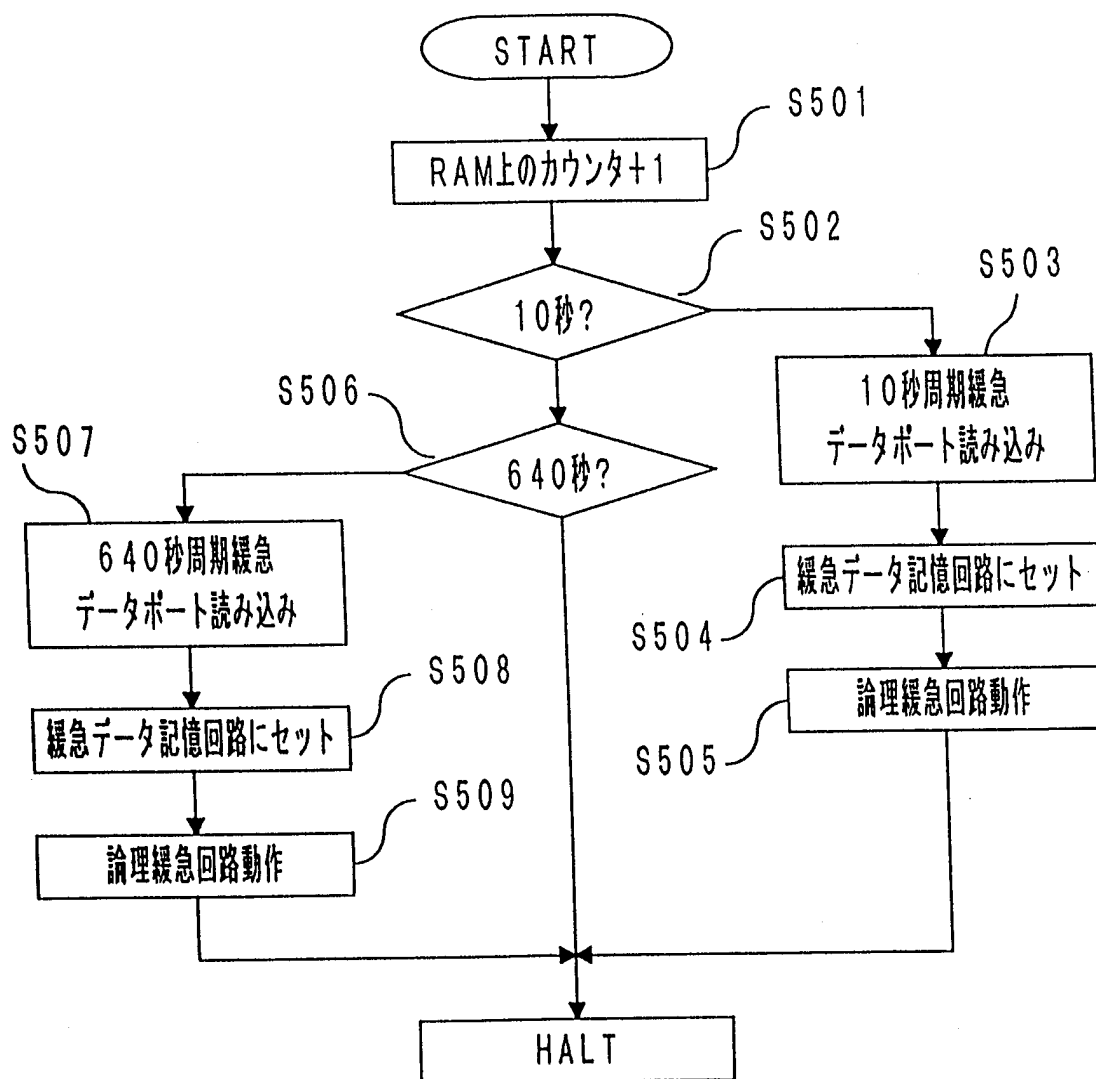
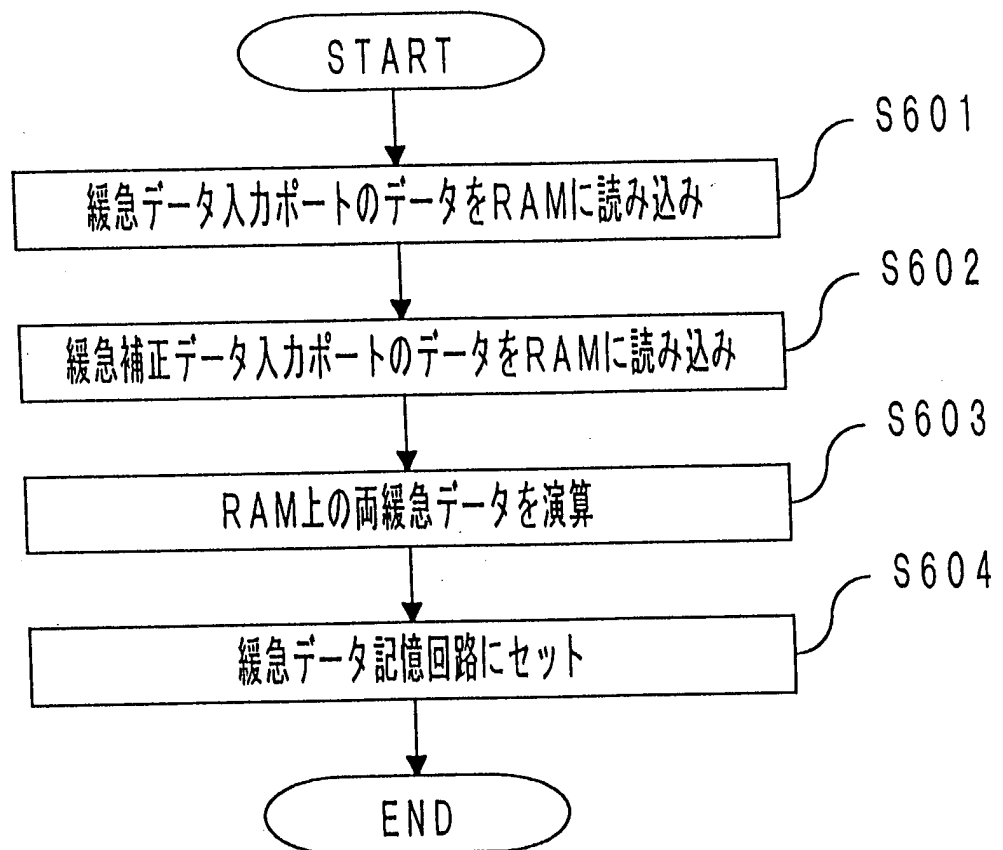


図 6



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP98/01301

A. CLASSIFICATION OF SUBJECT MATTER Int.Cl ⁶ G04G3/02		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) Int.Cl ⁶ G04G3/02		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Jitsuyo Shinan Koho 1926-1996 Toroku Jitsuyo Shinan Koho 1994-1998 Kokai Jitsuyo Shinan Koho 1971-1998 Jitsuyo Shinan Toroku Koho 1996-1998		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP, 4-42090, A (Seiko Instruments Inc.), February 12, 1992 (12. 02. 92), Claims ; page 3, upper left column line 14 to page 4, upper left column, line 13 ; Figs. 1, 2, 3, 11 (Family: none)	1
Y	JP, 62-237386, A (Seiko Instruments Inc.), October 17, 1987 (17. 10. 87), Claims ; page 2, upper right column, line 1 to lower left column, line 6 ; Fig. 1 (Family: none)	1
A	JP, 5-72359, A (Seiko Epson Corp.), March 26, 1993 (26. 03. 93) (Family: none)	1, 2
A	JP, 63-106595, A (Seiko Instruments Inc.), May 11, 1988 (11. 05. 88) (Family: none)	1, 2
A	JP, 57-46191, A (Citizen Watch Co., Ltd.), March 16, 1982 (16. 03. 82) (Family: none)	1, 2
☐ Further documents are listed in the continuation of Box C. ☐ See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier document but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search April 14, 1998 (14. 04. 98)		Date of mailing of the international search report April 28, 1998 (28. 04. 98)
Name and mailing address of the ISA/ Japanese Patent Office		Authorized officer
Facsimile No.		Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))		
Int. Cl ⁶ G 0 4 G 3 / 0 2		
B. 調査を行った分野		
調査を行った最小限資料 (国際特許分類 (IPC))		
Int. Cl ⁶ G 0 4 G 3 / 0 2		
最小限資料以外の資料で調査を行った分野に含まれるもの		
日本国実用新案公報 1926-1996 日本国公開実用新案公報 1971-1998 日本国登録実用新案公報 1994-1998 日本国実用新案登録公報 1996-1998		
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	J P, 4-42090, A (セイコー電子工業株式会社), 12.2月. 1992年 (12.02.92), 特許請求の範囲, 第3頁左上欄第14行~第4頁左上欄第13行, 図面第1, 2, 3, 11図, (ファミリーなし)	1
Y	J P, 62-237386, A (セイコー電子工業株式会社), 17.10月. 1987年 (17.10.87), 特許請求の範囲, 第2頁右上欄第1行~同頁左下欄第6行, 図面第1図, (ファミリーなし)	1
☒ C欄の続きにも文献が列举されている。 ☐ パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 先行文献ではあるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリー文献		
国際調査を完了した日 14.04.98	国際調査報告の発送日 28.04.98	
国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 櫻井 仁 印	2 F 9008
電話番号 03-3581-1101 内線 3217		

C (続き). 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	J P, 5-72359, A (セイコーエプソン株式会社), 26. 3月. 1993 (26, 03, 93), (ファミリーなし)	1, 2
A	J P, 63-106595, A (セイコー電子工業株式会社), 1 1. 5月. 1988年 (11. 05. 88), (ファミリーなし)	1, 2
A	J P, 57-46191, A (シチズン時計株式会社), 16. 3月. 1982年 (16. 03. 82), (ファミリーなし)	1, 2