

A1

**DEMANDE
DE BREVET D'INVENTION**

②①

N° 81 08439

⑤④ Procédé de transmission par multiplexage/démultiplexage et dispositif de mise en œuvre.

⑤① Classification internationale (Int. Cl. 3). H 04 L 5/22; H 04 B 7/00; H 04 J 5/22.

②② Date de dépôt..... 28 avril 1981.

③③ ③② ③① Priorité revendiquée :

④① Date de la mise à la disposition du
public de la demande..... B.O.P.I. — « Listes » n° 43 du 29-10-1982.

⑦① Déposant : THOMSON-CSF, société anonyme, résidant en France.

⑦② Invention de : Gérard Sorton et André Marguinaud.

⑦③ Titulaire : *Idem* ⑦①

⑦④ Mandataire : P. Guilguet, Thomson-CSF, SCPI,
173, bd Haussmann, 75360 Paris Cedex 08.

PROCEDE DE TRANSMISSION PAR MULTIPLEXAGE/
DEMULTIPLEXAGE ET DISPOSITIF DE MISE EN OEUVRE

L'invention concerne un procédé de transmission par multiplexage/démultiplexage et plus particulièrement un procédé de transmission par
5 multiplexage/démultiplexage de voies de paroles, de messages télégraphiques et de données numériques, transmis par faisceau hertzien dans le canal troposphérique. Elle concerne également un dispositif de mise en oeuvre du procédé.

Le canal troposphérique est un milieu de propagation très fluctuant
10 dans lequel la transmission peut être totalement coupée pendant des durées variables (quelques microsecondes à quelques dixièmes de secondes) avec des fréquences d'occurrence variables. Le procédé de multiplexage/démultiplexage doit par conséquent être conçu pour ne pas multiplier les perturbations provoquées par les coupures au cours de la
15 transmission. Le terme de coupure est synonyme de fading, et d'affaiblissement dans le domaine des transmissions. Le procédé de multiplexage est conçu principalement pour combiner les données provenant de plusieurs voies de transmission, appelées voies basse vitesse, en un seul train de données sur une voie, appelée voie haute vitesse ; les messages de
20 données à multiplexer en un même point différent par leur code, leur débit et leur mode de transmission (synchrone ou asynchrone).

En plus du problème d'affaiblissement (ou fading) lors de la transmission, ce qui entraîne une perte d'information, se pose un problème de synchronisation.

25 En effet lorsque l'affaiblissement se prolonge pendant un temps supérieur à la durée d'une trame (environ quelques ms), on perd le signal d'horloge c'est-à-dire la synchronisation de caractères ou de trames. Deux solutions sont connues pour remédier à ce problème, mais elles présentent toutes deux des inconvénients.

30 Première solution : lorsque la longueur des trames est fixe on vérifie à la réception la présence à des instants caractéristiques d'un mot de synchronisation particulier. On constate que cette première solution est sensible aux erreurs de valeur sur les éléments binaires (e.b), ce qui impose

l'emploi de corrélation de présence du mot de synchronisation sur plusieurs trames. Cette solution est sensible également aux erreurs de présence (un e.b en plus ou en moins dans le train numérique reçu), qui décalent le mot de synchronisation par rapport aux instants théoriques.

- 5 D'autre part on ne modifie pas le contenu de l'information pour éviter les configurations identiques au mot de synchronisation.

- Deuxième solution : lorsque la longueur des trames est variable on cherche en permanence, la présence du mot de synchronisation appelé "drapeau" dans chaque trame. Une erreur de valeur ou de présence ne peut
- 10 perturber le contenu d'une trame, le démultiplexeur se synchronisant sur le premier "drapeau" reçu correctement. Cela n'est possible qu'en modifiant à l'émission le contenu de l'information pour éviter les configurations identiques au "drapeau" (technique de codage HDLC). Cette modification de l'information s'obtient par adjonction d'un nombre variable d'e.b. Il faut
- 15 donc tenir compte de cette variation pour maintenir un débit constant en transmission, ce qui alourdit la procédure. Or en période d'affaiblissement de la transmission, l'information est perdue dans le cas des deux solutions présentées. En ce qui concerne la synchronisation, dans la deuxième solution présentée on perd toute trame dont le début est perturbé
- 20 (affaibli). La première solution, plus lente à acquérir la synchronisation, doit être renforcée pour maintenir le synchronisme en période d'affaiblissement.

- D'autre part la première solution complique le démultiplexeur, car il doit, en période d'affaiblissement, estimer le taux d'erreur sur le signal de
- 25 sortie du démodulateur. La deuxième solution complique le multiplexeur qui doit gérer chaque trame pour lui assurer une valeur moyenne constante égale à la durée théorique de la trame.

- Pour pallier ces difficultés, la présente invention propose un procédé pour maintenir un débit constant en sortie du multiplexeur et ainsi
- 30 permettre de récupérer le signal d'horloge échantillonné de façon correcte, même en présence d'affaiblissement, c'est-à-dire même lorsque le signal est au même niveau que le bruit.

L'invention propose donc un procédé de transmission par multiplexage/démultiplexage de données provenant de plusieurs voies de trans-

mission en mode synchrone ou asynchrone ayant des débits différents et transmises par faisceau hertzien, principalement caractérisé en ce que le train de données obtenu par multiplexage dans le temps a une structure tramée plésiochrone, chaque trame comportant une premier mot de synchronisation suivi d'un mot d'identification de justification, suivi d'un mot d'information identifié par le mot d'identification de justification, suivi d'un deuxième mot de synchronisation, suivi d'un mot d'éléments descripteurs permettant d'identifier et de donner l'état des voies, la longueur nominale de la trame étant fixe, et sa structure assurant une conservation du nombre d'élément binaire transmis afin d'éviter la désynchronisation des équipements de la liaison multiplexage/démultiplexage.

D'autres particularités et avantages de l'invention apparaîtront clairement dans la description du procédé suivant et dans la description de son dispositif de mise en oeuvre en regard des figures annexées.

- la figure 1 représente schématiquement la structure de la trame selon le procédé ;
- la figure 2 représente schématiquement la structure d'un bloc descripteur encore appelé mot d'éléments descripteurs ;
- la figure 3 représente schématiquement la structure du mot d'identification de justification ;
- la figure 4 représente les liaisons avec l'extérieur du multiplexeur/démultiplexeur ;
- la figure 5 représente le dispositif de mise en oeuvre du procédé.

Dans le procédé suivant l'invention que l'on décrit, la longueur de chaque trame est fixe "théoriquement" c'est-à-dire que chaque trame comporte un nombre nominal d'octets. Dans cette réalisation ce nombre est de 64 octets soit 512 e.b ce qui pour un débit de 256 kbits/s donne une périodicité de 2 ms. (un bit = un élément binaire, en abrégé 1b = 1 e.b, 1kb = 1000 e.b).

Pour une voie téléphonique de 16 ou 32 ou 64 kb/s on a un nombre entier d'octets par trame - Soit pour un débit de 64 kb/s, 16 octets par trame, et pour un débit de 16 kb/s, 4 octets par trame.

Une voie de transmission de données asynchrones occupe un nombre variable d'octets par trame. On définit alors un nombre nominal d'octets

par trame. Soit pour 9600 b/s, 2 octets par trame, et pour 1200 b/s, 0 octet par trame (le nombre d'octet réel par trame dans ce cas est de 1 ou 0).

Une voie télégraphique asynchrone est reçue sur un compteur série-
 5 parallèle travaillant par octet. Pour une capacité de modulation de 300 bauds, on a 30 caractères/s (1 caractère étant codé sur 8 e.b). Pour une capacité de modulation de 75 bauds on a 10 caractères/s (1 caractère étant codé sur 5 e.b). On considère dans ce cas qu'un caractère occupe un octet, qu'il soit de 5 ou 8 e.b. Toutes les voies sont considérées comme
 10 plésiochrones donc nécessitent une justification positive car les voies entrant dans le multiplexeur ont un débit supérieur aux débits nominaux définis précédemment pour chaque cas. Une voie occupe donc un nombre d'octet correspondant au nombre nominal ou au nombre nominal plus 1. Huit cas possibles se présentent. Une voie peut être inactive. Une voie
 15 peut être active avec un débit nominal de 0 octet, plus 1 octet de justification. Une voie peut être active avec un débit nominal de 1, ou 2, ou 4, ou 8, ou 12, ou 16 octets.

On utilise la mise au format de la procédure HDLC dans laquelle le motif de synchronisation appelé "drapeau" est de la forme "01111110".
 20 Toute information est obligée de subir une transformation avant transmission. A chaque fois que la séquence "011111" apparaît, on rajoute systématiquement un "0" supplémentaire quelle que soit la suite du train.

En réception, en l'absence d'erreur, on reconnaît les drapeaux sans ambiguïté et à chaque fois que l'on rencontre la séquence "0111110" on la
 25 remplace par la séquence "011111".

Se référant à la figure 1, la structure de la trame se définit de la façon suivante : le début de la trame comprend le mot de synchronisation appelé drapeau 1, puis un mot réservé à l'identification de justification 2, puis un mot pour l'information 3, puis un mot pour un deuxième drapeau 4
 30 suivi d'un mot d'éléments descripteurs 5.

L'ensemble de tous ces mots 1, 2 ... 5 occupe une place de 64 octets. La longueur L de la trame est bien dans cette réalisation de 64 octets. Cette longueur théorique (nominale) qui est fixée au départ, peut parfaitement avoir une autre valeur sans pour cela changer le procédé. On a

choisi l'exemple de deux réalisations ayant l'une un nombre maximum de voies actives simultanément égal à 16, et l'autre à 32. Il est bien entendu que la somme des débits nominaux pour chacune des réalisations ne doit pas dépasser la capacité du multiplex.

5 On se réfère maintenant à la figure 2. Le descripteur 20 est une table que doit reconstituer le démultiplexeur à la réception. Ce descripteur 20 comporte un ensemble de 16 ou 32 blocs suivant le nombre de voies : 16 blocs s'il y a 16 voies, 32 blocs s'il y a 32 voies, chaque bloc comportant 16 e.b. Dans les deux cas le descripteur 20 comporte dans
10 chaque bloc 5 encore appelé mot d'éléments descripteurs, (apparaissant dans la structure de la trame suivant la figure 1) un mot de synchronisation 9, un mot pour le numéro de la voie 10, un mot pour le codage du nombre d'octet nominal 11, un mot pour le comptage du nombre d'octets supplémentaires 12.

15 Dans le cas où l'on a 16 blocs dans le descripteur 20 les 16 e.b de chaque bloc sont répartis comme suit : 1 e.b pour le mot de synchronisation 9, 4 e.b pour le mot du numéro de la voie 10 (ce nombre n étant inférieur ou égal à 16, il se code de $16 = 2^4$ façons ce qui entraîne la nécessité de 4 e.b), 3 e.b pour le mot de codage du nombre d'octet
20 nominal 11, (en effet on a 8 cas possibles pour le débit $8 = 2^3$), 8 e.b pour le mot de comptage du nombre d'octets supplémentaires 12 (comptage modulo $256 = 2^8$).

Dans le cas où l'on a 32 blocs dans le descripteur 20 il est évident que le codage du numéro de la voie se fera sur 5 e.b ($32 = 2^5$) et le
25 comptage du nombre d'octets supplémentaires se fera sur 7 e.b (comptage modulo $128 = 2^7$).

Une voie inactive est caractérisée dans le descripteur 20 par un codage du nombre d'octets nominal nul et un codage du comptage du nombre d'octets supplémentaires nul.

30 Comme les évolutions du descripteur 20 sont lentes, on n'est pas obligé de transmettre la totalité du descripteur 20 à chaque trame. On transmet le contenu du descripteur cycliquement suivant les disponibilités dans chaque trame. Lorsqu'il y a une variation dans l'état de la voie, on transmet le bloc correspondant en priorité, avec répétition, pour se

protéger contre les erreurs de transmission. Il n'est pas nécessaire d'attendre un accusé de réception du démultiplexeur pour modifier la structure de la trame. A la transmission on applique le format HDLC aux blocs du descripteur.

5 On se réfère maintenant à la figure 3. Le mot identification de justification 2 est placé avant le mot information. Il comporte un mot indicateur de justification 15, un mot pour coder le reste de la division par 4 ou par 8 du nombre d'octets d'information dans la trame 16 définissant ainsi un couplage modulaire de ce nombre d'octets d'information, un mot
10 de redondance 17 correspondant à un code de Hamming correcteur d'erreur. L'indicateur de justification 15 comporte 1 e.b par voie, soit 16 e.b pour 16 voies, soit 32 e.b pour 32 voies. Le mot de redondance 17 comprend 5 e.b pour 16 voies, ou 6 e.b pour 32 voies. Le reste de la division par 4 ou 8 du nombre d'octets d'information 17 est codé sur 3 e.b
15 pour 16 voies, et sur 2 e.b pour 32 voies. Afin de protéger au maximum le mot d'identification, on applique le code de Hamming sur (16+3) e.b (lorsqu'il y a 16 voies), ou sur (32+2) e.b (lorsqu'il y a 32 voies), correspondant aux indicateurs de justification et aux e.b du compte modulaire d'octets.

20 Les liaisons avec l'extérieur du multiplexeur/démultiplexeur sont représentées sur la figure 4. On a représenté le multiplexeur/démultiplexeur, mais pour faciliter la compréhension on va décrire le circuit de façon dynamique lors du multiplexage, sachant que lors du démultiplexage les signaux suivent un chemin inverse. Le multiplexeur/démultiplexeur
25 MUX/DEMUX possède N voies entrantes, N voies sortantes notées respectivement R1, R2 ... RN, E1, E2 ... EN ; N étant égal à 16 ou 32 dans notre réalisation. Chaque voie entrante R1, R2 ... RN, et chaque voie sortante E1, E2 ... EN, est issue respectivement d'une carte d'abonné C1, C2, ... CN. Il y a par conséquent autant de carte d'abonné que de voies entrantes
30 (ou sortantes). Les cartes d'abonnés ne font pas partie du dispositif de multiplexage. Ce sont des circuits d'interface placés en amont du multiplexeur. Chaque carte comporte une partie réception comprenant une interface électrique pour adapter les signaux provenant de l'équipement de l'utilisateur EQ, un circuit de gestion interne de l'information mise par

octets, une partie émission et une connexion par accès direct mémoire vers le multiplexeur. Le multiplexeur/démultiplexeur MUX/DEMUX possède des moyens de gestion de trame GT. Ces moyens effectuent un multiplexage des données issues du bus BUSR, et effectuent un démultiplexage des données dans l'autre sens de transmission ces données étant distribuées à l'aide du bus BUSE. On se réfère maintenant à la figure 5. Les moyens GT reçoivent les signaux des N voies entrantes reçues pour les multiplexer dans le temps et les transmettre sur une seule voie de sortie. Ce signal de sortie multiplexé est émis de façon classique par un circuit d'émission E à la station destinatrice (Le signal d'entrée à multiplexer est reçu par un circuit de réception R de façon classique également). Le circuit de gestion de trame GT représenté sur la figure 5 comporte une ligne omnibus BUSR reliant toutes les voies entrantes R1 ... RN. Ce circuit GT comporte de plus une unité à microprocesseur UP reliée à la ligne BUSR. Cette unité comporte une unité centrale ou microprocesseur MP, une mémoire morte ROM (à lecture programmable), une mémoire vive ou mémoire centrale RAM (à lecture et écriture).

Le circuit GT comporte aussi un circuit de mise en forme MF, un compteur/décompteur C.D, une interface I (par exemple un interface adaptateur pour périphérique (PIA)) pour recevoir des entrées extérieures. Le circuit GT comporte également un circuit de synchronisation de trame H, et le circuit d'émission/réception E/R. La structure de l'unité à microprocesseur UP est classique, et les liaisons entre les différents circuits lui appartenant sont également classiques. La mémoire morte ROM, la mémoire vive RAM et l'interface I sont reliées au microprocesseur MP type 6800 par un bus d'adresse unidirectionnel, par un bus de données bidirectionnel et par un bus de commande.

Les moyens GT permettent de donner à la trame la structure décrite précédemment et représentée sur les figures 1, 2 et 3.

A chaque demande d'activation d'une voie, ces moyens GT doivent vérifier si cette demande ne dépasse pas la capacité d'activité du multiplexeur (16 ou 32 voies) et si le débit nominal supplémentaire ne dépasse pas le débit utile du multiplex c'est-à-dire le débit de l'information (on a 54 ou 56 octets disponibles pour l'information par trame et

donc 224 kb/s ou 216 kb/s). Si la demande est acceptée, le descripteur de la voie correspondante est modifié avec l'indication de son débit nominal. Ce descripteur est alors mis dans les trois premières trames ayant la place disponible. L'indicateur de justification de cette voie est alors
5 toujours à 0. Après le retour d'un accusé de réception venant du démultiplexeur, par le descripteur de la transmission inverse (sens retour), le multiplexeur modifie la structure de la trame en accordant systématiquement sur une, deux ou trois trames successives le compte nominal plus 1 à la voie activée. L'indicateur de justification est alors mis à 1 en début
10 d'activité, ce qui permet au démultiplexeur de connaître la trame qui a changé de structure. En fin d'activité, le multiplexeur transmet le descripteur de la voie avec le débit nominal remis à zéro comme pour l'activation de la voie. Dans cette phase de fin d'activité le multiplexeur transmet aussi le débit nominal plus un octet pour avoir l'indicateur de
15 justification de la voie systématiquement mis à 1 jusqu'au moment où la trame émise est modifiée. L'indicateur de justification est alors mis à 0, ce qui permet au multiplexeur de connaître la trame qui a changé de structure. Le multiplexeur réalise une régulation de la trame. Le signal d'horloge délivré par le circuit de synchronisation H de trame a une
20 fréquence de 500 Hz (ce qui correspond bien à une période de 2 ms). On laisse prendre à la trame un peu de retard par rapport à l'horloge à 500 Hz. On mémorise le nombre a d'e.b de retard pris par la trame. On insère un drapeau. L'ensemble du mot "indicateur" et "information" est mis au format HDLC, et terminé par un autre drapeau. On compose alors le
25 nombre b d'e.b utilisés dans la longueur nominale de la trame (512e.b). Dans la partie restante, on transmet des e.b. d'éléments descripteurs (ou blocs) jusqu'à dépassement du top d'horloge suivant. Ces éléments sont aussi mis sous le format HDLC. On termine la trame avec un nombre c d'e.b de retard pour le début de la trame suivante. Si l'on suppose que les
30 écarts entre les rythmes des abonnés et les sous-multiples de l'horloge interne à 256 kb/s restent inférieur à 10^{-4} , l'octet de justification dû à cet écart apparaît toutes les :

500 trames à 64 kb/s soit 1 seconde

1000 trames à 48/32 kb/s soit 2 secondes

2500 trames à 16 kb/s soit 5 secondes
4000 trames à 9600 kb/s soit 8 secondes
8000 trames à 4800 kb/s soit 16 secondes
16000 trames à 2400 kb/s soit 32 secondes
5 32000 trames à 1200 kb/s soit 64 secondes

Lorsque pour une trame, l'information dépasse le top d'horloge de fin de trame, on reporte sur les trames suivantes un certain nombre d'octets correspondant aux voies à faible débit (1200 b/s).

Si une trame est presque vide d'information on transmet la totalité
10 du descripteur et on remplit la suite de la trame par des drapeaux jusqu'au dépassement du top d'horloge suivant.

A chaque top d'horloge de la synchronisation de trame (à 500 Hz), le microprocesseur lance le transfert entre les mémoires des cartes d'abonnés et la mémoire centrale RAM, assure la mise à jour du
15 descripteur et élabore l'indicateur de justification avec protection contre les erreurs.

Pendant qu'une trame est constituée, une autre est transférée vers le circuit de mise en forme MF qui applique la procédure HDLC. Le décompteur CD est forcé à 512 (pour une trame de 512 e.b) par le circuit
20 de synchronisation de trame H et décrémente par chaque e.b issu du circuit de mise en forme MF.

Après l'émission du drapeau, des mots d'identification de justification puis information et après émission d'un deuxième drapeau, le microprocesseur MP commande la lecture d'une partie du descripteur écrit en
25 mémoire centrale RAM, en fonction de la valeur restant dans le décompteur. Un pointeur de pile appartenant à l'un des registres internes du microprocesseur, indique la prochaine information du descripteur à transmettre. Dans le cas d'une modification d'une voie, commandée par une entrée extérieure à l'aide par exemple d'un clavier par l'intermédiaire du
30 circuit d'interface I, le pointeur est bloqué sur une mémoire temporaire (registre interne du microprocesseur) contenant la modification pour la répéter à chaque trame. Lorsque la structure de la trame est modifiée, le contenu du descripteur est alors modifié.

La gestion de la trame est réalisée par l'unité à microprocesseur

c'est-à-dire encore par l'unité centrale (encore appelée micro-processeur MP), par la mémoire vive RAM, et par la mémoire morte ROM, sur le cadencement du signal d'horloge donné par le circuit H.

A la réception le multiplexeur se synchronise sur les drapeaux
 5 présents dans le train numérique (à 256 kb/s) et supprime les e.b supplémentaires dus à la mise au format HDLC. Il doit ensuite reconnaître s'il s'agit d'un mot d'identification de justification suivi d'un mot d'information ou bien s'il s'agit d'éléments descripteurs. Le mot d'identification occupe (16+8) e.b dans le cas de 16 voies, ou (32+8) e.b dans le cas de 32
 10 voies. On vérifie à la réception si les 24 e.b (ou 40 suivant le nombre de voies) qui suivent un drapeau correspondent à un mot du code de Hamming. Dans ce cas il s'agit d'un mot d'identification de justification. S'il y a moins de 24 (ou 40) e.b entre deux drapeaux on est en présence d'un élément descripteur (s'il n'y a pas eu d'erreur de transmission). Après avoir
 15 identifié un élément descripteur, on analyse son contenu et on le range dans le descripteur 20. Si les 24 e.b (ou les 40 e.b) correspondent à un mot du code de Hamming, il y a une probabilité de $1/2^8$ pour que des éléments du descripteur simulent un mot du code. On doit alors vérifier sur plusieurs blocs successifs qu'il s'agit bien d'un mot du code de Hamming.
 20 Pour cela on effectue trois tests, la probabilité de trouver chaque fois un mot simulant un mot du code au début d'éléments du descripteur devient alors égale à $1/2^{24}$ soit 6.10^{-8} ce qui est négligeable.

Ayant discriminé les deux mots "indicateur + information" et "éléments descripteurs", on range en "table descripteur" c'est-à-dire en
 25 mémoire les éléments reçus dans les trames successives.

Ayant rempli la "table descripteur", le démultiplexeur connaît ainsi les voies actives avec leur nombre nominal d'octets. Le décodage du début de chaque trame permet au démultiplexeur de partager les octets d'information suivant l'activité des voies et la justification. Les 2 (ou 3)
 30 e.b du compte modulo 4 (ou 8) du nombre d'octets d'information permettent de déceler des erreurs de transmission sans toutefois les corriger. Ce compte modulo 4 (ou 8) permet de savoir si le code de Hamming a fourni un faux décodage, ou bien si le drapeau séparateur du bloc du descripteur est erroné. Chaque fois qu'une voie est justifiée, le compteur modulo de cette

voie (dans le descripteur) est incrémenté de 1. En réception un compteur identique est tenu à jour et le résultat de comptage est comparé à la valeur du compteur d'émission lorsque celle-ci est transmise dans un bloc du descripteur. Lorsqu'un écart de valeur i entre les 2 compteurs (à l'émission et à la réception) s'est produit à la suite d'un affaiblissement de la transmission, par exemple, le démultiplexeur doit débiter i octets supplémentaires par rapport au débit nominal de la voie pour remettre au même rythme les organes de réception avec ceux d'émission. Le démultiplexeur doit reconnaître sur 3 blocs successifs la même information de changement d'activité d'une voie par rapport au contenu de sa propre "table". Ayant acquis l'indicateur de changement d'une voie, le démultiplexeur contrôle l'e.b indicateur de justification de cette voie, ou le contenu de la voie elle même pour détecter la trame dont la structure change. Lorsqu'il s'agit de l'insertion d'une voie, celle-ci est placée en dernière position dans le mot réservé à l'information. Si le multiplexeur n'a pas pu prendre en compte la première trame modifiée (soit à cause d'un affaiblissement de la transmission, soit à cause d'une erreur de transmission) il n'y a pas de risque de perturbation des autres voies qui se trouvent placées après la voie activée. par contre dans le cas de la suppression d'une voie i , il y a un risque de perturbation des voies situées après lorsque le changement de structure n'est pas détecté.

Ce procédé de multiplexage/démultiplexage utilise une procédure de mise au format de l'information type HDLC ayant une structure tramée de longueur nominale fixe, (la longueur réelle étant souvent supérieur ou égale à la longueur fixe), et plésiochrone car on laisse prendre un petit peu de retard par rapport à l'horloge lors du réglage de la longueur de la trame, il utilise un comptage modulaire du nombre d'octets de justification, une grande souplesse dans l'utilisation du format HDLC, ce qui permet d'avoir un rendement comparable à une structure tramée classique et la robustesse de la transmission par paquets. De plus il n'y a pas de perte d'éléments binaires, et on assure une récupération rapide de la synchronisation trame sans multiplier les erreurs par comparaison à une procédure tramée synchrone classique.

REVENDECATIONS

1. Procédé de transmission par multiplexage/démultiplexage de données provenant de plusieurs voies de transmission en mode synchrone ou asynchrone ayant des débits différents et transmises par faisceau hertzien, caractérisé en ce que le train de données obtenu par multiplexage dans le temps a une structure tramée plésiochrone, chaque trame comportant une premier mot de synchronisation (1) suivi d'un mot d'identification de justification (2), suivi d'un mot d'information (3) identifié par le mot d'identification de justification (2), suivi d'un deuxième mot de synchronisation (4), suivi d'un mot d'éléments descripteurs (5) permettant d'identifier et de donner l'état des voies, le nombre nominal d'octets dans la trame étant fixe, le nombre réel étant supérieur ou égal au nombre nominal, et sa structure assurant une conservation du nombre d'éléments binaires transmis afin d'éviter la désynchronisation des équipements de la liaison multiplexage/démultiplexage.
2. Procédé de transmission par multiplexage/démultiplexage de données selon la revendication 1, caractérisé en ce que la premier mot de synchronisation (1) est un mot de synchronisation de trame, en ce que le mot d'éléments descripteurs (5) forme un bloc de N e.b, N étant égal au nombre de voies multiplexées, les N e.b étant découpés en un mot de synchronisation de mot (9), un mot pour le codage du numéro de la voie (10), un mot pour le codage du nombre d'octets nominal de la voie (11) permettant de connaître le débit nominal de la voie, un mot pour le comptage du nombre d'octets supplémentaires (12) permettant de compter le nombre de fois où l'on a transmis dans la trame un octet de plus que la valeur nominale, en ce que le mot identification de justification comporte un mot indicateur (15) de N e.b chacun correspondant à une voie et indiquant si chaque voie utilise le compte nominal d'octet correspondant à son débit, un mot pour le comptage modulaire du nombre d'octets d'information par trame (16), et un mot pour le codage d'un code correcteur d'erreurs (17) pour protéger le mot identification de justification contre les erreurs de transmission.
3. Procédé de transmission pour multiplexage/démultiplexage de données selon les revendications 1 ou 2, caractérisé en ce que à chaque

demande d'activation d'une voie, le multiplexeur vérifie si cette demande ne dépasse pas la capacité d'activité (N voies) et si le débit nominal supplémentaire ne dépasse pas le débit utile du multiplex, que lorsque la demande est acceptée, le mot d'éléments descripteurs de la voie correspondante est modifié et indique le débit nominal, que l'on transmet alors ce mot au moins dans les trois premières trames ayant la place disponible, l'e.b de justification correspondant à la voie activée gardant son état initial, et en ce que le démultiplexeur reçoit la modification du mot d'éléments descripteurs et vérifie si cette modification a bien eu lieu sur les 2 trames suivantes, envoie un accusé de réception, le multiplexeur modifiant alors la structure de la trame en accordant sur au plus 3 trames successives le compte nominal plus 1 à la voie activée, l'e.b de justification de la voie activée changeant d'état et passant à l'état d'activation au moment où la voie est activée permettant au démultiplexeur de détecter le changement de structure de la trame.

4. Procédé de transmission pour multiplexage/démultiplexage de données selon l'une quelconque des revendications 1 à 3, caractérisé en ce que lorsqu'une voie est en fin d'activité, le multiplexeur transmet le mot d'éléments descripteurs indiquant un débit nominal nul, et le mot d'éléments descripteurs contenant également le débit nominal plus un octet afin d'avoir l'e.b de justification correspondant à cette voie systématiquement à l'état d'activation jusqu'à la réception d'une modification de la trame émise repérée par l'état de l'e.b de justification qui est alors à l'état de non activation.

5. Dispositif de mise en oeuvre du procédé selon l'une quelconque des revendications précédentes, comportant N voies entrantes et N voies sortantes (V1, V2 ... VN, E1, E2 ... EN) chacune étant issue de N cartes d'abonnés (C1, C2 ... CN), comportant un circuit de gestion de trame (GT) permettant de réaliser le multiplexage/démultiplexage, caractérisé en ce que le circuit de gestion de trame (GT) est relié à l'ensemble des voies entrantes (V1, V2, ... VN) (reçues par le multiplexeur) par une première ligne omnibus (BUSR), en ce que le circuit (GT) est relié à l'ensemble des voies sortantes (E1, E2 ... EN) (émise par le démultiplexeur) par une deuxième ligne omnibus (BUSE), en ce que le circuit de gestion de trame

(GT) comprend :

- une unité à microprocesseur (UP) permettant de mettre en oeuvre le procédé de multiplexage, cette unité (UP) étant reliée aux cartes d'abonnés (C1, C2 ... CN) par accès direct mémoire par l'intermédiaire de la première et de la deuxième ligne omnibus (BUSE, BUSR),
 - un circuit de mise en forme (MF) permettant d'appliquer une procédure de commande de liaison de données à haut niveau dite "format HDLC" aux différents mots d'identification de justification, d'information, et d'éléments descripteurs avant l'émission de la trame,
 - un circuit de synchronisation (H) permettant de fournir un signal d'horloge à l'unité à microprocesseur (UP),
 - un compteur /décompteur (C.D) permettant d'effectuer un comptage /décomptage des éléments binaires de la trame issus du circuit de mise en forme (MF),
 - un circuit d'interface (I) permettant de commander une modification de l'état d'une voie,
 - un circuit d'émission (E) permettant d'émettre le signal multiplexé, et un circuit de réception (R) permettant de recevoir le signal à démultiplexer.
6. Dispositif de mise en oeuvre du procédé selon l'une quelconque des revendications précédentes, caractérisé en ce que l'unité à microprocesseur (UP) comporte un microprocesseur de type 6800 recevant le signal d'horloge issu du circuit de synchronisation (H), une mémoire morte (ROM) à lecture programmable, une mémoire vive statique (RAM) à lecture et écriture ; le microprocesseur (UP) étant relié à ces mémoires par un bus d'adressage bidirectionnel, par un bus de données, et par un bus de commande.

1/3

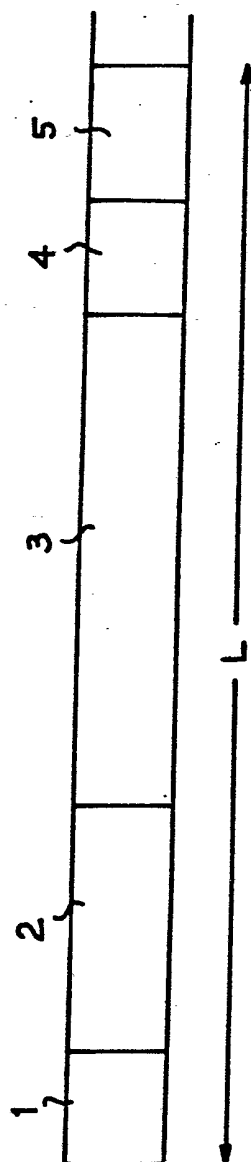


Fig. 1

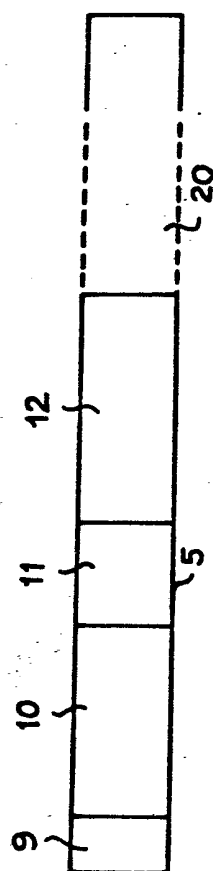


Fig. 2

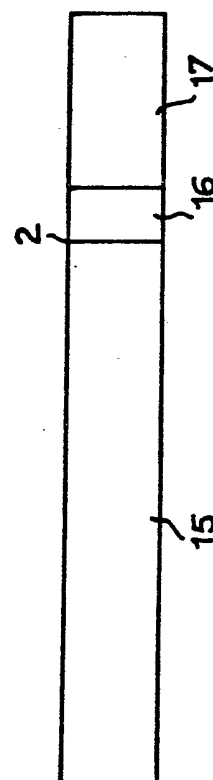


Fig. 3

2/3

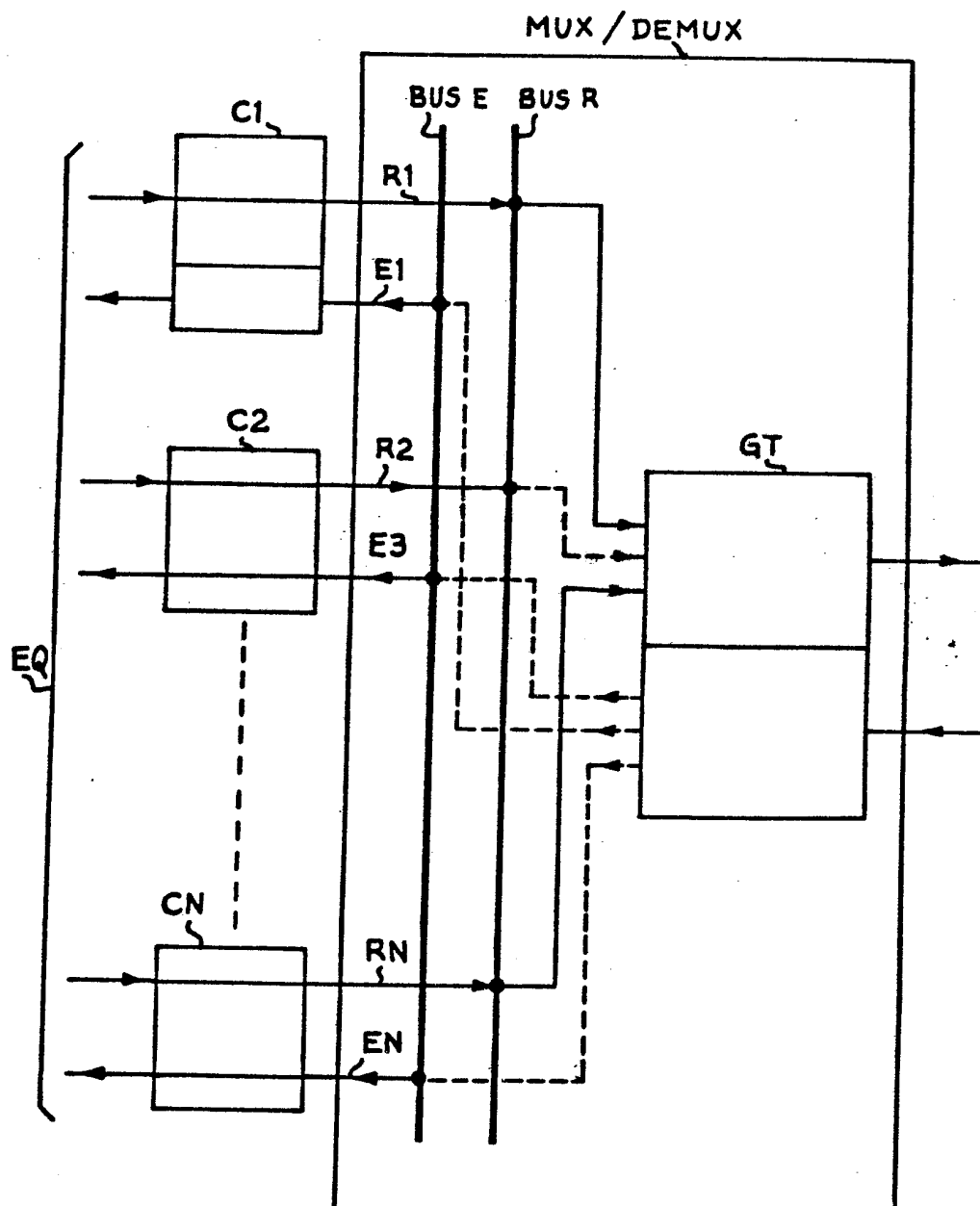


Fig.4

3/3

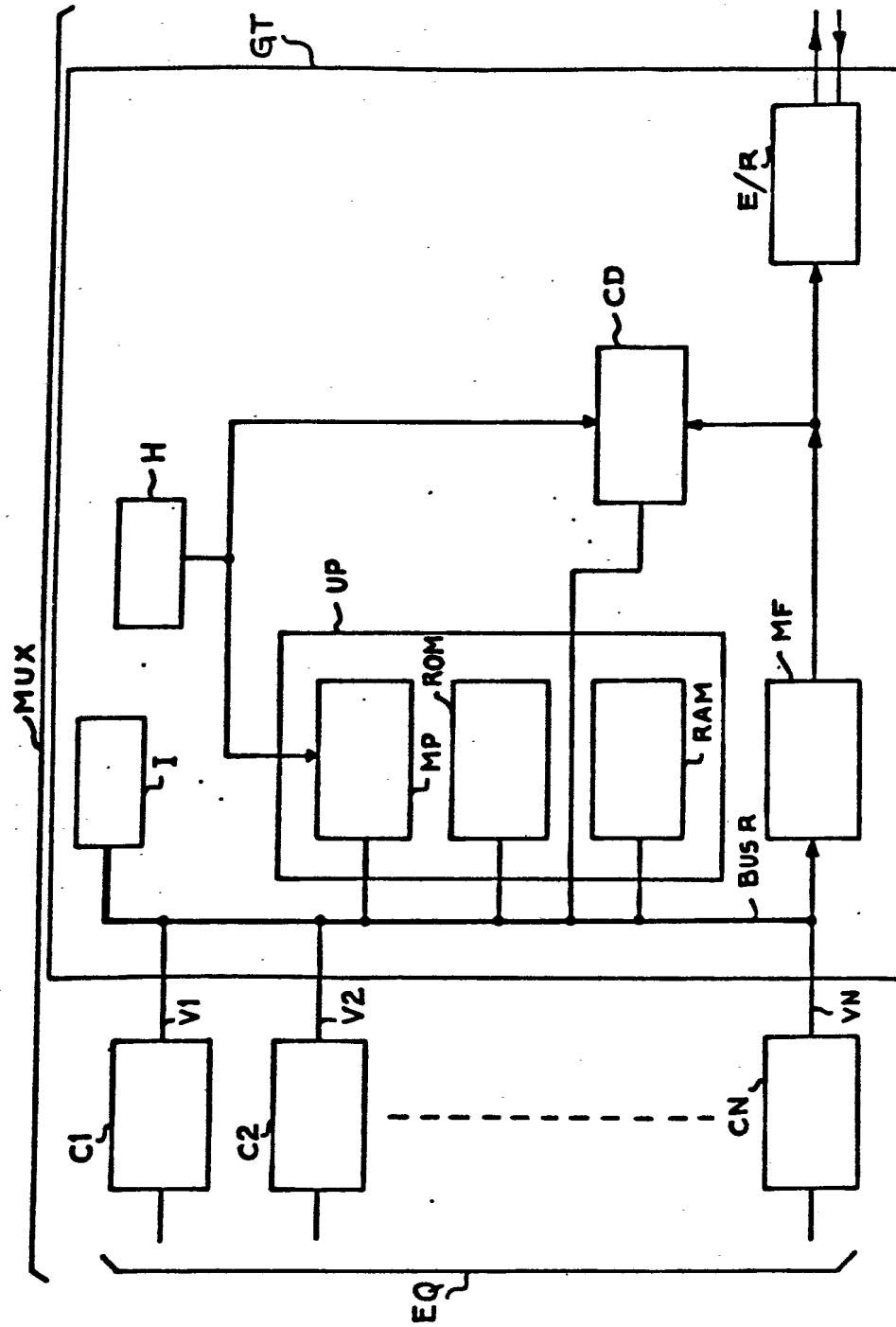


Fig. 5