

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum
Internationales Büro



(43) Internationales Veröffentlichungsdatum
26. Mai 2006 (26.05.2006)

PCT

(10) Internationale Veröffentlichungsnummer
WO 2006/053608 A1

(51) Internationale Patentklassifikation:
G06F 17/50 (2006.01)

(21) Internationales Aktenzeichen: PCT/EP2005/010834

(22) Internationales Anmeldedatum:
7. Oktober 2005 (07.10.2005)

(25) Einreichungssprache: Deutsch

(26) Veröffentlichungssprache: Deutsch

(30) Angaben zur Priorität:
10 2004 055 457.9
17. November 2004 (17.11.2004) DE

(71) Anmelder (für alle Bestimmungsstaaten mit Ausnahme von
US): **INFINEON TECHNOLOGIES AG** [DE/DE]; St.-
Martin-Strasse 53, 81669 München (DE).

(72) Erfinder; und

(75) Erfinder/Anmelder (nur für US): **MERGENTHALER,
Max, Egon** [DE/DE]; Neubergstrasse 33, 97346 Ipshofen
(DE). **ZUCKERSTÄTTER, Andrea** [DE/DE]; Waisen-
hausstrasse 54, 80637 München (DE).

(74) Anwalt: **ROCKE, Carsten**; Müller-Boré & Partner,
Grafinger Strasse 2, 81671 München (DE).

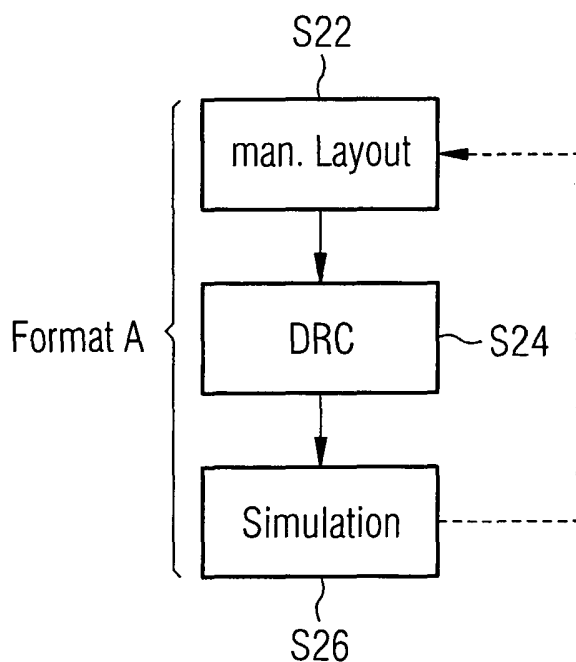
(81) Bestimmungsstaaten (soweit nicht anders angegeben, für
jede verfügbare nationale Schutzrechtsart): AE, AG, AL,
AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH,
CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES,
FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE,
KG, KM, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, LY,
MA, MD, MG, MK, MN, MW, MX, MZ, NA, NG, NI, NO,
NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK,
SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ,
VC, VN, YU, ZA, ZM, ZW.

(84) Bestimmungsstaaten (soweit nicht anders angegeben, für
jede verfügbare regionale Schutzrechtsart): ARIPO (BW,
GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG,
ZM, ZW), eurasisches (AM, AZ, BY, KG, KZ, MD, RU,
TJ, TM), europäisches (AT, BE, BG, CH, CY, CZ, DE, DK,
EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC,
NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG,
CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

[Fortsetzung auf der nächsten Seite]

(54) Title: METHOD, COMPUTER PROGRAMME PRODUCT AND DEVICE FOR CHECKING A CIRCUIT LAYOUT FOR
A SEMICONDUCTOR DEVICE

(54) Bezeichnung: VERFAHREN, COMPUTERPROGRAMMPRODUKT UND VORRICHTUNG ZUM ÜBERPRÜFEN EINES
SCHALTUNGLAYOUTS FÜR EINE HALBLEITERVORRICHTUNG



(57) Abstract: The invention relates to a method for checking a circuit layout for a semiconductor device, comprising the following steps: (a) recording of a created circuit layout; (b) testing whether predeterminable conditions have been fulfilled in the circuit layout; (c) if at least one predeterminable condition has not been fulfilled, the positional data of at least one section of the circuit layout that does not fulfil the predeterminable condition is determined; and (d) a simulation is carried out for at least one section of the circuit that has been determined in step (c) to obtain a simulated result. The invention also relates to a computer programme product and a device for checking a circuit layout for a semiconductor device.

(57) Zusammenfassung: Die Erfindung betrifft ein Verfahren zum Überprüfen eines Schaltungslayouts für eine Halbleitervorrichtung, umfassend die folgenden Schritte: (a) Erfassen eines erstellten Schaltungslayouts; (b) Durchführen eines Tests, ob vorbestimmbare Bedingungen in dem Schaltungslayout erfüllt sind; (c) wenn zumindest eine vorbestimmbare Bedingung nicht erfüllt ist, (d) Ermitteln der Positionsdaten zumindest eines Schaltungsteils des Schaltungslayouts, für welchen zumindest eine vorbestimmbare Bedingung nicht erfüllt ist; und (d) Durchführen einer Simulation für zumindest einen in Schritt (c) ermittelten Schaltungsteil, um ein Simulationsergebnis zu

erhalten. Ferner betrifft die Erfindung ein Computerprogrammprodukt und eine Vorrichtung zum Überprüfen eines Schaltungslayouts für eine Halbleitervorrichtung.

WO 2006/053608 A1



Veröffentlicht:

— mit internationalem Recherchenbericht

Zur Erklärung der Zweibuchstaben-Codes und der anderen Abkürzungen wird auf die Erklärungen ("Guidance Notes on Codes and Abbreviations") am Anfang jeder regulären Ausgabe der PCT-Gazette verwiesen.

**Verfahren, Computerprogrammprodukt und Vorrichtung zum
Überprüfen eines Schaltungslayouts für eine
Halbleitervorrichtung**

Beschreibung

Die Erfindung betrifft ein Verfahren, ein Computerprogrammprodukt und eine Vorrichtung zum Überprüfen eines Schaltungslayouts für eine Halbleitervorrichtung.

- 5 Es sind Verfahren zum Entwickeln bzw. Erstellen von Layouts von Halbleitervorrichtungen bekannt, bei welchen ein von einem Nutzer bzw. Layouter erstelltes Schaltungslayout überprüft wird, ob vorbestimmbare Bedingungen innerhalb des Schaltungslayouts erfüllt sind. Eine solche Überprüfung wird
- 10 auch als Design Rule Check (DRC) bezeichnet, bei welchem Designregelverletzungen ermittelt werden. Die ermittelten Designregelverletzungen werden als Fehlermeldungen an den Nutzer ausgegeben und der Nutzer bewertet anhand der ausgegebenen Fehlermeldungen, ob eine Veränderung des
- 15 Schaltungslayouts durchgeführt werden muß, oder ob das Schaltungslayout trotz der Designregelverletzung beibehalten werden kann. In vielen Fällen ist es jedoch schwierig zu entscheiden, ob das Schaltungslayout verändert werden muß oder nicht. Insbesondere ist es häufig schwierig zu beurteilen, ob
- 20 die ermittelten Designregelverletzungen ein einwandfreies Funktionieren der Halbleitervorrichtung, für welche das entwickelte Layout verwendet wird, beeinträchtigen oder nicht.

- Es ist somit eine Aufgabe der vorliegenden Erfindung, ein
- 25 Verfahren, ein Computerprogrammprodukt und eine Vorrichtung zum Überprüfen eines Schaltungslayouts für eine Halbleitervorrichtung bereitzustellen, welche auf einfache

Weise ein verbessertes Erstellen eines Schaltungslayouts ermöglichen.

Diese Aufgabe wird gemäß der vorliegenden Erfindung gelöst
5 durch eine Verfahren mit den in Anspruch 1 angegebenen Merkmalen, ein Computerprogrammprodukt mit den in Anspruch 18 angegebenen Merkmalen und eine Vorrichtung mit den in Anspruch 19 angegebenen Merkmalen. Bevorzugte Ausführungsformen sind in den abhängigen Ansprüchen beschrieben.

10 Gemäß der Erfindung wird ein Verfahren zum Überprüfen eines im wesentlichen manuell durch einen Nutzer bzw. Layouter erstellten Schaltungslayouts für eine Halbleitervorrichtung, umfassend die folgenden Schritte:

- 15 (a) Erfassen eines erstellten Schaltungslayouts;
(b) insbesondere automatisches Durchführen eines Tests, ob vorbestimmbare Bedingungen in dem Schaltungslayout erfüllt sind;
(c) wenn zumindest eine vorbestimmbare Bedingung nicht erfüllt
20 ist,

(c1) Ermitteln der Positionsdaten bzw. Koordinaten zumindest eines Schaltungsteils bzw. -bereichs, -punkts, -abschnitts des Schaltungslayouts, für welchen zumindest eine vorbestimmbare Bedingung nicht erfüllt ist; und

- 25 (d) Durchführen einer Simulation für zumindest einen in Schritt (c) ermittelten Schaltungsteil, um ein Simulationsergebnis zu erhalten.

30 Ferner kann das Verfahren einen Schritt des Ausgebens des Simulationsergebnisses umfassen.

Durch das Durchführen einer Simulation erhält der Nutzer zusätzliche Informationen, ob die jeweilige Designregelverletzung eine wesentliche Beeinträchtigung der

Funktionsweise der Halbleitervorrichtung zu Folge hätte. Somit kann zu einem frühen Zeitpunkt in der Entwicklung einer Halbleitervorrichtung ein möglicherweise kritische Stelle des Schaltungslayouts ermittelt und, wenn nötig, beseitigt werden.

5

Das im Schritt (a) erfaßte Schaltungslayout ist insbesondere ein Schaltungslayout, welches unter Verwendung eines Schaltungsdesigns erstellt wurde.

- 10 Die vorbestimmbaren Bedingungen sind insbesondere vorgebbare Designregeln, welche z.B. die Positionen einzelner Schaltungselemente zueinander, die Entfernung zwischen Schaltungselementen, die Größe eines Kontaktlochs, die Größe eines Diffusionsgebiets in einem Transistor, oder ähnliches
15 festlegen.

Vorzugsweise umfaßt der Schritt (c) ferner folgenden Schritt:

- (c2) Ausgeben der Positionsdaten an einen Nutzer, insbesondere durch Anzeigen bzw. Markieren des jeweiligen Schaltungsteils
20 Teils auf einem Monitor oder einem anderen Anzeigemedium.

Insbesondere kann es vorgesehen sein, daß die Schaltungsteile, welche eine vorbestimmbare Bedingung nicht erfüllen, dem Nutzer in dem Schaltungslayout auf einem Monitor angezeigt werden.

- 25 Somit kann der Nutzer auf einfache Weise den jeweiligen Schaltungsteil in dem Schaltungslayout lokalisieren.

Bevorzugt umfaßt der Schritt (c) ferner folgenden Schritt:

- (c3) Ausgeben einer Fehlermeldung, welche vorzugsweise angibt,
30 welche der vorbestimmbaren Bedingungen durch den Schaltungsteil nicht erfüllt wird.

Beispielsweise kann die Fehlermeldung angeben, welche Designregel von dem Schaltungsteil nicht erfüllt wird.

Weiter bevorzugt umfaßt der Schritt (c) ferner folgenden Schritt:

- 5 (c4) Klassifizieren bzw. Gruppieren von Fehlern in vorbestimmbare Fehlerklassen bzw. -gruppen.

Insbesondere werden hierbei Fehler derselben Art jeweils einer vorbestimmbaren Fehlerklasse zugeordnet.

- 10 Die Schritte (c1) bis (c4) können insbesondere in beliebiger Reihenfolge durchgeführt werden.

- Schritt (c) kann für im wesentlichen alle Teile des Schaltungslayouts durchgeführt werden, für welche zumindest
15 eine vorbestimmbare Bedingung nicht erfüllt ist.

- Somit können insbesondere im wesentlichen alle Schaltungsteile, für welche bestimmt wurde, daß eine vorbestimmbare Bedingung nicht erfüllt ist, lokalisiert und vorzugsweise dem Nutzer
20 angezeigt werden.

- Vorzugsweise wird der Schritt (d) im wesentlichen automatisch bzw. direkt nachfolgend nach Beendigung des Schritts (c) durchgeführt.

- 25 Hierbei kann vorgesehen sein, daß der Schritt (d) für alle im Schritt (c) ermittelten Schaltungsteile durchgeführt wird. Alternativ kann vorgesehen sein, daß der Schritt (d) lediglich für Schaltungsteile durchgeführt wird, welche eine
30 vorbestimmbare Bedingung nicht erfüllen, durchgeführt wird.

Bevorzugt umfaßt der Schritt (d) folgenden Schritt:

- (d1) Einlesen einer vorbestimmbaren Eingabe eines Nutzers;

(d2) Durchführen der Simulation unter Verwendung der Eingabe des Nutzers.

Somit wird die Simulation erst durchgeführt, nachdem der Nutzer
5 eine vorbestimmbare Eingabe getätigt hat.

Weiter bevorzugt ist die Eingabe des Nutzers eine Auswahl
zumindest eines im Schritt (c) ermittelten Schaltungsteils und
die Simulation für den (die) ausgewählten Teil(e) durchgeführt
10 wird.

Insbesondere kann der Nutzer diejenigen Schaltungsteile
auswählen, für welche eine Simulation durchgeführt werden soll.

15 Alternativ ist die Eingabe des Nutzers eine Auswahl zumindest
einer Fehlerklasse und die Simulation für die Teile des
Schaltungslayouts, welche der (den) ausgewählten
Fehlerklasse(n) zugeordnet sind, durchgeführt wird. Bevorzugt
wird im Schritt (c4) ferner ein Repräsentant einer Fehlerklasse
20 festgelegt (DETAIL) und die Simulation wird für den
Repräsentanten der ausgewählten Fehlerklasse(n) durchgeführt.

Durch Eingeben der Fehlerklasse, welche simuliert werden soll
und Simulieren jeweils nur eines Repräsentanten der jeweiligen
25 Fehlerklasse kann die für die Simulation benötigte
Rechenleistung und Zeit verringert werden. Insbesondere kann in
der Regel davon ausgegangen werden, daß das Simulationsergebnis
für die Fehler einer Fehlerklasse im wesentlichen gleich ist.

30 Der Schritt (d) kann ferner folgende Schritte umfassen:

(d3) Auswählen eines Simulationsbereichs, in welchem der in
Schritt (c) ermittelte Schaltungsteil im wesentlichen enthalten
ist;

(d4) Durchführen einer Simulation des in Schritt (d3) ausgewählten Simulationsbereichs.

Somit wird mit Hilfe des Simulationsbereichs eine Art "Fenster" um den Schaltungsteil ausgebildet, welcher eine vorbestimmbare Bedingung nicht erfüllt. Durch Verwenden des ausgewählten Simulationsbereichs für die Simulation kann insbesondere das Zusammenspiel des Schaltungsteils, welches die vorbestimmbare Bedingung nicht erfüllt, mit anderen Schaltungselementen in dessen Umgebung simuliert werden.

Bevorzugt erfolgt der Schritt (d3) automatisch und die Größe und/oder Position des Simulationsbereichs ist weiter bevorzugt voreinstellbar.

15

Die Größe des Simulationsbereichs kann insbesondere durch eine Quer- und Längsausdehnung eines im wesentlichen rechteckigen Bereichs festgelegt werden. Die Position des Simulationsbereichs wird vorzugsweise derart festgelegt, um eine möglichst aussagekräftige Simulation des Schaltungsteils zu ermöglichen. Beispielsweise kann vorgesehen sein, daß die Größe des Simulationsbereichs jeweils einen vorbestimmbaren Wert annimmt und der Simulationsbereich jeweils derart positioniert wird, daß der zu simulierende Schaltungsteil im wesentlichen in der Mitte des Simulationsbereichs angeordnet ist.

25

Alternativ umfaßt der Schritt (d3) einen Schritt des Einlesens einer Eingabe eines Nutzers, mittels welcher die Größe und/oder Position des Simulationsbereichs festgelegt wird.

30

Insbesondere kann hierbei durch Eingabe des Nutzers, z.B. "Ziehen eines Fensters" mit einer Zeigevorrichtung wie einer Maus die Größe und/oder die Position des Simulationsbereichs

festgelegt werden. Es kann jedoch auch vorgesehen sein, daß die Größe des Simulationsbereichs voreinstellbar ist und die Eingabe des Nutzers durch Anzeigen einer Position erfolgt, um welche herum der Simulationsbereich ausgebildet werden soll.

- 5 Alternativ hierzu kann vorgesehen sein, daß der Nutzer die Größe des Simulationsbereichs festlegen kann. In diesem Fall kann die Position voreinstellbar sein.

- 10 Vorzugsweise werden die Schritte (a) bis (d) während des Erstellens des Layouts im wesentlichen automatisch durchgeführt.

- 15 Beispielsweise kann vorgesehen sein, daß die Schritte (a) bis (d) jeweils durchgeführt werden, wenn eine Veränderung des Layouts durch den Nutzer erfolgt. Alternativ oder zusätzlich kann vorgesehen sein, daß die Schritte (a) bis (d) durchgeführt werden, wenn vorbestimmbare Bereiche des Layouts vollendet werden.

- 20 Das Verfahren kann ferner einen Schritt des Einlesens einer Eingabe des Nutzers, mittels welcher angezeigt wird, daß eine Überprüfung erfolgen soll, umfassen und die Schritte (a) bis (d) können in Antwort auf die Eingabe des Nutzers durchgeführt werden.

25

Somit kann der Nutzer festlegen, ob die Schritte (a) bis (d) durchgeführt werden sollen. Dies kann während des Vorgangs des Erstellens erfolgen oder auch nach Vollendung des Layouts.

- 30 Bevorzugt umfaßt das Verfahren die folgenden Schritte:
(e) Erfassen einer Veränderung des Schaltungslayouts durch den Nutzer; und
nachfolgendes Durchführen der Schritte (b) bis (d).

Die Veränderung des Schaltungslayouts durch den Nutzer kann insbesondere unter Verwendung des in Schritt (d) ermittelten Simulationsergebnisses erfolgen. Somit wird eine Art Schleife ausgebildet, bei welcher jeweils nach der Veränderung des Schaltungslayouts eine Überprüfung durchgeführt wird.

Vorzugsweise werden die Schritte (a) bis (e) unter Verwendung des Schaltungslayouts in einem ersten Datenformat durchgeführt und das Verfahren umfaßt den folgenden weiteren Schritt:
10 (f) Bereitstellen des erstellten Schaltungslayouts für ein Umwandeln des Schaltungslayouts in ein zweites Datenformat, welches für eine weitere Verarbeitung verwendet wird.

Das erste Datenformat ist insbesondere ein Datenformat, bei welchem das Schaltungslayout auf einfache Weise verändert werden kann. Im Gegensatz dazu ist das zweite Datenformat ein Datenformat, welches nur eine sehr eingeschränkte Veränderung des Schaltungslayouts ermöglicht. Das zweite Datenformat wird insbesondere für eine automatische Korrektur des Schaltungslayouts während einer Lithographiesimulation verwendet.

Gemäß der Erfindung wird ferner ein Computerprogrammprodukt zum Überprüfen eines Schaltungslayouts für eine Halbleitervorrichtung bereitgestellt, welches Programmteile zur Durchführung eines Verfahrens der Erfindung oder einer bevorzugten Ausführungsform davon umfaßt.

Des weiteren wird gemäß der Erfindung eine Vorrichtung zum Überprüfen eines Schaltungslayouts für eine Halbleitervorrichtung bereitgestellt, wobei die Vorrichtung umfaßt:

- eine Einrichtung zum Erfassen eines erstellten Schaltungslayouts;

- eine Einrichtung zum Durchführen eines Tests, ob vorbestimmbare Bedingungen in dem Schaltungslayout erfüllt sind;
 - eine Einrichtung zum Ermitteln der Positionsdaten
- 5 zumindest eines Schaltungsteils des Schaltungslayouts, für welchen zumindest eine vorbestimmbare Bedingung nicht erfüllt ist; und
- eine Einrichtung zum Durchführen einer Simulation für
- 10 zumindest einen ermittelten Schaltungsteil, um ein Simulationsergebnis zu erhalten.

Weitere Merkmale, Aufgaben und Vorteile der vorliegenden Erfindung werden offensichtlich aus der nachfolgenden Beschreibung bevorzugter Ausführungsformen davon mit Bezug auf

15 die Zeichnungen, in welchen zeigt:

- Fig. 1 eine schematische Ansicht des Entwurfsablaufs für eine Halbleitervorrichtung; und
- 20 Fig. 2 eine schematische Ansicht des Schritts "Layout" von Fig. 1.

Zunächst wird der Ablauf von verschiedenen Verarbeitungsschritten bei der Entwicklung einer

25 Halbleitervorrichtung mit Bezug auf Fig. 1 beschrieben.

Bei der Entwicklung einer Halbleitervorrichtung wird die gewünschte Schaltung bzw. der gewünschte Schaltkreis zunächst graphisch mit den in der Elektronik üblichen Symbolen in einem

30 Designschritt (S10) erstellt. In dem Schaltungsdesign sind somit die einzelnen Schaltungselementsymbole und deren Verbindungen miteinander gezeigt.

Aus der symbolischen Darstellung der Schaltungen, dem Design, wird in einem nachfolgenden Layout-Schritt (S20) die Übertragung in die physikalischen Gegebenheiten einer realen Schaltung durchgeführt. Hierzu werden alle Einzelteile der Schaltung graphisch nach geeigneten Designregeln aufgezeichnet. Z.B. werden Transistoren mit ihren Diffusionsgebieten, dem Gate und den Anschlüssen zur Umgebung genau gezeichnet. Mit dem Layout wird die tatsächliche Anordnung der Schaltelemente auf dem Halbleiter graphisch dargestellt. Die Umwandlung des Designs in ein Layout erfolgt in der Regel manuell mit Hilfe von Zeichenprogrammen durch einen Nutzer bzw. Layouter.

Beim Layout müssen insbesondere vorbestimmbare Designregeln eingehalten werden. Die Designregeln sind insbesondere vorbestimmbare Bedingungen bzw. Beziehungen der einzelnen Schaltkreiselemente auf dem Halbleiter zueinander. Beispielsweise geben Designregeln an, wie groß der minimale Abstand zwischen einzelnen Schaltkreiselementen sein muß, wie groß ein Diffusionsgebiet in einem Transistor sein muß oder die minimalen Abstände von Metall.

Das Layout wird mit Hilfe von Verfahren hinsichtlich der vorgebbaren Designregeln überprüft. Dies wird später im Detail mit Bezug auf Fig. 2 beschrieben.

Nachdem das Layout überprüft und von dem Layouter freigegeben wurde, erfolgt der Schritt des Tapeouts (S30). Hierbei wird das in einem ersten Datenformat vorliegende Layout in ein zweites Datenformat umgewandelt. Das zweite Datenformat ist vorzugsweise das gds-Format ("graphical display streamer"-Format). In dem ersten Format kann das Layout auf einfache Weise erstellt und verändert werden. In dem zweiten Format sind insbesondere weniger Attribute enthalten. In dem zweiten Format ist ferner insbesondere lediglich eine Veränderung der

Schaltungsanordnung nach vorbestimmbaren Regeln erlaubt. Diese Regeln verwenden insbesondere die Nummer der Schicht und den Datentyp. Die Veränderungen der Ausgestaltung der Schaltung in dem zweiten Format erfolgen automatisch und können nur sehr
5 eingeschränkt von einem Nutzer beeinflusst werden.

Nachfolgend auf das Tapeout erfolgt eine Lithographiesimulation (S40), bei welcher die Fertigbarkeit der entworfenen Schaltung überprüft wird. Hierbei wird insbesondere ein optical proximity
10 check (OPC) durchgeführt.

Wenn alle erforderlichen Test erfolgreich abgeschlossen wurden, werden Lithographiemasken erstellt für eine Fertigung der Halbleitervorrichtung.
15

Nachfolgend wird der Layoutschritt S20 von Fig. 1 im Detail mit Bezug auf Fig. 2 beschrieben.

Zunächst wird im Schritt S22 das Layout im wesentlichen
20 "manuell" durch einen Nutzer bzw. Layouter erstellt. Als Basis dient hierbei das Schaltungsdesign, welches im Vorfeld erstellt wurde. Während des Layouts wird die von einem Designer entwickelte Schaltung in die physikalischen Gegebenheiten übertragen. Für das Erstellen des Layouts werden vorzugsweise
25 Layoutprogramme verwendet, mit Hilfe welcher der Layouter die Einzelteile der Schaltung graphisch nach vorgegebenen Designregeln aufzeichnet.

Nachdem das Layout erstellt wurde, wird das erstellte Layout
30 einer Überprüfung unterzogen, ob vorbestimmbare Designregeln verletzt sind oder nicht. Dies erfolgt insbesondere in einem sogenannten Design Rule Check (DRC) (Schritt S24). Hierbei wird überprüft, ob die vorbestimmbaren Designregeln, wie z.B. der Abstand einzelner Elemente, die Dicke und Größe bestimmter

Bereiche u.s.w. erfüllt sind. Schaltungslayoutteile bzw. -bereiche, für welche zumindest eine Designregel nicht erfüllt ist, werden dem Nutzer nachfolgend angezeigt. Dies kann beispielsweise mit Hilfe einer Fehlerliste erfolgen. Alternativ
5 können die ermittelten Stellen in der Layoutansicht angezeigt werden.

Nachfolgend erfolgt eine Prozessfenster-Simulation derjenigen Stellen des Schaltungslayouts, für welche eine
10 Designregelverletzung festgestellt wurde (Schritt S24). Mit Hilfe des Simulationsergebnisses kann der Layouter nun eine bessere Aussage darüber treffen, ob die ermittelte Designregelverletzung beim Betrieb der realen Halbleitervorrichtung eine wesentliche Beeinträchtigung der
15 Funktionsweise darstellen würde. Mit Hilfe dieser Information kann der Layouter das Layout entsprechend anpassen (dies ist in Fig. 2 mit der gestrichelten Linie dargestellt). Beispielsweise kann der Abstand zwischen zwei Elementen vergrößert werden.

20 Nachfolgend kann nochmals eine Designregelüberprüfung (Schritt S24) und eine Simulation (Schritt S26) erfolgen. Diese Vorgehensweise kann solange wiederholt werden bis der Layouter das Schaltungslayout für das Tapeout (S30) freigibt.

25 In alternativen Ausführungsformen kann vorgesehen sein, daß die Designregelüberprüfung DRC (Schritt S24) sozusagen "online" beim Entwurf des Layouts durchgeführt wird. D.h. die Designregelüberprüfung wird im wesentlichen mit jeder Veränderung des Layouts durchgeführt und es werden entsprechend
30 Fehlermeldungen ausgegeben. Ferner kann vorgesehen sein, daß die Designregelüberprüfung durchgeführt wird, nachdem einzelne Bereiche des Layouts fertiggestellt wurden. Alternativ oder zusätzlich kann die Designregelüberprüfung nach Abschluß des gesamten Layouts durchgeführt werden, um eine abschließende

Überprüfung des Layouts vor dem Tapeoutschritt (S30) durchzuführen. In den beiden letzteren Fällen wird die Designregelüberprüfung durch Eingabe des Nutzers gestartet.

- 5 Der Simulationsschritt S26 kann z.B. für alle Schaltungsteile durchgeführt werden, für welche eine Designregelverletzung ermittelt wurde. Alternativ hierzu kann vorgesehen sein, daß der Layouter bestimmte Schaltungsteile auswählt für welche die Simulation durchgeführt werden soll. Dies können beispielsweise
10 Schaltungsteile sein, bei welchen die Designregelverletzung besonders kritisch ist.

- Es kann ferner vorgesehen sein, daß die Designregelverletzungen in Fehlerklassen klassifiziert werden. Solche Fehlerklassen
15 werden vorzugsweise während der Designregelüberprüfung erstellt. In einem solchen Fall kann vorgesehen sein, daß die Simulation jeweils für einen Repräsentanten einer Fehlerklasse durchgeführt wird. In der Regel ist es ausreichend, jeweils nur einen Schaltungsteil, welcher eine Fehlerklasse repräsentiert
20 zu simulieren.

- Die Simulation des Schaltungsteils, für welchen eine Designregelverletzung festgestellt wurde, kann auf verschiedene Arten erfolgen. Beispielsweise kann ein Bereich, welcher den
25 Schaltungsteil umgibt ausgewählt werden und der gesamte ausgewählte Bereich simuliert werden. Die Auswahl des Bereichs kann automatisch oder durch Eingabe des Nutzers erfolgen. Insbesondere wird hierbei die Position und/oder Größe des Simulationsbereichs festgelegt. Somit kann ein sogenanntes
30 "Simulationsfenster" bestimmt werden, innerhalb welchem eine Simulation durchgeführt wird.

Die Größe des Simulationsbereichs kann insbesondere durch eine Quer- und Längsausdehnung eines im wesentlichen rechteckigen

Bereichs, eine sog „Bounding Box“, festgelegt werden. Die Position des Simulationsbereichs wird vorzugsweise derart festgelegt, um eine möglichst aussagekräftige Simulation des Schaltungsteils zu ermöglichen. Beispielsweise kann vorgesehen
5 sein, daß die Größe des Simulationsbereichs jeweils einen vorbestimmbaren Wert annimmt und der Simulationsbereich jeweils derart positioniert wird, daß der zu simulierende Schaltungsteil im wesentlichen in der Mitte des Simulationsbereichs angeordnet ist.

10

Wenn die Auswahl des Simulationsbereichs automatisch erfolgt, ist es von Vorteil, wenn die Größe und/oder Position des Simulationsbereichs voreinstellbar sind.

15 Wenn die Auswahl des Simulationsbereichs durch Eingabe des Nutzers erfolgt, z.B. "Ziehen eines Fensters" mit einer Zeigevorrichtung wie einer Maus, kann die Größe und die Position des Simulationsbereichs festgelegt werden. Es kann jedoch auch vorgesehen sein, daß die Größe des

20 Simulationsbereichs voreinstellbar ist und die Eingabe des Nutzers durch Anzeigen einer Position erfolgt, um welche herum der Simulationsbereich ausgebildet werden soll. Alternativ hierzu kann vorgesehen sein, daß der Nutzer die Größe des Simulationsbereichs festlegen kann. In diesem Fall kann die
25 Position voreinstellbar sein.

Zusammenfassend kann gesagt werden, daß gemäß insbesondere ein Verfahren bereitgestellt wird, bei welchem ein
Simulationsschritt während der Erstellung des Schaltungslayouts
30 vorgesehen ist. Dieser Simulationsschritt erfolgt insbesondere vor dem Schritt des Tapeouts des Schaltungslayouts. Durch das Vorsehen des Simulationsschritts können Fehler frühzeitig entdeckt werden und Zeit und somit Kosten gespart werden. Durch das Vorsehen des Simulationsschritts erhält der Layouter

zusätzlich zu der Information, daß Designregelverletzungen vorliegen, eine Information darüber, ob die jeweilige simulierte Designregelverletzung die Funktionsweise der Halbleitervorrichtung wesentlich beeinträchtigen würde. Mit
5 Hilfe dieser Informationen kann der Layouter auf einfachere Weise eine Entscheidung treffen, ob das Schaltungslayout entsprechend verändert werden muß oder nicht.

Ansprüche

1. Verfahren zum Überprüfen eines Schaltungslayouts für eine Halbleitervorrichtung, umfassend die folgenden Schritte:
 - (a) Erfassen eines erstellten Schaltungslayouts;
 - (b) Durchführen eines Tests, ob vorbestimmbare Bedingungen
 - 5 in dem Schaltungslayout erfüllt sind;
 - (c) wenn zumindest eine vorbestimmbare Bedingung nicht erfüllt ist,
 - (c1) Ermitteln der Positionsdaten zumindest eines
 - Schaltungsteils des Schaltungslayouts, für welchen zumindest
 - 10 eine vorbestimmbare Bedingung nicht erfüllt ist; und
 - (d) Durchführen einer Simulation für zumindest einen in Schritt (c) ermittelten Schaltungsteil, um ein Simulationsergebnis zu erhalten.
- 15 2. Verfahren gemäß Anspruch 1, wobei der Schritt (c) ferner folgenden Schritt umfaßt:
 - (c2) Ausgeben der Positionsdaten an einen Nutzer.
3. Verfahren gemäß einem der Ansprüche 1 oder 2, wobei der
- 20 Schritt (c) ferner folgenden Schritt umfaßt:
 - (c3) Ausgeben einer Fehlermeldung, welche vorzugsweise angibt, welche der vorbestimmbaren Bedingungen durch den Schaltungsteil nicht erfüllt wird.
- 25 4. Verfahren gemäß einem der vorangehenden Ansprüche, wobei der Schritt (c) ferner folgenden Schritt umfaßt:
 - (c4) Klassifizieren von Fehlern in vorbestimmbare Fehlerklassen.

5. Verfahren gemäß einem der vorangehenden Ansprüche, wobei Schritt (c) für im wesentlichen alle Teile des Schaltungslayouts durchgeführt wird, für welche zumindest eine vorbestimmbare Bedingung nicht erfüllt ist.

5

6. Verfahren gemäß einem der vorangehenden Ansprüche, wobei der Schritt (d) im wesentlichen direkt nachfolgend nach Beendigung des Schritts (c) durchgeführt wird.

10 7. Verfahren gemäß einem der Ansprüche 1 bis 5, wobei der Schritt (d) folgenden Schritt umfaßt:

- (d1) Einlesen einer vorbestimmbaren Eingabe eines Nutzers;
- (d2) Durchführen der Simulation unter Verwendung der Eingabe des Nutzers.

15

8. Verfahren gemäß Anspruch 7, wobei die Eingabe des Nutzers eine Auswahl zumindest eines im Schritt (c) ermittelten Schaltungsteils ist und die Simulation für den (die) ausgewählten Teil(e) durchgeführt wird.

20

9. Verfahren gemäß Anspruch 5 und 7, wobei die Eingabe des Nutzers eine Auswahl zumindest einer Fehlerklasse ist und die Simulation für die Teile des Schaltungslayouts, welche der (den) ausgewählten Fehlerklasse(n) zugeordnet sind, durchgeführt wird.

25

10. Verfahren gemäß Anspruch 9, wobei im Schritt (c4) ferner ein Repräsentant einer Fehlerklasse festgelegt wird und die Simulation für den Repräsentanten der ausgewählten Fehlerklasse(n) durchgeführt wird.

30

11. Verfahren gemäß einem der vorangehenden Ansprüche, wobei der Schritt (d) ferner folgende Schritte umfaßt:

(d3) Auswählen eines Simulationsbereichs, in welchem der in Schritt (c) ermittelte Schaltungsteil im wesentlichen enthalten ist;

(d4) Durchführen einer Simulation des in Schritt (d3) ausgewählten Simulationsbereichs.

12. Verfahren gemäß Anspruch 11, wobei die Größe und/oder Position des Simulationsbereichs vorzugsweise voreinstellbar ist.

13. Verfahren gemäß Anspruch 11, wobei der Schritt (d3) einen Schritt des Einlesens einer Eingabe eines Nutzers, mittels welcher die Größe und/oder Position des Simulationsbereichs festgelegt wird, umfaßt.

14. Verfahren gemäß einem der Ansprüche 1 bis 13, wobei die Schritte (a) bis (d) während des Erstellens des Layouts durchgeführt werden.

15. Verfahren gemäß einem der Ansprüche 1 bis 13, welches ferner einen Schritt des Einlesens einer Eingabe des Nutzers, mittels welcher angezeigt wird, daß eine Überprüfung erfolgen soll, umfaßt und die Schritte (a) bis (d) in Antwort auf die Eingabe des Nutzers durchgeführt werden.

16. Verfahren gemäß einem der vorangehenden Ansprüche, welches ferner die folgenden Schritte umfaßt:

(e) Erfassen einer Veränderung des Schaltungslayouts durch den Nutzer; und

nachfolgendes Durchführen der Schritte (b) bis (d).

17. Verfahren gemäß einem der vorangehenden Ansprüche, wobei die Schritte (a) bis (e) unter Verwendung des Schaltungslayouts in einem ersten Datenformat durchgeführt

werden und das Verfahren den folgenden weiteren Schritt umfaßt:

- (f) Bereitstellen des erstellten Schaltungslayouts für ein Umwandeln des Schaltungslayouts in ein zweites Datenformat, welches für eine weitere Verarbeitung verwendet wird.

18. Computerprogrammprodukt zum Überprüfen eines Schaltungslayouts für eine Halbleitervorrichtung, welches Programmteile zur Durchführung eines Verfahrens gemäß einem der vorangehenden Ansprüche umfaßt.

19. Vorrichtung zum Überprüfen eines Schaltungslayouts für eine Halbleitervorrichtung, wobei die Vorrichtung umfaßt:

- eine Einrichtung zum Erfassen eines erstellten Schaltungslayouts;
- eine Einrichtung zum Durchführen eines Tests, ob vorbestimmbare Bedingungen in dem Schaltungslayout erfüllt sind;
- eine Einrichtung zum Ermitteln der Positionsdaten zumindest eines Schaltungsteils des Schaltungslayouts, für welchen zumindest eine vorbestimmbare Bedingung nicht erfüllt ist; und
- eine Einrichtung zum Durchführen einer Simulation für zumindest einen ermittelten Schaltungsteil, um ein Simulationsergebnis zu erhalten.

FIG 1

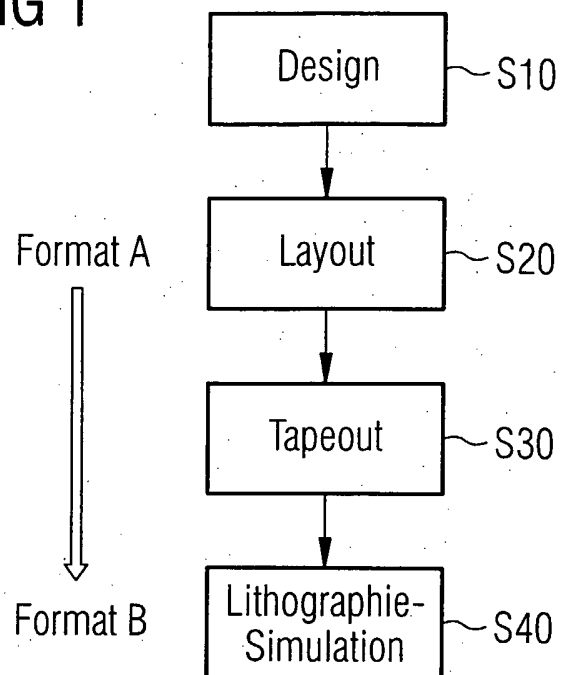
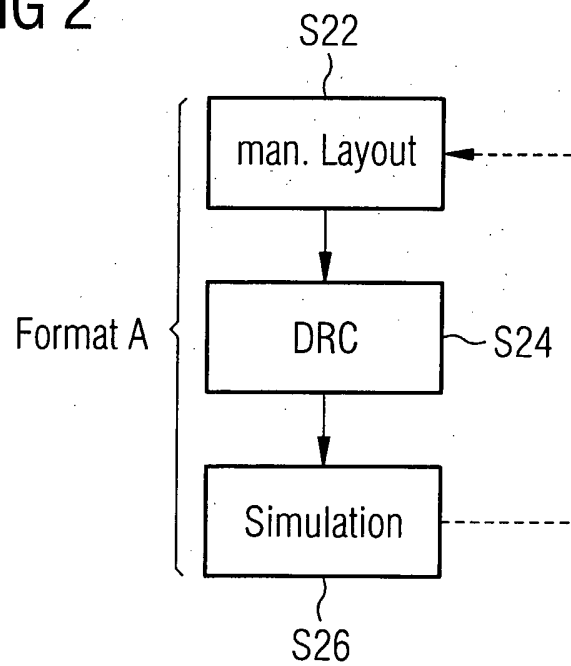


FIG 2



INTERNATIONAL SEARCH REPORT

International application No

PCT/EP2005/010834

A. CLASSIFICATION OF SUBJECT MATTER

G06F17/50

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G06F

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

EPO-Internal

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	OSHIRO L ET AL: "A design reliability methodology for CMOS VLSI circuits" INTEGRATED RELIABILITY WORKSHOP, 1995. FINAL REPORT., INTERNATIONAL LAKE TAHOE, CA, USA 22-25 OCT. 1995, NEW YORK, NY, USA, IEEE, US, 22 October 1995 (1995-10-22), pages 34-39, XP010158723 ISBN: 0-7803-2705-5 page 34 - page 36 -----	1-19
X	US 5 544 067 A (ROSTOKER ET AL) 6 August 1996 (1996-08-06) column 6, line 15 - line 30 column 7, line 25 - column 8, line 25 column 9, line 25 - line 36 column 34, line 15 - line 42 ----- -/--	1-19

☒ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.

"&" document member of the same patent family

Date of the actual completion of the international search

2 February 2006

Date of mailing of the international search report

14/02/2006

Name and mailing address of the ISA/

European Patent Office, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Authorized officer

Alonso Nogueiro, L

INTERNATIONAL SEARCH REPORT

International application No

PCT/EP2005/010834

C(Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	MEIER W: "Hierarchical layout verification for submicron designs" DESIGN AUTOMATION CONFERENCE, 1990., EDAC. PROCEEDINGS OF THE EUROPEAN GLASGOW, UK 12-15 MARCH 1990, WASHINGTON, DC, USA, IEEE COMPUT. SOC. PR, US, 12 March 1990 (1990-03-12), pages 382-386, XP010018131 ISBN: 0-8186-2024-2 the whole document -----	1-19

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No

PCT/EP2005/010834

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 5544067	A	06-08-1996	NONE

INTERNATIONALER RECHERCHENBERICHT

Internationales Aktenzeichen

PCT/EP2005/010834

A. KLASSIFIZIERUNG DES ANMELDUNGSGEGENSTANDES

G06F17/50

Nach der Internationalen Patentklassifikation (IPC) oder nach der nationalen Klassifikation und der IPC

B. RECHERCHIERTE GEBIETE

Recherchierter Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole)
G06F

Recherchierte, aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen

Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)

EPO-Internal

C. ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
X	OSHIRO L ET AL: "A design reliability methodology for CMOS VLSI circuits" INTEGRATED RELIABILITY WORKSHOP, 1995. FINAL REPORT., INTERNATIONAL LAKE TAHOE, CA, USA 22-25 OCT. 1995, NEW YORK, NY, USA, IEEE, US, 22. Oktober 1995 (1995-10-22), Seiten 34-39, XP010158723 ISBN: 0-7803-2705-5 Seite 34 - Seite 36	1-19
X	US 5 544 067 A (ROSTOKER ET AL) 6. August 1996 (1996-08-06) Spalte 6, Zeile 15 - Zeile 30 Spalte 7, Zeile 25 - Spalte 8, Zeile 25 Spalte 9, Zeile 25 - Zeile 36 Spalte 34, Zeile 15 - Zeile 42	1-19
	-/--	

☒ Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen ☒ Siehe Anhang Patentfamilie

* Besondere Kategorien von angegebenen Veröffentlichungen :	"T" Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist
"A" Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist	"X" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderischer Tätigkeit beruhend betrachtet werden
"E" älteres Dokument, das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist	"Y" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren anderen Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist
"L" Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)	"&" Veröffentlichung, die Mitglied derselben Patentfamilie ist
"O" Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht	
"P" Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist	

Datum des Abschlusses der internationalen Recherche	Absendedatum des internationalen Recherchenberichts
2. Februar 2006	14/02/2006
Name und Postanschrift der Internationalen Recherchenbehörde Europäisches Patentamt, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Tx. 31 651 epo nl, Fax: (+31-70) 340-3016	Bevollmächtigter Bediensteter Alonso Nogueiro, L

INTERNATIONALER RECHERCHENBERICHT

Internationales Aktenzeichen

PCT/EP2005/010834

C. (Fortsetzung) ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
A	MEIER W: "Hierarchical layout verification for submicron designs" DESIGN AUTOMATION CONFERENCE, 1990., EDAC. PROCEEDINGS OF THE EUROPEAN GLASGOW, UK 12-15 MARCH 1990, WASHINGTON, DC, USA, IEEE COMPUT. SOC. PR, US, 12. März 1990 (1990-03-12), Seiten 382-386, XP010018131 ISBN: 0-8186-2024-2 das ganze Dokument -----	1-19

INTERNATIONALER RECHERCHENBERICHT

Angaben zu Veröffentlichungen, die zur selben Patentfamilie gehören

Internationales Aktenzeichen

PCT/EP2005/010834

Im Recherchenbericht angeführtes Patentdokument	Datum der Veröffentlichung	Mitglied(er) der Patentfamilie	Datum der Veröffentlichung
US 5544067	A	06-08-1996	KEINE