

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6127182号
(P6127182)

(45) 発行日 平成29年5月10日 (2017. 5. 10)

(24) 登録日 平成29年4月14日 (2017. 4. 14)

(51) Int. Cl.	F I	
HO 1 L 29/786 (2006. 01)	HO 1 L 29/78	6 1 2 C
HO 1 L 21/336 (2006. 01)	HO 1 L 29/78	6 1 8 B
GO 2 F 1/1368 (2006. 01)	HO 1 L 29/78	6 1 8 G
GO 9 F 9/30 (2006. 01)	HO 1 L 29/78	6 1 9 A
HO 1 L 21/8236 (2006. 01)	GO 2 F 1/1368	
請求項の数 2 (全 58 頁) 最終頁に続く		

(21) 出願番号	特願2016-85315 (P2016-85315)	(73) 特許権者	000153878
(22) 出願日	平成28年4月21日 (2016. 4. 21)		株式会社半導体エネルギー研究所
(62) 分割の表示	特願2014-150498 (P2014-150498) の分割	(72) 発明者	山崎 舜平
原出願日	平成21年11月5日 (2009. 11. 5)		神奈川県厚木市長谷 3 9 8 番地 株式会社
(65) 公開番号	特開2016-171328 (P2016-171328A)		半導体エネルギー研究所内
(43) 公開日	平成28年9月23日 (2016. 9. 23)	(72) 発明者	野田 耕生
審査請求日	平成28年4月22日 (2016. 4. 22)		神奈川県厚木市長谷 3 9 8 番地 株式会社
(31) 優先権主張番号	特願2008-286900 (P2008-286900)		半導体エネルギー研究所内
(32) 優先日	平成20年11月7日 (2008. 11. 7)	(72) 発明者	佐々木 俊成
(33) 優先権主張国	日本国 (JP)		神奈川県厚木市長谷 3 9 8 番地 株式会社
		(72) 発明者	大原 宏樹
			神奈川県厚木市長谷 3 9 8 番地 株式会社
			半導体エネルギー研究所内
			最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項 1】

ゲート電極と、
 前記ゲート電極上方の第 1 の絶縁層と、
 前記第 1 の絶縁層上方に設けられ、前記ゲート電極と重なる領域を有する酸化物半導体層と、
 前記第 1 の絶縁層上方の第 1 の配線と、
 前記第 1 の絶縁層上方の第 2 の配線と、
 前記酸化物半導体層上方の有機絶縁層と、
 端子部と、
 を有し、
 前記第 1 の配線は、前記酸化物半導体層と電気的に接続され、
 前記第 2 の配線は、前記酸化物半導体層と電気的に接続され、
 前記酸化物半導体層は、I n、Z n及びM (Mは、G a、F e、N i、M n及びC oから選ばれた一又は複数の元素)を含み、
 前記酸化物半導体層は、非単結晶であり、
 前記酸化物半導体層は、可動イオンの濃度が $5 \times 10^{18} / \text{cm}^3$ 以下であり、
 前記端子部は、第 1 の導電層と、前記第 1 の導電層上方の前記第 1 の絶縁層と、前記第 1 の絶縁層上方の第 2 の導電層と、前記第 2 の導電層上方の前記有機絶縁層と、前記有機絶縁層上方の第 3 の導電層と、を有し、

前記第1の導電層と前記ゲート電極とは、同じ材料を有し、
前記第2の導電層と前記第1配線と前記第2配線とは、同じ材料を有し、
前記第3の導電層は、フレキシブルプリントサーキットに電氣的に接続され、
前記第3の導電層は、前記有機絶縁層に設けられたコンタクトホールを介して、前記第2の導電層と電氣的に接続され、
前記第1の導電層は、フローティングであることを特徴とする半導体装置。

【請求項2】

ゲート電極と、
前記ゲート電極上方の第1の絶縁層と、
前記第1の絶縁層上方に設けられ、前記ゲート電極と重なる領域を有する酸化物半導体層と、
前記第1の絶縁層上方の第1の配線と、
前記第1の絶縁層上方の第2の配線と、
前記酸化物半導体層上方の有機絶縁層と、
端子部と、
を有し、
前記第1の配線は、前記酸化物半導体層と電氣的に接続され、
前記第2の配線は、前記酸化物半導体層と電氣的に接続され、
前記酸化物半導体層は、In、Zn及びM（Mは、Ga、Fe、Ni、Mn及びCoから選ばれた一又は複数の元素）を含み、
前記酸化物半導体層は、非単結晶であり、
前記酸化物半導体層は、ナトリウムの濃度が $5 \times 10^{18} / \text{cm}^3$ 以下であり、
前記端子部は、第1の導電層と、前記第1の導電層上方の前記第1の絶縁層と、前記第1の絶縁層上方の第2の導電層と、前記第2の導電層上方の前記有機絶縁層と、前記有機絶縁層上方の第3の導電層と、を有し、
前記第1の導電層と前記ゲート電極とは、同じ材料を有し、
前記第2の導電層と前記第1配線と前記第2配線とは、同じ材料を有し、
前記第3の導電層は、フレキシブルプリントサーキットに電氣的に接続され、
前記第3の導電層は、前記有機絶縁層に設けられたコンタクトホールを介して、前記第2の導電層と電氣的に接続され、
前記第1の導電層は、フローティングであることを特徴とする半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、酸化物半導体を用いる表示装置及びその製造方法に関する。

【背景技術】

【0002】

液晶表示装置に代表されるように、ガラス基板等の平板に形成される薄膜トランジスタは、アモルファスシリコン、多結晶シリコンによって作製されている。アモルファスシリコンを用いた薄膜トランジスタは、電界効果移動度が低いもののガラス基板の大面积化に対応することができ、一方、結晶シリコンを用いた薄膜トランジスタは電界効果移動度が高いものの、レーザアニール等の結晶化工程が必要であり、ガラス基板の大面积化には必ずしも適応しないといった特性を有している。

【0003】

これに対し、酸化物半導体を用いて薄膜トランジスタを作製し、電子デバイスや光デバイスに応用する技術が注目されている。例えば、酸化物半導体層として酸化亜鉛、In-Ga-Zn-O系酸化物半導体を用いて薄膜トランジスタを作製し、表示装置のスイッチング素子などに用いる技術が特許文献1、特許文献2、及び非特許文献1で開示されている。

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特開2007-123861号公報

【特許文献2】特開2007-96055号公報

【非特許文献】

【0005】

【非特許文献1】Y. Parkら, IDW'07, p. 1775-p. 1778

【発明の概要】

【発明が解決しようとする課題】

【0006】

しかしながら、酸化物半導体層を用いた薄膜トランジスタにおいて、酸化物半導体層のパッシベーション層として、シラン、二酸化窒素、アンモニア、窒素等のいずれかを原料ガスとしたプラズマCVD法を用いて形成した窒化珪素層、または酸化珪素層を用いると、薄膜トランジスタの電気特性の信頼性が低減するという問題がある。

【0007】

そこで、薄膜トランジスタの電気特性の信頼性を高めることが可能な薄膜トランジスタ及びその作製方法を提供することを課題の一つとする。また、画質を向上させることが可能な表示装置及びその作製方法を提供することを課題の一つとする。

【課題を解決するための手段】

【0008】

ゲート電極と、ゲート電極に重畳する酸化物半導体層と、酸化物半導体層に接する有機樹脂層と、酸化物半導体層及び有機樹脂層の間に設けられる配線とを有する薄膜トランジスタである。

【0009】

また、ゲート電極と、ゲート電極上に形成されるゲート絶縁層と、ゲート電極に重畳し、且つゲート絶縁層上に形成される酸化物半導体層と、ゲート絶縁層及び酸化物半導体層上に形成される配線と、酸化物半導体層及び配線に接する有機樹脂層とを有する薄膜トランジスタである。

【0010】

また、上記薄膜トランジスタを駆動回路及び画素部に有する表示装置である。

【0011】

なお、酸化物半導体層は、 $\text{InMO}_3(\text{ZnO})_m$ ($m > 0$) で表記される薄膜であり、Mは、ガリウム(Ga)、鉄(Fe)、ニッケル(Ni)、マンガン(Mn)及びコバルト(Co)から選ばれた一の金属元素または複数の金属元素を示す。例えばMとして、Gaの場合があることその他、GaとNiまたはGaとFeなど、Ga以外の上記金属元素が含まれる場合がある。また、上記酸化物半導体層において、Mとして含まれる金属元素の他に、不純物元素としてFe、Niその他の遷移金属元素、または該遷移金属の酸化物が含まれているものがある。ここでは、当該薄膜のうちM=ガリウム(Ga)のものをIn-Ga-Zn-O系非単結晶層とも呼ぶ。

【0012】

In-Ga-Zn-O系非単結晶層の結晶構造は、スパッタリング法で形成した後、200℃～500℃、代表的には300～400℃で10分～100分の加熱を行っても、アモルファス構造がXRD(X線回折)測定で観察される。また、In-Ga-Zn-O系非単結晶層を用いることで、ゲート電圧±20Vにおいて、オン・オフ比が 10^9 以上、移動度が $10\text{ cm}^2/\text{Vs}$ 以上の電気特性を有する薄膜トランジスタを作製することができる。

【0013】

このような電気特性を有する薄膜トランジスタを駆動回路に用いることは有用である。例えば、ゲート線駆動回路は、ゲート信号を順次転送するシフトレジスタ回路と、バッファ回路などで構成され、ソース線駆動回路は、ゲート信号を順次転送するシフトレジスタと

10

20

30

40

50

、バッファ回路と、画素への映像信号の転送のオン・オフを切り替えるアナログスイッチなどにより構成される。アモルファスシリコンを用いた薄膜トランジスタに比べ高い移動度を有する酸化物半導体層を用いた薄膜トランジスタは、シフトレジスタ回路を高速駆動させることができる。

【0014】

また、画素部を駆動する駆動回路の少なくとも一部の回路を酸化物半導体を用いた薄膜トランジスタで構成する場合、全てnチャネル型TFTで形成され、図1(B)に示した回路を基本単位として形成する。また、駆動回路において、ゲート電極とソース配線、或いはドレイン配線を直接接続させることにより、良好なコンタクトを得ることができ、接触抵抗を低減することができる。駆動回路において、ゲート電極とソース配線、或いはドレイン配線を他の導電層、例えば透明導電層を介して接続する場合、コンタクトホール数の増加、コンタクトホール数の増加による占有面積の増大、または接触抵抗及び配線抵抗の増大、さらには工程の複雑化を招く恐れがある。

10

【0015】

また、薄膜トランジスタは静電気などにより破壊されやすいため、ゲート線またはソース線に対して、駆動回路保護用の保護回路を同一基板上に設けることが好ましい。保護回路は、酸化物半導体を用いた非線形素子を用いて構成することが好ましい。

【0016】

なお、第1、第2として付される序数詞は便宜上用いるものであり、工程順または積層順を示すものではない。また、本明細書において発明を特定するための事項として固有の名称を示すものではない。

20

【0017】

また、駆動回路を有する表示装置としては、液晶表示装置の他に、発光素子を用いた発光表示装置や、電気泳動表示素子を用いた電子ペーパーとも称される表示装置がある。

【0018】

発光素子を用いた発光表示装置においては、画素部に複数の薄膜トランジスタを有し、画素部においてもある薄膜トランジスタのゲート電極と他の薄膜トランジスタのソース配線、或いはドレイン配線を直接接続させる箇所を有している。また、発光素子を用いた発光表示装置の駆動回路においては、薄膜トランジスタのゲート電極とその薄膜トランジスタのソース配線、或いはドレイン配線を直接接続させる箇所を有している。

30

【発明の効果】

【0019】

酸化物半導体を用いた薄膜トランジスタにおいて、酸化物半導体に接する有機絶縁層を形成することにより、電気特性の信頼性の高い薄膜トランジスタを作製することができる。また、画質が向上した表示装置を作製することができる。

【図面の簡単な説明】

【0020】

【図1】表示装置の一形態を説明する断面図、等価回路図、及び上面図である。

【図2】表示装置の一形態を説明する等価回路図、及び上面図である。

【図3】表示装置の工程の一形態を説明する断面図である。

40

【図4】表示装置の工程の一形態を説明する断面図である。

【図5】表示装置の工程の一形態を説明する断面図である。

【図6】表示装置の工程の一形態を説明する断面図である。

【図7】表示装置の工程の一形態を説明する上面図である。

【図8】表示装置の工程の一形態を説明する上面図である。

【図9】表示装置の工程の一形態を説明する上面図である。

【図10】表示装置の工程の一形態を説明する上面図である。

【図11】表示装置の一形態を説明する断面図、及び上面図である。

【図12】表示装置の一形態を説明する上面図である。

【図13】電子ペーパーの断面図である。

50

- 【図 1 4】表示装置の一形態のブロック図を説明する図である。
- 【図 1 5】信号線駆動回路の構成を説明する図である。
- 【図 1 6】信号線駆動回路の動作を説明するタイミングチャートである。
- 【図 1 7】信号線駆動回路の動作を説明するタイミングチャートである。
- 【図 1 8】シフトレジスタの構成を説明する図である。
- 【図 1 9】図 1 8 に示すフリップフロップの接続構成を説明する図である。
- 【図 2 0】表示装置の画素等価回路の一形態を説明する等価回路図である。
- 【図 2 1】表示装置の一形態を説明する断面図である。
- 【図 2 2】表示装置の一形態を説明する断面図及び上面図である。
- 【図 2 3】表示装置の一形態を説明する断面図である。 10
- 【図 2 4】表示装置の一形態を説明する断面図及び上面図である。
- 【図 2 5】電子ペーパーの使用形態の例を説明する図である。
- 【図 2 6】電子書籍の一例を説明する外観図である。
- 【図 2 7】テレビジョン装置およびデジタルフォトフレームの例を説明する外観図である

。

- 【図 2 8】遊技機の例を説明する外観図である。
- 【図 2 9】携帯電話機の一例を説明する外観図である。
- 【図 3 0】表示装置の一形態を説明する断面図である。
- 【図 3 1】表示装置の工程の一形態を説明する断面図である。
- 【図 3 2】表示装置の工程の一形態を説明する断面図である。 20
- 【図 3 3】表示装置の工程の一形態を説明する上面図である。
- 【図 3 4】表示装置の工程の一形態を説明する上面図である。
- 【図 3 5】表示装置の工程の一形態を説明する上面図である。
- 【図 3 6】表示装置の工程の一形態を説明する上面図である。
- 【図 3 7】多階調マスクを説明する図である。
- 【図 3 8】表示装置の一形態を説明する断面図である。
- 【図 3 9】表示装置の一形態を説明する断面図である。
- 【図 4 0】表示装置の一形態を説明する断面図である。
- 【図 4 1】表示装置の一形態を説明する上面図である。
- 【図 4 2】表示装置の一形態を説明する図である。 30
- 【図 4 3】表示装置の一形態を説明する断面図である。
- 【図 4 4】表示装置の一形態を説明する断面図である。
- 【図 4 5】表示装置の一形態を説明する上面図及び断面図である。
- 【図 4 6】エッチング廃液中に含まれる酸化物半導体の再利用サイクルを説明する図である。

【図 4 7】エッチング廃液中に含まれる酸化物半導体を再利用する工程を説明する図である。

【発明を実施するための形態】

【0021】

以下、実施の形態について、図面を用いて詳細に説明する。但し、開示される発明は以下の説明に限定されず、開示される発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、開示される発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。なお、以下に説明する発明の構成において、同一部分または同様な機能を有する部分には同一の符号を異なる図面間で共通して用い、その繰り返しの説明は省略する。

【0022】

（実施の形態 1）

ここでは、2つの n チャンネル型の薄膜トランジスタを用いてインバータ回路を構成する例を基に、以下に説明する。

【0023】

10

20

30

40

50

駆動回路のインバータ回路の断面構造を図1 (A) に示す。なお、図1 に示す第1 薄膜トランジスタ4 3 0、第2 薄膜トランジスタ4 3 1 は、逆スタガ型薄膜トランジスタであり、酸化物半導体層上にソース領域またはドレイン領域を介して配線が設けられている薄膜トランジスタの例である。

【0024】

図1 (A) において、基板4 0 0 上に第1 ゲート電極4 0 1 及び第2 ゲート電極4 0 2 が形成される。第1 ゲート電極4 0 1 及び第2 ゲート電極4 0 2 上には、ゲート絶縁層4 0 3 が形成される。また、第1 ゲート電極4 0 1 と重なる位置に、ゲート絶縁層4 0 3 に接する第1 酸化物半導体層4 0 5 が形成され、第2 ゲート電極4 0 2 と重なる位置に、ゲート絶縁層4 0 3 に接する第2 酸化物半導体層4 0 7 とが形成される。第1 酸化物半導体層4 0 5 上には第1 配線4 0 9、及び第2 配線4 1 0 が形成される。また、第1 酸化物半導体層4 0 5 と、第1 配線4 0 9、第2 配線4 1 0 の間に、ソース領域またはドレイン領域として機能する n^+ 層4 0 6 a、4 0 6 b が形成される。また、第2 酸化物半導体層4 0 7 と、第2 配線4 1 0、第3 配線4 1 1 の間に、ソース領域またはドレイン領域として機能する n^+ 層4 0 8 a、4 0 8 b が形成される。また、第2 配線4 1 0 は、ゲート絶縁層4 0 3 に形成されたコンタクトホール4 0 4 を介して、第2 ゲート電極4 0 2 と直接接続する。また、第2 酸化物半導体層4 0 7 上には、第2 配線4 1 0 及び第3 配線4 1 1 が形成される。また、第1 酸化物半導体層4 0 5 及び第2 酸化物半導体層4 0 7 に接する有機絶縁層4 5 2 が形成される。第1 酸化物半導体層4 0 5 及び第2 酸化物半導体層4 0 7、第1 配線4 0 9～第3 配線4 1 1、及びゲート絶縁層4 0 3 上に、組成物を塗布し、焼成することで、第1 酸化物半導体層4 0 5 及び第2 酸化物半導体層4 0 7 に接する有機絶縁層4 5 2 を形成することができるため、電気特性の信頼性の高い薄膜トランジスタを作製することができる。

【0025】

基板4 0 0 としては、透光性を有する基板を用いることが好ましく、透光性を有する基板としては、コーニング社の7 0 5 9 ガラスや1 7 3 7 ガラスなどに代表されるバリウムホウケイ酸ガラスやアルミノホウケイ酸ガラスなどのガラス基板を用いることができる。

【0026】

第1 ゲート電極4 0 1 及び第2 ゲート電極4 0 2 の材料は、アルミニウム、銅、モリブデン、タングステンから選ばれた元素、またはから選ばれた元素、または上述した元素と、チタン、タンタル、タングステン、モリブデン、クロム、ネオジウム、スカンジウム等とを有する合金、または上述した元素の窒化物を用いた単層または積層構造で形成する。

【0027】

例えば、第1 ゲート電極4 0 1 及び第2 ゲート電極4 0 2 の2 層の積層構造としては、アルミニウム層上にモリブデン層が積層された構造、または銅層上にモリブデン層を積層した構造、または銅層上に窒化チタン層若しくは窒化タンタル層を積層した積層構造、窒化チタン層とモリブデン層とを積層した構造とすることが好ましい。3 層の積層構造としては、タングステン層または窒化タングステン層と、アルミニウムとシリコンの合金またはアルミニウムとチタンの合金と、窒化チタン層またはチタン層とを積層した構造とすることが好ましい。

【0028】

ゲート絶縁層4 0 3 としては、酸化シリコン層、窒化シリコン層、酸化窒化シリコン層または窒化酸化シリコン層を単層で、または積層して形成することができる。ゲート絶縁層4 0 3 を積層構造とする場合は、基板4 0 0 上に窒化シリコン層または窒化酸化シリコン層を形成し、その上に酸化シリコン層または酸化窒化シリコン層を形成する構造とすることができる。

【0029】

また、第1 ゲート電極4 0 1 及び第2 ゲート電極4 0 2 を覆うゲート絶縁層4 0 3 上には、第1 酸化物半導体層4 0 5 と、第2 酸化物半導体層4 0 7 とを設ける。

【0030】

第1酸化物半導体層405、第2酸化物半導体層407は、 $\text{InMO}_3(\text{ZnO})_m$ ($m > 0$) で表記される層を形成する。なお、Mは、Ga、Fe、Ni、Mn及びCoから選ばれた一の金属元素又は複数の金属元素を示す。例えばMとして、Gaの場合があること
10
の他、GaとNi又はGaとFeなど、Ga以外の上記金属元素が含まれる場合がある。
また、上記酸化物半導体において、Mとして含まれる金属元素の他に、不純物元素として
Fe、Niその他の遷移金属元素、又は該遷移金属の酸化物が含まれているものがある。
本明細書においてはこの薄膜をIn-Ga-Zn-O系非単結晶膜とも呼ぶ。また、第1
酸化物半導体層405、第2酸化物半導体層407の可動イオン、代表的にはナトリウム
の濃度は、 $5 \times 10^{18} / \text{cm}^3$ 以下、更には $1 \times 10^{18} / \text{cm}^3$ 以下であると、薄膜
トランジスタの電気特性が変化することを抑制することができるため好ましい。

【0031】

本実施の形態では、ソース領域またはドレイン領域として機能する n^+ 層406a、406b、408a、408bは、In-Ga-Zn-O系非単結晶層であり、第1酸化物半
20
導体層405、第2酸化物半導体層407の形成条件とは異なる形成条件で形成される、
より低抵抗な酸化物半導体層である。例えば、 n^+ 層406a、406b、408a、408bは、 n 型の導電性を有し、活性化エネルギー(ΔE)が0.01eV以上0.1eV以下である。なお、本実施の形態では、 n^+ 層406a、406b、408a、408bは、In-Ga-Zn-O系非単結晶層であり、少なくともアモルファス成分を含んで
いるものとする。 n^+ 層406a、406b、408a、408bは非晶質構造の中に結
晶粒(ナノクリスタル)を含む場合がある。この n^+ 層406a、406b、408a、
408b中の結晶粒(ナノクリスタル)は直径1nm~10nm、代表的には2nm~4
nm程度である。

【0032】

n^+ 層406a、406b、408a、408bを設けることにより、金属層である第1
30
配線409、第2配線410、第3配線411と、第1酸化物半導体層405、第2酸化
物半導体層407との間を良好な接合としてショットキー接合に比べて熱的にも安定動作
を有せしめる。また、チャネルのキャリアを供給する(ソース側)、またはチャネルのキ
ャリアを安定して吸収する(ドレイン側)、または抵抗成分を配線との界面に作らないた
めにも積極的に n^+ 層を設けると効果的である。また低抵抗化により、高いドレイン電圧
でも良好な移動度を保持することができる。

【0033】

第1配線409~第3配線411の材料としては、アルミニウム、クロム、タンタル、チ
タン、モリブデン、タングステンから選ばれた元素、上述した元素を主成分とする合金、
または上述した元素を組み合わせた合金等がある。また、第1配線409~第3配線411
は、シリコンを含むアルミニウム層の単層構造や、チタン層の単層構造としてもよい。
また、第1配線409~第3配線411は、2層構造としてもよく、アルミニウム層上に
チタン層を積層してもよい。

【0034】

また、後の工程で、200℃~600℃の熱処理を行う場合には、第1配線409~第3
40
配線411に、当該熱処理に耐える耐熱性を持たせることが好ましい。アルミニウム単体
では耐熱性が劣り、また腐蝕しやすい等の問題点があるので、耐熱性導電性材料と組み合
わせて形成する。アルミニウムと組み合わせる耐熱性導電性材料としては、チタン、タン
タル、タングステン、モリブデン、クロム、ネオジム、スカンジウムから選ばれた元素、
上述した元素を主成分とする合金、上述した元素を複数組み合わせた合金、または上述し
た元素の窒化物で形成する。

【0035】

第1薄膜トランジスタ430は、第1ゲート電極401と、ゲート絶縁層403を介して
第1ゲート電極401と重なる第1酸化物半導体層405とを有し、第1配線409は、
50
接地電位の電源線(接地電源線)である。この接地電位の電源線は、負の電圧VDLが印
加される電源線(負電源線)としてもよい。

【0036】

また、第2薄膜トランジスタ431は、第2ゲート電極402と、ゲート絶縁層403を介して第2ゲート電極402と重なる第2酸化物半導体層407とを有し、第3配線411は、正の電圧VDDが印加される電源線（正電源線）である。

【0037】

図1（A）に示すように、第1酸化物半導体層405と第2酸化物半導体層407の両方に電氣的に接続する第2配線410は、ゲート絶縁層403に形成されたコンタクトホール404を介して第2薄膜トランジスタ431の第2ゲート電極402と直接接続する。直接接続させることにより、良好なコンタクトを得ることができ、接触抵抗を低減することができる。第2ゲート電極402と第2配線410を他の導電層、例えば透明導電層を介して接続する場合に比べて、コンタクトホールの数の低減、コンタクトホールの数の低減による占有面積の縮小を図ることができる。

10

【0038】

有機絶縁層452は、組成物を塗布し焼成して形成することで、第1酸化物半導体層405及び第2酸化物半導体層407にダメージを与えず形成することができる。有機絶縁層452として用いることが可能な有機材料としては、エポキシ樹脂、ポリイミド、アクリル樹脂、ポリアクリロニトリル、ポリアミド、シリコーン樹脂、ポリエステル、シロキサンポリマー、フッ素含有ポリマー、低誘電率材料（low-k材料）、PSG（リンガラス）、BPSG（リンボロンガラス）等がある。

20

【0039】

また、有機絶縁層452として、可視光の波長範囲のうち、任意の波長範囲の光を優先的に透過させる機能を持たせてもよい。赤色波長範囲の光、青色波長範囲の光、及び緑色波長範囲の光、それぞれを優先的に透過させる有機絶縁層を組み合わせ、カラーフィルタとして機能させてもよい。しかしながら、着色層の組み合わせに関しては、これに限られない。

【0040】

本実施の形態では、第1酸化物半導体層405及び第2酸化物半導体層407に接して、塗布法により形成される有機絶縁層452を形成するため、薄膜トランジスタの電気特性の信頼性を向上させることができる。

【0041】

また、駆動回路のインバータ回路の上面図を図1（C）に示す。図1（C）において、鎖線Z1-Z2で切断した断面が図1（A）に相当する。

30

【0042】

なお、表示装置において、画素部を駆動するための駆動回路は、インバータ回路、容量、抵抗などを用いて構成する。2つのnチャネル型薄膜トランジスタを組み合わせ、インバータ回路を形成する場合、エンハンスメント型トランジスタとデプレッション型トランジスタとを組み合わせ形成する場合（以下、EDMOS回路という）と、エンハンスメント型薄膜トランジスタ同士で形成する場合（以下、EEMOS回路という）がある。なお、nチャネル型薄膜トランジスタのしきい値電圧が正の場合は、エンハンスメント型トランジスタと定義し、nチャネル型薄膜トランジスタのしきい値電圧がゼロまたは負の場合は、デプレッション型トランジスタと定義し、本明細書を通してこの定義に従うものとする。

40

【0043】

画素部と駆動回路は、同一基板上に形成し、画素部においては、マトリクス状に配置したエンハンスメント型トランジスタを用いて画素電極への電圧印加のオン・オフを切り替える。この画素部に配置するエンハンスメント型トランジスタは、酸化物半導体を用いており、その電気特性は、ゲート電圧±20Vにおいて、オン・オフ比が 10^9 以上であるため、リーク電流が少なく、低消費電力駆動を実現することができる。

【0044】

EDMOS回路の等価回路を図1（B）に示す。図1（A）及び図1（C）示す回路接続

50

は、図 1 (B) に相当し、第 1 薄膜トランジスタ 430 をエンハンスメント型の n チャネル型トランジスタとし、第 2 薄膜トランジスタ 431 をデプレッション型の n チャネル型トランジスタとする例である。

【0045】

同一基板上にエンハンスメント型の n チャネル型トランジスタとデプレッション型の n チャネル型トランジスタとを作製する方法は、例えば、第 1 酸化物半導体層 405 と第 2 酸化物半導体層 407 とを異なる材料や異なる形成条件を用いて作製する。また、酸化物半導体層の上下にゲート電極を設けてしきい値制御を行い、一方の TFT がノーマリーオンとなるようにゲート電極に電圧をかけ、もう一方の TFT がノーマリーオフとなるようにして EDMOS 回路を構成してもよい。

10

【0046】

本実施の形態で示す薄膜トランジスタは、酸化物半導体層上に有機絶縁層が形成されるため、薄膜トランジスタの電気特性の信頼性を高めることができる。

【0047】

(実施の形態 2)

実施の形態 1 は、EDMOS 回路の例を示したが、本実施の形態では、EEMOS 回路の等価回路を図 2 (A) に示す。また、EEMOS の上面図を図 2 (B) に示す。また、図 2 に示す EEMOS 回路の作製工程を図 3 に示す。図 2 (A) の等価回路においては、どちらもエンハンスメント型の n チャネル型トランジスタとする組み合わせとする。

20

【0048】

エンハンスメント型の n チャネル型トランジスタで作製できる図 2 (A) の EEMOS 回路を駆動回路に用いることで、画素部に用いるトランジスタと同様に、駆動回路においても、エンハンスメント型の n チャネル型トランジスタを作製するため、作製工程が増大せず、好ましいと言える。

【0049】

なお、図 2 に示す第 1 薄膜トランジスタ 460、第 2 薄膜トランジスタ 461 は、逆スタガ型薄膜トランジスタであり、酸化物半導体層上にソース領域またはドレイン領域を介して配線が設けられている薄膜トランジスタの例である。

【0050】

また、図 2 (B) 中の鎖線 Y1-Y2 で切断した断面が、図 3 (C) に相当する。

30

【0051】

基板 440 上に、スパッタリング法により第 1 導電層を形成する。次に、第 1 フォトマスクを用いたフォトリソグラフィ工程により形成したレジストマスクを用いて、選択的に第 1 導電層のエッチングを行い、第 1 ゲート電極 441 及び第 2 ゲート電極 442 を形成する。この後、レジストマスクを除去する。

【0052】

次に、第 1 ゲート電極 401 及び第 2 ゲート電極 442 を覆うゲート絶縁層 443 をプラズマ CVD 法またはスパッタリング法を用いて形成する。ゲート絶縁層 443 は、CVD 法またはスパッタリング法等を用い、実施の形態 1 に列挙した材料を用いて形成することができる。また、ゲート絶縁層 443 として、有機シランガスを用いた CVD 法により酸化シリコン層を形成することも可能である。有機シランガスとしては、珪酸エチル (TEOS: 化学式 $\text{Si}(\text{OC}_2\text{H}_5)_4$)、テトラメチルシラン (TMS: 化学式 $\text{Si}(\text{CH}_3)_4$)、テトラメチルシクロテトラシロキサン (TMCTS)、オクタメチルシクロテトラシロキサン (OMCTS)、ヘキサメチルジシラザン (HMDS)、トリエトキシシラン ($\text{SiH}(\text{OC}_2\text{H}_5)_3$)、トリスジメチルアミノシラン ($\text{SiH}(\text{N}(\text{CH}_3)_2)_3$) 等のシリコン含有化合物を用いることができる。

40

【0053】

次いで、第 2 フォトマスクを用いたフォトリソグラフィ工程により形成したレジストマスクを用いて、ゲート絶縁層 443 を選択的にエッチングして第 2 ゲート電極 442 に達するコンタクトホール 444 を形成する。この後、レジストマスクを除去する。ここまでの

50

段階での断面図が図 3 (A) に相当する。

【0054】

次に、酸化物半導体層をスパッタリング法により形成し、さらにその上に n^+ 層を形成する。なお、酸化物半導体層をスパッタリング法により形成する前に、アルゴンガスを導入してプラズマを発生させる逆スパッタリングを行い、ゲート絶縁層 443 の表面及びコンタクトホール 444 の底面に付着しているゴミを除去することが好ましい。逆スパッタリングとは、ターゲット側に電圧を印加せずに、アルゴン雰囲気下で基板側に RF 電源を用いて電圧を印加して基板にプラズマを形成して表面を改質する方法である。なお、アルゴン雰囲気に代えて窒素、ヘリウムなどを用いてもよい。また、アルゴン雰囲気に酸素、水素、 N_2O などを加えた雰囲気で行ってもよい。また、アルゴン雰囲気に Cl_2 、 CF_4 などを加えた雰囲気で行ってもよい。なお、逆スパッタリングを行うと、ゲート絶縁層 403 の表面が 2 ~ 10 nm、好ましくは 2 ~ 10 nm 程度削られる。

10

【0055】

スパッタリング法にはスパッタリング用電源に高周波電源を用いる RF スパッタリング法と、DC スパッタリング法があり、さらにパルスのバイアスを与えるパルス DC スパッタリング法もある。RF スパッタリング法は主に絶縁層を形成する場合に用いられ、DC スパッタリング法は主に金属層を形成する場合に用いられる。

【0056】

また、材料の異なるターゲットを複数設置できる多元スパッタリング装置もある。多元スパッタリング装置は、同一チャンバーで異なる材料層を積層することも、同一チャンバーで複数種類の材料を同時に放電させて形成することもできる。

20

【0057】

また、チャンバー内部に磁石機構を備えたマグネトロンスパッタリング法を用いるスパッタリング装置や、グロー放電を使わずマイクロ波を用いて発生させたプラズマを用いる ECR スパッタリング法を用いるスパッタリング装置がある。

【0058】

また、形成方法として、成膜中にターゲット物質とスパッタリングガス成分とを化学反応させてそれらの化合物薄膜を形成するリアクティブスパッタリング法や、成膜中に基板にも電圧をかけるバイアススパッタリング法もある。

【0059】

本明細書のスパッタリングにおいては、上記したスパッタリング装置及びスパッタリング方法を適宜用いることができる。

30

【0060】

次いで、第 3 フォトマスクを用いて選択的に、酸化物半導体層及び n^+ 層のエッチングを行う。この後、レジストマスクを除去する。

【0061】

次に、スパッタリング法により第 2 導電層を形成する。次に、第 4 フォトマスクを用いたフォトリソグラフィ工程により形成したレジストマスクを用いて選択的に第 2 導電層のエッチングを行い、第 1 配線 449、第 2 配線 450、及び第 3 配線 451 を形成する。第 3 配線 451 は、コンタクトホール 444 を介して第 2 ゲート電極 442 と直接接する。

40

【0062】

なお、第 2 導電層をスパッタリング法により形成する前に、アルゴンガスを導入してプラズマを発生させる逆スパッタリングを行い、ゲート絶縁層 443 の表面、 n^+ 層の表面、及びコンタクトホール 444 の底面に付着しているゴミを除去することが好ましい。なお、アルゴン雰囲気に代えて窒素、ヘリウムなどを用いてもよい。また、アルゴン雰囲気に酸素、水素、 N_2O などを加えた雰囲気で行ってもよい。また、アルゴン雰囲気に Cl_2 、 CF_4 などを加えた雰囲気で行ってもよい。

【0063】

なお、第 2 導電層のエッチングの際に、さらに、 n^+ 層及び酸化物半導体層の一部をエッチングして、 n^+ 層 446 a、446 b、448 a、448 b、第 1 酸化物半導体層 44

50

5、第2酸化物半導体層447を形成する。このエッチングで第1ゲート電極及び第2ゲート電極と重なる部分の第1酸化物半導体層445、第2酸化物半導体層447の厚さは薄くなる。この後、レジストマスクを除去する。このエッチングが終了した段階で第1薄膜トランジスタ460と第2薄膜トランジスタ461が完成する。ここまでの段階での断面図が図3(B)に相当する。

【0064】

ここで、第1薄膜トランジスタ460の拡大図を図43に示す。第2導電層をスパッタリング法により形成する前に逆スパッタリングを行うと、ゲート絶縁層443の露出部が2~10nm、好ましくは2~10nm程度削られるため、図43に示すように、ゲート絶縁層443と、後に形成される第1配線449及び第2配線450が接する領域において、ゲート絶縁層443に凹部471a、471bが形成される。

10

【0065】

また、第2導電層のエッチングを行い、第1配線449、第2配線450、及び第3配線451を形成した後、逆スパッタリングすることで、図3(B)に示すように、第1配線449、第2配線450、及び第3配線451の端部が湾曲する。

【0066】

次に、大気雰囲気下または窒素雰囲気下で200℃~600℃の加熱処理を行う。この熱処理によりIn-Ga-Zn-O系非単結晶層の原子レベルの再配列が行われる。この熱処理によりキャリアの移動を阻害する歪が解放されるため、ここでの熱処理(光アニールも含む)は重要である。なお、この加熱処理を行うタイミングは限定されず、酸化物半導体層445、447の形成後であれば、いつ行ってもよい。

20

【0067】

次に、有機絶縁層の材料である組成物を塗布し、大気雰囲気下または窒素雰囲気下で200℃~600℃の加熱処理を行って、有機絶縁層452を形成する。有機絶縁層452は、実施の形態1に示す材料を適宜用いることができる。図3(C)においては、非感光性樹脂を用いて有機絶縁層452を形成した形態を示したため、コンタクトホールが形成される領域の断面において、有機絶縁層452の端部が角張っている。しかしながら、感光性樹脂を用いて有機絶縁層452を形成すると、図44に示すように、コンタクトホールが形成される領域の断面において、有機絶縁層452の端部は湾曲している。この結果、後に形成される接続配線453や画素電極の被覆率が向上する。

30

【0068】

また、組成物を塗布する代わりに、その材料に応じて、ディップ、スプレー塗布、インクジェット法、印刷法、ドクターナイフ、ロールコーター、カーテンコーター、ナイフコーター等を用いることができる。

【0069】

なお、酸化物半導体層445、447を形成した後の加熱処理をせず、有機絶縁層の材料である組成物の加熱処理時に、酸化物半導体層445、447の加熱処理を兼ねてもよい。

【0070】

有機絶縁層452は、200nm~5μm、好ましくは300nm~1μmで形成する。

40

【0071】

次に、第3導電層を形成する。次に、第5フォトマスクを用いたフォトリソグラフィ工程により形成したレジストマスクを用いて第3導電層を選択的にエッチングして、第2配線410と電気的に接続する接続配線453を形成する。ここまでの段階での断面図が図3(C)に相当する。

【0072】

なお、レジストマスクをウェットエッチングで除去した後、大気雰囲気下または窒素雰囲気下で200℃~600℃の加熱処理を行ってもよい。

【0073】

発光素子を用いた発光表示装置においては、画素部に複数の薄膜トランジスタを有し、画

50

素部においても、ある一つの薄膜トランジスタのゲート電極と他のトランジスタのソース配線、或いはドレイン配線を直接接続させるためのコンタクトホールを有している。このコンタクトホールは、第2フォトマスクを用いてゲート絶縁層にコンタクトホールを形成する際に同じマスクを用いて形成することができる。

【0074】

また、液晶表示装置や電子ペーパーにおいては、FPCなどの外部端子と接続するための端子部において、ゲート配線に達するコンタクトホールを形成する際、第2フォトマスクを用いてゲート絶縁層にコンタクトホールを形成する際に同じマスクを用いて形成することができる。

【0075】

10

なお、上述した工程順序は一例であって特に限定されない。例えば、フォトマスク数が1枚増えるが、第2導電層をエッチングするフォトマスクと、 n^+ 層及び酸化物半導体層の一部をエッチングするフォトマスクを別々に用いてエッチングを行ってもよい。

【0076】

以上の工程により、酸化物半導体層に接する有機絶縁層を形成することで、電気特性の信頼性の高い薄膜トランジスタを作製することができる。

【0077】

(実施の形態3)

本実施の形態では、インバータ回路の作製において、実施の形態2とは異なる作製工程の例を図4(A)、図4(B)、及び図4(C)を用いて説明する。

20

【0078】

基板440上に、スパッタリング法により第1導電層を形成する。次に、第1フォトマスクを用いたフォトリソグラフィ工程により形成したレジストマスクを用いて、選択的に第1導電層のエッチングを行い、第1ゲート電極441及び第2ゲート電極442を形成する。この後、レジストマスクを除去する。

【0079】

次に、第1ゲート電極441及び第2ゲート電極442を覆うゲート絶縁層443をプラズマCVD法またはスパッタリング法を用いて形成する。

【0080】

次に、酸化物半導体層をスパッタリング法により形成し、さらにその上に n^+ 層を形成する。

30

【0081】

次いで、第2フォトマスクを用いたフォトリソグラフィ工程により形成したレジストマスクを用いて、選択的に、酸化物半導体層及び n^+ 層のエッチングを行う。こうして、第1ゲート電極441とゲート絶縁層443を介して重なる酸化物半導体層454、及び n^+ 層455が形成され、第2ゲート電極442とゲート絶縁層443を介して重なる酸化物半導体層456、 n^+ 層457が形成される。ここまでの段階での断面図が図4(A)に相当する。

【0082】

次いで、第3フォトマスクを用いフォトリソグラフィ工程により形成したレジストマスクを用いて、ゲート絶縁層443を選択的にエッチングして第2ゲート電極442に達するコンタクトホール444を形成する。この後、レジストマスクを除去する。ここまでの段階での断面図が図4(B)に相当する。

40

【0083】

次いで、スパッタリング法により第2導電層を形成し、第4フォトマスクを用いて選択的に第2導電層のエッチングを行い、第1配線449、第2配線450、及び第3配線451を形成する。

【0084】

なお、第2導電層をスパッタリング法により形成する前に、アルゴンガスを導入してプラズマを発生させる逆スパッタリングを行い、ゲート絶縁層443の表面、 n^+ 層455、

50

457の表面、及びコンタクトホール444の底面に付着しているゴミを除去することが好ましい。なお、アルゴン雰囲気にて酸素、ヘリウムなどを用いてもよい。また、アルゴン雰囲気に酸素、水素、 N_2O などを加えた雰囲気で行ってもよい。また、アルゴン雰囲気に Cl_2 、 CF_4 などを加えた雰囲気で行ってもよい。

【0085】

本実施の形態の工程においては、コンタクトホール444を形成した後、他の層を形成することなく第2導電層を形成することができるため、実施の形態2に比べてコンタクトホールの底面が曝される工程数が少ないため、ゲート電極の材料の材料選択の自由度が広がる。これは、実施の形態2においては、コンタクトホール444で露出しているゲート電極面に接して酸化物半導体層が形成されるため、酸化物半導体層のエッチング工程でゲート電極の材料がエッチングされないエッチング条件またはゲート電極の材料を選択する必要があるためである。

10

【0086】

なお、第2導電層のエッチングの際に、さらに、 n^+ 層及び酸化物半導体層の一部をエッチングして、 n^+ 層446a、446b、448a、448b、第1酸化物半導体層445、第2酸化物半導体層447を形成する。このエッチングで第1ゲート電極及び第2ゲート電極と重なる部分の第1酸化物半導体層445、第2酸化物半導体層447の厚さは薄くなる。この後、レジストマスクを除去する。このエッチングが終了した段階で第1薄膜トランジスタ460と第2薄膜トランジスタ461が完成する。

【0087】

20

第1薄膜トランジスタ460は、第1ゲート電極441と、ゲート絶縁層443を介して第1ゲート電極441と重なる第1酸化物半導体層445とを有し、第1配線449は、接地電位の電源線（接地電源線）である。この接地電位の電源線は、負の電圧V_{DL}が印加される電源線（負電源線）としてもよい。

【0088】

また、第2薄膜トランジスタ461は、第2ゲート電極442と、ゲート絶縁層443を介して第2ゲート電極442と重なる第2酸化物半導体層447とを有し、第3配線451は、正の電圧V_{DD}が印加される電源線（正電源線）である。

【0089】

また、第1酸化物半導体層445と第1配線449との間には n^+ 層446aを設け、第1酸化物半導体層445と第2配線450との間には n^+ 層446bを設ける。また、第2酸化物半導体層447と第2配線450との間には n^+ 層448aを設け、第2酸化物半導体層447と第3配線451との間には n^+ 層448bを設ける。

30

【0090】

ここまでの段階での断面図が図4（C）に相当する。

【0091】

次に、大気雰囲気下または窒素雰囲気下で200℃～600℃の加熱処理を行う。なお、この加熱処理を行うタイミングは限定されず、酸化物半導体層の形成後であれば、いつ行ってもよい。

【0092】

40

次に、有機絶縁層の材料である組成物を塗布し、大気雰囲気下または窒素雰囲気下で200℃～600℃の加熱処理を行って、有機絶縁層452を形成する。有機絶縁層452は、実施の形態1に示す材料を適宜用いることができる。なお、第1酸化物半導体層445、第2酸化物半導体層447を形成した後の加熱処理をせず、有機絶縁層の材料である組成物の加熱処理時に、酸化物半導体層445、447の加熱処理を兼ねてもよい。

【0093】

次に、第5フォトリソグラフィ工程により形成したレジストマスクを用いて、有機絶縁層452を選択的にエッチングしてコンタクトホールを形成する。この後、レジストマスクを除去する。なお、有機絶縁層452が感光性樹脂で形成される場合、有機絶縁層452上にレジストを塗布せず、第5フォトリソグラフィ工程により形成したレジストマスクを用いて有機絶縁層を

50

露光現像して、有機絶縁層 4 5 2 にコンタクトホールを形成することができる。

【0094】

次に、第3導電層を形成する。次に、第6フォトリソグラフィ工程により形成したレジストマスクを用いて第3導電層を選択的にエッチングして、第2配線 4 5 0 と電氣的に接続する接続配線 4 5 3 を形成する。ここまでの段階での断面図が図 4 (D) に相当する。

【0095】

なお、レジストマスクをウェットエッチングで除去した場合、大気雰囲気下または窒素雰囲気下で 200℃～600℃の加熱処理を行ってもよい。

【0096】

発光素子を用いた発光表示装置においては、画素部に複数の薄膜トランジスタを有し、画素部においてもある薄膜トランジスタのゲート電極と他のトランジスタのソース配線、或いはドレイン配線を直接接続させるためのコンタクトホールを有している。このコンタクト部は、第3フォトリソマスクを用いてゲート絶縁層にコンタクトホールを形成する際に同じマスクを用いて形成することができる。

【0097】

また、液晶表示装置や電子ペーパーにおいては、FPCなどの外部端子と接続するための端子部において、ゲート配線に達するコンタクトホールを形成する際、第3フォトリソマスクを用いてゲート絶縁層にコンタクトホールを形成する際に同じマスクを用いて形成することができる。

【0098】

なお、上述した工程順序は一例であって特に限定されない。例えば、フォトリソマスク数が1枚増えるが、第2導電層をエッチングするフォトリソマスクと、 n^+ 層及び酸化物半導体層の一部をエッチングするフォトリソマスクを別々に用いてエッチングを行ってもよい。

【0099】

以上の工程により、酸化物半導体層に接する有機絶縁層を形成することで、電気特性の信頼性の高い薄膜トランジスタを作製することができる。

【0100】

(実施の形態4)

本実施の形態では、実施の形態1または実施の形態2に示した駆動回路と同一基板上に形成できる画素部の薄膜トランジスタ、及び端子部の作製工程について、図5乃至図12を用いて説明する。

【0101】

図5(A)において、基板100には、実施の形態1に示す基板400を適宜用いることができる。

【0102】

次に、基板100全面に導電層を形成した後、第1フォトリソグラフィ工程を行って形成したレジストマスクを用いたエッチングにより不要な部分を除去して、配線及び電極(ゲート電極101を含むゲート配線、容量配線108、及び第1端子121)を形成する。このとき少なくともゲート電極101の端部にテーパー形状が形成されるようにエッチングする。この後、レジストマスクを除去する。なお、この段階での上面図が図7に相当する。後に形成される酸化物半導体層、ソース電極層、ドレイン電極層、画素電極、コンタクトホールは破線で示されている。

【0103】

ゲート電極101を含むゲート配線と容量配線108、端子部の第1端子121は、実施の形態1に示す第1ゲート電極401、第2ゲート電極402の材料を適宜用いて形成する。

【0104】

次に、ゲート電極101上にゲート絶縁層102を全面に形成する。ゲート絶縁層102は、実施の形態1に示すゲート絶縁層403の適宜用い、スパッタリング法などを用い、

10

20

30

40

50

厚さを50～250nmとする。

【0105】

なお、酸化物半導体層を形成する前に、アルゴンガスを導入してプラズマを発生させる逆スパッタリングを行い、ゲート絶縁層の表面に付着しているゴミを除去することが好ましい。なお、アルゴン雰囲気にて代えて窒素、ヘリウムなどを用いてもよい。また、アルゴン雰囲気に酸素、水素、 N_2O などを加えた雰囲気で行ってもよい。また、アルゴン雰囲気に Cl_2 、 CF_4 などを加えた雰囲気で行ってもよい。

【0106】

次に、ゲート絶縁層102上に、第1酸化物半導体層（本実施の形態では第1In-Ga-Zn-O系非単結晶層）を形成する。プラズマ処理後、大気に曝すことなく第1In-Ga-Zn-O系非単結晶層を形成することは、ゲート絶縁層と酸化物半導体層の界面にゴミや水分を付着させない点で有用である。

10

【0107】

ここでは、直径8インチのIn、Ga、及びZnを含む酸化物半導体ターゲット（ $In_2O_3 : Ga_2O_3 : ZnO = 1 : 1 : 1$ ）を用いて、基板とターゲットの間との距離を170mm、圧力0.4Pa、直流（DC）電源0.5kW、アルゴンまたは酸素雰囲気下で形成する。なお、パルス直流（DC）電源を用いると、ごみが軽減でき、膜厚分布も均一となるために好ましい。第1In-Ga-Zn-O系非単結晶層の厚さは、5nm～200nmとする。本実施の形態では第1In-Ga-Zn-O系非単結晶層の厚さを、100nmとする。

20

【0108】

次いで、大気に曝すことなく、第2酸化物半導体層（本実施の形態では第2In-Ga-Zn-O系非単結晶層）をスパッタリング法で形成する。ここでは、 $In_2O_3 : Ga_2O_3 : ZnO = 1 : 1 : 1$ としたターゲットを用い、形成条件は、圧力を0.4Paとし、電力を500Wとし、成膜温度を室温とし、アルゴンガス流量40sccmを導入して、スパッタリングを行う。 $In_2O_3 : Ga_2O_3 : ZnO = 1 : 1 : 1$ としたターゲットを意図的に用いているにも関わらず、成膜直後で大きさ1nm～10nmの結晶粒を含むIn-Ga-Zn-O系非単結晶層が形成されることがある。なお、ターゲットの成分比、成膜圧力（0.1Pa～2.0Pa）、電力（250W～3000W：8インチφ）、温度（室温～100℃）、反応性スパッタリングの形成条件などを適宜調節することで結晶粒の有無や、結晶粒の密度や、直径サイズは、1nm～10nmの範囲で調節されうると言える。第2In-Ga-Zn-O系非単結晶層の厚さは、5nm～20nmとする。勿論、層中に結晶粒が含まれる場合、含まれる結晶粒のサイズが厚さを超える大きさとならない。本実施の形態では第2In-Ga-Zn-O系非単結晶層の厚さは、5nmとする。

30

【0109】

第1In-Ga-Zn-O系非単結晶層は、第2In-Ga-Zn-O系非単結晶層の形成条件と異ならせる。例えば、第2In-Ga-Zn-O系非単結晶層の形成条件における酸素ガス流量とアルゴンガス流量の比よりも、第1In-Ga-Zn-O系非単結晶層の形成条件における酸素ガス流量の占める比率が多い条件とする。具体的には、第2In-Ga-Zn-O系非単結晶層の形成条件は、希ガス（アルゴン、またはヘリウムなど）雰囲気下（または酸素ガス10%以下、アルゴンガス90%以上）とし、第1In-Ga-Zn-O系非単結晶層の形成条件は、酸素雰囲気下（または酸素ガス流量とアルゴンガス流量の比1：1）とする。

40

【0110】

次に、第2フォトリソグラフィ工程を行ってレジストマスクを形成し、当該レジストマスクを用いて、第1In-Ga-Zn-O系非単結晶層及び第2In-Ga-Zn-O系非単結晶層をエッチングする。ここでは、エッチャントとしてITO07N（関東化学社製）を用いたウェットエッチングにより、不要な部分を除去して第1In-Ga-Zn-O系非単結晶層である酸化物半導体層109、第2In-Ga-Zn-O系非単結晶層であ

50

る酸化物半導体層 111 を形成する。なお、ここでのエッチングは、ウェットエッチングに限定されずドライエッチングを用いてもよい。この段階での上面図を図 5 (B) に示した。なお、この段階での上面図が図 8 に相当する。後に形成されるソース電極、ドレイン電極、画素電極、コンタクトホール等は破線で示されている。この後、レジストマスクを除去する。

【0111】

次いで、第 3 フォトリソグラフィ工程を行ってレジストマスクを形成し、当該レジストマスクを用いたエッチングにより、不要な部分を除去してゲート電極と同じ材料の配線や電極に達するコンタクトホールを形成する。このコンタクトホールは後に形成する導電層と直接接続するために設ける。例えば、駆動回路部において、ゲート電極とソース電極或いはドレイン電極と直接接する薄膜トランジスタや、端子部のゲート配線と電氣的に接続する端子を形成する場合にコンタクトホールを形成する。この後、レジストマスクを除去する。

10

【0112】

次に、酸化物半導体層 109 及び酸化物半導体層 111 上に金属材料からなる導電層 132 を、スパッタリング法や真空蒸着法で形成する。この段階での断面図を図 5 (C) に示す。

【0113】

導電層 132 の材料としては、実施の形態 1 に示す第 1 配線 409 ~ 第 3 配線 411 の材料を適宜用いることができる。

20

【0114】

次に、第 4 フォトリソグラフィ工程を行ってレジストマスク 131 を形成し、当該レジストマスクを用いたエッチングにより不要な部分を除去して、ソース電極またはドレイン電極 105a、105b、ソース領域またはドレイン領域として機能する n^+ 層 104a、104b、及び接続電極 120、第 2 端子 122 を形成する。この際のエッチング方法としてウェットエッチングまたはドライエッチングを用いる。

【0115】

例えば導電層 132 としてアルミニウム層、またはアルミニウム合金層を用いる場合は、リン酸と酢酸と硝酸を混ぜた溶液を用いたウェットエッチングを行うことができる。ここでは、アンモニア過水（過酸化水素：アンモニア：水 = 5 : 2 : 2）を用いたウェットエッチングにより、チタン層で形成される導電層 132 をエッチングして、ソース電極またはドレイン電極 105a、105b を形成する。また、酸化物半導体層 111 をエッチングして、 n^+ 層 104a、104b を形成する。このエッチング工程において、酸化物半導体層 109 の露出領域も一部エッチングされ、酸化物半導体層 103 となる。よって n^+ 層 104a、104b の間の酸化物半導体層 103 のチャンネル領域は、厚さの薄い領域となる。

30

【0116】

図 6 (A) においては、ソース電極またはドレイン電極 105a、105b、 n^+ 層 104a、104b のエッチングをアンモニア過水のエッチング材によって一度に行うため、ソース電極またはドレイン電極 105a、105b 及び n^+ 層 104a、104b の端部は一致し、連続的な構造となっている。またウェットエッチングを用いるために、エッチングが等方的に行われ、ソース電極またはドレイン電極 105a、105b の端部はレジストマスク 131 より後退している。この後、レジストマスクを除去する。以上の工程で酸化物半導体層 103 をチャンネル形成領域とする薄膜トランジスタ 170 を作製することができる。この段階での断面図を図 6 (A) に示す。なお、この段階での上面図が図 9 に相当する。後に形成される画素電極、コンタクトホール等は破線で示されている。

40

【0117】

さらに、露出している酸化物半導体層 103 のチャンネル形成領域に、酸素ラジカル処理を行ってもよい。酸素ラジカル処理を行うことにより薄膜トランジスタをノーマリーオフとすることができる。また、ラジカル処理を行うことにより、酸化物半導体層 103 のエッ

50

チングによるダメージを回復することができる。ラジカル処理は O_2 、 N_2O 、好ましくは酸素を含む N_2 、 He 、 Ar 雰囲気下で行うことが好ましい。また、上記雰囲気に Cl_2 、 CF_4 を加えた雰囲気下で行ってもよい。なお、ラジカル処理は、無バイアスで行うことが好ましい。また、当該ラジカル処理により、ソース電極105a、ドレイン電極105b、接続電極120、及び第2端子122の端部が湾曲する。

【0118】

なお、当該ラジカル処理を行わなかった場合は、図6(A)に示すように、ソース電極105a、ドレイン電極105b、接続電極120、及び第2端子122の端部は湾曲せず、角張っている。

【0119】

また、この第4フォトリソグラフィ工程において、ソース電極またはドレイン電極105a、105bと同じ材料である第2端子122を端子部に残す。なお、第2端子122はソース配線（ソース電極またはドレイン電極105a、105bを含むソース配線）と電気的に接続されている。

【0120】

また、端子部において、接続電極120は、ゲート絶縁層に形成されたコンタクトホールを介して端子部の第1端子121と直接接続される。なお、ここでは図示しないが、上述した工程と同じ工程を経て駆動回路の薄膜トランジスタのソース配線あるいはドレイン配線とゲート電極が直接接続される。

【0121】

次に、 $200^{\circ}C \sim 600^{\circ}C$ 、代表的には $300^{\circ}C \sim 500^{\circ}C$ の熱処理を行うことが好ましい。ここでは炉に入れ、窒素雰囲気下で $350^{\circ}C$ 、1時間の熱処理を行う。この熱処理により $In-Ga-Zn-O$ 系非単結晶層の原子レベルの再配列が行われる。この熱処理によりキャリアの移動を阻害する歪みが解放されるため、ここでの熱処理（光アニールも含む）は重要である。なお、熱処理を行うタイミングは、第2 $In-Ga-Zn-O$ 系非単結晶層の形成後であれば特に限定されず、後に行われる有機絶縁層の形成後に行ってもよい。

【0122】

次に、酸化物半導体層103を覆う有機絶縁層107を形成する。有機絶縁層107は、実施の形態1に示す有機絶縁層452に列挙した材料を適宜用いて形成することができる。

【0123】

次に、第5フォトリソグラフィ工程を行ってレジストマスクを形成し、当該レジストマスクを用いて有機絶縁層107をエッチングして、ドレイン電極105bに達するコンタクトホール125を形成する。また、ここでのエッチングにより第2端子122に達するコンタクトホール127、接続電極120に達するコンタクトホール126も形成する。また、ここでのエッチングにより、容量部における誘電体をゲート絶縁層102とするための開口部124も形成する。この後、レジストマスクを除去する。この段階での断面図を図6(B)に示す。

【0124】

次に、有機絶縁層107上に、透明導電層を成膜する。透明導電層の材料としては、酸化インジウム(In_2O_3)や酸化インジウム酸化スズ合金($In_2O_3-SnO_2$ 、ITOと略記する)などをスパッタリング法や真空蒸着法などを用いて形成する。このような材料のエッチング処理は塩酸系の溶液により行う。しかし、特にITOのエッチングは残渣が発生しやすいので、エッチング加工性を改善するために酸化インジウム酸化亜鉛合金(In_2O_3-ZnO)を用いても良い。

【0125】

次に、第6フォトリソグラフィ工程を行ってレジストマスクを形成し、当該レジストマスクを用いたエッチングにより不要な部分を除去して画素電極110を形成する。

【0126】

また、この第6フォトリソグラフィ工程において、容量部におけるゲート絶縁層102及び有機絶縁層107を誘電体として、容量配線108と画素電極110とで保持容量が形成される。

【0127】

また、この第6フォトリソグラフィ工程において、接続電極120及び第2端子122の上方をレジストマスクで覆い、端子部に形成された透明導電層128、129を残す。透明導電層128、129は、FPCとの接続に用いられる電極または配線となる。第1端子121と直接接続された接続電極120上に形成された透明導電層128は、ゲート配線の入力端子として機能する接続用の端子電極となる。第2端子122上に形成された透明導電層129は、ソース配線の入力端子として機能する接続用の端子電極である。

10

【0128】

次に、レジストマスクを除去する。この段階での断面図を図6(C)に示す。なお、この段階での上面図が図10に相当する。なお、レジストマスクをウェットエッチングで除去した場合、大気雰囲気下または窒素雰囲気下で200℃～600℃の加熱処理を行ってもよい。

【0129】

また、図11(A1)、図11(A2)は、この段階でのゲート配線端子部の上面図及び断面図をそれぞれ図示している。図11(A1)は図11(A2)中のC1-C2線に沿った断面図に相当する。図11(A1)において、有機絶縁層107上に形成される透明導電層155は、入力端子として機能する接続用の端子電極である。また、図11(A1)において、ゲート配線端子部では、ゲート配線と同じ材料で形成される第1端子151と、ソース配線と同じ材料で形成される接続電極153とがゲート絶縁層102を介して重なり直接接して導通させている。また、接続電極153及び透明導電層155が、有機絶縁層107に設けられたコンタクトホールにおいて、直接接して導通させている。

20

【0130】

また、図11(B1)、及び図11(B2)は、ソース配線端子部の上面図及び断面図をそれぞれ図示している。また、図11(B1)は図11(B2)中のD1-D2線に沿った断面図に相当する。図11(B1)において、有機絶縁層107上に形成される透明導電層155は、入力端子として機能する接続用の端子電極である。また、図11(B1)において、ソース配線端子部では、ゲート配線と同じ材料で形成される電極156が、ソース配線と電氣的に接続される第2端子150の下方にゲート絶縁層102を介して重なる。ゲート配線と同じ材料で形成される電極156は、第2端子150とは電氣的に接続しておらず、電極156を第2端子150と異なる電位、例えばフローティング、GND、0Vなどに設定すれば、ノイズ対策のための容量または静電気対策のための容量を形成することができる。また、第2端子150は、有機絶縁層107に設けられたコンタクトホールにおいて、透明導電層155と直接接続している。

30

【0131】

ゲート配線、ソース配線、及び容量配線は画素密度に応じて複数本設けられるものである。また、端子部においては、ゲート配線と同電位の第1端子、ソース配線と同電位の第2端子、容量配線と同電位の第3端子などが複数並べられて配置される。それぞれの端子の数は、それぞれ任意な数で設ければ良いものとし、実施者が適宜決定すれば良い。

40

【0132】

こうして6回のフォトリソグラフィ工程により、6枚のフォトマスクを使用して、ボトムゲート型のnチャネル型薄膜トランジスタである薄膜トランジスタ170を有する画素薄膜トランジスタ部、保持容量を完成させることができる。そして、これらを個々の画素に対応してマトリクス状に配置して画素部を構成することによりアクティブマトリクス型の表示装置を作製するための一方の基板とすることができる。本明細書では、便宜上このような基板をアクティブマトリクス基板と呼ぶ。

【0133】

アクティブマトリクス型の液晶表示装置を作製する場合には、アクティブマトリクス基板

50

と、対向電極が設けられた対向基板との間に液晶層を設け、アクティブマトリクス基板と対向基板とを固定する。なお、対向基板に設けられた対向電極と電氣的に接続する共通電極をアクティブマトリクス基板上に設け、共通電極と電氣的に接続する第4端子を端子部に設ける。この第4端子は、共通電極を固定電位、例えばGND、0Vなどに設定するための端子である。

【0134】

また、本実施の形態は、図10の画素構成に限定されず、図10とは異なる上面図の例を図12に示す。図12では容量配線を設けず、画素電極110と隣り合う画素のゲート配線とをゲート絶縁層を介して重ねて保持容量を形成する形態であり、この場合、容量配線及び容量配線と接続する第3端子は省略することができる。また、表示領域に凹部を設けなくとも、容量素子を形成することができるため、平坦性が高まり、液晶の配向ムラを低減することができる。なお、図12において、図12と同じ部分には同じ符号を用いて説明する。

10

【0135】

アクティブマトリクス型の液晶表示装置においては、マトリクス状に配置された画素電極を駆動することによって、液晶表示装置の画面上に表示パターンが形成される。詳しくは選択された画素電極と該画素電極に対応する対向電極との間に電圧が印加されることによって、画素電極と対向電極との間に配置された液晶層の光学変調が行われ、この光学変調による光の透過と非透過が表示パターンとして観察者に認識される。

【0136】

液晶表示装置の動画表示において、液晶分子自体の応答が遅いため、残像が生じる、または動画のぼけが生じるという問題がある。液晶表示装置の動画特性を改善するため、全面黒表示を1フレームおきに行う、所謂、黒挿入と呼ばれる駆動技術がある。

20

【0137】

また、垂直同期周波数を通常の1.5倍、好ましくは2倍以上にすることで動画特性を改善する、所謂、倍速駆動と呼ばれる駆動技術もある。

【0138】

また、液晶表示装置の動画特性を改善するため、バックライトとして複数のLED（発光ダイオード）光源または複数のEL光源などを用いて面光源を構成し、面光源を構成している各光源を独立して1フレーム期間内で間欠点灯駆動する駆動技術もある。面光源として、3種類以上のLEDを用いてもよいし、白色発光のLEDを用いてもよい。独立して複数のLEDを制御できるため、液晶層の光学変調の切り替えタイミングに合わせてLEDの発光タイミングを同期させることもできる。この駆動技術は、LEDを部分的に消灯することができるため、特に一画面を占める黒い表示領域の割合が多い映像表示の場合には、消費電力の低減効果が図れる。

30

【0139】

これらの駆動技術を組み合わせることによって、液晶表示装置の動画特性などの表示特性を従来よりも改善することができる。

【0140】

本実施の形態で得られるnチャンネル型のトランジスタは、酸化物半導体層、代表的にはIn-Ga-Zn-O系非単結晶層をチャンネル形成領域に用いており、更に酸化物半導体層に接する有機樹脂層を有するため、良好な電気特性を有するため、これらの駆動技術を組み合わせることができる。

40

【0141】

また、発光表示装置を作製する場合、有機発光素子の一方の電極（カソードとも呼ぶ）は、低電源電位、例えばGND、0Vなどに設定するため、端子部に、カソードを低電源電位、例えばGND、0Vなどに設定するための第4端子が設けられる。また、発光表示装置を作製する場合には、ソース配線、及びゲート配線に加えて電源供給線を設ける。従って、端子部には、電源供給線と電氣的に接続する第5端子を設ける。

【0142】

50

ゲート線駆動回路またはソース線駆動回路で酸化物半導体を用いた薄膜トランジスタで形成することにより、製造コストを低減する。そして駆動回路に用いる薄膜トランジスタのゲート電極とソース配線、或いはドレイン配線を直接接続させることでコンタクトホール数を少なくし、駆動回路の占有面積を縮小化できる表示装置を提供することができる。

【0143】

従って、本実施の形態により、画質が向上した表示装置を低コストで提供することができる。

【0144】

本実施の形態は実施の形態1乃至実施の形態3と自由に組み合わせることができる。

【0145】

(実施の形態5)

本実施の形態では、実施の形態4より少ないフォトリソマスクで作製可能な、薄膜トランジスタを含む表示装置の作製工程について、図31乃至図36を用いて説明する。

【0146】

図31(A)において、基板100全面に導電層を形成した後、第1フォトリソグラフィ工程を行って形成したレジストマスクを用いた形成し、エッチングにより不要な部分を除去して、配線及び電極(ゲート電極101を含むゲート配線、容量配線108、及び第1端子121)を形成する。この後、レジストマスクを除去する。なお、この段階での上面図が図33に相当する。後に形成される酸化物半導体層、ソース電極層、ドレイン電極層、画素電極、コンタクトホールは破線で示されている。

【0147】

ゲート電極101を含むゲート配線と容量配線108、端子部の第1端子121は、実施の形態1に示す第1ゲート電極401、第2ゲート電極402の材料を適宜用いて形成する。

【0148】

次に、ゲート電極101上にゲート絶縁層102を全面に形成する。ゲート絶縁層102はスパッタリング法などを用い、厚さを50~250nmとする。

【0149】

なお、酸化物半導体層を形成する前に、アルゴンガスを導入してプラズマを発生させる逆スパッタリングを行い、ゲート絶縁層の表面に付着しているゴミを除去することが好ましい。なお、アルゴン雰囲気に加えて窒素、ヘリウムなどを用いてもよい。また、アルゴン雰囲気に酸素、水素、 N_2O などを加えた雰囲気で行ってもよい。また、アルゴン雰囲気に Cl_2 、 CF_4 などを加えた雰囲気で行ってもよい。

【0150】

次に、ゲート絶縁層102上に、第1酸化物半導体層109(本実施の形態では第1In-Ga-Zn-O系非単結晶層)を形成する。プラズマ処理後、大気に曝すことなく第1In-Ga-Zn-O系非単結晶層を形成することは、ゲート絶縁層と第1酸化物半導体層の界面にゴミや水分を付着させない点で有用である。ここでは、実施の形態4と同様に、第1In-Ga-Zn-O系非単結晶層を形成する。

【0151】

次いで、大気に曝すことなく、第2酸化物半導体層111(本実施の形態では第2In-Ga-Zn-O系非単結晶層)をスパッタリング法で形成する。ここでは、 In_2O_3 : Ga_2O_3 : $ZnO=1:1:1$ としたターゲットを用い、形成条件は、実施の形態4と同様に第2In-Ga-Zn-O系非単結晶層を形成する。

【0152】

なお、第1In-Ga-Zn-O系非単結晶層は、第2In-Ga-Zn-O系非単結晶層の形成条件と異ならせる。

【0153】

次に、第1酸化物半導体層109及び第2酸化物半導体層111上に、金属材料からなる導電層132をスパッタリング法や真空蒸着法で形成する。ここでは、実施の形態4と同

10

20

30

40

50

様に形成する。この段階での上面図を図 3 1 (B) に示す。

【0154】

次に、第 2 フォトリソグラフィ工程を行い、レジストマスク 1 3 3 を形成する。本実施の形態では、レジストマスク 1 3 3 を形成するために多階調（高階調）マスクを用いた露光を行う例を示す。

【0155】

ここで、多階調マスク 5 9 を用いた露光について、図 3 7 を用いて説明する。

【0156】

多階調マスクとは、露光部分、中間露光部分、及び未露光部分に 3 つの露光レベルを行うことが可能なマスクであり、透過した光が複数の強度となる露光マスクである。一度の露光及び現像工程により、複数（代表的には二種類）の厚さの領域を有するレジストマスクを形成することが可能である。このため、多階調マスクを用いることで、露光マスクの枚数を削減することが可能である。

【0157】

多階調マスクの代表例としては、図 3 7 (A) に示すようなグレートーンマスク 5 9 a、図 3 7 (C) に示すようなハーフトーンマスク 5 9 b がある。

【0158】

図 3 7 (A) に示すように、グレートーンマスク 5 9 a は、透光性基板 6 3 及びその上に形成される遮光部 6 4 並びに回折格子 6 5 で構成される。遮光部 6 4 においては、光の透過率が 0 % である。一方、回折格子 6 5 はスリット、ドット、メッシュ等の光透過部の間隔を、露光に用いる光の解像度限界以下の間隔とすることにより、光の透過率を制御することができる。なお、回折格子 6 5 は、周期的なスリット、ドット、メッシュ、または非周期的なスリット、ドット、メッシュどちらも用いることができる。

【0159】

透光性基板 6 3 としては、石英等の透光性基板を用いることができる。遮光部 6 4 及び回折格子 6 5 は、クロムや酸化クロム等の光を吸収する遮光材料を用いて形成することができる。

【0160】

グレートーンマスク 5 9 a に露光光を照射した場合、図 3 0 (B) に示すように、遮光部 6 4 においては、光透過率 6 6 は 0 % であり、遮光部 6 4 及び回折格子 6 5 が設けられていない領域では光透過率 6 6 は 1 0 0 % である。また、回折格子 6 5 においては、1 0 ~ 7 0 % の範囲で調整可能である。回折格子 6 5 における光の透過率の調整は、回折格子のスリット、ドット、またはメッシュの間隔及びピッチの調整により可能である。

【0161】

図 3 7 (C) に示すように、ハーフトーンマスク 5 9 b は、透光性基板 6 3 及びその上に形成される半透過部 6 7 並びに遮光部 6 8 で構成される。半透過部 1 6 7 は、MoSiN、MoSi、MoSiO、MoSiON、CrSi などを用いることができる。遮光部 1 6 8 は、クロムや酸化クロム等の光を吸収する遮光材料を用いて形成することができる。

【0162】

ハーフトーンマスク 5 9 b に露光光を照射した場合、図 3 7 (D) に示すように、遮光部 6 8 においては、光透過率 6 9 は 0 % であり、遮光部 6 8 及び半透過部 1 6 7 が設けられていない領域では光透過率 6 9 は 1 0 0 % である。また、半透過部 6 7 においては、1 0 ~ 7 0 % の範囲で調整可能である。半透過部 6 7 に於ける光の透過率の調整は、半透過部 6 7 の材料により調整により可能である。

【0163】

多階調マスクを用いて露光した後、現像することで、図 3 1 (C) に示すように厚さの異なる領域を有するレジストマスク 1 3 3 を形成することができる。

【0164】

次に、レジストマスク 1 3 3 を用いて第 1 エッチング工程を行い、第 1 酸化物半導体層 1 0 9、第 2 酸化物半導体層 1 1 1、導電層 1 3 2 をエッチングし、島状に加工する。この

10

20

30

40

50

結果、第1酸化物半導体層134、第2酸化物半導体層135、導電層136を形成することができる(図31(C)参照。)。なお、この段階での上面図が、図34に相当する。後に形成されるソース電極層、ドレイン電極層、画素電極、コンタクトホールは破線で示されている。

【0165】

次に、レジストマスク133をアッシングする。この結果、レジストマスクの面積が縮小し、厚さが薄くなる。このとき、厚さの薄い領域のレジストマスク(ゲート電極101の一部と重畳する領域)は除去され、分離されたレジストマスク131を形成することができる(図32(A)参照。)。

【0166】

レジストマスク131を用いて第1酸化物半導体層134、第2酸化物半導体層135、導電層136を第2エッチング工程によりエッチングし、それぞれ酸化物半導体層103、ソース領域及びドレイン領域である n^+ 層104a、104b、ソース電極又はドレイン電極105a、105bを形成する。なお、酸化物半導体層103は一部のみがエッチングされ、溝部(凹部)を有する酸化物半導体層となり、かつ端部においても、一部エッチングされ露出した形状となる。

【0167】

本実施の形態では、当該第1エッチング工程及び第2エッチング工程を、ウェットエッチングを用いて行う。しかしながら、第1エッチング工程及び第2エッチング工程を行ってもよい。また、第1エッチング工程及び第2エッチング工程の一方をドライエッチングとし、他方をウェットエッチングとしてもよい。

【0168】

第1酸化物半導体層109、第2酸化物半導体層111、導電層132を第1エッチング工程でウェットエッチングすると、第1酸化物半導体層109、第2酸化物半導体層111、導電層132は等方的にエッチングされるため、レジストマスク133の端部と、第1酸化物半導体層134、第2酸化物半導体層135、導電層136の端部は一致せずより後退し、その端部は曲率を有する形状となる。これにより、上に形成される膜の段切れやカバレッジ不良が防止できる。また、ウェットエッチングでは第1の酸化物半導体膜109とゲート絶縁層102の選択比を高くとることが容易であり、ゲート絶縁層102の意図しない薄膜化が防止できる。

【0169】

同様に、第1酸化物半導体層134、第2酸化物半導体層135、導電層136を第2エッチング工程でウェットエッチングすると、第1酸化物半導体層134、第2酸化物半導体層135、導電層136は等方的にエッチングされるため、レジストマスク131の端部と、酸化物半導体層103の凹部、 n^+ 層104a、104b、ソース電極又はドレイン電極105a、105bの端部は一致せずより後退し、その端部は曲率を有する形状となる。この後、レジストマスク131を除去する。これにより、上に形成される膜の段切れやカバレッジ不良が防止できる。また、ウェットエッチングでは導電層136や第2の酸化物半導体層135とゲート絶縁層102の選択比を高くとることが容易であり、ゲート絶縁層102の意図しない薄膜化が防止できる。

【0170】

また、ウェットエッチング後のエッチング液はエッチングされた材料とともに洗浄によって除去される。その除去された材料を含むエッチング液の廃液を精製し、含まれる材料を再利用してもよい。当該エッチング後の廃液から酸化物半導体層に含まれるインジウム等の材料を回収して再利用することにより、資源を有効活用し低コスト化することができる。

【0171】

さらに、露出している酸化物半導体層103のチャネル形成領域に、酸素ラジカル処理を行ってもよい。酸素ラジカル処理を行うことにより薄膜トランジスタをノーマリーオフとすることができる。また、ラジカル処理を行うことにより、酸化物半導体層103のエッ

10

20

30

40

50

チングによるダメージを回復することができる。また、当該プラズマ処理により、ソース電極105a、ドレイン電極105b、及び第2端子122の端部が湾曲する。

【0172】

次に、200℃～600℃、代表的には300℃～500℃の熱処理を行うことが好ましい。なお、熱処理を行うタイミングは、第2In-Ga-Zn-O系非単結晶層の形成後であれば特に限定されず、例えば画素電極形成後に行ってもよい。

【0173】

以上の工程により、酸化物半導体層103をチャネル形成領域とする薄膜トランジスタ170を作製することができる。この段階での断面図を図32(A)に示した。なお、この段階での上面図が図35に相当する。後に形成される画素電極、コンタクトホールは破線で示されている。

10

【0174】

また、第2エッチング工程において、酸化物半導体層103と同じ材料である端子層139、 n^+ 層104a、104bと同じ材料である端子層140、ソース電極又はドレイン電極105a、105bと同じ材料である第2端子122を端子部に残す。なお、第2端子122はソース配線（ソース電極又はドレイン電極105a、105bを含むソース配線）と電氣的に接続されている。

【0175】

多階調マスクにより形成した複数（代表的には二種類）の厚さの領域を有するレジストマスクを用いると、レジストマスクの数を減らすことができるため、工程簡略化、低コスト化が図れる。

20

【0176】

次に、酸化物半導体層103を覆う有機絶縁層107を形成する。有機絶縁層107は、実施の形態1に示す有機絶縁層452に列挙した材料を適宜用いて形成することができる。

【0177】

次に、第3フォトリソグラフィ工程を行ってレジストマスクを形成し、当該レジストマスクを用いて有機絶縁層107をエッチングして、ドレイン電極105bに達するコンタクトホール125を形成する。また、第2端子122に達するコンタクトホール127、第2端子121に達するコンタクトホール126も形成する。また、ここでのエッチングにより、容量部における誘電体をゲート絶縁層102とするための開口部124も形成する。この後、レジストマスクを除去する。この段階での断面図を図32(B)に示す。

30

【0178】

次に、有機絶縁層107上に、実施の形態4と同様に、透明導電層を形成する。

【0179】

次に、第4フォトリソグラフィ工程を行ってレジストマスクを形成し、当該レジストマスクを用いたエッチングにより不要な部分を除去して画素電極110を形成する。

【0180】

また、この第4フォトリソグラフィ工程において、容量部におけるゲート絶縁層102及び有機絶縁層107を誘電体として、容量配線108と画素電極110とで保持容量が形成される。

40

【0181】

また、この第4フォトリソグラフィ工程において、第1端子121及び第2端子122の上方をレジストマスクで覆い、端子部に形成された透明導電層128、129を残す。透明導電層128、129は、FPCとの接続に用いられる電極または配線となる。第1端子121と直接接続された第1端子121上に形成された透明導電層128は、ゲート配線の入力端子として機能する接続用の端子電極となる。第2端子122上に形成された透明導電層129は、ソース配線の入力端子として機能する接続用の端子電極である。

【0182】

次に、レジストマスクを除去する。この段階での断面図を図32(C)に示す。なお、こ

50

の段階での上面図が図 3 6 に相当する。なお、レジストマスクをウェットエッチングで除去した場合、大気雰囲気下または窒素雰囲気下で 2 0 0 °C ~ 6 0 0 °C の加熱処理を行ってもよい。

【0183】

こうして4回のフォトリソグラフィ工程により、4枚のフォトマスクを使用して、ボトムゲート型のnチャネル型薄膜トランジスタである薄膜トランジスタ170を有する画素薄膜トランジスタ部、保持容量を完成させることができる。そして、これらを個々の画素に対応してマトリクス状に配置して画素部を構成することによりアクティブマトリクス基板を作製することができる。

【0184】

(実施の形態6)

本実施の形態では、実施の形態1乃至実施の形態3に適用可能な構成について、図38を用いて示す。

【0185】

本実施の形態では、第1薄膜トランジスタ430の配線410と、第2薄膜トランジスタ431のゲート電極402が、接続配線462で接続することを特徴とする。接続配線462は、有機絶縁層452に形成されるコンタクトホールを介して、第1薄膜トランジスタ430の配線410と、第2薄膜トランジスタ431のゲート電極402を接続する。このため、接続配線462は、実施の形態4及び実施の形態5に示す画素部において形成される画素電極110と同時に形成することが可能である。また、ゲート絶縁層403にコンタクトホールを形成するためのフォトリソグラフィ工程が必要でないため、フォトリソグラフィ工程を1回削減することが可能である。このため、アクティブマトリクス基板を作製する工程数を削減することが可能であるため、コスト削減が可能である。

【0186】

(実施の形態7)

ここでは、実施の形態1において、配線と酸化物半導体層とが接する構成の薄膜トランジスタを有する表示装置の例を図30に示す。

【0187】

駆動回路のインバータ回路の断面構造を図30に示す。なお、図30に示す第1薄膜トランジスタ480、第2薄膜トランジスタ481は、逆スタガ型薄膜トランジスタであり、第1酸化物半導体層405に接して第1配線409、第2配線410が形成され、第2酸化物半導体層407に接して第2配線410、第3配線411が形成されている例である。

【0188】

第1薄膜トランジスタ480、第2薄膜トランジスタ481において、第1酸化物半導体層405と、第1配線409、第2配線410との接触領域、及び第2酸化物半導体層407と、第2配線410、第3配線411との接触領域はプラズマ処理によって改質されていることが好ましい。本実施の形態では、配線となる導電層を形成する前に、酸化物半導体層（本実施の形態ではIn-Ga-Zn-O系非単結晶層）にアルゴン雰囲気下でプラズマ処理を行う。

【0189】

プラズマ処理は、アルゴン雰囲気に代えて窒素、ヘリウムなどを用いてもよい。また、アルゴン雰囲気に酸素、水素、N₂Oなどを加えた雰囲気で行ってもよい。また、アルゴン雰囲気にCl₂、CF₄などを加えた雰囲気で行ってもよい。

【0190】

また、本実施の形態では、第1配線409、第2配線410、第3配線411にチタン層を用いて、アンモニア過水（過酸化水素：アンモニア：水=5：2：2）によるウェットエッチングを行う。このエッチング工程において、In-Ga-Zn-O系非単結晶層である酸化物半導体層の露出領域も一部エッチングされ、第1酸化物半導体層405、第2酸化物半導体層407となる。よって第1配線409と、第2配線410との間の第1酸

10

20

30

40

50

化物半導体層 4 0 5 のチャネル領域は厚さの薄い領域となる。同様に、第 2 配線 4 1 0 と、第 3 配線 4 1 1 との間の第 2 酸化物半導体層 4 0 7 のチャネル領域は厚さの薄い領域となる。

【0191】

プラズマ処理により改質された第 1 酸化物半導体層 4 0 5、第 2 酸化物半導体層 4 0 7 に接して導電層を形成し、第 1 配線 4 0 9、第 2 配線 4 1 0、第 3 配線 4 1 1 を形成することによって、第 1 酸化物半導体層 4 0 5、第 2 酸化物半導体層 4 0 7 と第 1 配線 4 0 9、第 2 配線 4 1 0、第 3 配線 4 1 1 とのコンタクト抵抗を低減することができる。

【0192】

以上の工程により、信頼性の高い表示装置を作製することができる。

10

【0193】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせることで実施することが可能である。

【0194】

(実施の形態 8)

本実施の形態では、実施の形態 2 に適用可能な有機絶縁層の形状について、図 3 9 を用いて説明する。

【0195】

図 3 9 に示すように、実施の形態 2 で作製する薄膜トランジスタ 1 7 0 のゲート絶縁層 1 0 2、第 1 配線 1 0 5 a、第 2 配線 1 0 5 b、酸化物半導体層 1 0 3 上に有機絶縁層 1 6 1 が形成され、且つ有機絶縁層 1 6 1 は第 2 配線 1 0 5 b の一部を覆わないことを特徴とする。また、画素電極 1 6 3 は、第 2 配線 1 0 5 b、及びゲート絶縁層 1 0 2 上に形成される。

20

【0196】

また、端子部に形成された透明導電層 1 6 5 は、接続電極 1 2 0 及びゲート絶縁層 1 0 2 上に形成される。また、端子部に形成された透明導電層 1 6 4 は、第 2 端子 1 2 2 及びゲート絶縁層 1 0 2 上に形成される。

【0197】

以上により、画質が向上した表示装置を作製することができる。

【0198】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせることで実施することが可能である。

30

【0199】

(実施の形態 9)

本実施の形態では、表示装置の一形態である液晶表示装置の対向基板の構造について、図 4 0 及び図 4 1 を用いて示す。

【0200】

図 4 0 は、液晶表示装置の画素部における断面図であり、図 4 1 は画素部の上面図である。図 4 1 の A - B の断面図が図 4 0 に相当する。

【0201】

基板 1 0 0 上には、薄膜トランジスタ 1 7 0 が形成される。また、薄膜トランジスタ 1 7 0 上に有機絶縁層 1 0 7 が形成される。有機絶縁層 1 0 7 のコンタクトホールにおいて、薄膜トランジスタ 1 7 0 の配線に接続する画素電極 1 1 0 が形成される。画素電極 1 1 0 及び有機絶縁層 1 0 7 上には配向膜 1 7 1 が形成される。

40

【0202】

対向基板 1 7 2 上には、薄膜トランジスタ 1 7 0 を覆う遮光層 1 7 3 が形成される。遮光層 1 7 3 及び対向基板 1 7 2 を覆う着色層 1 7 4 が形成される。着色層 1 7 4 上に補助電極 1 7 6 が形成される。遮光層 1 7 3、着色層 1 7 4、補助電極 1 7 6 を覆う対向電極 1 7 5 が形成される。対向電極 1 7 5 上に配向膜 1 7 7 が形成される。

【0203】

50

図示しないが、基板 100 及び対向基板 172 は、シール材で固着される。また、基板 100 と、対向基板 172 と、シール材との内側において、液晶 178 が充填される。

【0204】

対向電極 175 は、実施の形態 4 に示す画素電極 110 の材料を適宜用いて形成する。

【0205】

着色層 174 は、赤色波長範囲の光、青色波長範囲の光、及び緑色波長範囲の光、それぞれを優先的に透過させる絶縁層を適宜用いて形成する。着色層 174 は、カラーフィルタとして機能する。

【0206】

補助電極 176 は、対向電極 175 の抵抗値を低減する目的で補助的に設けられた電極である。このため、補助電極 176 は、対向電極 175 と接触性の高い材料であり、且つ対向電極 175 より抵抗率の低い材料を用いて形成すればよい。代表的には、アルミニウム、チタン、銅、タンタル、タングステン、モリブデン等の単体を用いて形成することができる。また、上記金属と、スカンジウム、ニオブ、銅又はシリコンとの合金を用いて形成することができる。

10

【0207】

本実施の形態では、対向電極 175 に接して、補助電極 176 が形成される。このため、対向電極 175 の抵抗値を低減することが可能であるため、対向電極 175 の厚さを薄くすることができる。また、対向電極 175 に電位を印加するためのコモン線を基板 100 の周辺部一帯に形成せず、コモン端子部において、共通電極と補助電極 176 と導電性粒子と接続すればよい。ため、液晶表示装置の狭額縁化が可能である。

20

【0208】

(実施の形態 10)

本実施の形態では、表示装置において、同一基板上に少なくとも駆動回路の一部と、画素部に配置する薄膜トランジスタを作製する例について以下に説明する。

【0209】

画素部に配置する薄膜トランジスタは、実施の形態 4 または実施の形態 5 に従って形成する。また、実施の形態 4 または実施の形態 5 に示す薄膜トランジスタは n チャネル型 TFT であるため、駆動回路のうち、n チャネル型 TFT で構成することができる駆動回路の一部を画素部の薄膜トランジスタと同一基板上に形成する。

30

【0210】

アクティブマトリクス型液晶表示装置のブロック図の一例を図 14 (A) に示す。図 14 (A) に示す表示装置は、基板 5300 上に表示素子を備えた画素を複数有する画素部 5301 と、各画素を選択する走査線駆動回路 5302 と、選択された画素へのビデオ信号の入力を制御する信号線駆動回路 5303 とを有する。

【0211】

画素部 5301 は、信号線駆動回路 5303 から列方向に伸張して配置された複数の信号線 S1 ~ Sm (図示せず。) により信号線駆動回路 5303 と接続され、走査線駆動回路 5302 から行方向に伸張して配置された複数の走査線 G1 ~ Gn (図示せず。) により走査線駆動回路 5302 と接続され、信号線 S1 ~ Sm 並びに走査線 G1 ~ Gn に対応してマトリクス状に配置された複数の画素 (図示せず。) を有する。そして、各画素は、信号線 Sj (信号線 S1 ~ Sm のうちいずれか一)、走査線 Gi (走査線 G1 ~ Gn のうちいずれか一) と接続される。

40

【0212】

また、実施の形態 4 または実施の形態 5 に示す薄膜トランジスタは、n チャネル型 TFT であり、n チャネル型 TFT で構成する信号線駆動回路について図 15 を用いて説明する。

【0213】

図 15 に示す信号線駆動回路は、ドライバ IC 5601、スイッチ群 5602-1 ~ 5602-M、第 1 配線 5611、第 2 配線 5612、第 3 配線 5613 及び配線 5621 ~

50

1～5621-Mを有する。スイッチ群5602-1～5602-Mそれぞれは、第1薄膜トランジスタ5603a、第2薄膜トランジスタ5603b及び第3薄膜トランジスタ5603cを有する。

【0214】

ドライバIC5601は第1配線5611、第2配線5612、第3配線5613及び配線5621-1～5621-Mに接続される。そして、スイッチ群5602-1～5602-Mそれぞれは、第1配線5611、第2配線5612、第3配線5613及びスイッチ群5602-1～5602-Mそれぞれに対応した配線5621-1～5621-Mに接続される。そして、配線5621-1～5621-Mそれぞれは、第1薄膜トランジスタ5603a、第2薄膜トランジスタ5603b及び第3薄膜トランジスタ5603cを介して、3つの信号線に接続される。例えば、J列目の配線5621-J（配線5621-1～配線5621-Mのうちいずれか一）は、スイッチ群5602-Jが有する第1薄膜トランジスタ5603a、第2薄膜トランジスタ5603b及び第3薄膜トランジスタ5603cを介して、信号線S_j-1、信号線S_j、信号線S_j+1に接続される。

10

【0215】

なお、第1配線5611、第2配線5612、第3配線5613には、それぞれ信号が入力される。

【0216】

なお、ドライバIC5601は、単結晶基板上に形成されていることが望ましい。さらに、スイッチ群5602-1～5602-Mは、画素部と同一基板上に形成されていることが望ましい。したがって、ドライバIC5601とスイッチ群5602-1～5602-MとはFPCなどを介して接続するとよい。

20

【0217】

次に、図15に示した信号線駆動回路の動作について、図16のタイミングチャートを参照して説明する。なお、図16のタイミングチャートは、i行目の走査線G_iが選択されている場合のタイミングチャートを示している。さらに、i行目の走査線G_iの選択期間は、第1サブ選択期間T₁、第2サブ選択期間T₂及び第3サブ選択期間T₃に分割されている。さらに、図15の信号線駆動回路は、他の行の走査線が選択されている場合でも図16と同様の動作をする。

【0218】

なお、図16のタイミングチャートは、J列目の配線5621-Jが第1薄膜トランジスタ5603a、第2薄膜トランジスタ5603b及び第3薄膜トランジスタ5603cを介して、信号線S_j-1、信号線S_j、信号線S_j+1に接続される場合について示している。

30

【0219】

なお、図16のタイミングチャートは、i行目の走査線G_iが選択されるタイミング、第1薄膜トランジスタ5603aのオン・オフのタイミング5703a、第2薄膜トランジスタ5603bのオン・オフのタイミング5703b、第3薄膜トランジスタ5603cのオン・オフのタイミング5703c及びJ列目の配線5621-Jに入力される信号5721-Jを示している。

40

【0220】

なお、配線5621-1～配線5621-Mには第1サブ選択期間T₁、第2サブ選択期間T₂及び第3サブ選択期間T₃において、それぞれ別のビデオ信号が入力される。例えば、第1サブ選択期間T₁において配線5621-Jに入力されるビデオ信号は信号線S_j-1に入力され、第2サブ選択期間T₂において配線5621-Jに入力されるビデオ信号は信号線S_jに入力され、第3サブ選択期間T₃において配線5621-Jに入力されるビデオ信号は信号線S_j+1に入力される。さらに、第1サブ選択期間T₁、第2サブ選択期間T₂及び第3サブ選択期間T₃において、配線5621-Jに入力されるビデオ信号をそれぞれData-j-1、Data-j、Data-j+1とする。

【0221】

50

図16に示すように、第1サブ選択期間T1において第1薄膜トランジスタ5603aがオンし、第2薄膜トランジスタ5603b及び第3薄膜トランジスタ5603cがオフする。このとき、配線5621-Jに入力されるData-j-1が、第1薄膜トランジスタ5603aを介して信号線Sj-1に入力される。第2サブ選択期間T2では、第2薄膜トランジスタ5603bがオンし、第1薄膜トランジスタ5603a及び第3薄膜トランジスタ5603cがオフする。このとき、配線5621-Jに入力されるData-jが、第2薄膜トランジスタ5603bを介して信号線Sjに入力される。第3サブ選択期間T3では、第3薄膜トランジスタ5603cがオンし、第1薄膜トランジスタ5603a及び第2薄膜トランジスタ5603bがオフする。このとき、配線5621-Jに入力されるData-j+1が、第3薄膜トランジスタ5603cを介して信号線Sj+1に入力される。

10

【0222】

以上のことから、図15の信号線駆動回路は、1ゲート選択期間を3つに分割することで、1ゲート選択期間中に1つの配線5621-Jから3つの信号線にビデオ信号を入力することができる。したがって、図15の信号線駆動回路は、ドライバIC5601が形成される基板と、画素部が形成されている基板との接続数を信号線の数に比べて約1/3にすることができる。接続数が約1/3になることによって、図15の信号線駆動回路は、信頼性、歩留まりなどを向上できる。

【0223】

なお、図15のように、1ゲート選択期間を複数のサブ選択期間に分割し、複数のサブ選択期間それぞれにおいて、ある1つの配線から複数の信号線それぞれにビデオ信号を入力することができれば、薄膜トランジスタの配置や数、駆動方法などは限定されない。

20

【0224】

例えば、3つ以上のサブ選択期間それぞれにおいて1つの配線から3つ以上の信号線それぞれにビデオ信号を入力する場合は、薄膜トランジスタ及び薄膜トランジスタを制御するための配線を追加すればよい。ただし、1ゲート選択期間を4つ以上のサブ選択期間に分割すると、1つのサブ選択期間が短くなる。したがって、1ゲート選択期間は、2つまたは3つのサブ選択期間に分割されることが望ましい。

【0225】

別の例として、図17のタイミングチャートに示すように、1つの選択期間をプリチャージ期間Tp、第1サブ選択期間T1、第2サブ選択期間T2、第3サブ選択期間T3に分割してもよい。さらに、図17のタイミングチャートは、i行目の走査線Giが選択されるタイミング、第1薄膜トランジスタ5603aのオン・オフのタイミング5803a、第2薄膜トランジスタ5603bのオン・オフのタイミング5803b、第3薄膜トランジスタ5603cのオン・オフのタイミング5803c及びJ列目の配線5621-Jに入力される信号5821-Jを示している。図17に示すように、プリチャージ期間Tpにおいて第1薄膜トランジスタ5603a、第2薄膜トランジスタ5603b及び第3薄膜トランジスタ5603cがオンする。このとき、配線5621-Jに入力されるプリチャージ電圧Vpが第1薄膜トランジスタ5603a、第2薄膜トランジスタ5603b及び第3薄膜トランジスタ5603cを介してそれぞれ信号線Sj-1、信号線Sj、信号線Sj+1に入力される。第1サブ選択期間T1において第1薄膜トランジスタ5603aがオンし、第2薄膜トランジスタ5603b及び第3薄膜トランジスタ5603cがオフする。このとき、配線5621-Jに入力されるData-j-1が、第1薄膜トランジスタ5603aを介して信号線Sj-1に入力される。第2サブ選択期間T2では、第2薄膜トランジスタ5603bがオンし、第1薄膜トランジスタ5603a及び第3薄膜トランジスタ5603cがオフする。このとき、配線5621-Jに入力されるData-jが、第2薄膜トランジスタ5603bを介して信号線Sjに入力される。第3サブ選択期間T3では、第3薄膜トランジスタ5603cがオンし、第1薄膜トランジスタ5603a及び第2薄膜トランジスタ5603bがオフする。このとき、配線5621-Jに入力されるData-j+1が、第3薄膜トランジスタ5603cを介して信号線Sj+

30

40

50

1 に入力される。

【0226】

以上のことから、図17のタイミングチャートを適用した図15の信号線駆動回路は、サブ選択期間の前にプリチャージ期間を設けることによって、信号線をプリチャージできるため、画素へのビデオ信号の書き込みを高速に行うことができる。なお、図17において、図16と同様なものに関しては共通の符号を用いて示し、同一部分または同様な機能を有する部分の詳細な説明は省略する。

【0227】

また、走査線駆動回路の構成について説明する。走査線駆動回路は、シフトレジスタ、バッファを有している。また場合によってはレベルシフトを有していても良い。走査線駆動回路において、シフトレジスタにクロック信号（CLK）及びスタートパルス信号（SP）が入力されることによって、選択信号が生成される。生成された選択信号はバッファにおいて緩衝増幅され、対応する走査線に供給される。走査線には、1ライン分の画素のトランジスタのゲート電極が接続されている。そして、1ライン分の画素のトランジスタを一斉にONにしなくてはならないので、バッファは大きな電流を流すことが可能なものが用いられる。

10

【0228】

走査線駆動回路の一部に用いるシフトレジスタの一形態について図18及び図19を用いて説明する。

【0229】

20

図18にシフトレジスタの回路構成を示す。図18に示すシフトレジスタは、フリップフロップ5701-1～5701-nという複数のフリップフロップで構成される。また、第1クロック信号、第2クロック信号、スタートパルス信号、リセット信号が入力されて動作する。

【0230】

図18のシフトレジスタの接続関係について説明する。図18のシフトレジスタは、i段目のフリップフロップ5701-i（フリップフロップ5701-1～5701-nのうちいずれか）は、図19に示した第1配線5501が第7配線5717-i-1に接続され、図19に示した第2配線5502が第7配線5717-i+1に接続され、図19に示した第3配線5503が第7配線5717-iに接続され、図19に示した第6配線5506が第5配線5715に接続される。

30

【0231】

また、図19に示した第4配線5504が奇数段目のフリップフロップでは第2配線5712に接続され、偶数段目のフリップフロップでは第3配線5713に接続され、図19に示した第5配線5505が第4配線5714に接続される。

【0232】

ただし、1段目のフリップフロップ5701-1の図19に示す第1配線5501は第1配線5711に接続され、n段目のフリップフロップ5701-nの図19に示す第2配線5502は第6配線5716に接続される。

【0233】

40

なお、第1配線5711、第2配線5712、第3配線5713、第6配線5716を、それぞれ第1信号線、第2信号線、第3信号線、第4信号線と呼んでもよい。さらに、第4配線5714、第5配線5715を、それぞれ第1電源線、第2電源線と呼んでもよい。

【0234】

次に、図18に示すフリップフロップの詳細について、図19に示す。図19に示すフリップフロップは、第1薄膜トランジスタ5571、第2薄膜トランジスタ5572、第3薄膜トランジスタ5573、第4薄膜トランジスタ5574、第5薄膜トランジスタ5575、第6薄膜トランジスタ5576、第7薄膜トランジスタ5577及び第8薄膜トランジスタ5578を有する。なお、第1薄膜トランジスタ5571、第2薄膜トランジスタ

50

タ 5 5 7 2、第 3 薄膜トランジスタ 5 5 7 3、第 4 薄膜トランジスタ 5 5 7 4、第 5 薄膜トランジスタ 5 5 7 5、第 6 薄膜トランジスタ 5 5 7 6、第 7 薄膜トランジスタ 5 5 7 7 及び第 8 薄膜トランジスタ 5 5 7 8 は、n チャネル型トランジスタであり、ゲート・ソース間電圧 (V_{gs}) がしきい値電圧 (V_{th}) を上回ったとき導通状態になるものとする。

【0235】

図 19 において、第 3 薄膜トランジスタ 5 5 7 3 のゲート電極は、電源線と電氣的に接続されている。また、第 3 薄膜トランジスタ 5 5 7 3 と第 4 薄膜トランジスタ 5 5 7 4 の接続させた回路 (図 19 中鎖線 5 5 0 0 で囲んだ回路) は、図 2 (A) に示す回路構成に相当すると言える。ここでは全ての薄膜トランジスタは、エンハンスメント型の n チャネル型トランジスタとする例を示すが、特に限定されず、例えば、第 3 薄膜トランジスタ 5 5 7 3 は、デプレッション型の n チャネル型トランジスタを用いても駆動回路を駆動させることもできる。

10

【0236】

次に、図 19 に示すフリップフロップの接続構成について、以下に示す。

【0237】

第 1 薄膜トランジスタ 5 5 7 1 の第 1 電極 (ソース電極またはドレイン電極の一方) が第 4 配線 5 5 0 4 に接続され、第 1 薄膜トランジスタ 5 5 7 1 の第 2 電極 (ソース電極またはドレイン電極の他方) が第 3 配線 5 5 0 3 に接続される。

【0238】

第 2 薄膜トランジスタ 5 5 7 2 の第 1 電極が第 6 配線 5 5 0 6 に接続され、第 2 薄膜トランジスタ 5 5 7 2 の第 2 電極が第 3 配線 5 5 0 3 に接続される。

20

【0239】

第 3 薄膜トランジスタ 5 5 7 3 の第 1 電極が第 5 配線 5 5 0 5 に接続され、第 3 薄膜トランジスタ 5 5 7 3 の第 2 電極が第 2 薄膜トランジスタ 5 5 7 2 のゲート電極に接続され、第 3 薄膜トランジスタ 5 5 7 3 のゲート電極が第 5 配線 5 5 0 5 に接続される。

【0240】

第 4 薄膜トランジスタ 5 5 7 4 の第 1 電極が第 6 配線 5 5 0 6 に接続され、第 4 薄膜トランジスタ 5 5 7 4 の第 2 電極が第 2 薄膜トランジスタ 5 5 7 2 のゲート電極に接続され、第 4 薄膜トランジスタ 5 5 7 4 のゲート電極が第 1 薄膜トランジスタ 5 5 7 1 のゲート電極に接続される。

30

【0241】

第 5 薄膜トランジスタ 5 5 7 5 の第 1 電極が第 5 配線 5 5 0 5 に接続され、第 5 薄膜トランジスタ 5 5 7 5 の第 2 電極が第 1 薄膜トランジスタ 5 5 7 1 のゲート電極に接続され、第 5 薄膜トランジスタ 5 5 7 5 のゲート電極が第 1 配線 5 5 0 1 に接続される。

【0242】

第 6 薄膜トランジスタ 5 5 7 6 の第 1 電極が第 6 配線 5 5 0 6 に接続され、第 6 薄膜トランジスタ 5 5 7 6 の第 2 電極が第 1 薄膜トランジスタ 5 5 7 1 のゲート電極に接続され、第 6 薄膜トランジスタ 5 5 7 6 のゲート電極が第 2 薄膜トランジスタ 5 5 7 2 のゲート電極に接続される。

40

【0243】

第 7 薄膜トランジスタ 5 5 7 7 の第 1 電極が第 6 配線 5 5 0 6 に接続され、第 7 薄膜トランジスタ 5 5 7 7 の第 2 電極が第 1 薄膜トランジスタ 5 5 7 1 のゲート電極に接続され、第 7 薄膜トランジスタ 5 5 7 7 のゲート電極が第 2 配線 5 5 0 2 に接続される。第 8 薄膜トランジスタ 5 5 7 8 の第 1 電極が第 6 配線 5 5 0 6 に接続され、第 8 薄膜トランジスタ 5 5 7 8 の第 2 電極が第 2 薄膜トランジスタ 5 5 7 2 のゲート電極に接続され、第 8 薄膜トランジスタ 5 5 7 8 のゲート電極が第 1 配線 5 5 0 1 に接続される。

【0244】

なお、第 1 薄膜トランジスタ 5 5 7 1 のゲート電極、第 4 薄膜トランジスタ 5 5 7 4 のゲート電極、第 5 薄膜トランジスタ 5 5 7 5 の第 2 電極、第 6 薄膜トランジスタ 5 5 7 6 の

50

第2電極及び第7薄膜トランジスタ5577の第2電極の接続箇所をノード5543とする。さらに、第2薄膜トランジスタ5572のゲート電極、第3薄膜トランジスタ5573の第2電極、第4薄膜トランジスタ5574の第2電極、第6薄膜トランジスタ5576のゲート電極及び第8薄膜トランジスタ5578の第2電極の接続箇所をノード5544とする。

【0245】

なお、第1配線5501、第2配線5502、第3配線5503及び第4配線5504を、それぞれ第1信号線、第2信号線、第3信号線、第4信号線と呼んでもよい。さらに、第5配線5505を第1電源線、第6配線5506を第2電源線と呼んでもよい。

【0246】

また、信号線駆動回路及び走査線駆動回路を実施の形態4に示すnチャネル型TFTのみで作製することも可能である。実施の形態4に示すnチャネル型TFTはトランジスタの電界効果移動度が大きいいため、駆動回路の駆動周波数を高くすることが可能となる。また、実施の形態4に示すnチャネル型TFTはIn-Ga-Zn-O系非単結晶層であるソース領域またはドレイン領域により寄生容量が低減されるため、周波数特性（f特性と呼ばれる）が高い。例えば、実施の形態4に示すnチャネル型TFTを用いた走査線駆動回路は、高速に動作させることができるため、フレーム周波数を高くすること、または、黒画面挿入を実現することなども実現することができる。

【0247】

さらに、走査線駆動回路のトランジスタのチャンネル幅を大きくすることや、複数の走査線駆動回路を配置することなどによって、さらに高いフレーム周波数を実現することができる。複数の走査線駆動回路を配置する場合は、偶数行の走査線を駆動する為の走査線駆動回路を片側に配置し、奇数行の走査線を駆動するための走査線駆動回路をその反対側に配置することにより、フレーム周波数を高くすることを実現することができる。また、複数の走査線駆動回路により、同じ走査線に信号を出力すると、表示装置の大型化に有利である。

【0248】

また、アクティブマトリクス型発光表示装置を作製する場合、少なくとも一つの画素に複数の薄膜トランジスタを配置するため、走査線駆動回路を複数配置することが好ましい。アクティブマトリクス型発光表示装置のブロック図の一例を図14（B）に示す。

【0249】

図14（B）に示す発光表示装置は、基板5400上に表示素子を備えた画素を複数有する画素部5401と、各画素を選択する第1走査線駆動回路5402及び第2走査線駆動回路5404と、選択された画素へのビデオ信号の入力を制御する信号線駆動回路5403とを有する。

【0250】

図14（B）に示す発光表示装置の画素に入力されるビデオ信号をデジタル形式とする場合、画素はトランジスタのオンとオフの切り替えによって、発光もしくは非発光の状態となる。よって、面積階調法または時間階調法を用いて階調の表示を行うことができる。面積階調法は、1画素を複数の副画素に分割し、各副画素を独立にビデオ信号に基づいて駆動させることによって、階調表示を行う駆動法である。また時間階調法は、画素が発光する期間を制御することによって、階調表示を行う駆動法である。

【0251】

発光素子は、液晶素子などに比べて応答速度が高いので、液晶素子よりも時間階調法に適している。具体的に時間階調法で表示を行なう場合、1フレーム期間を複数のサブフレーム期間に分割する。そしてビデオ信号に従い、各サブフレーム期間において画素の発光素子を発光または非発光の状態にする。複数のサブフレーム期間に分割することによって、1フレーム期間中に画素が実際に発光する期間のトータルの長さを、ビデオ信号により制御することができ、階調を表示することができる。

【0252】

なお、図 1 4 (B) に示す発光表示装置では、一つの画素に 2 つのスイッチング用 T F T を配置する場合、一方のスイッチング用 T F T のゲート配線である第 1 走査線に入力される信号を第 1 の走査線駆動回路 5 4 0 2 で生成し、他方のスイッチング用 T F T のゲート配線である第 2 走査線に入力される信号を第 2 走査線駆動回路 5 4 0 4 で生成している例を示しているが、第 1 走査線に入力される信号と、第 2 走査線に入力される信号とを、共に 1 つの走査線駆動回路で生成するようにしても良い。また、例えば、1 つの画素が有するスイッチング用 T F T の数によって、スイッチング素子の動作を制御するのに用いられる走査線が、各画素に複数設けられることもあり得る。この場合、複数の走査線に入力される信号を、全て 1 つの走査線駆動回路で生成しても良いし、複数の各走査線駆動回路で生成しても良い。

10

【0 2 5 3】

また、発光表示装置においても、駆動回路のうち、n チャネル型 T F T で構成することができる駆動回路の一部を画素部の薄膜トランジスタと同一基板上に形成することができる。また、信号線駆動回路及び走査線駆動回路を実施の形態 4 乃至実施の形態 6 に示す n チャネル型 T F T のみで作製することも可能である。

【0 2 5 4】

図 4 2 は、表示装置を構成する、信号入力端子、走査線、信号線、非線形素子を含む保護回路及び画素部の位置関係を説明する図である。絶縁表面を有する基板 3 2 0 上には走査線 3 2 3 と信号線 3 2 4 が交差して配置され、画素部 3 2 7 が構成されている。なお、画素部 3 2 7 は、図 1 4 に示す画素部 5 3 0 1 と画素部 5 4 0 1 に相当する。

20

【0 2 5 5】

画素部 3 2 7 は複数の画素 3 2 8 がマトリクス状に配列して構成されている。画素 3 2 8 は、走査線 3 2 3 と信号線 3 2 4 に接続する画素 T F T 3 2 9、保持容量部 3 3 0、画素電極 3 3 1 を含んで構成されている。

【0 2 5 6】

ここで示す画素構成において、保持容量部 3 3 0 では、一方の電極と画素 T F T 3 2 9 が接続され、他方の電極と容量線 3 3 2 が接続される場合を示している。また、画素電極 3 3 1 は表示素子（液晶素子、発光素子、コントラスト媒体（電子インク）等）を駆動する一方の電極を構成する。これらの表示素子の他方の電極はコモン端子 3 3 3 に接続されている。

30

【0 2 5 7】

保護回路は、画素部 3 2 7 と、信号線入力端子 3 2 2 との間に配設されている。また、走査線駆動回路と、画素部 3 2 7 の間に配設されている。本実施の形態では、複数の保護回路を配設して、走査線 3 2 3、信号線 3 2 4 及び容量バス線 3 3 7 に静電気等によりサージ電圧が印加され、画素 T F T 3 2 9 等が破壊されないように構成されている。そのため、保護回路にはサージ電圧が印加されたときに、コモン配線に電荷を逃がすように構成されている。

【0 2 5 8】

本実施の形態では、走査線 3 2 3 側に保護回路 3 3 4、信号線 3 2 4 側に保護回路 3 3 5、容量バス線 3 3 7 に保護回路 3 3 6 を配設する例を示している。ただし、保護回路の配設位置はこれに限定されない。また、走査線駆動回路を I C 等の半導体装置で実装しない場合は、走査線 3 2 3 側に保護回路 3 3 4 を設けなくとも良い。

40

【0 2 5 9】

これらの回路の各々に、実施の形態 1 乃至実施の形態 3 に示した薄膜トランジスタを用いることができる。

【0 2 6 0】

ここで、コモン端子 3 3 3 の構造について、図 4 5 を用いて示す。

【0 2 6 1】

図 4 5 (A) は、コモン端子部の断面図であり、図 4 5 (B) に示す上面図の D 1 - D 2 に相当する。

50

【0262】

共通電位線491は、ゲート絶縁層403上に設けられ、図1に示す第1配線409乃至第3配線411と同じ材料及び同じ工程で作製される。

【0263】

また、共通電位線491は、有機絶縁層452で覆われ、有機絶縁層452は、共通電位線491と重なる位置に複数の開口部を有している。この開口部は、第1配線409乃至第3配線411のいずれかと、画素電極110とを接続するコンタクトホールと同じ工程で作製される。

【0264】

また、共通電極492は、有機絶縁層452上に設けられ、接続配線453や、画素部の画素電極と同じ材料及び同じ工程で作製される。

10

【0265】

なお、共通電極492は、シール材に含まれる導電性粒子と接触する電極であり、第2基板の対向電極と電氣的に接続が行われる。

【0266】

また、上述した駆動回路は、液晶表示装置や発光表示装置に限らず、スイッチング素子と電氣的に接続する素子を利用して電子インクを駆動させる電子ペーパーに用いてもよい。電子ペーパーは、電気泳動表示装置（電気泳動ディスプレイ）も呼ばれており、紙と同じ読みやすさ、他の表示装置に比べ低消費電力、薄くて軽い形状とすることが可能という利点を有している。

20

【0267】

以上により、画質が向上した表示装置を作製することができる。

【0268】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせて実施することが可能である。

【0269】

（実施の形態11）

上記実施の形態に示す薄膜トランジスタを画素部、さらには駆動回路に用いて表示装置を作製することができる。また、上記実施の形態に示す薄膜トランジスタを駆動回路の一部または全体に用い、画素部と同じ基板上に一体形成し、システムオンパネルを形成することができる。

30

【0270】

表示装置は表示素子を含む。表示素子としては液晶素子（液晶表示素子ともいう）、発光素子（発光表示素子ともいう）を用いることができる。発光素子は、電流または電圧によって輝度が制御される素子とその範疇に含んでおり、具体的には無機EL（Electro Luminescence）、有機EL等が含まれる。また、電子インクなど、電気的作用によりコントラストが変化する表示媒体も適用することができる。

【0271】

また、表示装置は、表示素子が封止された状態にあるパネルと、該パネルにコントローラを含むIC等を実装した状態にあるモジュールとを含む。さらに、該表示装置を作製する過程における、表示素子が完成する前の一形態に相当する素子基板に関し、該素子基板は、電流を表示素子に供給するための手段を複数の各画素に備える。素子基板は、具体的には、表示素子の画素電極のみが形成された状態であっても良いし、画素電極となる導電層を形成した後であって、エッチングして画素電極を形成する前の状態であっても良いし、あらゆる形態があてはまる。

40

【0272】

なお、本明細書中における表示装置とは、画像表示デバイス、表示デバイス、もしくは光源（照明装置含む）を指す。また、コネクタ、例えばFPC（Flexible printed circuit）もしくはTAB（Tape Automated Bonding）テープもしくはTCP（Tape Carrier Package）が取り

50

付けられたモジュール、TABテープやTCPの先にプリント配線板が設けられたモジュール、または表示素子にCOG (Chip On Glass) 方式によりIC (集積回路) が直接実装されたモジュールも全て表示装置に含むものとする。

【0273】

本実施の形態では、液晶表示パネルの外観及び断面について、図22を用いて説明する。図22は、第1基板4001上に形成された実施の形態4で示したIn-Ga-Zn-O系非単結晶層を酸化物半導体層として含む信頼性の高い薄膜トランジスタ4010、4011、及び液晶素子4013を、第2基板4006との間にシール材4005によって封止した、パネルの上面図であり、図22(B)は、図22(A1)(A2)のM-Nにおける断面図に相当する。

10

【0274】

第1基板4001上に設けられた画素部4002と、走査線駆動回路4004とを囲むようにして、シール材4005が設けられている。また画素部4002と、走査線駆動回路4004の上に第2基板4006が設けられている。よって画素部4002と、走査線駆動回路4004とは、第1基板4001とシール材4005と第2基板4006とによって、液晶層4008と共に封止されている。また第1基板4001上のシール材4005によって囲まれている領域とは異なる領域に、別途用意された基板上に単結晶半導体層または多結晶半導体層で形成された信号線駆動回路4003が実装されている。

【0275】

なお、別途形成した駆動回路の接続方法は、特に限定されるものではなく、COG方法、ワイヤボンディング方法、或いはTAB方法などを用いることができる。図22(A1)は、COG方法により信号線駆動回路4003を実装する例であり、図22(A2)は、TAB方法により信号線駆動回路4003を実装する例である。

20

【0276】

また第1基板4001上に設けられた画素部4002と、走査線駆動回路4004は、薄膜トランジスタを複数有しており、図22(B)では、画素部4002に含まれる薄膜トランジスタ4010と、走査線駆動回路4004に含まれる薄膜トランジスタ4011とを例示している。薄膜トランジスタ4010、4011上には有機絶縁層4021が設けられている。

【0277】

薄膜トランジスタ4010、4011は、In-Ga-Zn-O系非単結晶層を酸化物半導体層として含む信頼性の高い実施の形態4に示す薄膜トランジスタを適用することができる。また実施の形態5に示す薄膜トランジスタを適用してもよい。本実施の形態において、薄膜トランジスタ4010、4011はnチャネル型薄膜トランジスタである。

30

【0278】

また、液晶素子4013が有する画素電極4030は、薄膜トランジスタ4010と電気的に接続されている。そして液晶素子4013の対向電極4031は第2基板4006上に形成されている。画素電極4030と対向電極4031と液晶層4008とが重なっている部分が、液晶素子4013に相当する。なお、画素電極4030、対向電極4031はそれぞれ配向膜として機能する絶縁層4032、4033が設けられ、絶縁層4032、4033を介して液晶層4008を挟持している。

40

【0279】

なお、第1基板4001、第2基板4006としては、ガラス、金属(代表的にはステンレス)、セラミックス、プラスチックを用いることができる。プラスチックとしては、FRP(Fiberglass-Reinforced Plastics)板、PVF(ポリビニルフルオライド)フィルム、ポリエステルフィルムまたはアクリル樹脂フィルムを用いることができる。また、アルミニウムホイルをPVFフィルムやポリエステルフィルムで挟んだ構造のシートを用いることもできる。

【0280】

また4035は絶縁層を選択的にエッチングすることで得られる柱状のスペーサであり、

50

画素電極 4030 と対向電極 4031 との間の距離（セルギャップ）を制御するために設けられている。なお球状のスペーサを用いても良い。また、対向電極 4031 は、薄膜トランジスタ 4010 と同一基板上に設けられる共通電位線と電氣的に接続される。共通接続部を用いて、一对の基板間に配置される導電性粒子を介して対向電極 4031 と共通電位線とを電氣的に接続することができる。なお、導電性粒子はシール材 4005 に含有させる。

【0281】

また、配向膜を用いないブルー相を示す液晶を用いてもよい。ブルー相は液晶相の一つであり、コレステリック液晶を昇温していくと、コレステリック相から等方相へ転移する直前に発現する相である。ブルー相は狭い温度範囲でしか発現しないため、温度範囲を改善するために 5 重量% 以上のカイラル剤を混合させた液晶組成物を用いて液晶層 4008 に用いる。ブルー相を示す液晶とカイラル剤とを含む液晶組成物は、応答速度が $10\mu\text{s} \sim 100\mu\text{s}$ と短く、光学的等方性であるため配向処理が不要であり、視野角依存性が小さい。

10

【0282】

なお本実施の形態は透過型液晶表示装置の例であるが、本実施の形態は反射型液晶表示装置でも半透過型液晶表示装置でも適用できる。

【0283】

また、本実施の形態の液晶表示装置では、基板の外側（視認側）に偏光板を設け、内側に着色層、表示素子に用いる電極という順に設けるが、偏光板は基板の内側に設けてもよい。また、偏光板と着色層の積層構造も本実施の形態に限定されず、偏光板及び着色層の材料や作製工程条件によって適宜設定すればよい。また、ブラックマトリクスとして機能する遮光層を設けてもよい。

20

【0284】

また、本実施の形態では、薄膜トランジスタの表面凹凸を低減するため、及び薄膜トランジスタの信頼性を向上させるため、上記実施の形態で得られた薄膜トランジスタを有機絶縁層 4021 で覆う構成となっている。

【0285】

また、平坦性を有する有機絶縁層 4021 を形成する。有機絶縁層 4021 としては、実施の形態 1 に示す有機絶縁層 452 に示した材料を適宜用いることができる。

30

【0286】

画素電極 4030、対向電極 4031 は、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム錫酸化物、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物などの透光性を有する導電性材料を用いることができる。

【0287】

また、画素電極 4030、対向電極 4031 として、導電性高分子（導電性ポリマーともいう）を含む導電性組成物を用いて形成することができる。導電性組成物を用いて形成した画素電極は、シート抵抗が $10000\Omega/\square$ 以下、波長 550nm における透光率が 70% 以上であることが好ましい。また、導電性組成物に含まれる導電性高分子の抵抗率が $0.1\Omega\cdot\text{cm}$ 以下であることが好ましい。

40

【0288】

導電性高分子としては、いわゆる π 電子共役系導電性高分子が用いることができる。例えば、ポリアニリンまたはその誘導体、ポリピロールまたはその誘導体、ポリチオフェンまたはその誘導体、若しくはこれらの 2 種以上の共重合体などがあげられる。

【0289】

また別途形成された信号線駆動回路 4003 と、走査線駆動回路 4004 または画素部 4002 に与えられる各種信号及び電位は、FPC 4018 から供給されている。

【0290】

50

本実施の形態では、接続端子電極4015が、液晶素子4013が有する画素電極4030と同じ導電層から形成され、端子電極4016は、薄膜トランジスタ4010、4011のソース電極及びドレイン電極と同じ導電層で形成されている。

【0291】

接続端子電極4015は、FPC4018が有する端子と、異方性導電層4019を介して電氣的に接続されている。

【0292】

また図22においては、信号線駆動回路4003を別途形成し、第1基板4001に実装している例を示しているが、本実施の形態はこの構成に限定されない。走査線駆動回路を別途形成して実装しても良いし、信号線駆動回路の一部または走査線駆動回路の一部のみを別途形成して実装しても良い。

10

【0293】

図23は、上記実施の形態を適用して作製されるTFT基板2600を用いて表示装置として液晶表示モジュールを構成する一例を示している。

【0294】

図23は液晶表示モジュールの一例であり、TFT基板2600と対向基板2601がシール材2602により固着され、その間にTFT等を含む画素部2603、液晶層を含む表示素子2604、着色層2605が設けられ表示領域を形成している。着色層2605はカラー表示を行う場合に必要であり、RGB方式の場合は、赤、緑、青の各色に対応した着色層が各画素に対応して設けられている。TFT基板2600と対向基板2601の外側には偏光板2606、偏光板2607、拡散板2613が配設されている。光源は冷陰極管2610と反射板2611により構成され、回路基板2612は、フレキシブル配線基板2609によりTFT基板2600の配線回路部2608と接続され、コントロール回路や電源回路などの外部回路が組みこまれている。また偏光板と、液晶層との間に位相差板を有した状態で積層してもよい。

20

【0295】

液晶表示モジュールには、TN (Twisted Nematic) モード、IPS (In-Plane-Switching) モード、FFS (Fringe Field Switching) モード、MVA (Multi-domain Vertical Alignment) モード、PVA (Patterned Vertical Alignment) モード、ASM (Axially Symmetric aligned Micro-cell) モード、OCB (Optical Compensated Birefringence) モード、 FLC (Ferroelectric Liquid Crystal) モード、 AFLC (Anti Ferroelectric Liquid Crystal) モードなどの液晶を用いることができる。

30

【0296】

以上により、信頼性の高い液晶表示パネルを作製することができる。

【0297】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせることで実施することが可能である。

40

【0298】

(実施の形態12)

本実施の形態では、表示装置の一形態として電子ペーパーの例を示す。

【0299】

図13は、上記実施の形態を適用した表示装置の例としてアクティブマトリクス型の電子ペーパーを示す。表示装置に用いられる薄膜トランジスタ581としては、上記実施の形態で示す薄膜トランジスタと同様に作製でき、In-Ga-Zn-O系非単結晶層を酸化物半導体層として含む信頼性の高い薄膜トランジスタである。

【0300】

図13に示す電子ペーパーは、ツイストボール表示方式を用いた表示装置の例である。ツ

50

イストボール表示方式とは、白と黒に塗り分けられた球形粒子を表示素子に用いる電極である第1電極及び第2電極の間に配置し、第1電極及び第2電極に電位差を生じさせての球形粒子の向きを制御することにより、表示を行う方法である。

【0301】

第1の基板580上の薄膜トランジスタ581はボトムゲート構造の薄膜トランジスタであり、ソース電極またはドレイン電極によって第1電極587と、絶縁層583、584、585に形成する開口で接しており電氣的に接続している。第1基板580上に形成された第1電極587と、第2基板596上に形成された第2電極588との間には黒色領域590a及び白色領域590bと、黒色領域590a及び白色領域590bの周りを液体で満たすキャビティ594とを有する球形粒子589が設けられている。また、球形粒子589の周囲は樹脂等の充填材595で充填されている（図13参照。）。本実施の形態においては、第1電極587が画素電極に相当し、第2電極588が共通電極に相当する。第2電極588は、薄膜トランジスタ581と同一基板上に設けられる共通電位線と電氣的に接続される。実施の形態1乃至3に示すいずれかの共通接続部を用いて、一对の基板間に配置される導電性粒子を介して第2電極588と共通電位線とを電氣的に接続することができる。

10

【0302】

また、ツイストボールの代わりに、電気泳動素子を用いることも可能である。電気泳動素子としては、透明な液体と、正に帯電した白い微粒子と負に帯電した黒い微粒子とを封入した直径10 μm ～200 μm 程度のマイクロカプセルとを有する。第1電極と第2電極との間に設けられるマイクロカプセルは、第1電極と第2電極によって、電場を与えられると、白い微粒子と、黒い微粒子が逆の方向に移動し、白または黒を表示することができる。この原理を応用した表示素子が電気泳動表示素子であり、一般的に電子ペーパーとよばれている。電気泳動表示素子は、液晶表示素子に比べて反射率が高いため、補助ライトは不要であり、また消費電力が小さく、薄暗い場所でも表示部を認識することが可能である。また、表示部に電源が供給されない場合であっても、一度表示した像を保持することが可能であるため、電波発信源から表示機能付き半導体装置（単に表示装置、または表示装置を具備する半導体装置ともいう）を遠ざけた場合であっても、表示された像を保存しておくことが可能となる。

20

【0303】

以上により、表示装置として信頼性の高い電子ペーパーを作製することができる。

30

【0304】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせることで実施することが可能である。

【0305】

（実施の形態13）

本実施の形態では、表示装置の一形態として発光表示装置の例を示す。表示装置の有する表示素子としては、ここではエレクトロルミネッセンスを利用する発光素子を用いて示す。エレクトロルミネッセンスを利用する発光素子は、発光材料が有機化合物であるか、無機化合物であるかによって区別され、一般的に、前者は有機EL素子、後者は無機EL素子と呼ばれている。

40

【0306】

有機EL素子は、発光素子に電圧を印加することにより、一对の電極から電子および正孔がそれぞれ発光性の有機化合物を含む層に注入され、電流が流れる。そして、それらキャリア（電子および正孔）が再結合することにより、発光性の有機化合物が励起状態を形成し、その励起状態が基底状態に戻る際に発光する。このようなメカニズムから、このような発光素子は、電流励起型の発光素子と呼ばれる。

【0307】

無機EL素子は、その素子構成により、分散型無機EL素子と薄膜型無機EL素子とに分類される。分散型無機EL素子は、発光材料の粒子をバインダ中に分散させた発光層を有

50

するものであり、発光メカニズムはドナー準位とアクセプター準位を利用するドナー-アクセプター再結合型発光である。薄膜型無機EL素子は、発光層を誘電体層で挟み込み、さらにそれを電極で挟んだ構造であり、発光メカニズムは金属イオンの内殻電子遷移を利用する局在型発光である。なお、ここでは、発光素子として有機EL素子を用いて説明する。

【0308】

図20は、表示装置のうち、発光表示装置の例として、デジタル時間階調駆動を適用可能な画素構成の一例を示す図である。

【0309】

デジタル時間階調駆動を適用可能な画素の構成及び画素の動作について説明する。ここでは、一つの画素に、酸化物半導体層（In-Ga-Zn-O系非単結晶層）をチャンネル形成領域に用いるnチャンネル型のトランジスタを1つの画素に2つ用いる形態を示す。

10

【0310】

画素6400は、スイッチング用トランジスタ6401、駆動用トランジスタ6402、発光素子6404及び容量素子6403を有している。スイッチング用トランジスタ6401はゲートが走査線6406に接続され、第1電極（ソース電極及びドレイン電極の一方）が信号線6405に接続され、第2電極（ソース電極及びドレイン電極の他方）が駆動用トランジスタ6402のゲートに接続されている。

【0311】

駆動用トランジスタ6402は、ゲートが容量素子6403を介して電源線6407に接続され、第1電極（ソース電極及びドレイン電極の一方）が電源線6407に接続され、第2電極（ソース電極及びドレイン電極の他方）が発光素子6404の第1電極（画素電極）に接続されている。発光素子6404の第2電極は共通電極6408に相当する。共通電極6408は、同一基板上に形成される共通電位線と電氣的に接続される。

20

【0312】

なお、発光素子6404の第2電極（共通電極6408）には、低電源電位が設定されている。なお、低電源電位とは、電源線6407に設定される高電源電位を基準にして、低電源電位<高電源電位を満たす電位であり、低電源電位としては例えばGND、0Vなどが設定されていても良い。この高電源電位と低電源電位との電位差を発光素子6404に印加して、発光素子6404に電流を流して発光素子6404を発光させるため、高電源電位と低電源電位との電位差が発光素子6404の順方向しきい値電圧以上となるようにそれぞれの電位を設定する。

30

【0313】

なお、容量素子6403は、駆動用トランジスタ6402のゲート容量を代用して省略することも可能である。駆動用トランジスタ6402のゲート容量については、チャンネル領域とゲート電極との間で容量が形成されていてもよい。

【0314】

ここで、電圧入力電圧駆動方式の場合には、駆動用トランジスタ6402のゲートには、駆動用トランジスタ6402が十分にオンするか、オフするか of 二つの状態となるようなビデオ信号を入力する。つまり、駆動用トランジスタ6402は線形領域で動作させる。駆動用トランジスタ6402は線形領域で動作させるため、電源線6407の電圧よりも高い電圧を駆動用トランジスタ6402のゲートにかける。なお、信号線6405には、電源線電圧及び駆動用トランジスタ6402の V_{th} の総和以上の電圧をかける。

40

【0315】

また、デジタル時間階調駆動に代えて、アナログ階調駆動を行う場合、信号の入力を異ならせることで、図20と同じ画素構成を用いることができる。

【0316】

アナログ階調駆動を行う場合、駆動用トランジスタ6402のゲートに、発光素子6404の順方向電圧及び駆動用トランジスタ6402の V_{th} の総和以上の電圧をかける。発光素子6404の順方向電圧とは、所望の輝度とする場合の電圧を指しており、少なくとも

50

も順方向しきい値電圧よりも大きい。なお、駆動用トランジスタ6402が飽和領域で動作するようなビデオ信号を入力することで、発光素子6404に電流を流すことができる。駆動用トランジスタ6402を飽和領域で動作させるため、電源線6407の電位は、駆動用トランジスタ6402のゲート電位よりも高くする。ビデオ信号をアナログとすることで、発光素子6404にビデオ信号に応じた電流を流し、アナログ階調駆動を行うことができる。

【0317】

なお、図20に示す画素構成は、これに限定されない。例えば、図20に示す画素に新たにスイッチ、抵抗素子、容量素子、トランジスタまたは論理回路などを追加してもよい。

【0318】

次に、発光素子の構成について、図21を用いて説明する。ここでは、駆動用TFTがn型の場合を例に挙げて、画素の断面構造について説明する。図21の表示装置に用いられる駆動用TFTであるTFT7001、7011、7021は、上記実施の形態で示す薄膜トランジスタと同様に作製でき、In-Ga-Zn-O系非単結晶層を酸化物半導体層として含む信頼性の高い薄膜トランジスタである。

【0319】

発光素子は、発光を取り出すために少なくとも陽極または陰極が透明であればよい。そして、基板上に薄膜トランジスタ及び発光素子を形成し、基板とは逆側の面から発光を取り出す上面射出や、基板側の面から発光を取り出す下面射出や、基板側及び基板とは反対側の面から発光を取り出す両面射出構造の発光素子があり、本実施の形態の画素構成はどの射出構造の発光素子にも適用することができる。

【0320】

上面射出構造の発光素子について図21(A)を用いて説明する。

【0321】

図21(A)に、駆動用TFTであるTFT7001がn型で、発光素子7002から発せられる光が陽極7005側に抜ける場合の、画素の断面図を示す。図21(A)では、発光素子7002の陰極7003と駆動用TFTであるTFT7001が電氣的に接続されており、陰極7003上にEL層7004、陽極7005が順に積層されている。陰極7003は仕事関数が小さく、なおかつ光を反射する導電層であれば様々の材料を用いることができる。例えば、Ca、Al、MgAg、AlLi等が望ましい。そしてEL層7004は、単数の層で構成されていても、複数の層が積層されるように構成されていてもどちらでも良い。複数の層で構成されている場合、陰極7003上に電子注入層、電子輸送層、発光層、ホール輸送層、ホール注入層の順に積層する。なおこれらの層を全て設ける必要はない。陽極7005は光を透過する透光性を有する導電性材料を用いて形成し、例えば酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム錫酸化物、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物などの透光性を有する導電性導電層を用いても良い。

【0322】

陰極7003及び陽極7005でEL層7004を挟んでいる領域が発光素子7002に相当する。図21(A)に示した画素の場合、発光素子7002から発せられる光は、矢印で示すように陽極7005側に射出する。

【0323】

次に、下面射出構造の発光素子について図21(B)を用いて説明する。駆動用TFT7011がn型で、発光素子7012から発せられる光が陰極7013側に射出する場合の、画素の断面図を示す。図21(B)では、駆動用TFT7011と電氣的に接続された透光性を有する導電層7017上に、発光素子7012の陰極7013が形成されており、陰極7013上にEL層7014、陽極7015が順に積層されている。なお、陽極7015が透光性を有する場合、陽極上を覆うように、光を反射または遮蔽するための遮蔽層7016が形成されていてもよい。陰極7013は、図21(A)の場合と同様に、仕

10

20

30

40

50

事関数が小さい導電性材料であれば様々な材料を用いることができる。ただしその厚さは、光を透過する程度（好ましくは、5 nm～30 nm程度）とする。例えば20 nmの厚さを有するアルミニウム層を、陰極7013として用いることができる。そしてEL層7014は、図21（A）と同様に、単数の層で構成されていても、複数の層が積層されるように構成されていてもどちらでも良い。陽極7015は光を透過する必要はないが、図21（A）と同様に、透光性を有する導電性材料を用いて形成することができる。そして遮蔽層7016は、例えば光を反射する金属等を用いることができるが、金属層に限定されない。例えば黒の顔料を添加した樹脂等を用いることもできる。

【0324】

陰極7013及び陽極7015で、EL層7014を挟んでいる領域が発光素子7012に相当する。図21（B）に示した画素の場合、発光素子7012から発せられる光は、矢印で示すように陰極7013側に射出する。

10

【0325】

次に、両面射出構造の発光素子について、図21（C）を用いて説明する。図21（C）では、駆動用TFT7021と電氣的に接続された透光性を有する導電層7027上に、発光素子7022の陰極7023が形成されており、陰極7023上にEL層7024、陽極7025が順に積層されている。陰極7023は、図21（A）の場合と同様に、仕事関数が小さい導電性材料であれば様々な材料を用いることができる。ただしその厚さは、光を透過する程度とする。例えば20 nmの厚さを有するAlを、陰極7023として用いることができる。そしてEL層7024は、図21（A）と同様に、単数の層で構成されていても、複数の層が積層されるように構成されていてもどちらでも良い。陽極7025は、図21（A）と同様に、光を透過する透光性を有する導電性材料を用いて形成することができる。

20

【0326】

陰極7023と、EL層7024と、陽極7025とが重なっている部分が発光素子7022に相当する。図21（C）に示した画素の場合、発光素子7022から発せられる光は、矢印で示すように陽極7025側と陰極7023側の両方に射出する。

【0327】

なお、ここでは、発光素子として有機EL素子について述べたが、発光素子として無機EL素子を設けることも可能である。

30

【0328】

なお本実施の形態では、発光素子の駆動を制御する薄膜トランジスタ（駆動用TFT）と発光素子が電氣的に接続されている例を示したが、駆動用TFTと発光素子との間に電流制御用TFTが接続されている構成であってもよい。

【0329】

なお本実施の形態で示す表示装置は、図21に示した構成に限定されるものではなく、本明細書における技術的思想に基づく各種の変形が可能である。

【0330】

次に、表示装置の一形態に相当する発光表示パネル（発光パネルともいう）の外観及び断面の一形態について、図24を用いて説明する。図24（A）は、薄膜トランジスタ及び発光素子が形成された第1基板と、第2基板とを、第1基板及び第2基板の間に設けられたシール材で封止した、パネルの上面図であり、図24（B）は、図24（A）のH-Iにおける断面図に相当する。

40

【0331】

第1基板4501上に設けられた画素部4502、信号線駆動回路4503a、4503b、及び走査線駆動回路4504a、4504bを囲むようにして、シール材4505が設けられている。また画素部4502、信号線駆動回路4503a、4503b、及び走査線駆動回路4504a、4504bの上に第2基板4506が設けられている。よって画素部4502、信号線駆動回路4503a、4503b、及び走査線駆動回路4504a、4504bは、第1基板4501とシール材4505と第2基板4506とによって

50

、充填材４５０７と共に密封されている。このように外気に曝されないように気密性が高く、脱ガスの少ない保護フィルム（貼り合わせフィルム、紫外線硬化樹脂フィルム等）やカバー材でパッケージング（封入）することが好ましい。

【０３３２】

また、第１基板４５０１上に設けられた画素部４５０２、信号線駆動回路４５０３ａ、４５０３ｂ、及び走査線駆動回路４５０４ａ、４５０４ｂは、薄膜トランジスタを複数有しており、図２４（Ｂ）では、画素部４５０２に含まれる薄膜トランジスタ４５１０と、信号線駆動回路４５０３ａに含まれる薄膜トランジスタ４５０９とを例示している。

【０３３３】

薄膜トランジスタ４５０９、４５１０は、上記実施の形態に示すような、In-Ga-Zn-O系非単結晶層を酸化物半導体層として含む信頼性の高い薄膜トランジスタを適用することができる。また実施の形態５に示す薄膜トランジスタを適用してもよい。本実施の形態において、薄膜トランジスタ４５０９、４５１０はnチャネル型薄膜トランジスタである。

10

【０３３４】

また、発光素子４５１１が有する画素電極である第１電極４５１７は、薄膜トランジスタ４５１０のソース電極またはドレイン電極と電氣的に接続されている。なお、発光素子４５１１の構成は、第１電極４５１７、EL層４５１２、第２電極４５１３の積層構造であるが、本実施の形態に示した構成に限定されない。発光素子４５１１から取り出す光の方向などに合わせて、発光素子４５１１の構成は適宜変えることができる。

20

【０３３５】

隔壁４５２０は、有機樹脂層、無機絶縁層または有機ポリシロキサン層を用いて形成する。特に感光性の材料を用い、第１電極４５１７上に開口部を形成し、その開口部の側壁が連続した曲率を持って形成される傾斜面となるように形成することが好ましい。

【０３３６】

EL層４５１２は、単数の層で構成されていても、複数の層が積層されるように構成されていてもどちらでも良い。

【０３３７】

発光素子４５１１に酸素、水素、水分、二酸化炭素等が侵入しないように、第２電極４５１３及び隔壁４５２０上に保護層を形成してもよい。保護層としては、窒化珪素層、窒化酸化珪素層、DLC層等を形成することができる。

30

【０３３８】

また、信号線駆動回路４５０３ａ、４５０３ｂ、走査線駆動回路４５０４ａ、４５０４ｂ、または画素部４５０２に与えられる各種信号及び電位は、FPC４５１８ａ、４５１８ｂから供給されている。

【０３３９】

本実施の形態では、接続端子電極４５１５が、発光素子４５１１が有する第１電極４５１７と同じ導電層から形成され、端子電極４５１６は、薄膜トランジスタ４５０９、４５１０が有するソース電極及びドレイン電極と同じ導電層から形成されている。

40

【０３４０】

接続端子電極４５１５は、FPC４５１８ａが有する端子と、異方性導電層４５１９を介して電氣的に接続されている。

【０３４１】

発光素子４５１１からの光の取り出し方向に位置する第２基板は透光性でなければならない。その場合には、第２基板４５０６として、ガラス板、プラスチック板、ポリエステルフィルムまたはアクリルフィルムのような透光性を有する材料を用いる。

【０３４２】

また、充填材４５０７としては、窒素やアルゴンなどの不活性な気体、紫外線硬化樹脂、熱硬化樹脂等を用いることができる。紫外線硬化樹脂、熱硬化樹脂としては、PVC（ポリビニルクロライド）、アクリル、ポリイミド、エポキシ樹脂、シリコーン樹脂、PVB

50

(ポリビニルブチラル)またはEVA(エチレンビニルアセテート)を用いることができる。本実施の形態は充填材として窒素を用いる。

【0343】

また、必要であれば、発光素子の射出面に偏光板、または円偏光板(楕円偏光板を含む)、位相差板($\lambda/4$ 板、 $\lambda/2$ 板)、カラーフィルタなどの光学フィルムを適宜設けてもよい。また、偏光板または円偏光板に反射防止層を設けてもよい。例えば、表面の凹凸により反射光を拡散し、映り込みを低減できるアンチグレア処理を施すことができる。

【0344】

信号線駆動回路4503a、4503b、及び走査線駆動回路4504a、4504bは、別途用意された基板上に単結晶半導体層または多結晶半導体層によって形成された駆動回路で実装されていてもよい。また、信号線駆動回路のみ、或いは一部、または走査線駆動回路のみ、或いは一部のみを別途形成して実装しても良く、本実施の形態は図24の構成に限定されない。

10

【0345】

以上により、表示装置として信頼性の高い発光表示装置(表示パネル)を作製することができる。

【0346】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせることで実施することが可能である。

【0347】

20

(実施の形態14)

電子ペーパーは、情報を表示するものであればあらゆる分野の電子機器に用いることが可能である。例えば、電子ペーパーを用いて、電子書籍(電子ブック)、車内広告、電車などの乗り物の車内広告、クレジットカード等の各種カードにおける表示等に適用することができる。電子機器の一例を図25、図26に示す。

【0348】

図25(A)は、電子ペーパーで作られたポスター2631を示している。広告媒体が紙の印刷物である場合には、広告の交換は人手によって行われるが、上記実施の形態を適用した電子ペーパーを用いれば短時間で広告の表示を変えることができる。また、表示も崩れることなく安定した画像が得られる。なお、車内広告は無線で情報を送受信できる構成としてもよい。

30

【0349】

また、図25(B)は、電車などの乗り物の車内広告2632を示している。広告媒体が紙の印刷物である場合には、広告の交換は人手によって行われるが、上記実施の形態を適用した電子ペーパーを用いれば人手を多くかけることなく短時間で広告の表示を変えることができる。また表示も崩れることなく安定した画像が得られる。なお、ポスターは無線で情報を送受信できる構成としてもよい。

【0350】

また、図26は、電子書籍2700の一例を示している。例えば、電子書籍2700は、筐体2701および筐体2703の2つの筐体で構成されている。筐体2701および筐体2703は、軸部2711により一体とされており、該軸部2711を軸として開閉動作を行うことができる。このような構成により、紙の書籍のような動作を行うことが可能となる。

40

【0351】

筐体2701には表示部2705が組み込まれ、筐体2703には表示部2707が組み込まれている。表示部2705および表示部2707は、続き画面を表示する構成としてもよいし、異なる画面を表示する構成としてもよい。異なる画面を表示する構成とすることで、例えば右側の表示部(図26では表示部2705)に文章を表示し、左側の表示部(図26では表示部2707)に画像を表示することができる。

【0352】

50

また、図26では、筐体2701に操作部などを備えた例を示している。例えば、筐体2701において、電源2721、操作キー2723、スピーカ2725などを備えている。操作キー2723により、頁を送ることができる。なお、筐体の表示部と同一面にキーボードやポインティングデバイスなどを備える構成としてもよい。また、筐体の裏面や側面に、外部接続用端子（イヤホン端子、USB端子、またはACアダプタおよびUSBケーブルなどの各種ケーブルと接続可能な端子など）、記録媒体挿入部などを備える構成としてもよい。さらに、電子書籍2700は、電子辞書としての機能を持たせた構成としてもよい。

【0353】

また、電子書籍2700は、無線で情報を送受信できる構成としてもよい。無線により、電子書籍サーバから、所望の書籍データなどを購入し、ダウンロードする構成とすることも可能である。

【0354】

（実施の形態15）

上記実施の形態に係る表示装置は、さまざまな電子機器（遊技機も含む）に適用することができる。電子機器としては、例えば、テレビジョン装置（テレビ、またはテレビジョン受信機ともいう）、コンピュータ用などのモニタ、デジタルカメラ、デジタルビデオカメラ、デジタルフォトフレーム、携帯電話機（携帯電話、携帯電話装置ともいう）、携帯型ゲーム機、携帯情報端末、音響再生装置、パチンコ機などの大型ゲーム機などがある。

【0355】

図27（A）は、テレビジョン装置9600の一例を示している。テレビジョン装置9600は、筐体9601に表示部9603が組み込まれている。表示部9703により、映像を表示することが可能である。また、ここでは、スタンド9605により筐体9601を支持した構成を示している。

【0356】

テレビジョン装置9600の操作は、筐体9601が備える操作スイッチや、別体のリモコン操作機9610により行うことができる。リモコン操作機9610が備える操作キー9609により、チャンネルや音量の操作を行うことができ、表示部9603に表示される映像を操作することができる。また、リモコン操作機9610に、当該リモコン操作機9610から出力する情報を表示する表示部9607を設ける構成としてもよい。

【0357】

なお、テレビジョン装置9600は、受信機やモデムなどを備えた構成とする。受信機により一般のテレビ放送の受信を行うことができ、さらにモデムを介して有線または無線による通信ネットワークに接続することにより、一方向（送信者から受信者）または双方向（送信者と受信者間、あるいは受信者間同士など）の情報通信を行うことも可能である。

【0358】

図27（B）は、デジタルフォトフレーム9700の一例を示している。例えば、デジタルフォトフレーム9700は、筐体9701に表示部9703が組み込まれている。表示部9703は、各種画像を表示することが可能であり、例えばデジタルカメラなどで撮影した画像データを表示させることで、通常の写真立てと同様に機能させることができる。

【0359】

なお、デジタルフォトフレーム9700は、操作部、外部接続用端子（USB端子、USBケーブルなどの各種ケーブルと接続可能な端子など）、記録媒体挿入部などを備える構成とする。これらの構成は、表示部と同一面に組み込まれていてもよいが、側面や裏面に備えるとデザイン性が向上するため好ましい。例えば、デジタルフォトフレームの記録媒体挿入部に、デジタルカメラで撮影した画像データを記憶したメモリを挿入して画像データを取り込み、取り込んだ画像データを表示部9703に表示させることができる。

【0360】

また、デジタルフォトフレーム9700は、無線で情報を送受信できる構成としてもよい。無線により、所望の画像データを取り込み、表示させる構成とすることもできる。

【0361】

図28(A)は携帯型遊技機であり、筐体9881と筐体9891の2つの筐体で構成されており、蝶番9893により、開閉可能に連結されている。筐体9881には表示部9882が組み込まれ、筐体9891には表示部9883が組み込まれている。また、図28(A)に示す携帯型遊技機は、その他、スピーカ部9884、記録媒体挿入部9886、LEDランプ9890、入力手段(操作キー9885、接続端子9887、センサ9888(力、変位、位置、速度、加速度、角速度、回転数、距離、光、液、磁気、温度、化学物質、音声、時間、硬度、電場、電流、電圧、電力、放射線、流量、湿度、傾度、振動、におひまたは赤外線を測定する機能を含むもの)、マイクロフォン9889)等を備えている。もちろん、携帯型遊技機の構成は上述のものに限定されず、少なくとも上記実施の形態に係る表示装置を備えた構成であればよく、その他付属設備が適宜設けられた構成とすることができる。図28(A)に示す携帯型遊技機は、記録媒体に記録されているプログラムまたはデータを読み出して表示部に表示する機能や、他の携帯型遊技機と無線通信を行って情報を共有する機能を有する。なお、図28(A)に示す携帯型遊技機が有する機能はこれに限定されず、様々な機能を有することができる。

10

【0362】

図28(B)は大型遊技機であるスロットマシン9900の一例を示している。スロットマシン9900は、筐体9901に表示部9903が組み込まれている。また、スロットマシン9900は、その他、スタートレバーやストップスイッチなどの操作手段、コイン投入口、スピーカなどを備えている。もちろん、スロットマシン9900の構成は上述のものに限定されず、少なくとも上記実施の形態に係る表示装置を備えた構成であればよく、その他付属設備が適宜設けられた構成とすることができる。

20

【0363】

図29(A)は、携帯電話機1000の一例を示している。携帯電話機1000は、筐体1001に組み込まれた表示部1002の他、操作ボタン1003、外部接続ポート1004、スピーカ1005、マイク1006などを備えている。

【0364】

図29(A)に示す携帯電話機1000は、表示部1002を指などで触れることで、情報を入力することができる。また、電話を掛ける、或いはメールを打つなどの操作は、表示部1002を指などで触れることにより行うことができる。

30

【0365】

表示部1002の画面は主として3つのモードがある。第1は、画像の表示を主とする表示モードであり、第2は、文字等の情報の入力を主とする入力モードである。第3は表示モードと入力モードの2つのモードが混合した表示+入力モードである。

【0366】

例えば、電話を掛ける、或いはメールを作成する場合は、表示部1002を文字の入力を主とする文字入力モードとし、画面に表示させた文字の入力操作を行えばよい。この場合、表示部1002の画面のほとんどにキーボードまたは番号ボタンを表示させることが好ましい。

【0367】

また、携帯電話機1000内部に、ジャイロ、加速度センサ等の傾きを検出するセンサを有する検出装置を設けることで、携帯電話機1000の向き(縦か横か)を判断して、表示部1002の画面表示を自動的に切り替えるようにすることができる。

40

【0368】

また、画面モードの切り替えは、表示部1002を触れること、または筐体1001の操作ボタン1003の操作により行われる。また、表示部1002に表示される画像の種類によって切り替えるようにすることもできる。例えば、表示部に表示する画像信号が動画のデータであれば表示モード、テキストデータであれば入力モードに切り替える。

【0369】

また、入力モードにおいて、表示部1002の光センサで検出される信号を検知し、表示

50

部1002のタッチ操作による入力が一定期間ない場合には、画面のモードを入力モードから表示モードに切り替えるように制御してもよい。

【0370】

表示部1002は、イメージセンサとして機能させることもできる。例えば、表示部1002に掌や指を触れることで、掌紋、指紋等を撮像することで、本人認証を行うことができる。また、表示部に近赤外光を発光するバックライトまたは近赤外光を発光するセンシング用光源を用いれば、指静脈、掌静脈などを撮像することもできる。

【0371】

図29(B)も携帯電話機の一例である。図29(B)の携帯電話機は、筐体9411に、表示部9412、及び操作ボタン9413を含む表示装置9410と、筐体9401に操作ボタン9402、外部入力端子9403、マイク9404、スピーカ9405、及び着信時に発光する発光部9406を含む通信装置9400とを有しており、表示機能を有する表示装置9410は電話機能を有する通信装置9400と矢印の2方向に脱着可能である。よって、表示装置9410と通信装置9400の短軸同士を取り付けることも、表示装置9410と通信装置9400の長軸同士を取り付けることもできる。また、表示機能のみを必要とする場合、通信装置9400より表示装置9410を取り外し、表示装置9410を単独で用いることもできる。通信装置9400と表示装置9410とは無線通信または有線通信により画像または入力情報を授受することができ、それぞれ充電可能なバッテリーを有する。

【0372】

(実施の形態16)

本実施の形態では、酸化物半導体を半導体層として用いた薄膜トランジスタを作製する場合において、酸化物半導体膜のパターニングの際に生じるエッチングの廃液から酸化物半導体を再生して、再利用する方法について説明する。

【0373】

図46及び図47に再利用サイクルについて示す。

【0374】

まず、図46の工程1(7101)において、酸化物半導体膜をスパッタリング法、またはレーザパルス蒸着法により成膜する。図47(A)(B)に成膜時の具体的な一例を示す。図47(A)では、基板7201上にゲート電極7202およびゲート絶縁膜7203が形成されており、ゲート絶縁膜7203上にスパッタリング法を用いて酸化物半導体膜7205が形成される(図47(B))。このとき用いるターゲット7204は、In、Ga、及びZnを含む酸化物半導体ターゲットであり、組成比としては、例えば、In:Ga:Zn=1:1:0.5なるターゲットを用いることができる。

【0375】

次に、図46の工程2(7102)において、酸化物半導体膜のパターニングを行う。図47(C)に示すようにフォトマスクを用いて形成したレジストマスク7206を用い、ウェットエッチング法により酸化物半導体膜7205の不要な部分を除去する。これにより、所望の形状の酸化物半導体膜7207を得ることができる。

【0376】

次に、図46の工程3(7103)において、工程2(7102)で生じたエッチングの廃液を回収する(図47(E))。なお、エッチングの廃液を回収する際には、エッチング廃液を中和しておいてもよい。作業性の良さを考慮すると、中和されたエッチング廃液を処理の方が安全性が高く好ましいためである。

【0377】

次に、図46の工程4(7104)において、エッチング廃液から水分を除去する固体化処理を行い、固体物7209を得る(図47(F))。なお、水分を除去するためには、エッチング廃液を加熱すればよい。また、固体物7209を得た後、後の工程において再生するターゲットの組成比が所望の組成比となるように組成分析等を行った上で不足成分を追加するなどして組成比の調整を行う。

【0378】

次に、図46の工程5（7105）において、固体物7209を所望の形状のダイスに入れ、加圧および焼成することにより、焼結体7210を得る。さらに、焼結体7210を接着剤によりパッキングプレート7211に貼り付けることにより、ターゲット7212を形成する（図47（G））。ただし、焼成温度は、700℃以上が好ましい。また、膜厚は5nm以上10nm以下とするのが好ましい。なお、図46の工程3（7103）において、In、Ga、及びZnの組成比を調整しているため、所望の組成比を有するターゲット7212を得ることができる。

【0379】

なお、得られたターゲット7212は、図46の工程1（7101）における成膜時に用

10

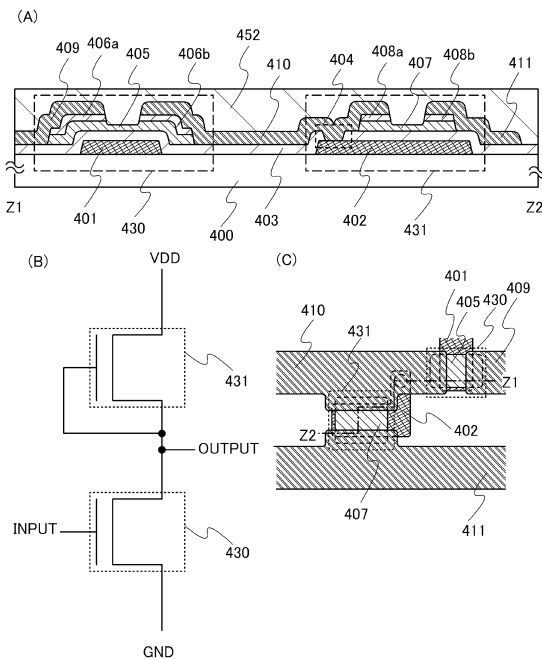
【0380】

以上により、酸化物半導体を半導体層として用いた薄膜トランジスタを作製する場合におけるエッチングの廃液から酸化物半導体を再生して、再利用することができる。

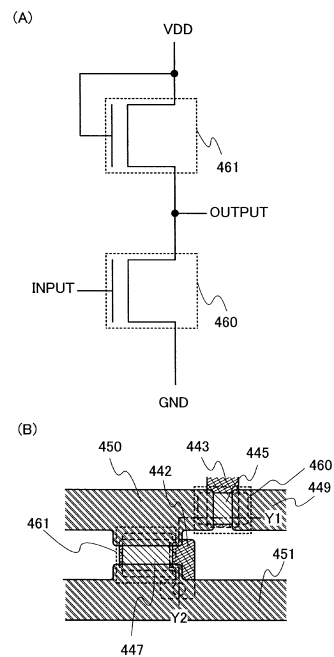
【0381】

なお、酸化物半導体に含まれているインジウムやガリウムは、希少価値のある金属であることが知られていることから、本実施の形態に示す再利用方法を用いることにより、省資源化を図ることができると共に酸化物半導体を用いて形成される製品のコストダウンを図ることができる。

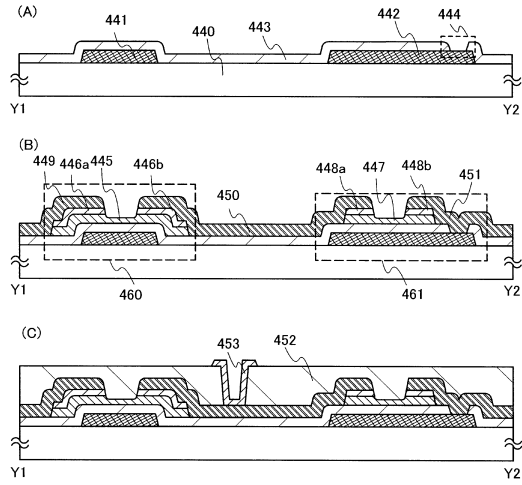
【図1】



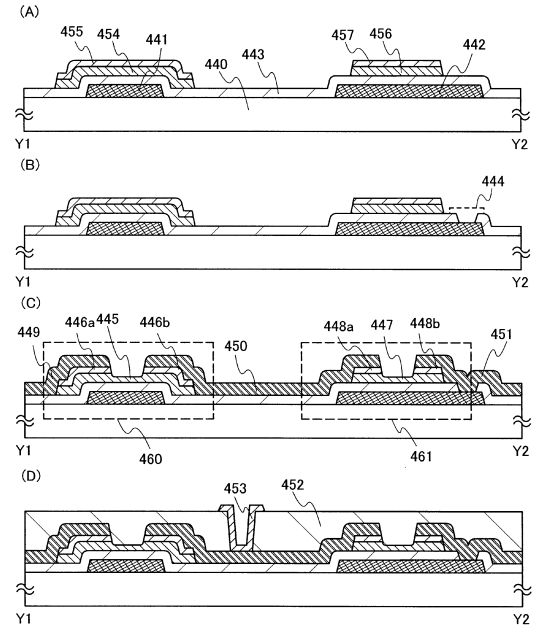
【図2】



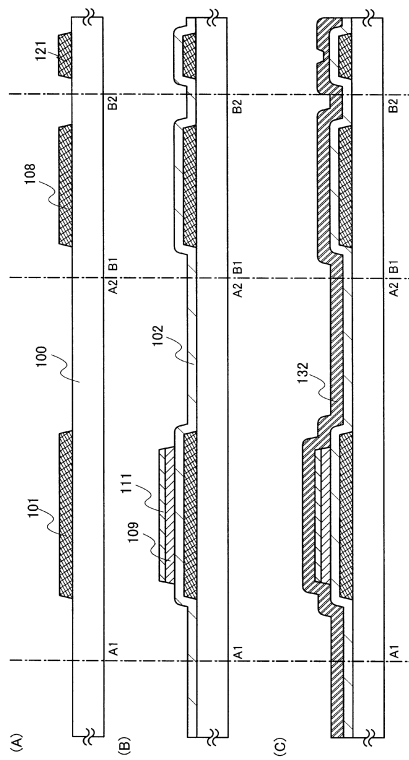
【図 3】



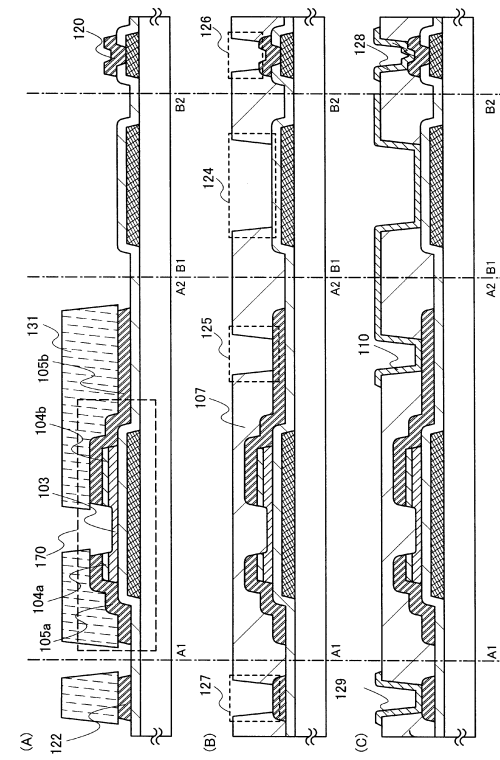
【図 4】



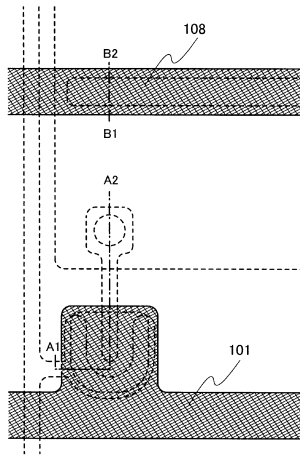
【図 5】



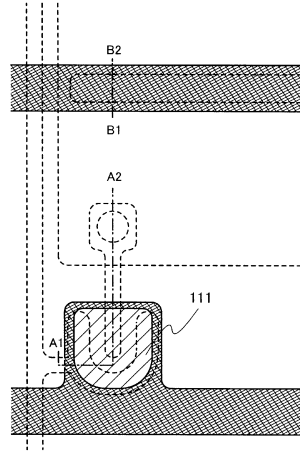
【図 6】



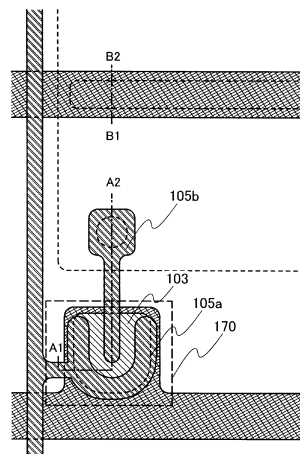
【図 7】



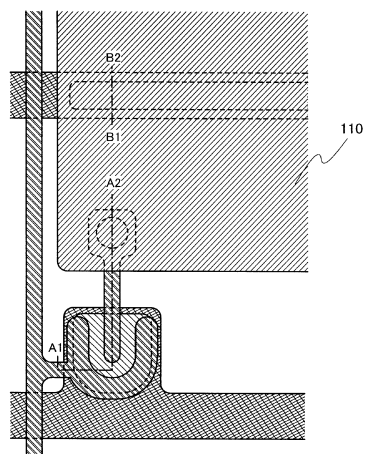
【図 8】



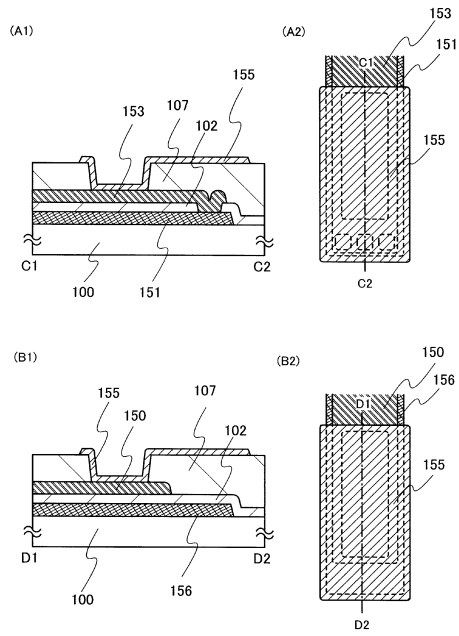
【図 9】



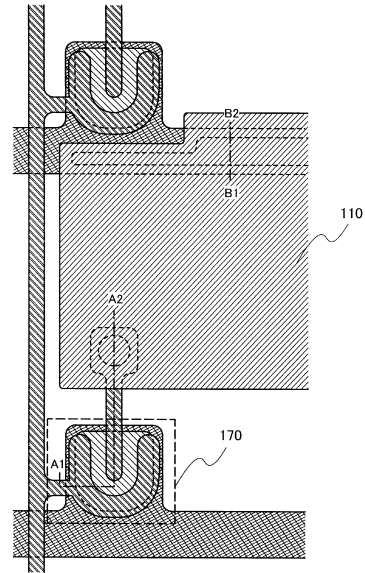
【図 10】



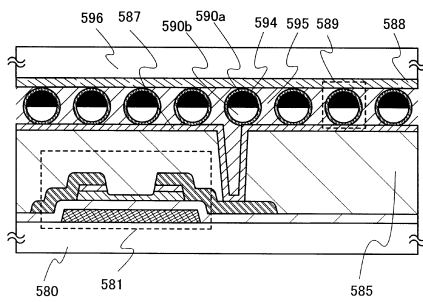
【図 1 1】



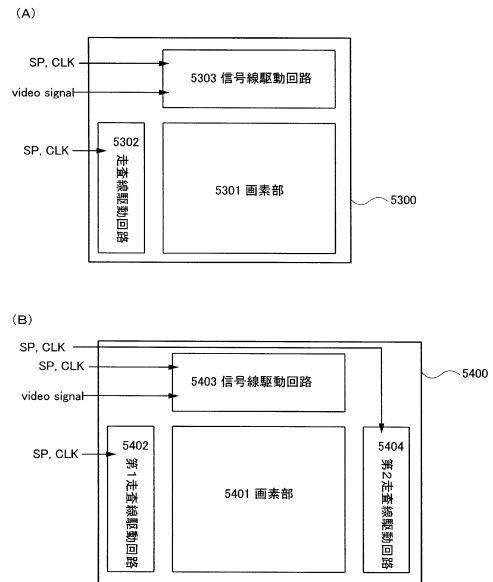
【図 1 2】



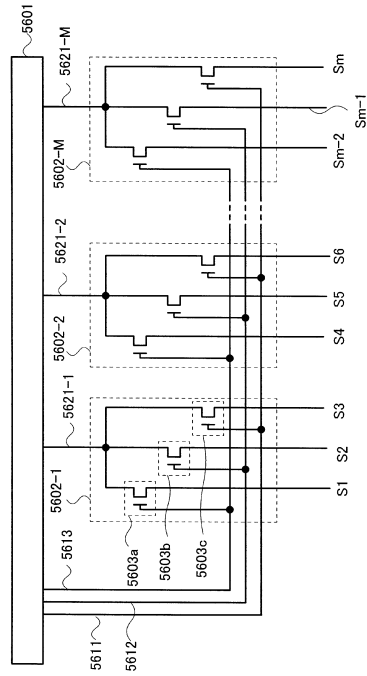
【図 1 3】



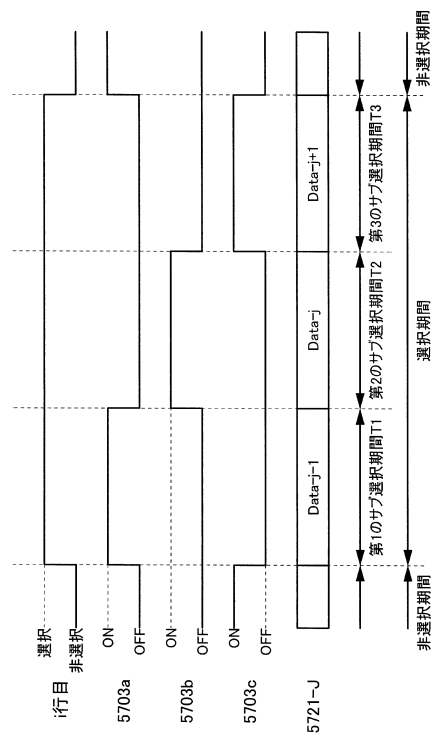
【図 1 4】



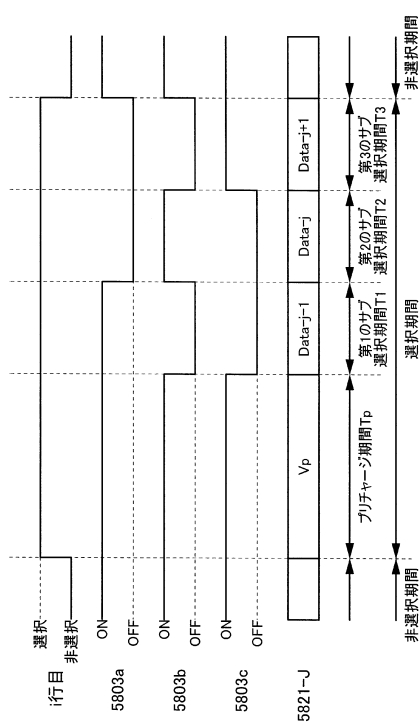
【図 15】



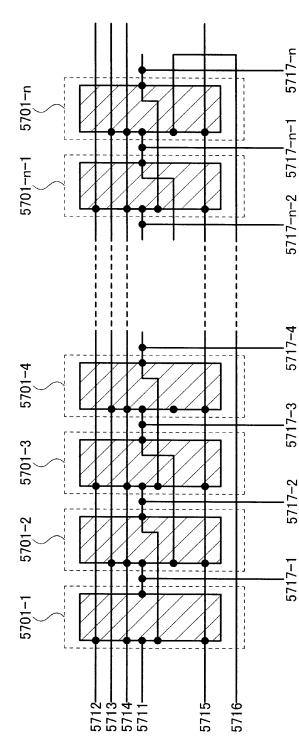
【図 16】



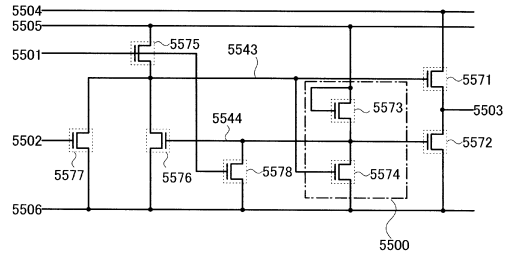
【図 17】



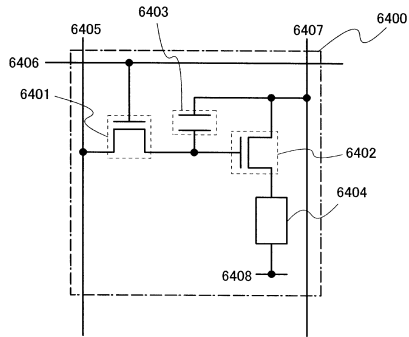
【図 18】



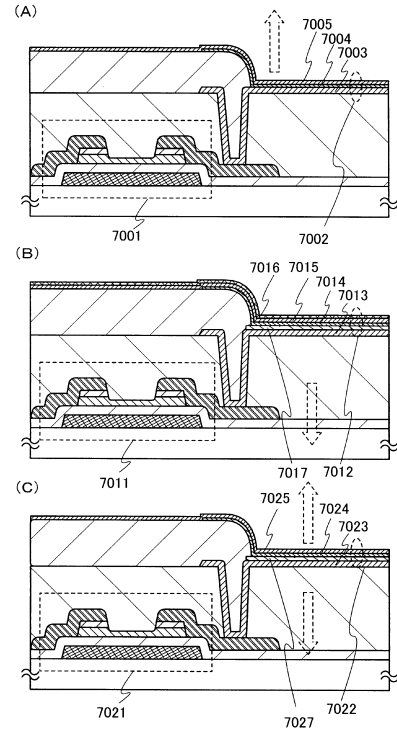
【図 19】



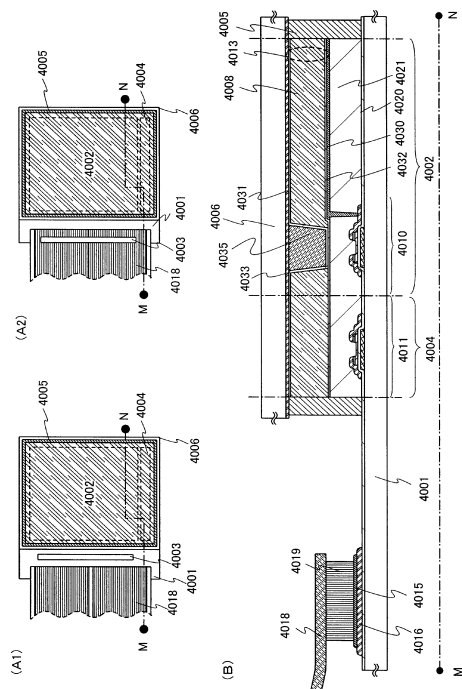
【図 20】



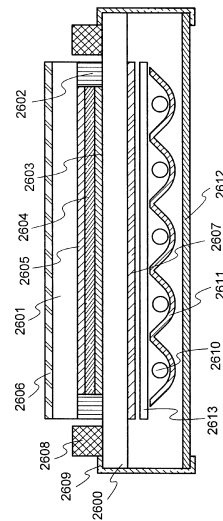
【図 21】



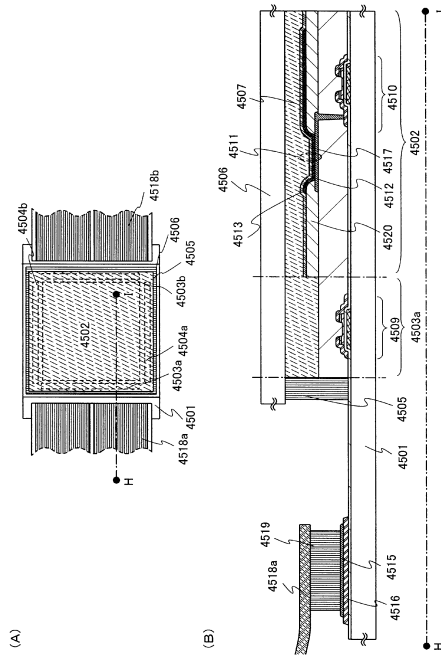
【図 22】



【図 23】

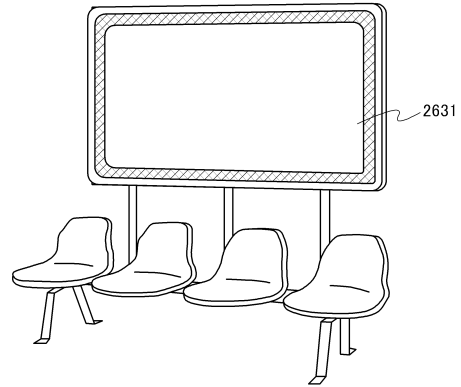


【図 24】

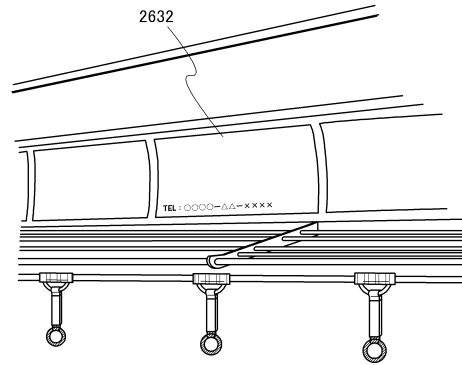


【図 25】

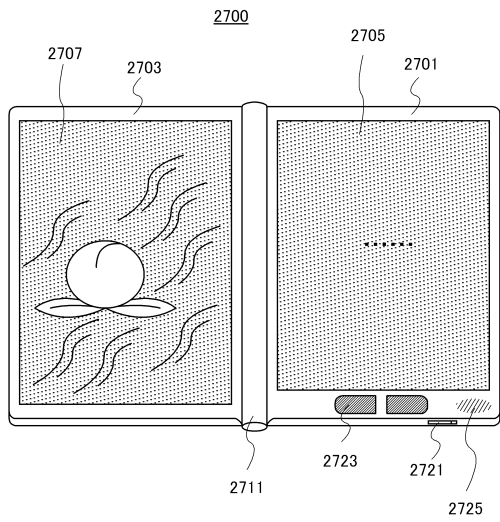
(A)



(B)

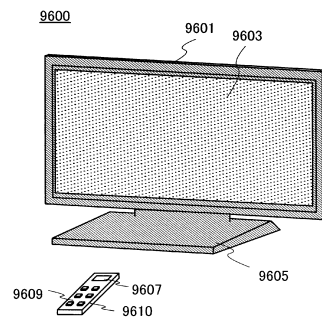


【図 26】

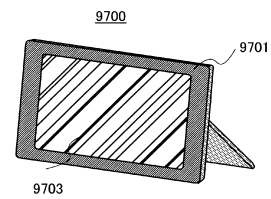


【図 27】

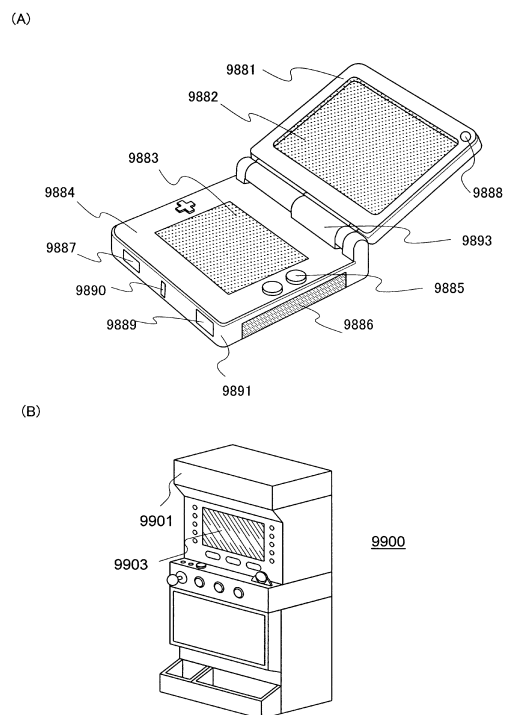
(A)



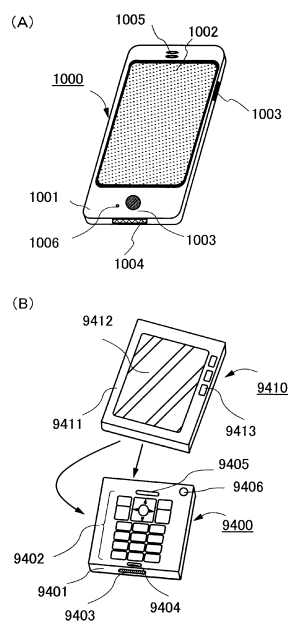
(B)



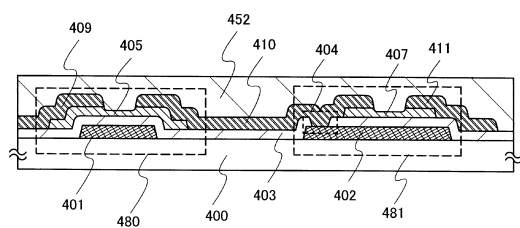
【図 28】



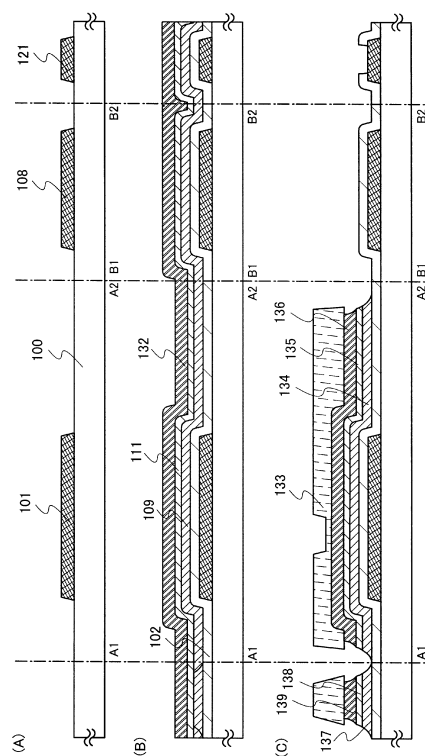
【図 29】



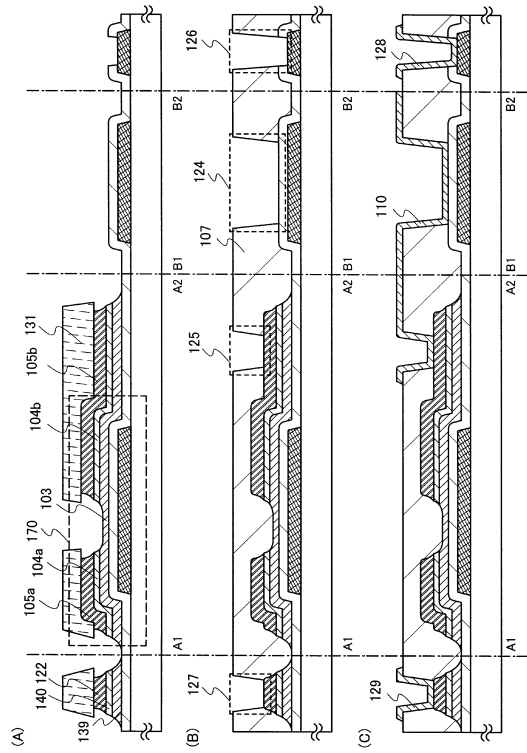
【図 30】



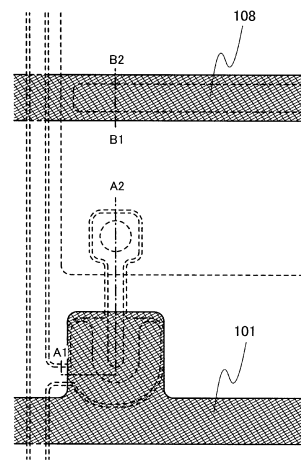
【図 3 1】



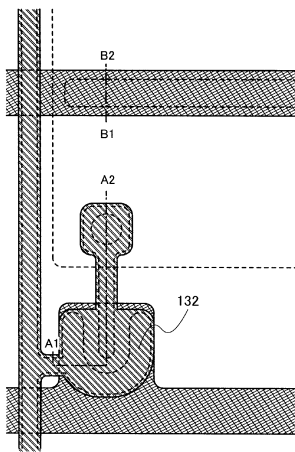
【図 3 2】



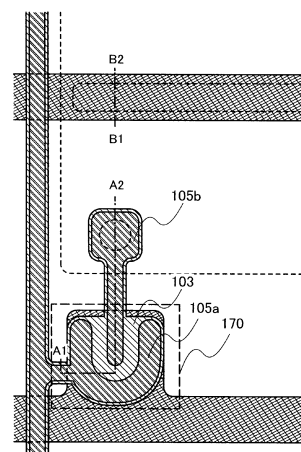
【図 3 3】



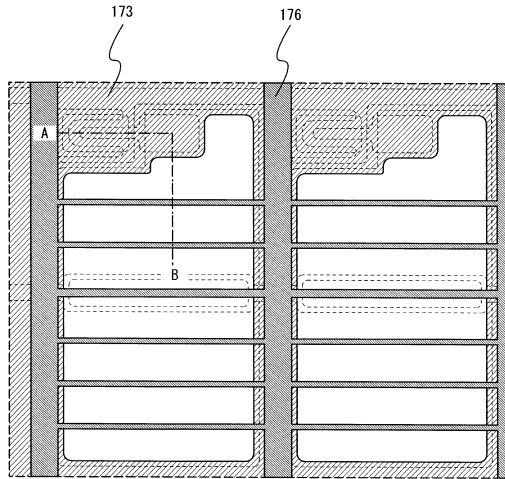
【図 3 4】



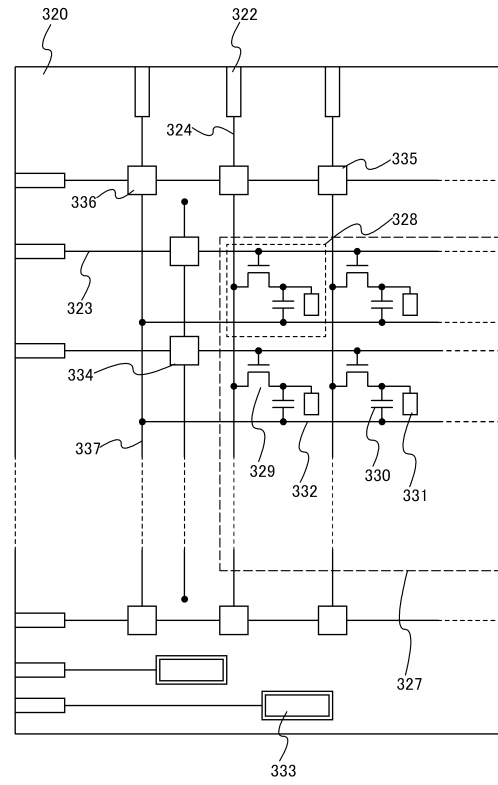
【図 3 5】



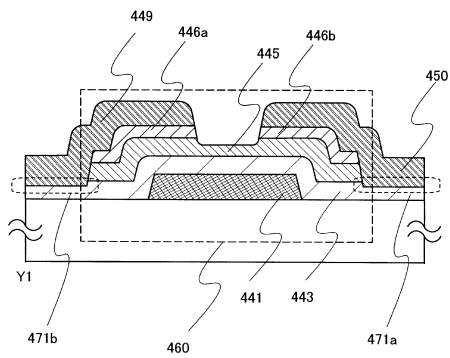
【図 4 1】



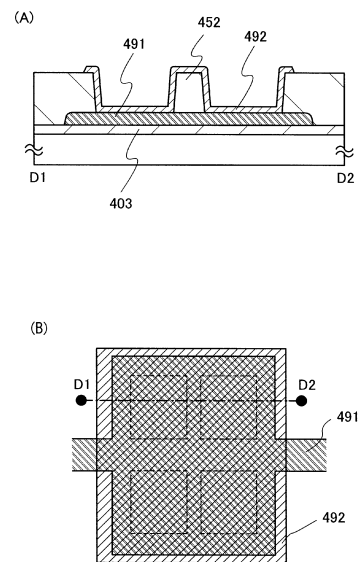
【図 4 2】



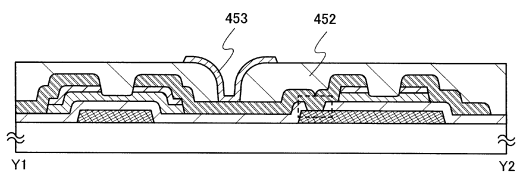
【図 4 3】



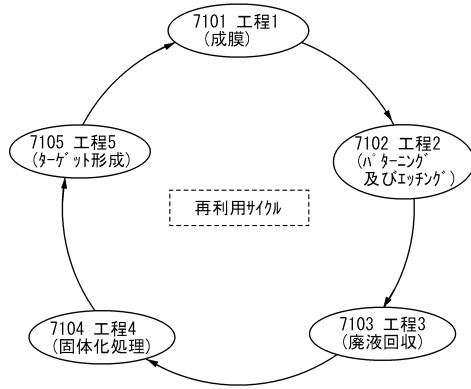
【図 4 5】



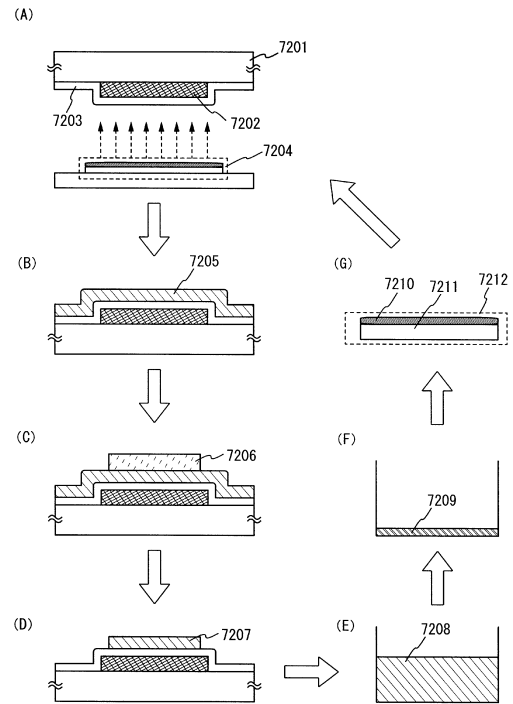
【図 4 4】



【図 4 6】



【図 4 7】



フロントページの続き

(51)Int.Cl.			F I		
<i>H 0 1 L</i>	<i>27/088</i>	<i>(2006.01)</i>	<i>G 0 9 F</i>	<i>9/30</i>	<i>3 3 0</i>
<i>H 0 1 L</i>	<i>27/08</i>	<i>(2006.01)</i>	<i>G 0 9 F</i>	<i>9/30</i>	<i>3 3 8</i>
<i>H 0 1 L</i>	<i>51/50</i>	<i>(2006.01)</i>	<i>G 0 9 F</i>	<i>9/30</i>	<i>3 4 8 A</i>
<i>H 0 5 B</i>	<i>33/14</i>	<i>(2006.01)</i>	<i>H 0 1 L</i>	<i>27/08</i>	<i>3 1 1 A</i>
			<i>H 0 1 L</i>	<i>27/08</i>	<i>3 3 1 E</i>
			<i>H 0 5 B</i>	<i>33/14</i>	<i>A</i>
			<i>H 0 5 B</i>	<i>33/14</i>	<i>Z</i>

(72)発明者 坂田 淳一郎
神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

審査官 川原 光司

(56)参考文献 特開 2 0 0 7 - 3 1 8 1 0 5 (J P , A)
国際公開第 2 0 0 8 / 0 9 6 7 6 8 (W O , A 1)
特開 2 0 0 8 - 1 7 5 9 3 0 (J P , A)
特開 2 0 0 4 - 1 4 5 0 2 4 (J P , A)
特開平 0 9 - 1 6 0 0 7 6 (J P , A)
特開 2 0 0 1 - 0 5 3 2 8 3 (J P , A)
国際公開第 2 0 0 8 / 1 3 3 2 2 0 (W O , A 1)

(58)調査した分野(Int.Cl., DB名)
G 0 2 F *1 / 1 3 6 8*
G 0 9 F *9 / 3 0*
H 0 1 L *2 1 / 3 3 6*
H 0 1 L *2 1 / 8 2 3 6*
H 0 1 L *2 7 / 0 8*
H 0 1 L *2 7 / 0 8 8*
H 0 1 L *2 9 / 7 8 6*
H 0 1 L *5 1 / 5 0*
H 0 5 B *3 3 / 1 4*