

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2007-522593

(P2007-522593A)

(43) 公表日 平成19年8月9日(2007.8.9)

(51) Int. Cl.	F I	テーマコード (参考)
G 1 1 C 29/12 (2006.01)	G 1 1 C 29/00 6 7 1 B	2 G 1 3 2
G O 1 R 31/28 (2006.01)	G O 1 R 31/28 B	5 L 1 0 6
G 1 1 C 11/401 (2006.01)	G O 1 R 31/28 V	5 M O 2 4
	G 1 1 C 11/34 3 7 1 A	

審査請求 未請求 予備審査請求 未請求 (全 14 頁)

(21) 出願番号 特願2006-551340 (P2006-551340)
 (86) (22) 出願日 平成17年1月24日 (2005.1.24)
 (85) 翻訳文提出日 平成18年9月26日 (2006.9.26)
 (86) 国際出願番号 PCT/US2005/002084
 (87) 国際公開番号 W02005/072287
 (87) 国際公開日 平成17年8月11日 (2005.8.11)
 (31) 優先権主張番号 10/707,971
 (32) 優先日 平成16年1月29日 (2004.1.29)
 (33) 優先権主張国 米国 (US)

(71) 出願人 390009531
 インターナショナル・ビジネス・マシー
 ズ・コーポレーション
 INTERNATIONAL BUSIN
 ESS MASCHINES CORPO
 RATION
 アメリカ合衆国10504 ニューヨーク
 州 アーモンク ニュー オーチャード
 ロード
 (74) 代理人 100108501
 弁理士 上野 剛史
 (74) 代理人 100112690
 弁理士 太佐 種一
 (74) 代理人 100091568
 弁理士 市位 嘉宏

最終頁に続く

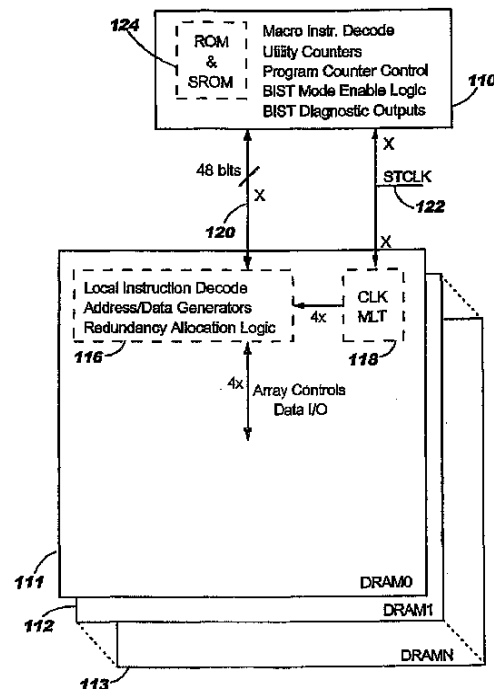
(54) 【発明の名称】 高速試験および冗長計算のためのリモート B I S T

(57) 【要約】

【課題】 組み込み自己試験 (B I S T) 機能をリモート
 低速実行可能命令およびローカル高速実行可能命令にセ
 グメント化する埋め込みメモリ・アレイのためのハイブ
 リッド B I S T アーキテクチャを提供する。

【解決手段】 独立型 B I S T ロジック・コントローラ (1 1 0) は、より低い周波数で動作し、 B I S T 命令セ
 ャットを用いて複数の埋め込みメモリ・アレイ (1 1 1 -
 1 1 3) と通信する。高速試験ロジックのブロック (1 1 6) は、試験中の各埋め込みメモリ・アレイに組み込
 まれ、独立型 B I S T ロジック・コントローラ (1 1 0)
 から受信された B I S T 命令をより高い周波数で局所
 的に処理する。高速試験ロジックは、 B I S T 命令の周
 波数を、より低い周波数からより高い周波数に増大させ
 ためのマルチプライヤ (1 1 8) を含む。独立型 B I
 S T ロジック・コントローラは、複数の埋め込みメモリ
 ・アレイにおける複数の高速試験ロジック構造を可能に
 する。

【選択図】 図 1



【特許請求の範囲】

【請求項 1】

組み込み自己試験 (BIST) 機能をリモート低速実行可能命令およびローカル高速実行可能命令にセグメント化する埋め込みメモリ・アレイのためのハイブリッド BIST アーキテクチャであって、

より低い周波数で動作し、BIST 命令セットを用いて複数の埋め込みメモリ・アレイと通信するように適合された独立型 BIST ロジック・コントローラと、

試験中の各埋め込みメモリ・アレイに組み込まれ、前記独立型 BIST ロジック・コントローラから受信された BIST 命令を、前記より低い周波数よりも高い周波数で局所的に処理するように適合された高速試験ロジックのブロックと、

を含むハイブリッド BIST アーキテクチャ。

10

【請求項 2】

前記高速試験ロジックは、前記 BIST 命令の前記周波数を、前記より低い周波数から前記より高い周波数まで増大させるためのマルチプライヤを含む、請求項 1 に記載のハイブリッド BIST アーキテクチャ。

【請求項 3】

前記独立型 BIST ロジック・コントローラは、複数の埋め込みメモリ・アレイにおける複数の高速試験ロジック構造を可能にする、請求項 1 に記載のハイブリッド BIST アーキテクチャ。

【請求項 4】

前記独立型ロジック・コントローラは、異なるタイプの埋め込みメモリの試験を可能にする、請求項 1 に記載のハイブリッド BIST アーキテクチャ。

20

【請求項 5】

前記より低い速度で動作し、前記独立型 BIST ロジック・コントローラを前記高速試験ロジックに接続する低速制御バスをさらに含む、請求項 1 に記載のハイブリッド BIST アーキテクチャ。

【請求項 6】

前記独立型 BIST ロジック・コントローラは、読み出し専用メモリ (ROM)、走査可能読み出し専用メモリ (SRAM)、およびマクロ命令セットを格納するように適合されたその他のタイプのメモリのうちの少なくとも 1 つを含む、請求項 1 に記載のハイブリッド BIST アーキテクチャ。

30

【請求項 7】

前記独立型 BIST ロジック・コントローラは、分岐予測、プログラム・カウンタ管理、ユーティリティ・カウント、ならびに一般 BIST 操作制御および診断出力を提供するように適合されたロジックを含む、請求項 1 に記載のハイブリッド BIST アーキテクチャ。

【請求項 8】

集積回路内の機能回路に埋め込まれたメモリ・アレイと共に使用するための組み込み自己試験 (BIST) アーキテクチャであって、

埋め込みメモリ・アレイに組み入れられた複数の試験ロジックの埋め込みブロックと、前記試験ロジックの埋め込みブロックから分離した、リモート BIST ロジック・コントローラと、

40

前記リモート BIST ロジック・コントローラを、前記試験ロジックの埋め込みブロックに接続するバスとを含み、

前記リモート BIST ロジック・コントローラは、前記試験ロジックの埋め込みブロックのすべてに共通する機能を実行し、

前記リモート BIST ロジック・コントローラおよび前記バスは、前記試験ロジックの埋め込みブロックよりも低い周波数で動作する、

BIST アーキテクチャ。

【請求項 9】

50

前記試験ロジックの埋め込みブロックは各々、前記 B I S T ロジック・コントローラから受信された B I S T 命令の前記周波数を、対応する埋め込みメモリ・アレイのより高い周波数に増大させるためのマルチプライヤを含む、請求項 8 に記載の B I S T アーキテクチャ。

【請求項 10】

前記試験ロジックの埋め込みブロックの各々は、対応する埋め込みメモリ・アレイに特有な独自のロジック・ブロックを含む、請求項 8 に記載の B I S T アーキテクチャ。

【請求項 11】

前記試験ロジックの埋め込みブロックの各々は、
クロック・マルチプライヤと、
冗長割付けロジックと、
データ・アドレス制御生成ロジックと、

10

前記リモート B I S T ロジック・コントローラから受信されたマクロ命令セットを、多数の個々のマイクロ命令に復号化するように適合された復号ロジックとを含む、

請求項 8 に記載の B I S T アーキテクチャ。

【請求項 12】

前記リモート B I S T ロジック・コントローラは、異なるタイプの埋め込みメモリの試験を可能にする、請求項 8 に記載の B I S T アーキテクチャ。

【請求項 13】

前記独立型 B I S T ロジック・コントローラは、読み出し専用メモリ (R O M)、走査可能読み出し専用メモリ (S R O M)、およびマクロ命令セットを格納するように適合されたその他のタイプのメモリのうちの少なくとも 1 つを含む、請求項 8 に記載の B I S T アーキテクチャ。

20

【請求項 14】

前記リモート B I S T ロジック・コントローラは、分岐予測、プログラム・カウンタ管理、ユーティリティ・カウント、ならびに一般 B I S T 操作制御および診断出力を提供するように適合されたロジックを含む、請求項 8 に記載の B I S T アーキテクチャ。

【請求項 15】

集積回路内の機能回路に埋め込まれたメモリ・アレイと共に使用するための組み込み自己試験 (B I S T) アーキテクチャであって、

30

埋め込みメモリ・アレイに組み入れられた複数の試験ロジックの埋め込みブロックと、
前記試験ロジックの埋め込みブロックから分離した、リモート B I S T ロジック・コントローラと、

前記リモート B I S T ロジック・コントローラを、前記試験ロジックの埋め込みブロックに接続するバスとを含み、

前記リモート B I S T ロジック・コントローラおよび前記バスは、前記試験ロジックの埋め込みブロックよりも低い周波数で動作し、

前記リモート B I S T ロジック・コントローラは、分岐予測、プログラム・カウンタ管理、ユーティリティ・カウント、ならびに一般 B I S T 操作制御および診断出力の提供を含む、前記試験ロジックの埋め込みブロックのすべてに共通する機能を実行する、

40

B I S T アーキテクチャ。

【請求項 16】

前記試験ロジックの埋め込みブロックは各々、前記 B I S T ロジック・コントローラから受信された B I S T 命令の前記周波数を、対応する埋め込みメモリ・アレイのより高い周波数に増大させるためのマルチプライヤを含む、請求項 15 に記載の B I S T アーキテクチャ。

【請求項 17】

前記試験ロジックの埋め込みブロックの各々は、対応する埋め込みメモリ・アレイに特有な独自のロジック・ブロックを含む、請求項 15 に記載の B I S T アーキテクチャ。

【請求項 18】

50

前記試験ロジックの埋め込みブロックの各々は、
クロック・マルチプライヤと、
冗長割付けロジックと、
データ・アドレス制御生成ロジックと、

前記リモートBISTロジック・コントローラから受信されたマクロ命令セットを、多数の個々のマイクロ命令に復号化するように適合された復号ロジックとを含む、
請求項15に記載のBISTアーキテクチャ。

【請求項19】

前記リモートBISTロジック・コントローラは、異なるタイプの埋め込みメモリの試験を可能にする、請求項15に記載のBISTアーキテクチャ。

10

【請求項20】

前記独立型BISTロジック・コントローラは、読み出し専用メモリ(ROM)、走査可能読み出し専用メモリ(SROM)、およびマクロ命令セットを格納するように適合されたその他のタイプのメモリのうちの少なくとも1つを含む、請求項15に記載のBISTアーキテクチャ。

【請求項21】

前記リモートBISTロジック・コントローラは、分岐予測、プログラム・カウンタ管理、ユーティリティ・カウンタ、ならびに一般BIST操作制御および診断出力を提供するように適合されたロジックを含む、請求項15に記載のBISTアーキテクチャ。

【請求項22】

集積回路内の機能回路に埋め込まれたメモリ・アレイを、組み込み自己試験(BIST)アーキテクチャを用いて試験する方法であって、

20

各埋め込みメモリ・アレイに組み入れられた試験ロジックの埋め込みブロックに共通なBIST試験機能を、前記試験ロジックの各埋め込みブロックから分離した、リモートBISTロジック・コントローラを用いて実行するステップと、

BIST命令を、前記リモートBISTロジック・コントローラから前記試験ロジックの埋め込みブロックに送信するステップと、

前記BISTロジック・コントローラから受信されたBIST命令の前記周波数を、前記試験ロジックの埋め込みブロックを用いて、対応する埋め込みメモリ・アレイのより高い周波数に増大させるステップとを含む、

30

方法。

【請求項23】

BIST命令を前記リモートBISTロジック・コントローラから前記試験ロジックの埋め込みブロックに送信する前記ステップは、前記リモートBISTロジック・コントローラを前記試験ロジックの埋め込みブロックに接続するバスを用い、前記バスは、前記リモートBISTロジック・コントローラと同じ周波数で動作する、請求項22に記載の方法。

【請求項24】

前記試験ブロックの埋め込みの各々において対応する埋め込みメモリ・アレイに特有なロジック・ブロックを介して独自の試験を実行するステップをさらに含む、請求項22に記載の方法。

40

【請求項25】

前記試験ロジックの埋め込みブロックの各々は、

前記リモートBISTロジック・コントローラから受信されたBIST命令を増倍するステップと、

冗長割付けを実行するステップと、

データアドレス制御および生成を実行するステップと、

前記リモートBISTロジック・コントローラから受信されたマクロ命令セットを、個々の命令に復号化するステップとを含む、

請求項22に記載の方法。

50

【請求項 26】

前記リモート BIST ロジック・コントローラにより実行される前記送信ステップは、異なるタイプの埋め込みメモリの試験を可能にする、請求項 22 に記載の方法。

【請求項 27】

マクロ命令セットを、読み出し専用メモリ (ROM)、走査可能読み出し専用メモリ (SRAM)、および前記リモート BIST ロジック・コントローラ中のその他のタイプのメモリに格納するステップをさらに含む、請求項 22 に記載の方法。

【請求項 28】

前記リモート BIST ロジック・コントローラにより、
分岐予測と、
プログラム・カウンタ管理と、
ユーティリティ・カウントと、
一般 BIST 操作制御および診断出力とを、
提供するステップをさらに含む、請求項 22 に記載の方法。

10

【請求項 29】

集積回路内の機能回路に埋め込まれたメモリ・アレイを、組み込み自己試験 (BIST) アーキテクチャを用いて試験する方法であって、

各埋め込みメモリ・アレイに組み入れられた試験ロジックの埋め込みブロックに共通な BIST 試験機能を、第 1 の周波数で動作するリモート BIST ロジック・コントローラを用いて実行するステップであって、前記リモート BIST ロジック・コントローラは、
前記試験ロジックの埋め込みブロックから分離されているステップと、

20

BIST 命令を、前記リモート BIST ロジック・コントローラから前記試験ロジックの埋め込みブロックに前記第 1 の周波数で送信するステップと、

前記 BIST ロジック・コントローラから受信された BIST 命令の前記周波数を、前記試験ロジックの埋め込みブロックを用いて、前記第 1 の周波数よりも高い第 2 の周波数に増大させるステップとを含む、
方法。

【請求項 30】

BIST 命令を前記リモート BIST ロジック・コントローラから前記試験ロジックの埋め込みブロックに送信する前記ステップは、前記リモート BIST ロジック・コントローラを前記試験ロジックの埋め込みブロックに接続するバスを用いる、請求項 29 に記載の方法。

30

【請求項 31】

前記試験ロジック埋め込みブロックの各々において対応する埋め込みメモリ・アレイに特有なロジック・ブロックを介して独自の試験を実行するステップをさらに含む、請求項 29 に記載の方法。

【請求項 32】

前記試験ロジックの前記埋め込みブロックの各々は、
前記リモート BIST ロジック・コントローラから受信された BIST 命令を増倍するステップと、

40

冗長割付けを実行するステップと、

データ・アドレス制御および生成を実行するステップと、

前記リモート BIST ロジック・コントローラから受信されたマクロ命令セットを、個々の命令に復号化するステップとを含む、

請求項 29 に記載の方法。

【請求項 33】

前記リモート BIST ロジック・コントローラにより実行される前記送信ステップは、異なるタイプの埋め込みメモリの試験を可能にする、請求項 29 に記載の方法。

【請求項 34】

マクロ命令セットを、読み出し専用メモリ (ROM)、走査可能読み出し専用メモリ (

50

S R O M)、および前記リモート B I S T ロジック・コントローラ中のその他のタイプのメモリに格納するステップをさらに含む、請求項 29 に記載の方法。

【請求項 35】

前記リモート B I S T ロジック・コントローラにより、
分岐予測と、
プログラム・カウンタ管理と、
ユーティリティ・カウントと、
一般 B I S T 操作制御および診断出力とを提供するステップをさらに含む、
請求項 29 に記載の方法。

【発明の詳細な説明】

10

【技術分野】

【0001】

本発明は、B I S T アーキテクチャに関し、より具体的には、B I S T 機能をリモート低速実行可能命令およびローカル高速実行可能命令にセグメント化する埋め込みメモリ・アレイのためのアーキテクチャに関する。

【背景技術】

【0002】

埋め込みメモリのサイズの増大に伴い、総 B I S T 試験時間も増大し、それゆえ、試験の健全性 (i n t e g r i t y) および診断分解能を維持しつつ試験時間を低減する新規な方式が重要である。

20

【0003】

現在および将来のデザインにおいて、メモリ・アレイを分離しダイ (d i e) 全体にわたって分布させ、メモリ・アレイを、それらが関連付けられた機能ユニットの近くに配置する必要がある。B I S T を各メモリ・アレイと関連付けることは、チップ上の面積をかなりの量消費することになるであろう。上述の傾向からして、試験のための著しい追加時間なしですべてのメモリを試験できる単一 B I S T に備えるアーキテクチャが有利であろう。

【発明の開示】

【発明が解決しようとする課題】

【0004】

30

埋め込みメモリの性能および複雑さが増大し続けるにつれ、アプリケーション速度での B I S T 試験もより重要になり、それゆえ、依然として B I S T の柔軟性を維持しかつデザイン・スケジュールおよびチップ上の面積の影響を最小にしつつ、向上された B I S T 性能をサポートする新規な方式が重要である。広範なメモリのタイプおよびサイズを、多くの異なる性能ポイントで試験できる単一 B I S T を可能にするアーキテクチャが有利であろう。

【課題を解決するための手段】

【0005】

組み込み自己試験 (B I S T : b u i l t - i n s e l f t e s t) 機能をリモート低速実行可能命令およびローカル高速実行可能命令にセグメント化する埋め込みメモリ・アレイのためのハイブリッド B I S T アーキテクチャが開示される。独立型 B I S T ロジック・コントローラは、より低い周波数で動作し、B I S T 命令セットを用いて複数の埋め込みメモリ・アレイと通信する。高速試験ロジックのブロックは、試験中の各埋め込みメモリ・アレイに組み込まれ、この高速試験ロジックは、独立型 B I S T ロジック・コントローラから受信された B I S T 命令をより高い周波数で局所的に処理する。高速試験ロジックは、B I S T 命令の処理周波数を増大させるためのクロック・マルチプライヤ (m u l t i p l i e r) および B I S T 命令をより低い周波数からより高い周波数に変換するための命令マルチプライヤとして働くロジックを含み得る。独立型 B I S T ロジック・コントローラは、複数の埋め込みメモリ・アレイにおける複数の高速試験ロジック構造を可能にする。

40

50

【0006】

従って、本発明は、より低い周波数で動作するリモートBISTロジック・コントローラを用いて各埋め込みメモリ・アレイに組み込まれた試験ロジックの埋め込みブロックに共通なBIST試験機能を実行する。本発明は、BIST命令を、リモートBISTロジック・コントローラから、試験ロジックの埋め込みブロックに第1の周波数で送信し、試験ロジックの埋め込みブロックを用いて、BISTロジック・コントローラから受信されたBIST命令の周波数を増大させる。本発明は、(対応する埋め込みメモリ・アレイに特有な)試験ロジックの埋め込みブロックを介して独自の試験を実行する。より具体的には、試験ロジックの埋め込みブロックの各々は、マクロ命令セットを多数の個々のマイクロ命令に復号化することによりリモートBISTロジック・コントローラから受信されたBIST命令の増倍(乗算)を実行し、冗長割付けを実行し、復号化された多数の個々のマイクロ命令に基づいてデータ/アドレス/制御生成を実行するための特別なロジックを含む。

10

【0007】

リモートBISTロジック・コントローラは、種々のタイプの埋め込みメモリの試験を可能にする。マクロ命令セットは、リモートBISTロジック・コントローラ中の読み出し専用メモリ(ROM)に格納される。リモートBISTロジック・コントローラは、分岐予測、プログラム・カウンタ管理、ユーティリティ・カウンタ(計数)、ならびに一般BIST操作制御および診断出力を提供する。

【0008】

言い換えれば、本発明は、集積回路内の機能回路に埋め込まれたメモリ・アレイと共に使用するための組み込み自己試験(BIST)アーキテクチャを含む。試験ロジックの複数の埋め込みブロックは、埋め込みメモリ・アレイに組み入れられ、リモートBISTロジック・コントローラが、試験ロジックの埋め込みブロックから分離して設けられる。バスが、リモートBISTロジック・コントローラを、試験ロジックの埋め込みブロックに接続する。リモートBISTロジック・コントローラおよびバスは、試験ロジックの埋め込みブロックよりも低い周波数で動作する。

20

【0009】

リモートBISTロジック・コントローラは、分岐予測、プログラム・カウンタ管理、ユーティリティ・カウンタ、ならびに一般BIST操作制御および診断出力を含む、試験ロジックの埋め込みブロックのすべてに共通な機能を実行する。従って、リモートBISTロジック・コントローラは、分岐予測、プログラム・カウンタ管理、ユーティリティ・カウンタ、一般BIST操作管理、および診断出力を提供するように適合されたロジックを含む。これに対して、試験ロジックの埋め込みブロックは各々、BISTロジック・コントローラから受信されたBIST命令の周波数を、埋め込みメモリ・アレイが動作する速度に対応するより高い周波数に増倍させるためのロジックを含む。また、試験ロジックの埋め込みブロックの各々は、対応する埋め込みメモリ・アレイに対し特有な独自の試験ロジック・ブロックを含む。より具体的には、試験ロジックの埋め込みブロックの各々は、クロック・マルチプライヤ、冗長割付けロジック、データ/アドレス/制御生成ロジック、およびリモートBISTロジック・コントローラから受信されたマクロ命令セットを多数の個々のマイクロ命令に復号化するように適合された復号化ロジックを含む。

30

40

【0010】

リモートBISTアーキテクチャは、1つのBISTが、低周波数で実行される複合マクロ命令のセットを介して一連の埋め込みメモリと相互作用することを可能にする。各埋め込みメモリ・マクロは、埋め込みメモリ・アレイを高速で正しく刺激(stimulate)するための高速マイクロ命令を生成する高速試験ロジックのローカル・ブロックを有する。このアーキテクチャは、最小幅の単純な低速バスが、リモートBISTと埋め込みメモリ・マクロとの間の通信を可能にできるようにする。また、このアーキテクチャは、多数の埋め込みメモリ・マクロの柔軟で高速な試験に同時に備える。

【0011】

50

本発明のこれらの側面および目的、ならびにその他の側面および目的は、以下の説明および添付図面と共に検討された場合に、いっそうよく認識および理解される。しかしながら、以下の説明は、本発明の好ましい実施形態および本発明の多くの具体的な詳細を示すと同時に、限定の目的ではなく例示の目的で与えられたものであることが理解されるべきである。多くの変更および修正が、本発明の精神を逸脱することなく本発明の範囲内で行うことができ、本発明はすべてのそのような修正を含む。

【発明を実施するための最良の形態】

【0012】

本発明は、図面に関連した以下の詳細な説明からよりいっそう理解される。

【0013】

本発明ならびに本発明の様々な特徴および有利な詳細は、添付図面において例示され、以下の説明において詳述される非限定的な実施形態に関連してより完全に説明される。図面中に例示される特徴が必ずしも縮尺通りに描かれているわけではないことに留意されたい。本発明を不必要に曖昧にしないように、周知の構成要素および処理手法の説明は省略される。本明細書中で用いられる例は、本発明の実施のされ方の理解を容易にすること、さらに当業者が本発明を実施できるようにすることをもっぱら意図している。従って、これらの例は、本発明の範囲を限定するものとして解釈されるべきではない。

【0014】

以下でより詳細に示されるように、本発明は、複数の埋め込みメモリを試験するためのリモート組み込み自己試験デバイスを提供し、それによってBISTは、低周波数で動作し、マクロ命令セットを介して多数のDRAMと通信し、マクロ命令セットは次にローカル高速マイクロ命令に変換される。各DRAMに埋め込まれたローカル・ブロックは、クロック・マルチプライヤ、データ/アドレス/制御生成回路、およびネイティブ(高速)DRAM周波数で動作する冗長割付け回路を含み、それによって、低周波数マクロ命令が、さらに復号化され、増倍され、DRAMマクロを直接刺激するために使用される。

【0015】

従って、本発明は、1つのアーキテクチャを提供し、それによって、リモートBISTエンジンが、低速制御バスを介した多数の、ことによると異なるタイプの埋め込みメモリ(DRAM、SRAM、CAM等)の高速試験を可能にする。例えば、図1は、リモートBISTアーキテクチャの1つの非限定的な特定の実施例を示す。当業者は、図1が単に本発明を例示している例にすぎないこと、および本発明がどのような数の各種の同様な実施形態においても実施できるであろうことを理解するであろう。従って、本発明は、図1に例示される例に限定されない。

【0016】

図1において、単一リモートBISTマスタ・エンジン110が、バス120を介して試験ロジック116の多くの埋め込みブロックと通信している。DRAM0-DRAMn(111-113)のような埋め込みメモリ・マクロの各々は、試験ロジック116の埋め込みブロックおよびクロック・マルチプライヤ118(これは、図1に示されるように試験ロジックのブロック116から分離したり、試験ロジックのブロック116と統合させたり、またはDRAMマクロ111-113から物理的に隔てかつそれらのDRAMマクロ間で共有させることができる)を有している。アイテム122は、BISTロジック・コントローラ110および試験ロジック116の埋め込みブロック(および/または、マルチプライヤ118)に供給されるシステム・クロックを表す。

【0017】

リモートBISTエンジン110は、(各DRAMマクロ111-113に含まれるローカル命令復号ロジック/RALロジック116よりN倍遅い)低周波数で動作する。図1に示される例では、Nは4である。BISTロジック・コントローラ110は、BIST試験パターン・ストレージ用のROM/SROM124を含んでいる(SROMは、オフチップ試験装置および/またはテストからの新しい試験パターンを再ロード可能である)。他のメモリ・タイプをパターン・ストレージに用い得る。BISTロジック・コント

10

20

30

40

50

ローラ110は、分岐予測/プログラム・カウンタ管理、ユーティリティ・カウンタに必要なロジック、ならびに一般BIST操作制御および診断出力を扱うロジックも含む。分岐予測/プログラム・カウンタ管理に必要なロジックは、BIST試験パターンがどのように実行されるかを制御する。このロジックは実際には、BIST試験パターン命令の一部分の復号(デコード)およびすべての関連した分岐条件(典型的には、ユーティリティ・カウンタ状態ならびに他の試験ロジックおよび/またはテストからの入力に関する)の検査に基づいてROM/SROM124のアドレス・ポインタを調整する。ユーティリティ・カウンタに用いられるロジックは、プログラムされたカウンタが得られるまでBISTロジック・コントローラ110が命令を何回か実行できるようにするいくつかのプログラマブル・カウンタから成る。一般BISTロジック・コントローラ110操作制御および診断出力のために用いられるロジックは、BIST110がテストおよび他のオンチップ試験マクロと相互作用できるようにする。このロジックは、BISTロジック・コントローラ110を実行中にイネーブル/ディスエーブルさもなければ休止し、ビット・フェイル・マッピングを制御し、現在のBIST状態の観測を可能にし、SROM124BISTパターン命令を再プログラムし、試験ロジック116の埋め込みブロックにおける試験モード(または他の設定)(および/またはクロック・マルチプライヤ118ならびにDRAMマクロ111-113)を変更することができる。このロジックは、ROM/SROM124と共に、すべてのDRAMマクロ試験に共通な部分である。BIST試験エンジン110を含むロジックの約75%は、このリモート部分に含まれるであろう。

10

20

【0018】

クロック・マルチプライヤ回路118は、ローカル命令復号ロジックが、必要に応じてxの増倍された周波数で、すなわち高速でDRAM111-113と共に動作できるようにする。ローカル復号ロジック116は、冗長割付けロジック、データ/アドレス/制御生成ロジック、および復号化を制御するための設定(例えば、リモートBISTマクロ・コマンドを、ローカル・アドレス・カウンタおよびデータ発生器を制御し高速でアレイ制御を生成するN個の個々のマイクロ命令に復号化する設定)を含む。

【0019】

ローカル復号ロジック116の一部分は、リモートBISTロジック・コントローラ110からの単一マクロ命令を適切に復号化および増倍してN個の個々のマイクロ命令を生成するために、局所的に格納された試験モード/設定を用いる。単一マイクロ命令は、普通に設計されたローカル復号ロジック116が特定の埋め込みメモリに合わせて調整されたマイクロ命令を生成できるように、局所的に格納された設定により修正されたやり方で復号化される。次にローカル復号ロジック116のこの部分のマイクロ命令出力は、ローカル復号ロジック116のデータ/アドレス/制御生成部分を制御する。マイクロ命令は、アドレス・カウンタ・ロジックが増分/減分(インクリメント/デクリメント)してアドレスを生成するシーケンスを決定し、様々なデータタイプを生成するデータ・パターン・ロジックを修正し、埋め込みアレイのための制御(読み取り、書き込み、リフレッシュ、マッチング等)を生成する埋め込みマクロ制御ロジックを更新する。生成されるアドレス/データ/制御は次に、試験中の埋め込みアレイに刺激として適用される。ローカル復号ロジック116の冗長割付けロジック部分は、予想されるデータを、埋め込みメモリDRAM111-113から現在読み取られているものと比較する。ローカル復号ロジック116のデータ/アドレス/制御生成部分からの刺激が、データと予想されるデータとの間の不一致または失敗という結果になる場合、冗長割付けロジックは、その失敗を補償するために冗長の要素(redundant element)を割り当てる。このローカル復号ロジック116は、ローカル設定を介してソフトウェアにおいて、または物理的変更を介してハードウェアにおいて修正され得ることが注目されるべきである。これらの変更は、ローカル復号ロジック116が、試験中のメモリのサイズおよびタイプを適合させることを可能にし、すなわち同じリモートBISTロジック・コントローラ110は、特定の埋め込みメモリ・タイプ(DRAM、CAM、SRAM等)サイズまたは周波数を適切に刺激するために修正された多数のローカル復号ロジック・ブロック116を制御できる。

30

40

50

【0020】

試験ロジック116のローカル部分(BISTアーキテクチャとは無関係に様々な方法で実施できる冗長割付けロジックは含めない)は、試験ロジックの残り25%を含む。従って、本発明は、埋め込みメモリの各々に含まれるBIST回路の量を実質的に減少させ、それによってスペースを節減し、BIST速度を実質的に増大させる。周波数xの1つのBISTマクロ・コマンドは、周波数NxのN個のレイ・コマンド、または周波数xの1つの試験モード・セット・コマンドを生成する。従って、本発明は、多数の操作を多数のアドレスにより高い周波数で適用する初期コマンドをより低い周波数で生成することができ、あるいは試験のモードを制御または他の設定を変更する単一コマンドを単に送信することができる。

10

【0021】

本発明は、BISTが内部で1つの命令を高速で生成および復号化し、次いで復号化された単一命令に従ってDRAMを試験する従来のものとは、根本的に異なる。本発明は、機能の分離を可能にし、それによって共通部分は低周波で遠隔的に処理され、各マクロに特有な部分はDRAMの高速で処理され、1つの低速命令が多数の高速DRAM試験を生成する。従来はBIST-DRAM接続は所望の試験速度で動作することを余儀なくされたのに対して、リモートBISTロジック・コントローラ110と試験ロジック116の埋め込みブロックとの間のすべての接続120は低速度で動作する。

【0022】

図2は、流れ図の形で本発明を例示しているが、処理ステップは、図2に示される順序に必ずしも束縛されるわけではない。代わりに、当業者により理解されるように、図2に示される処理を再配列することおよび/またはステップのいくつかを同時におよび/または連続的に実行できるであろう。より具体的には、本発明は、より低い周波数で動作するリモートBISTロジック・コントローラを用いて、各埋め込みメモリ・レイに組み入れられた試験ロジックの埋め込みブロックに共通なBIST試験機能を実行する(200)。本発明は、リモートBISTロジック・コントローラから試験ロジックの埋め込みブロックにBIST命令を第1の周波数で送信し(202)、BISTロジック・コントローラから受信されたBIST命令の周波数を、試験ロジックの埋め込みブロックを用いて増大させる(204)。本発明は、試験ロジックの埋め込みブロック(これらは、対応する埋め込みメモリ・レイに対し特有である)を介して独自の試験を実行する(206)。より具体的には、試験ロジックの埋め込みブロックの各々は、マクロ命令セットを多数の個々のマイクロ命令に復号化することによってリモートBISTロジック・コントローラから受信されたBIST命令の増倍を実行し、冗長割当てを実行し、復号化された多数の個々のマイクロ命令に基づいてデータ/アドレス/制御生成を実行する(208)ための特別なロジックを含む。

20

30

【0023】

リモートBISTロジック・コントローラ110は、種々のタイプの埋め込みメモリ111-113の試験を可能にする。マクロ命令セットは、リモートBISTロジック・コントローラ110中の読み出し専用メモリ(ROM)124に格納される。リモートBISTロジック・コントローラ110は、分岐予測、プログラム・カウンタ管理、ユーティリティ・カウンタ、ならびに一般BIST操作制御および診断出力を提供する。

40

【0024】

言い換えれば、本発明は、集積回路(図1)内の機能回路に埋め込まれたメモリ・レイ111-113と共に用いるための組み込み自己試験(BIST)アーキテクチャ(例えば、図1)を含む。複数の試験ロジック116の埋め込みブロックが埋め込みメモリ・レイに組み込まれ、リモートBISTロジック・コントローラ110が、試験ロジック116の埋め込みブロックから分離して提供される。バス120が、リモートBISTロジック・コントローラ110を試験ロジック116の埋め込みブロックに接続する。リモートBISTロジック・コントローラ110およびバス120は、試験ロジック116の埋め込みブロックよりも低い周波数で動作する。

50

【0025】

リモートBISTロジック・コントローラ110は、分岐予測、プログラム・カウンタ管理、ユーティリティ・カウント、ならびに一般BIST操作制御および診断出力の提供を含む試験ロジック116の埋め込みブロックのすべてに共通な機能を実行する。従って、リモートBISTロジック・コントローラ110は、分岐予測、プログラム・カウンタ管理、ユーティリティ・カウント、ならびに一般BIST操作管理および診断出力を提供するように適合されたロジックを含む。これに対して、試験ロジック116の埋め込みブロックは各々、BISTロジック・コントローラ110から受信されたBIST命令の周波数を、対応する埋め込みメモリ・アレイ111-113のより高い周波数に増大させるためのマルチプライヤ118を含む。また、試験ロジック116の埋め込みブロックの各々は、対応する埋め込みメモリ・アレイに特有な独自の試験ロジック116のブロックを含む。より具体的には、試験ロジック116の埋め込みブロックの各々は、クロック・マルチプライヤ、冗長割付けロジック、データ・アドレス制御生成ロジック、およびリモートBISTロジック・コントローラ110から受信されたマクロ命令セットを多数の個々のマイクロ命令に復号化するように適合された復号ロジックを含む。

10

【0026】

上記で示されるように、リモートBISTアーキテクチャは、1つのBISTが、低周波数で動作する複合マクロ命令のセットを介して一連のDRAMと相互作用することを可能にする。各DRAMマクロ111-113は、DRAMアレイを高速で正しく刺激するための高速マイクロ命令を生成する高速試験ロジック116のローカル・ブロックを有する。このアーキテクチャは、最小幅（例えば、この特定の実施例においては48ビット未満）の単純な低速バスが、リモートBISTとDRAMマクロ111-113との間の通信を可能にできるようにする。また、このアーキテクチャは、多数のDRAMマクロ111-113の同時の柔軟な高速試験に備える。

20

【0027】

最も重要なことであるが、この単一リモートBISTブロック110は、ハードウェアまたはソフトウェアを介してローカル復号ロジック116をカスタマイズすることにより各種のメモリ・タイプ/サイズ/周波数を試験できる。加えて、この単一リモートBISTブロックは、単一マクロの試験について必要なBIST面積の最大の部分を占める。従って、このアーキテクチャは、リモートBISTブロック110と試験中の各マクロとの間の通信バス・オーバーヘッドを（速度およびバス幅双方において）引き続き最小限にすると同時に、チップ上の面積への試験ロジックの影響を最小限にする。このアーキテクチャは、完全にプログラム可能なBISTエンジンにより提供される使いやすさを、生成された命令を試験時のメモリの動作周波数まで増倍させるローカル・ロジック・ブロック116と組み合わせることにより、高速での十分な試験柔軟性も可能にする。

30

【0028】

従って、上記で示されるように、リモートBISTブロック110が包括的なメモリ・ロード/アンロード・コマンドを生成する一方で、ローカルBISTロジック116は、これらのコマンドを、特定のメモリ・アーキテクチャ（SRAM/DRAM/CAM）にマッピングする。リモートBISTは、ローカルBISTから物理的に分離されており、多くの異なるメモリ・タイプ/サイズ/周波数等の試験を並列で可能にするために多くの異なるカスタマイズされたローカルBISTと共に動作するように設計される。ローカルBISTの増倍係数は、ソフトウェアにより調整できる。このアーキテクチャは、リモートBISTの作用により完全に制御される。なぜならば、ローカルBISTは、リモートBISTにより供給された命令を単に復号化し増倍させるからである。さらに、本発明のアーキテクチャは、多数のローカルBISTブロックが、それらの独自に修正された復号化プロセスおよび包括的に供給されたリモートBIST命令の増倍を実行する時に、並列で動作することを可能にする。

40

【0029】

本発明を好ましい実施形態の観点から説明してきたが、本発明は添付の特許請求の範囲

50

の精神および範囲内の修正で実施できることが当業者には認識されるであろう。

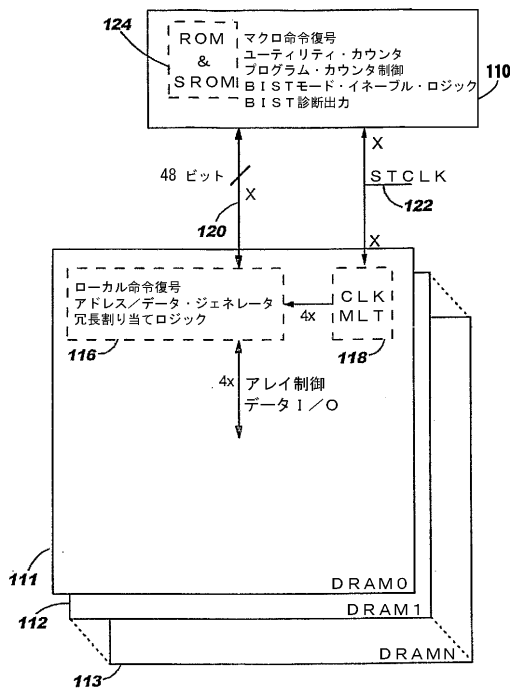
【図面の簡単な説明】

【0030】

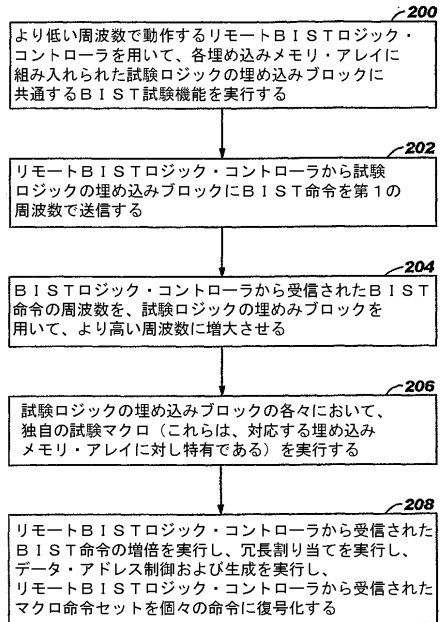
【図1】本発明の1つの実施形態の概略図である。

【図2】本発明の好ましい方法を例示する流れ図である。

【図1】



【図2】



【 国際調査報告 】

60700290043



INTERNATIONAL SEARCH REPORT

International application No.

PCT/US05/02084

A. CLASSIFICATION OF SUBJECT MATTER IPC: G01R 31/28(2007.01) USPC: 714/733 According to International Patent Classification (IPC) or to both national classification and IPC																
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) U.S. : 714/733, 719 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) EAST																
C. DOCUMENTS CONSIDERED TO BE RELEVANT																
<table border="1"> <thead> <tr> <th>Category *</th> <th>Citation of document, with indication, where appropriate, of the relevant passages</th> <th>Relevant to claim No.</th> </tr> </thead> <tbody> <tr> <td>X</td> <td>US 6,343,366 B1 (OKITAKA) 29 January 2002 (29.01.2002), see entire document.</td> <td>1-6, 8-13</td> </tr> <tr> <td>Y</td> <td></td> <td>7, 14-35</td> </tr> <tr> <td>Y</td> <td>US 2002/0170003 A1 (HIRABAYASHI) 14 November 2002 (14.11.2002), see entire document.</td> <td>7, 14-35</td> </tr> <tr> <td>Y</td> <td>US 5,961,634 A (TRAN) 05 October 1999 (05.10.1999), see entire document.</td> <td>7, 14-35</td> </tr> </tbody> </table>	Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.	X	US 6,343,366 B1 (OKITAKA) 29 January 2002 (29.01.2002), see entire document.	1-6, 8-13	Y		7, 14-35	Y	US 2002/0170003 A1 (HIRABAYASHI) 14 November 2002 (14.11.2002), see entire document.	7, 14-35	Y	US 5,961,634 A (TRAN) 05 October 1999 (05.10.1999), see entire document.	7, 14-35	
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.														
X	US 6,343,366 B1 (OKITAKA) 29 January 2002 (29.01.2002), see entire document.	1-6, 8-13														
Y		7, 14-35														
Y	US 2002/0170003 A1 (HIRABAYASHI) 14 November 2002 (14.11.2002), see entire document.	7, 14-35														
Y	US 5,961,634 A (TRAN) 05 October 1999 (05.10.1999), see entire document.	7, 14-35														
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.																
* Special categories of cited documents:																
"A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family															
Date of the actual completion of the international search 30 October 2006 (30.10.2006)	Date of mailing of the international search report 05 JAN 2007															
Name and mailing address of the ISA/US Mail Stop PCT, Attn: ISA/US Commissioner for Patents P.O. Box 1450 Alexandria, Virginia 22313-1450 Facsimile No. (571) 273-3201	Authorized officer <i>for Michelle R. Evans</i> Vincent Trans Telephone No. (571)272-3613															

Form PCT/ISA/210 (second sheet) (April 2005)

15. 5. 2007

フロントページの続き

(81)指定国 AP(BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW

(74)代理人 100086243

弁理士 坂口 博

(72)発明者 ドレイベルピス、ジェフリー、エイチ

アメリカ合衆国 0 5 4 9 5 バーモント州 ウィリントン ベアタウン・レーン 2 2 3

(72)発明者 ゴーマン、ケビン、ダブリュ

アメリカ合衆国 0 5 4 6 8 バーモント州 ミルトン イースト・ロード 3 7 6

(72)発明者 ニルムス、マイケル、アール

アメリカ合衆国 0 5 4 9 5 バーモント州 ウィリントン シダー・レーン 2 3 5

Fターム(参考) 2G132 AA08 AK07 AK29 AL00 AL09

5L106 AA01 DD01 DD06 DD11 GG01

5M024 AA71 BB30 BB40 GG20 KK35 MM02 MM04 MM05 MM10 PP10