(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2019-0116741
(43) 공개일자 2019년10월15일

(51) 국제특허분류(Int. Cl.)
H01L 29/792 (2006.01)
(52) CPC특허분류
H01L 29/792 (2013.01)
G06N 3/063 (2013.01)
(21) 출원번호 10-2018-0039725
(22) 출원일자 2018년04월05일
심사청구일자 2018년04월05일

(71) 출원인
서강대학교산학협력단
서울특별시 마포구 백범로 35 (신수동, 서강대학교)
(72) 발명자
최우영
서울특별시 마포구 신수로 15, 102동 403호(현석동, 강변힐스테이트)
(74) 대리인
정부연

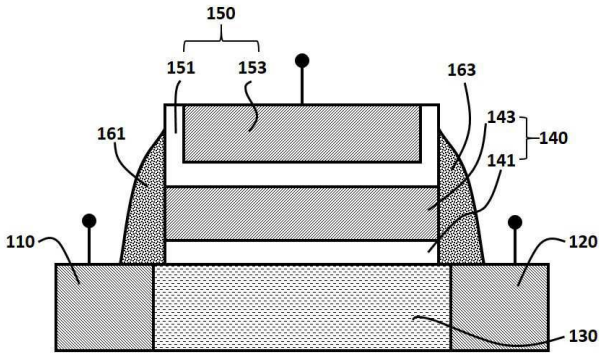
전체 청구항 수 : 총 14 항

(54) 발명의 명칭 **MOSFET 시냅스 소자와 그의 동작방법**

(57) 요 약

본 발명은 MOSFET 시냅스 소자 및 그의 동작 방법에 관한 것으로, 본 발명의 일 실시예에 따른 MOSFET 시냅스 소자는 제1 도전형을 갖는 활성 영역, 상기 활성 영역을 사이에 두고 이격되어 배치되고, 상기 제1 도전형과 반대인 제2 도전형을 갖는 소스 영역 및 드레인 영역, 상기 활성 영역 상에 배치된 장기 저장부, 상기 장기 저장부 상에 배치된 게이트 구조물 및 각각은 상기 소스 영역 및 상기 드레인 영역을 상기 장기 저장부와 연결하고, 상기 소스 영역 또는 상기 드레인 영역으로부터 전하를 제공받아 트랩 사이트가 포화되었을 때, 상기 장기 저장부에 전하를 제공하는 제1 및 제2 단기 저장부들을 포함한다.

대 표 도 - 도1



(52) CPC특허분류
H01L 29/66833 (2013.01)

이 발명을 지원한 국가연구개발사업
과제고유번호 201741021
부처명 산업통상자원부
연구관리전문기관 한국산업기술평가관리원
연구사업명 산업기술혁신사업(RCMS)
연구과제명 초저전력 로직응용을 위한 SiGe 다중 적층 채널 GAA TFET 개발
기 여 율 0.5/1
주관기관 아주대학교산학협력단
연구기간 2017.07.01 ~ 2018.03.31
이 발명을 지원한 국가연구개발사업
과제고유번호 201741018
부처명 산업통상자원부
연구관리전문기관 한국산업기술평가관리원
연구사업명 산업기술혁신사업(RCMS)
연구과제명 0.7 V 이하 저전압 구동을 위한 Post-CMOS 미래 반도체소자 원천기술 개발
기 여 율 0.5/1
주관기관 서강대학교산학협력단
연구기간 2017.06.01 ~ 2018.05.31

명 세 서

청구범위

청구항 1

제1 도전형을 갖는 활성 영역;

상기 활성 영역을 사이에 두고 이격되어 배치되고, 상기 제1 도전형과 반대인 제2 도전형을 갖는 소스 영역 및 드레인 영역;

상기 활성 영역 상에 배치된 장기 저장부;

상기 장기 저장부 상에 배치된 게이트 구조물; 및

각각은 상기 소스 영역 및 상기 드레인 영역을 상기 장기 저장부와 연결하고, 상기 소스 영역 또는 상기 드레인 영역으로부터 전하를 제공받아 트랩 사이트가 포화되었을 때, 상기 장기 저장부에 전하를 제공하는 제1 및 제2 단기 저장부들을 포함하는 MOSFET 시냅스 소자.

청구항 2

제1항에 있어서,

상기 장기 저장부 및 상기 게이트 구조물은 상기 활성 영역의 일부 영역들을 노출하고,

상기 제1 및 제2 단기 저장부들은 각각 상기 노출된 활성 영역의 일부 영역들 상에 배치되는 것을 특징으로 하는 MOSFET 시냅스 소자.

청구항 3

제1항에 있어서,

상기 제1 및 제2 단기 저장부들은 다수의 트랩 사이트를 갖는 물질인 것을 특징으로 하는 MOSFET 시냅스 소자.

청구항 4

제3항에 있어서,

상기 제1 및 제2 단기 저장부들은 비정질 실리콘 질화물, Si rich 실리콘 질화물 또는 고유전율 금속 산화물인 것을 특징으로 하는 MOSFET 시냅스 소자.

청구항 5

제4항에 있어서,

상기 제1 및 제2 단기 저장부는 퀀텀닷, 금속 나노입자 또는 이들의 혼합물을 더 포함하는 것을 특징으로 하는 MOSFET 시냅스 소자.

청구항 6

제1항에 있어서,

상기 장기 저장부는 하부 절연막 및 전하 저장층을 포함하고,

상기 하부 절연막은 상기 활성 영역으로부터 상기 전하 저장층으로 전하의 이동을 차단하는 것을 특징으로 하는 MOSFET 시냅스 소자.

청구항 7

제6항에 있어서,

상기 전하 저장층은 전도성 물질을 포함하는 것을 특징으로 하는 MOSFET 시냅스 소자.

청구항 8

제6항에 있어서,

상기 전하 저장층은 다수의 트랩 사이트를 갖는 유전체를 포함하고,

상기 유전체의 전도대 최소 에너지 준위는 상기 제1 및 제2 단기 저장부들을 구성하는 물질의 전도대 최소 에너지 준위보다 낮고,

상기 유전체의 가전자대 최고 에너지 준위는 상기 제1 및 제2 단기 저장부들을 구성하는 물질의 가전자대 최고 에너지 준위보다 높은 것을 특징으로 하는 MOSFET 시냅스 소자.

청구항 9

제6항에 있어서,

상기 하부 절연막은 고유전율 절연 물질을 포함하거나, 서로 다른 유전율을 갖는 절연 물질들이 적층된 구조를 갖는 것을 특징으로 하는 MOSFET 시냅스 소자.

청구항 10

소스 영역, 드레인 영역, 활성 영역, 상기 활성 영역 상에 배치된 장기 저장부, 상기 장기 저장부 상에 형성된 게이트 구조물 및 각각은 상기 소스 및 상기 드레인을 상기 장기 저장부와 연결하는 제1 및 제2 단기 저장부들을 포함하는 MOSFET 시냅스 소자의 동작방법에 있어서,

상기 게이트 구조물에 제1 전압을 인가하고, 상기 드레인 영역에 제2 전압을 인가하여 상기 제1 및 제2 단기 저장부들에 전하를 제공하는 단기 정보 저장 단계; 및

상기 게이트 구조물에 제3 전압을 인가하고, 상기 드레인 영역에 제4 전압을 인가하여 상기 장기 저장부에 전하를 제공하는 장기 정보 저장 단계를 포함하는 MOSFET 시냅스 소자의 동작 방법.

청구항 11

제10항에 있어서,

상기 활성 영역이 p형 도전형을 가질 때,

상기 제1 전압 및 제3 전압은 음의 값을, 상기 제2 전압 및 제4 전압은 양의 값을 가지고,

상기 활성 영역이 n형 도전형을 가질 때,

상기 제1 전압 및 제3 전압은 양의 값을, 상기 제2 전압 및 제4 전압은 음의 값을 가지는 것을 특징으로 하는 MOSFET 시냅스 소자의 동작 방법.

청구항 12

제10항에 있어서,

상기 활성 영역이 p형 도전형을 가질 때,

상기 제1 전압, 제2 전압, 제3 전압 및 제4 전압은 양의 값을 가지고,

상기 활성 영역이 n형 도전형을 가질 때,

상기 제1 전압, 제2 전압, 제3 전압 및 제4 전압은 음의 값을 가지는 것을 특징으로 하는 MOSFET 시냅스 소자의 동작 방법.

청구항 13

제10항에 있어서,

상기 제3 전압 및 상기 제4 전압은 상기 제1 또는 제2 단기 저장부의 트랩 사이트들을 전하로 포화시키기 위한 인가 지속 시간 또는 크기를 갖는 것을 특징으로 하는 MOSFET 시냅스 소자의 동작 방법.

청구항 14

제10항에 있어서,

상기 제3 전압 및 상기 제4 전압은 제2 단기 저장부에 저장된 전하가 소멸되는 시간 간격보다 짧은 시간 간격으로 펄스 전압을 반복적으로 인가하는 것을 특징으로 하는 MOSFET 시냅스 소자의 동작 방법.

발명의 설명

기 술 분 야

[0001] 본 발명은 MOSFET 시냅스 소자 및 그의 동작방법에 관한 것으로, 보다 상세하게는, 시냅스의 STDP(Spiking-timing-dependent plasticity) 동작을 구현할 수 있는 MOSFET 시냅스 소자 및 그의 동작방법에 관한 것이다.

배 경 기 술

[0003] 인공지능 기술은 소프트웨어 기반의 인공지능 기술과 하드웨어 기반의 인공지능 기술로 분류할 수 있다. 소프트웨어 기반의 인공지능 기술은 응용에 따라 상용화에 근접하거나 완료되었으나, 기존 폰 노이만 방식의 하드웨어를 유지하는 경우, 막대한 전력을 소모하여 클라우드 방식으로 제공되어야 하는 한계가 있다. 따라서 인터넷 환경에 따라 속도가 느려지며, 실시간 학습이 필요하고 저전력 동작을 필요로 하는 휴대용 전자기기, 사물인터넷, 자율주행 자동차 등의 분야에는 적용이 어렵다.

[0004] 이에 반하여 하드웨어 기반의 인공지능 기술은 생물체의 신경계인 시냅스(synapse), 뉴런(neuron) 및 액손(axon)의 기능을 반도체 기술 등을 적용하여 하드웨어로 모방하는 새로운 기술이다. 따라서 초저전력, 고신뢰성 및 초소형의 휴대용 인공지능 기기의 구현이 가능할 것으로 예상된다. 그러나 하드웨어 기반의 인공지능 기술 연구는 본격적인 연구가 시작된 지 얼마 되지 않아 초보적인 수준에 머물러 있다.

[0005] 한국 공개특허공보 제10-2015-00479303 (2015.05.06.)호는 3단자 시냅스 소자 및 그 동작방법에 관한 것으로, 3단자 시냅스 소자는 기판 상에 형성된 드레인층과, 상기 드레인층 상에 구비된 게이트층과, 상기 기판 상에 수직으로 적층되고, 상기 드레인층 및 게이트층과 대향하는 소스층과, 상기 드레인층 및 상기 게이트층과 상기 소스층 사이에 구비되고, 서로 다른 이온 이동도를 갖는 제1 및 제2 수직 절연층을 포함한다. 상기 제1 및 제2 수직 절연층은 상기 드레인층 및 상기 게이트층의 측면을 덮을 수 있다. 상기 제2 수직 절연층의 이온 이동도는 상기 제1 수직 절연층의 이온 이동도보다 클 수 있다.

[0006] 한국 공개특허공보 제10-2014-0032186 (2014.03.14.)호는 생체 모방 계산 시스템 구현에 핵심 소자로 사용되는

반도체 소자 및 그 동작방법에 관한 것으로, 주변과 전기적으로 고립되어 단기기억 수단으로 형성된 반도체 소자의 플로팅 바디에 소스, 드레인 및 게이트가 형성되지 않은 일측으로 장기기억 수단을 구비함으로써, 충격이온화에 따른 생체 신경계의 단기기억은 물론, 단-장기기억 전환 특성과 시냅스 전, 후 뉴런의 신호 시간차에 의한 생체의 인과관계 추론 특성을 모두 모방할 수 있는 저전력 시냅스 모방 반도체 소자 및 그 동작방법을 제공한다.

선행기술문헌

특허문헌

[0008] (특허문헌 0001) 1. 한국 공개특허공보 공개번호 제10-2015-00479303 (2015.05.06.)호

(특허문헌 0002) 2. 한국 공개특허공보 공개번호 제10-2014-0032186 (2014.03.14.)호

발명의 내용

해결하려는 과제

[0009] 본 발명의 일 실시예는 시냅스의 STDP 동작을 구현하기 위한 MOSFET 시냅스 소자를 제공하고자 한다.

[0010] 본 발명의 다른 일 실시예는 시냅스의 STDP 동작을 구현하기 위한 MOSFET 시냅스 소자의 동작방법을 제공하고자 한다.

과제의 해결 수단

[0012] 상술한 기술적 과제를 해결하기 위하여 본 발명은 일 실시예에서 제1 도전형을 갖는 활성 영역, 상기 활성 영역을 사이에 두고 이격되어 배치되고, 상기 제1 도전형과 반대인 제2 도전형을 갖는 소스 영역 및 드레인 영역, 상기 활성 영역 상에 배치된 장기 저장부, 상기 장기 저장부 상에 배치된 게이트 구조물 및 각각은 상기 소스 영역 및 상기 드레인 영역을 상기 장기 저장부와 연결하고, 상기 소스 영역 또는 상기 드레인 영역으로부터 전하를 제공받아 트랩 사이트가 포화되었을 때, 상기 장기 저장부에 전하를 제공하는 제1 및 제2 단기 저장부들을 포함하는 MOSFET 시냅스 소자를 제공한다.

[0013] 상기 장기 저장부 및 상기 게이트 구조물은 상기 활성 영역의 일부 영역들을 노출할 수 있으며, 이 때 상기 제1 및 제2 단기 저장부들은 각각 상기 노출된 활성 영역의 일부 영역들 상에 배치될 수 있다.

[0014] 상기 제1 및 제2 단기 저장부들은 다수의 트랩 사이트를 갖는 물질일 수 있다.

[0015] 상기 제1 및 제2 단기 저장부들은 비정질 실리콘 질화물, Si rich 실리콘 질화물 또는 고유전율 금속 산화물일 수 있으며, 실시예에 따라 퀀텀닷, 금속 나노입자 또는 이들의 혼합물을 더 포함할 수 있다.

[0016] 상기 장기 저장부는 하부 절연막 및 전하 저장층을 포함하고, 상기 하부 절연막은 상기 활성 영역으로부터 상기 전하 저장층으로 전하의 이동을 할 수 있다.

[0017] 상기 전하 저장층은 전도성 물질을 포함하거나, 또는 다수의 트랩 사이트를 갖는 유전체를 포함할 수 있다.

[0018] 상기 전하 저장층을 구성하는 다수의 트랩 사이트를 갖는 유전체의 전도대 최소 에너지 준위는 상기 제1 및 제2 단기 저장부들을 구성하는 물질의 전도대 최소 에너지 준위보다 낮고, 상기 유전체의 가전자대 최고 에너지 준위는 상기 제1 및 제2 단기 저장부들을 구성하는 물질의 가전자대 최고 에너지 준위보다 높을 수 있다.

[0019] 상기 하부 절연막은 고유전율 절연 물질을 포함하거나, 서로 다른 유전율을 갖는 절연 물질들이 적층된 구조를 가질 수 있다.

[0020] 본 발명의 다른 일 측면은 소스 영역, 드레인 영역, 활성 영역, 상기 활성 영역 상에 배치된 장기 저장부, 상기 장기 저장부 상에 형성된 게이트 구조물 및 각각은 상기 소스 및 상기 드레인을 상기 장기 저장부와 연결하는 제1 및 제2 단기 저장부들을 포함하는 MOSFET 시냅스 소자의 동작방법을 제공한다.

[0021] MOSFET 시냅스 소자의 동작 방법은 상기 게이트 구조물에 제1 전압을 인가하고, 상기 드레인 영역에 제2 전압을 인가하여 상기 제1 및 제2 단기 저장부들에 전하를 제공하는 단기 정보 저장 단계 및 상기 게이트 구조물에 제3 전압을 인가하고, 상기 드레인 영역에 제4 전압을 인가하여 상기 장기 저장부에 전하를 제공하는 장기 정보 저장 단계를 포함할 수 있다.

[0022] 상기 활성 영역이 p형 도전형을 가질 때, 상기 제1 전압 및 제3 전압에 음의 값을, 상기 제2 전압 및 제4 전압에 양의 값을 인가하고 상기 활성 영역이 n형 도전형을 가질 때, 상기 제1 전압 및 제3 전압에 양의 값을, 상기 제2 전압 및 제4 전압에 음의 값을 인가하여 시냅스 소자의 강화 동작을 구현할 수 있다.

[0023] 상기 활성 영역이 p형 도전형을 가질 때, 상기 제1 전압, 제2 전압, 제3 전압 및 제4 전압에 양의 값을 인가하고, 상기 활성 영역이 n형 도전형을 가질 때, 상기 제1 전압, 제2 전압, 제3 전압 및 제4 전압에 음의 값을 인가하여 시냅스 소자의 약화 동작을 구현할 수 있다.

[0024] 장기 정보 저장 동작을 구현하기 위하여 상기 제3 전압 및 상기 제4 전압은 상기 제1 또는 제2 단기 저장부의 트랩 사이트들을 전하로 포화시키기 위한 인가 지속 시간 또는 크기를 가질 수 있다. 또는 제2 단기 저장부에 저장된 전하가 소멸되는 시간 간격보다 짧은 시간 간격으로 펄스 전압을 반복적으로 인가할 수 있다.

발명의 효과

[0026] 개시된 기술은 다음의 효과를 가질 수 있다. 다만, 특정 실시예가 다음의 효과를 전부 포함하여야 한다거나 다음의 효과만을 포함하여야 한다는 의미는 아니므로, 개시된 기술의 권리범위는 이에 의하여 제한되는 것으로 이해되어서는 아니 될 것이다.

[0027] 본 발명의 일 실시예에 따른 MOSFET 소자는 다수의 트랩 사이트를 갖는 단기 저장부들을 채용하고, 단기 저장부들의 트랩 사이트에 전하가 포화될 경우, 전하가 장기 저장부로 이동함으로써 단기 정보 저장 및 장기 정보 저장이 가능하다. 또한, 저장되는 전하의 극성에 따라 단기 강화, 단기 약화, 장기 강화 및 장기 약화 동작이 각각 구현 가능하다.

[0028] 따라서, 본 발명에 따른 MOSFET 소자는 생물학적 시냅스의 동작을 충실하게 재현하여 하드웨어 기반 인공지능 기술의 실용화 가능성을 극대화 할 것으로 보인다. 또한 초소형화가 가능하고, 초저전력 동작이 가능하므로 휴대용 인공지능 기기, 사물인터넷, 자율주행 자동차 등과 같이 높은 에너지 효율과 실시간 학습을 필요로 하는 응용 분야에서 활용 가능하다.

[0029] 본 발명의 기술적 효과들은 이상에서 언급한 것들로 제한되지 않으며, 언급되지 않은 또 다른 기술적 효과들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

도면의 간단한 설명

[0031] 도 1은 본 발명의 일 실시예에 따른 MOSFET 시냅스 소자를 도시하는 단면도이다.

도 2는 본 발명의 일 실시예에 따른 MOSFET 시냅스 소자의 단기 강화 방법을 도시하는 개념도이다.

도 3은 본 발명의 일 실시예에 따른 MOSFET 시냅스 소자의 장기 강화 방법을 도시하는 개념도이다.

도 4는 본 발명의 일 실시예에 따른 MOSFET 시냅스 소자의 단기 약화 방법을 도시하는 개념도이다.

도 5는 본 발명의 일 실시예에 따른 MOSFET 시냅스 소자의 장기 약화 방법을 도시하는 개념도이다.

도 6 및 도 7은 본 발명의 다른 일 실시예에 따른 MOSFET 시냅스 소자의 강화 동작 및 약화 동작을 도시하는 개념도이다.

발명을 실시하기 위한 구체적인 내용

[0032] 본 발명은 여러 가지 수정 및 변형을 허용하면서도, 그 특정 실시예들이 도면들로 예시되어 나타내어지며, 이하에서 상세히 설명될 것이다. 그러나 본 발명을 개시된 특별한 형태로 한정하려는 의도는 아니며, 오히려 본 발명은 청구항들에 의해 정의된 본 발명의 사상과 합치되는 모든 수정, 균등 및 대용을 포함한다.

[0033] 층, 영역 또는 기판과 같은 요소가 다른 구성요소 "상(on)"에 존재하는 것으로 언급될 때, 이것은 직접적으로 다른 요소 상에 존재하거나 또는 그 사이에 중간 요소가 존재할 수도 있다는 것을 이해할 수 있을 것이다.

[0034] 비록 제1, 제2 등의 용어가 여러 가지 요소들, 성분들, 영역들, 층들 및/또는 지역들을 설명하기 위해 사용될 수 있지만, 이러한 요소들, 성분들, 영역들, 층들 및/또는 지역들은 이러한 용어에 의해 한정되어서는 안 된다는 것을 이해할 것이다.

[0035] 이하 첨부한 도면들을 참조하여, 본 발명의 바람직한 실시예를 보다 상세하게 설명하고자 한다. 이하 도면상의 동일한 구성 요소에 대하여는 동일한 참조 부호를 사용하고, 동일한 구성 요소에 대해서 중복된 설명은 생략한다.

[0037] 실시예

[0038] 도 1은 본 발명의 일 실시예에 따른 MOSFET 시냅스 소자를 도시하는 단면도이다.

[0039] 도 1을 참조하면, 본 발명의 일 실시예에 따른 MOSFET 시냅스 소자는 소스 영역(110), 상기 소스 영역(110)과 이격되어 배치되는 드레인 영역(120), 상기 소스 영역(110)과 상기 드레인 영역(120) 사이에 배치되는 활성 영역(130), 상기 활성 영역(130) 상에 배치된 장기 저장부(140), 상기 장기 저장부(140) 상에 형성되는 게이트 구조물(150) 및 각각은 상기 소스 영역(110) 및 상기 드레인영역(120)을 상기 장기 저장부(140)와 연결하는 제1 및 제2 단기 저장부들(160)을 포함한다.

[0040] 활성 영역(130)은 제1 도전형을 갖는 반도체 물질일 수 있다. 상기 제1 도전형은 n형 또는 p형 반도체 중 어느 하나일 수 있다.

[0041] 상기 소스 영역(110) 및 드레인 영역(120)은 활성 영역(130)을 사이에 두고 서로 이격되어 배치된다. 상기 소스 영역(110) 및 드레인 영역(120)은 활성 영역(130)과 반대되는 도전형인 제2 도전형을 가질 수 있다. 즉 활성 영역(130)이 n형 도전형을 가질 때, 소스 영역(110) 및 드레인 영역(120)은 p형 도전형을 가질 수 있다. 반대로 활성 영역(130)이 p형 도전형을 가질 때, 소스 영역(110) 및 드레인 영역(120)은 n형 도전형을 가질 수 있다.

[0042] 상기 활성 영역(130)이 실리콘일 때 상기 소스(110)는 p형으로 도핑된 실리콘일 수 있고, 상기 드레인(120)은 n형으로 도핑된 실리콘일 수 있다.

[0043] 상기 장기 저장부(140)는 활성 영역(130) 상에 배치된 하부 절연막(141) 및 상기 하부 절연막(141) 상에 형성된 전하 저장층(143)을 포함한다.

[0044] 상기 하부 절연막(141)은 상기 활성 영역(130)으로부터 상기 전하 저장층(143)으로 전하의 이동을 차단한다. 상기 하부 절연막(141)은 상기 활성 영역(130)으로부터 상기 전하 저장층(143)으로 전하의 터널링이 일어나는 것을 방지하기 위하여 충분한 두께를 가질 수 있다. 또는 하부 절연막(141)은 고유전율(High-k) 절연 물질을 포함하거나, 서로 다른 유전율을 갖는 절연 물질들이 적층된 구조를 가질 수 있다.

[0045] 상기 전하 저장층(143)은 높은 전기 전도도를 갖는 전도성 물질일 수 있다. 상기 전하 저장층(143)은 불순물을 포함하는 폴리 실리콘(Poly-Si), 금(Au), 백금(Pt), 코발트(Co), 베릴륨(Be), 니켈(Ni), 팔라듐(Pd), 몰리브덴(Mo), 알루미늄(Al), 하프늄(Hf), 탄탈륨(Ta), 망간(Mn), 아연(Zn), 지르코늄(Zr), 인듐(In), 비스무스(Bi), 루비듐(Ru), 텅스텐(W), 이리듐(Ir), 란타넘(La), 티타늄(Ti), 이트륨(Y) 및 그래핀(graphene) 중 어느 하나 이상을 포함하는 전도성 물질일 수 있다.

[0046] 또 다른 실시예에서, 상기 전하저장층(143)은 다수의 트랩 사이트를 갖는 유전체를 포함할 수 있다. 전하저장층(143)을 구성하는 유전체는 제1 및 제2 단기 저장부들(160)을 구성하는 물질과 상이한 물질일 수 있다. 전하저장층(143)을 구성하는 유전체의 전도대(conduction band) 최소 에너지 준위는 상기 제1 및 제2 단기 저장부들(160)을 구성하는 물질의 전도대 최소 에너지 준위보다 낮고, 전하저장층(143)을 구성하는 유전체의 가전자대 최고 에너지 준위는 상기 제1 및 제2 단기 저장부들을 구성하는 물질의 가전자대 최고 에너지 준위보다 높을 수 있다. 전하저장층(143)과 제1 및 제2 단기 저장부들(160)의 에너지 준위를 조정하여 전하저장층(143)에 저장된 전하의 보유 기간(retention time)을 향상시킬 수 있다.

[0047] 상기 게이트 구조물(150)은 게이트 절연막(151) 및 게이트 전극(153)을 포함한다. 게이트 절연막(151)은 게이트 전극(153)과 장기 저장부(140), 제1 및 제2 단기 저장부(160) 사이의 계면에 형성되어 상호간의 전하 이동을 차

단한다.

[0048] 상기 장기 저장부(140)와 상기 게이트 구조물(150)은 수직으로 적층된 구조를 가질 수 있으며, 활성 영역(130)의 일부 영역 상에 형성되어 활성 영역(130)의 나머지 일부 영역들이 노출될 수 있다. 이 때 활성 영역(130)은 소스 영역(110) 및 드레인 영역(120)에 인접한 영역이 노출되어, 상기 제1 단기 저장부(161)는 상기 소스 영역(110)과 활성 영역(130)의 노출된 일부 영역 상에 걸쳐 형성될 수 있다. 마찬가지로 제2 단기 저장부(163)는 상기 드레인 영역(120)과 활성 영역(130)의 노출된 일부 영역 상에 걸쳐 형성될 수 있다.

[0049] 상기 제1 단기 저장부(161) 및 제2 단기 저장부(163)는 상기 장기 저장부(140) 및 상기 게이트 구조물(150)의 측벽을 따라 형성될 수 있다. 제1 및 제2 단기 저장부(160)는 전하 저장층(143)과 전기적으로 접촉하는 반면, 게이트 전극(153)과 전기적으로 절연된다.

[0050] 제1 및 제2 단기 저장부(160)는 다수의 트랩 사이트를 갖는 물질일 수 있다. 제1 및 제2 단기 저장부(160)는 비정질 실리콘 질화물(amorphous Si_xN_y), Si-rich 실리콘 질화물 또는 고유전율 금속 산화물일 수 있다. 실시예에 따라, 제1 및 제2 단기 저장부(160)는 퀀텀닷, 금속 나노 입자 또는 이들의 혼합물을 더 포함할 수 있다.

[0052] 동작 방법

[0053] 본 발명의 일 실시예에 따라 실리콘 기판 상에 n형으로 도핑된 소스 영역 및 드레인 영역과 p형으로 도핑된 활성 영역을 갖는 MOSFET 시냅스 소자를 예시로 하여 동작 방법을 설명한다. 소스 영역, 드레인 영역 및 활성 영역을 형성하는 물질 및 도전형에 따라 에너지 밴드의 형태와 전하 분포가 상이해질 수 있으며, 전계 효과 시냅스 소자의 동작 방법은 본 실시예에 개시된 바에 한정되지 아니하고 발명의 사상과 합치되는 모든 수정, 균등 및 대용을 포함한다.

[0055] 도 2는 본 발명의 일 실시예에 따른 MOSFET 시냅스 소자의 단기 강화 방법을 도시하는 개념도이다.

[0056] 도 2를 참조하면, 게이트 전극(153)에 음의 값을 갖는 제1 전압을 인가하고, 드레인 영역(120)에 양의 값을 갖는 제2 전압을 인가한다. 이 때 활성 영역(130)과 드레인 영역(120)의 계면에서 게이트 유도 드레인 누설(Gate induce drain leakage) 및 전하 손실에 의하여 전자-정공 쌍이 발생하게 되며, 생성된 정공은 제2 단기 저장부(163)의 트랩 사이트에 저장된다. 저장된 정공은 전계효과 트랜지스터의 문턱 전압을 감소시켜 소스(110)-드레인(120)간 전류 크기를 증가시킨다.

[0057] 제2 단기 저장부(163)는 드레인 영역(120) 및 활성 영역(130)과 절연막 등을 통하여 절연되지 않고 전기적으로 접촉되어 있으므로, 제2 단기 저장부(163)에 저장된 정공은 수 초 이내의 짧은 시간 내에 소멸된다. 따라서 시냅스 소자의 단기 강화(Short-term Potentiation) 동작을 구현할 수 있다.

[0059] 도 3은 본 발명의 일 실시예에 따른 MOSFET 시냅스 소자의 장기 강화 방법을 도시하는 개념도이다.

[0060] 도 3을 참조하면, 게이트 전극(153)에 음의 값을 갖는 제3 전압을 인가하고, 드레인(120)에 양의 값을 갖는 제4 전압을 인가한다. 제3 전압 및 제4 전압은 상기 제2 단기 저장부(163)의 트랩 사이트들을 전하로 포화시키기에 충분한 인가 지속 시간 또는 크기를 갖는다. 또는, 제2 단기 저장부(163)에 저장된 정공이 소멸되는 시간 간격보다 짧은 시간 간격으로 반복적으로 입력되는 펄스 전압일 수 있다.

[0061] 제2 단기 저장부(163)의 트랩 사이트들이 전하로 포화된 후에도 드레인(120)과 활성 영역(130)의 계면에서 전자-정공 쌍이 지속적으로 생성되면, 여분의 정공들이 제2 단기 저장부(163)와 전기적으로 접촉하는 전하 저장층(143)으로 이동한다. 전하 저장층(143)으로 이동한 정공들은 전하 저장층(143)의 하부에 고르게 분산되어 수 년 이상 보존될 수 있다. 이를 통하여 시냅스 소자의 장기 강화 동작을 구현할 수 있다.

[0063] 도 4는 본 발명의 일 실시예에 따른 MOSFET 시냅스 소자의 단기 약화 방법을 도시하는 개념도이다.

[0064] 도 4를 참조하면 게이트 전극(153)에 양의 값을 갖는 제1 전압을 인가하고, 드레인 영역(120)에 양의 값을 갖는 제2 전압을 인가한다. 이 때 활성 영역(130)과 드레인 영역(120)의 계면에서 전자-정공 쌍이 발생하게 되며, 생

성된 전자는 제2 단기 저장부(163)의 트랩 사이트에 저장된다. 저장된 전자는 전계효과 트랜지스터의 문턱 전압을 증가시켜 소스(110)-드레인(120)간 전류 크기를 감소시킨다.

[0065] 상술한 바와 같이 제2 단기 저장부(163)는 드레인 영역(120) 및 활성 영역(130)과 절연막 등을 통하여 절연되지 않고 전기적으로 접촉되어 있으므로, 제2 단기 저장부(163)에 저장된 전자는 수 초 이내의 짧은 시간 내에 소멸된다. 따라서 시냅스 소자의 단기 약화(Short-term Depreciation)동작을 구현할 수 있다.

[0067] 도 5는 본 발명의 일 실시예에 따른 MOSFET 시냅스 소자의 장기 약화 방법을 도시하는 개념도이다.

[0068] 도 5를 참조하면, 게이트 전극(153)에 양의 값을 갖는 제3 전압을 인가하고, 드레인 영역(120)에 양의 값을 갖는 제4 전압을 인가한다. 제3 전압 및 제4 전압은 상기 제2 단기 저장부(163)의 트랩 사이트들을 전하로 포화시키기에 충분한 인가 지속 시간 또는 크기를 갖는다. 또는, 제2 단기 저장부(163)에 저장된 전자가 소멸되는 시간 간격보다 짧은 시간 간격으로 반복적으로 입력되는 펄스 전압일 수 있다.

[0069] 제2 단기 저장부(163)의 트랩 사이트들이 전자로 포화된 후에도 드레인 영역(120)과 활성 영역(130)의 계면에서 전자-정공 쌍이 지속적으로 생성되면, 여분의 전자들이 제2 단기 저장부(163)와 전기적으로 접촉하는 전하 저장층(143)으로 이동한다. 전하 저장층(143)으로 이동한 전자들은 전하 저장층(143)의 하부에 고르게 분산되어 수년 이상 보존될 수 있다. 이를 통하여 시냅스 소자의 장기 약화 동작을 구현할 수 있다.

[0071] 도 6 및 도 7은 본 발명의 일 실시예에 따라 활성 영역이 n형 도전형을 갖는 MOSFET 시냅스 소자의 강화 동작 및 약화 동작을 도시하는 개념도이다.

[0072] 도 6을 참조하면 게이트 전극(153)에 양의 값을 갖는 제1 전압을 인가하고, 드레인 영역(120)에 음의 값을 갖는 제2 전압을 인가한다. 이 때 활성 영역(130)과 드레인 영역(120)의 계면에서 전자-정공 쌍이 발생하게 되며, 생성된 전자는 제2 단기 저장부(163)의 트랩 사이트에 저장된다. 저장된 전자는 전계효과 트랜지스터의 문턱 전압의 절대값을 감소시켜 소스(110)-드레인(120)간 전류 크기를 증가시킨다. 따라서, 시냅스 소자는 단기 강화 동작을 수행할 수 있다.

[0073] 상술한 바와 같이 제2 단기 저장부(163)의 트랩 사이트가 포화되기에 충분하도록 제1 전압 및 제2 전압을 인가하는 경우, 전자는 전하 저장층(143)으로 이동하여 시냅스 소자의 장기 강화 동작을 수행할 수 있다.

[0075] 도 7을 참조하면 게이트 전극(153)에 음의 값을 갖는 제1 전압을 인가하고, 드레인 영역(120)에 음의 값을 갖는 제2 전압을 인가한다. 이 때 활성 영역(130)과 드레인 영역(120)의 계면에서 전자-정공 쌍이 발생하게 되며, 생성된 정공은 제2 단기 저장부(163)의 트랩 사이트에 저장된다. 저장된 정공은 전계효과 트랜지스터의 문턱 전압의 절대값을 증가시켜 소스(110)-드레인(120)간 전류 크기를 감소시킨다. 따라서, 시냅스 소자는 단기 약화 동작을 수행할 수 있다.

[0076] 마찬가지로 제2 단기 저장부(163)의 트랩 사이트가 포화되기에 충분하도록 제1 전압 및 제2 전압을 인가하는 경우, 정공은 전하 저장층(143)으로 이동하여 시냅스 소자의 장기 약화 동작을 수행할 수 있다.

[0079] 상기에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

부호의 설명

[0081] 110 : 소스 영역 120 : 드레인 영역

130 : 활성 영역 140 : 장기 저장부

141 : 하부 절연막　　143 : 전하 저장층

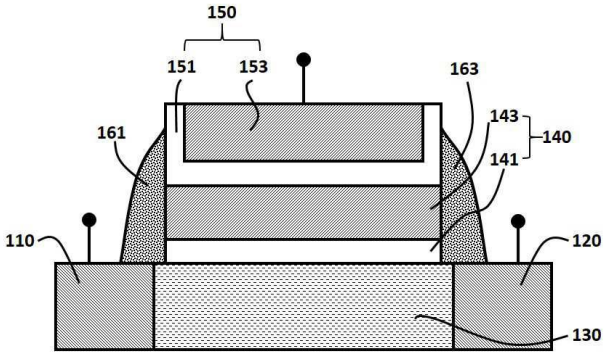
150 : 게이트 구조물　　151 : 게이트 절연막

153 : 게이트 전극　　160 : 단기 저장부

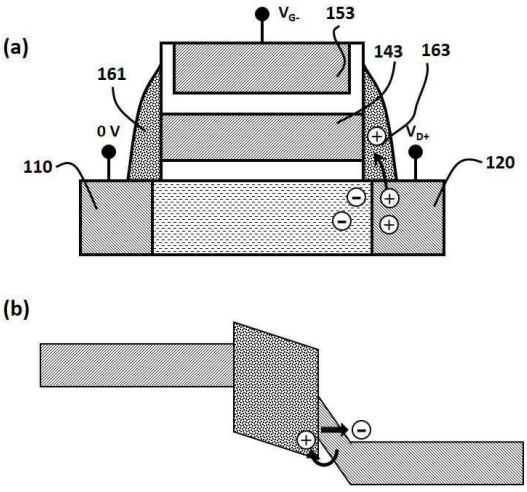
161 : 제1 단기 저장부　　163 : 제2 단기 저장부

도면

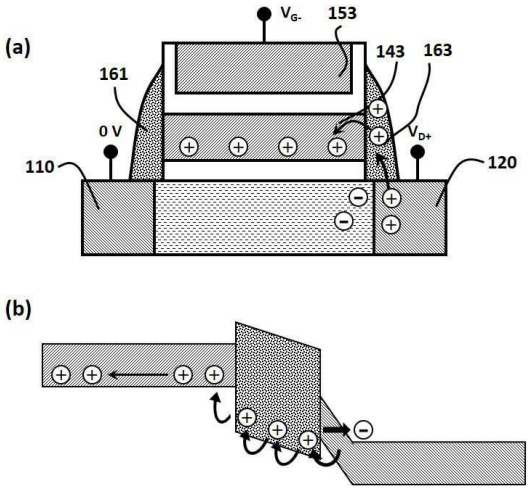
도면1



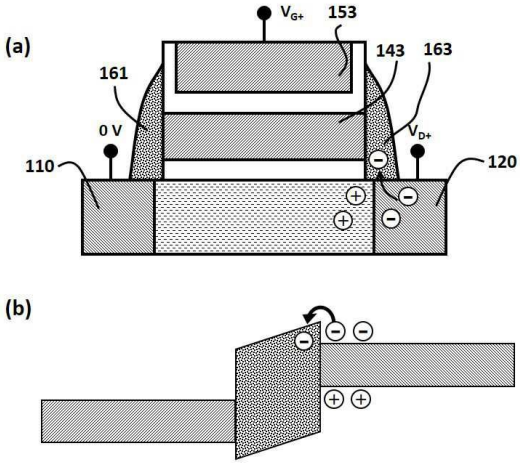
도면2



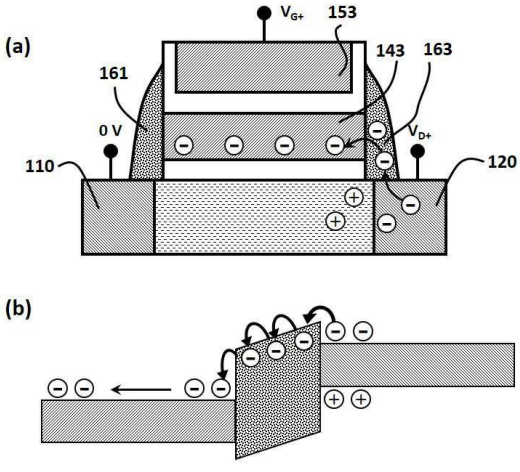
도면3


(a)
V_{G-}
153
143
163
161
0 V
V_{D+}
110
120
(b)

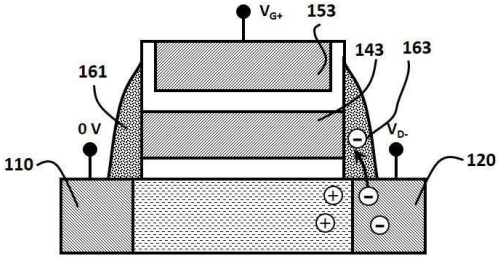
도면4


(a)
V_{G+}
153
143
163
161
0 V
V_{D+}
110
120
(b)

도면5


(a)
V_{G+}
153
143
163
161
0 V
V_{D+}
110
120
(b)

도면6



도면7

