

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2007-506144

(P2007-506144A)

(43) 公表日 平成19年3月15日(2007.3.15)

(51) Int. Cl.	F I	テーマコード (参考)
<b>G09G 3/30 (2006.01)</b>	G09G 3/30 J	5C080
<b>G09G 3/20 (2006.01)</b>	G09G 3/20 624B	
	G09G 3/20 641D	

審査請求 有 予備審査請求 未請求 (全 16 頁)

(21) 出願番号	特願2006-527246 (P2006-527246)	(71) 出願人	503297235 イグニス イノベーション インコーポレーテッド IGNIS INNOVATION INC. カナダ国 エヌ2エル 3ジー1 オンタリオ州、ウォータールー、カルペッパードライブ 55 55 Culpepper Drive, Waterloo, Ontario N2L 3G1, Canada
(86) (22) 出願日	平成16年9月23日 (2004. 9. 23)	(74) 代理人	100097490 弁理士 細田 益稔
(85) 翻訳文提出日	平成18年5月19日 (2006. 5. 19)	(74) 代理人	100113354 弁理士 石井 総
(86) 国際出願番号	PCT/CA2004/001741		
(87) 国際公開番号	W02005/029455		
(87) 国際公開日	平成17年3月31日 (2005. 3. 31)		
(31) 優先権主張番号	2, 443, 206		
(32) 優先日	平成15年9月23日 (2003. 9. 23)		
(33) 優先権主張国	カナダ (CA)		

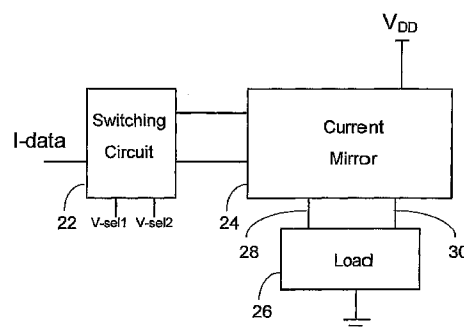
最終頁に続く

(54) 【発明の名称】 ピクセルドライバ回路

## (57) 【要約】

複数のピクセルを有する表示器に使用するためのピクセル回路が提供される。負荷がバランスされたカレントミラーピクセル回路は、デバイスの劣化及び/又は不整合、並びに温度及び機械的歪等の変化する環境的要因を補償することができる。上記ピクセル回路はピクセル駆動回路を有し、該ピクセル駆動回路はスイッチング回路と、基準トランジスタ及び駆動トランジスタを有するカレントミラーであって、基準トランジスタ及び駆動トランジスタの各々が第1及び第2ノード並びにゲートを有し、基準トランジスタのゲートが駆動トランジスタのゲートに接続されるようなカレントミラーと、基準トランジスタのゲートと接地電位との間に接続されたキャパシタとを有する。上記ピクセル回路は、更に、上記カレントミラーと接地電位との間に接続された負荷を有し、該負荷は第1負荷エレメントと第2負荷エレメントとを有し、第1負荷エレメントが上記基準トランジスタの第1ノードに接続され、第2負荷エレメントが上記駆動トランジスタの第1ノードに接続される。

【選択図】 図4



## 【特許請求の範囲】

## 【請求項 1】

複数のピクセルを有する表示器に使用するピクセル回路において、前記ピクセル回路はピクセル駆動回路を有し、該ピクセル駆動回路は、

スイッチング回路と、

基準トランジスタ及び駆動トランジスタを有するカレントミラーであって、前記基準トランジスタ及び前記駆動トランジスタの各々が第 1 及び第 2 ノード並びにゲートを有し、前記基準トランジスタのゲートが前記駆動トランジスタのゲートに接続されるようなカレントミラーと、

前記基準トランジスタのゲートと接地電位との間に接続されたキャパシタと、  
を有し、前記ピクセル回路は前記カレントミラーと接地電位との間に接続された負荷を更に有し、該負荷は第 1 負荷エレメントと第 2 負荷エレメントとを有し、前記第 1 負荷エレメントが前記基準トランジスタの第 1 ノードに接続され、前記第 2 負荷エレメントが前記駆動トランジスタの第 1 ノードに接続されることを特徴とするピクセル回路。 10

## 【請求項 2】

請求項 1 に記載のピクセル回路において、前記基準トランジスタの第 1 ノードが第 1 電位に接続され、前記駆動トランジスタの第 1 ノードと前記接地電位との間に発光ダイオードが接続されることを特徴とするピクセル回路。

## 【請求項 3】

請求項 1 に記載のピクセル回路において、前記駆動トランジスタのノードと接地電位との間に第 1 発光ダイオードが接続され、前記基準トランジスタのノードと接地電位との間に第 2 発光ダイオードが接続されることを特徴とするピクセル回路。 20

## 【請求項 4】

請求項 1 に記載のピクセル回路において、前記駆動トランジスタの第 1 及び第 2 ノードの一方と、前記基準トランジスタの第 1 及び第 2 ノードの一方とが接続されていることを特徴とするピクセル回路。

## 【請求項 5】

請求項 1 に記載のピクセル回路において、前記駆動トランジスタの第 1 ノードと前記基準トランジスタの第 1 ノードとが接続され、前記駆動トランジスタの第 1 ノードと接地電位との間に発光ダイオードが接続されることを特徴とするピクセル回路。 30

## 【請求項 6】

請求項 1 に記載のピクセル回路において、前記スイッチング回路が、

第 1 選択線に接続されたゲートと、データ線に接続された第 1 ノードと、前記基準トランジスタの第 2 ノードに接続された第 2 ノードとを有する帰還トランジスタと、

第 2 選択線に接続されたゲートと、前記データ線に接続された第 1 ノードと、前記基準トランジスタのゲートに接続された第 2 ノードとを有するスイッチトランジスタと、  
を有することを特徴とするピクセル回路。

## 【請求項 7】

請求項 1 に記載のピクセル回路において、前記スイッチング回路が、

第 1 選択線に接続されたゲートと、データ線に接続された第 1 ノードと、前記基準トランジスタのゲートに接続された第 2 ノードとを有するスイッチトランジスタと、 40

第 2 選択線に接続されたゲートと、前記基準トランジスタのゲートに接続された第 1 ノードと、前記基準トランジスタの第 2 ノードに接続された第 2 ノードとを有する帰還トランジスタと、  
を有することを特徴とするピクセル回路。

## 【請求項 8】

請求項 1 に記載のピクセル回路において、前記スイッチング回路が、

第 1 選択線に接続されたゲートと、データ線に接続された第 1 ノードと、前記基準トランジスタの第 2 ノードに接続された第 2 ノードとを有するスイッチトランジスタと、

第 2 選択線に接続されたゲートと、前記基準トランジスタの第 2 ノードに接続された第 50

１ノードと、前記基準トランジスタのゲートに接続された第２ノードとを有する帰還トランジスタと、  
を有することを特徴とするピクセル回路。

【請求項 ９】

複数のピクセルを有する表示器に使用するピクセル回路において、前記ピクセル回路はピクセル駆動回路を有し、該ピクセル駆動回路は、  
スイッチング回路と、

基準トランジスタ及び駆動トランジスタを有するカレントミラーであって、前記基準トランジスタ及び前記駆動トランジスタの各々が第１及び第２ノード並びにゲートを有し、前記基準トランジスタのゲートが前記駆動トランジスタのゲートに接続され、前記基準及び駆動トランジスタの第２ノードが接地電位に接続されるようなカレントミラーと、 10

前記基準トランジスタのゲートと接地電位との間に接続されたキャパシタと、  
を有し、前記ピクセル回路は或る電位と前記基準及び駆動トランジスタの第１ノードとの間に接続された負荷を更に有することを特徴とするピクセル回路。

【請求項 １０】

請求項 ９に記載のピクセル回路において、前記負荷が前記カレントミラーと前記或る電位との間に接続された第１及び第２負荷エレメントを有することを特徴とするピクセル回路。

【請求項 １１】

請求項 １０に記載のピクセル回路において、前記第１及び第２負荷エレメントが発光ダイオードであることを特徴とするピクセル回路。 20

【請求項 １２】

請求項 １１に記載のピクセル回路において、前記或る電位が  $V_{DD}$  であることを特徴とするピクセル回路。

【請求項 １３】

請求項 １０に記載のピクセル回路において、前記或る電位が第１電位と  $V_{DD}$  とを含み、前記第１負荷エレメントが前記第１電位に接続され、前記第２負荷エレメントが前記  $V_{DD}$  に接続されることを特徴とするピクセル回路。

【請求項 １４】

請求項 １０に記載のピクセル回路において、前記或る電位が  $V_{DD}$  を含み、前記第１負荷エレメントが第３選択線に接続されたゲートと、前記基準トランジスタの第２ノードに接続された第１ノードと、前記  $V_{DD}$  に接続された第２ノードとを有するトランジスタであり、前記第２負荷エレメントが前記駆動トランジスタの第２ノードと前記  $V_{DD}$  との間に接続された発光ダイオードであることを特徴とするピクセル回路。 30

【請求項 １５】

請求項 １０に記載のピクセル回路において、前記或る電位が  $V_{DD}$  を含み、前記第１負荷エレメントが第３選択線に接続されたゲートと、前記基準トランジスタの第２ノードに接続された第１ノードと、第２電位に接続された第２ノードとを有するトランジスタであり、前記第２負荷エレメントが前記駆動トランジスタの第２ノードと前記  $V_{DD}$  との間に接続された発光ダイオードであることを特徴とするピクセル回路。 40

【請求項 １６】

請求項 ９に記載のピクセル回路において、前記スイッチング回路が、  
第１選択線に接続されたゲートと、データ線に接続された第１ノードと、前記基準トランジスタの第１ノードに接続された第２ノードとを有する帰還トランジスタと、  
第２選択線に接続されたゲートと、前記データ線に接続された第１ノードと、前記基準トランジスタのゲートに接続された第２ノードとを有するスイッチトランジスタと、  
を有することを特徴とするピクセル回路。

【請求項 １７】

請求項 ９に記載のピクセル回路において、前記スイッチング回路が、  
第１選択線に接続されたゲートと、データ線に接続された第１ノードと、前記基準トラ 50

ンジスタのゲートに接続された第 2 ノードとを有するスイッチトランジスタと、

第 2 選択線に接続されたゲートと、前記基準トランジスタのゲートに接続された第 1 ノードと、前記基準トランジスタの第 1 ノードに接続された第 2 ノードとを有する帰還トランジスタと、

を有することを特徴とするピクセル回路。

【請求項 18】

請求項 9 に記載のピクセル回路において、前記スイッチング回路が、

第 1 選択線に接続されたゲートと、データ線に接続された第 1 ノードと、前記基準トランジスタの第 1 ノードに接続された第 2 ノードとを有するスイッチトランジスタと、

第 2 選択線に接続されたゲートと、前記基準トランジスタの第 1 ノードに接続された第 1 ノードと、前記基準トランジスタのゲートに接続された第 2 ノードとを有する帰還トランジスタと、

を有することを特徴とするピクセル回路。

【請求項 19】

請求項 1 又は請求項 9 に記載のピクセル回路において、前記トランジスタが薄膜トランジスタであることを特徴とするピクセル回路。

【請求項 20】

請求項 19 に記載のピクセル回路において、前記薄膜トランジスタがアモルファスシリコンであることを特徴とするピクセル回路。

【請求項 21】

請求項 19 に記載のピクセル回路において、前記薄膜トランジスタが多結晶シリコンであることを特徴とするピクセル回路。

【請求項 22】

請求項 21 に記載のピクセル回路において、前記多結晶シリコンが p 型であることを特徴とするピクセル回路。

【請求項 23】

請求項 19 に記載のピクセル回路において、前記薄膜トランジスタが有機であることを特徴とするピクセル回路。

【請求項 24】

請求項 23 に記載のピクセル回路において、前記有機が p 型であることを特徴とするピクセル回路。

【請求項 25】

請求項 6 ないし 8 及び 16 ないし 18 の何れか一項に記載のピクセル回路において、前記第 1 選択線と前記第 2 選択線とが接続されて、単一の選択線を形成していることを特徴とするピクセル回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、アクティブマトリクス表示器に使用する回路に係り、更に詳細にはエレクトロルミネッセント素子を駆動するために使用される電流駆動回路に関する。

【背景技術】

【0002】

液晶表示器 (LCD) に比較して、速い応答時間、大きな視野角、高いコントラスト、軽い重量、少ない電力及び可撓性基板に対する順応性故に、近年、OLED 型表示器は多くの表示器用途に関して大きな関心を得ている。

【0003】

OLED 表示器をアドレス指定する最も簡単な方法は、パッシブマトリクスフォーマットを使用することである。パッシブマトリクスアドレス型 OLED 表示器は既に市場に存在するが、これら表示器は、高情報内容 (HIC) フォーマットを使用する次世代表示器に必要とされる解像度をサポートするものではない。HIC フォーマットは、アクティブ

10

20

30

40

50

マトリクスアドレス指定方法によってのみ可能である。

#### 【0004】

アクティブマトリクスアドレス指定は、薄膜トランジスタ(TFT)に基づくバックプレーン電子回路を伴う。これら薄膜トランジスタは、各OLEDピクセルにおいて必要とされるバイアス電圧及び駆動電流を供給するもので、アモルファスシリコン(a-Si:H)、多結晶シリコン(ポリシリコン)、有機、ポリマ又は他のトランジスタ技術を用いて作製することができる。パッシブマトリクスアドレス指定と比較した場合、アクティブマトリクスアドレス指定は各ピクセルに対して低い電圧を使用すると共に、全体のフレーム期間にわたる電流は低い一定値となる。このように、アクティブマトリクスアドレス指定は、パッシブマトリクスアドレス指定に伴う過度のピーク駆動及び漏れ電流を回避する。このことは、OLEDの寿命を長くする。

10

#### 【0005】

LCDは電界駆動型デバイスである。一方、OLEDは電流駆動型デバイスである。この様に、表示器に使用された所与のOLEDにより放出される光の輝度(brightness)及び安定性は電流駆動回路におけるTFTの動作に依存する。かくして、AMOLED表示器は、トランジスタ閾電圧の空間的及び時間的变化、移動度不安定性及び不整合問題を含むTFT不安定性に遙かに大きく敏感である。これらの不安定性は、OLED型表示器の広範囲の使用のために対処される必要がある。

#### 【0006】

図1は、アモルファスシリコン型TFTの種々の時間に対する閾電圧のずれ対ストレス電圧のグラフを示している。図1からは、トランジスタの閾電圧が時間わたって変化することが容易にわかる。これらのトランジスタが表示器に使用されたとしたら、閾電圧の変化の結果、アレイにわたってOLEDの輝度が変化し、及び/又は時間にわたって輝度が低下しそうであり、これらは共に許容することができない。

20

#### 【0007】

簡単なピクセルドライバ回路が図2に示されている。この“2T”回路は、電圧プログラム型(voltage programmed)回路である。このような回路はOLED表示器にとっては実用的ではない。というのは、このような回路はトランジスタ閾電圧の変化を補償することができないからである。この閾電圧の変化に対する1つの解決策は、ピクセルのOLEDを駆動するために電流プログラム型(current programmed)回路を使用することである。電流プログラミングはAMOLED表示器を駆動するための良い方法である。何故なら、OLEDは電流駆動型デバイスであり、その輝度は当該OLEDを介して流れる電流に概ね線形に依存するからである。

30

#### 【0008】

1つの斯様な電流プログラム型回路が図3に示されている。この回路は、駆動トランジスタ12の閾電圧の如何なるずれ又は不整合も補償するカレントミラーを組み込んでおり、これが、OLED14の輝度が時間にわたり減少しないことを保証する。この回路の該特徴は、該回路の駆動特性が図2の2T回路と比較して大幅に改善されるのを可能にする。

#### 【0009】

図3の回路をプログラムする場合、V<sub>address</sub>はハイとなり、電流I<sub>data</sub>が供給される。この電流は、最初はトランジスタT<sub>1</sub>を介して流れキャパシタC<sub>s</sub>を充電する。該キャパシタ電圧が上昇すると、T<sub>3</sub>がオンし始め、I<sub>data</sub>はT<sub>2</sub>及びT<sub>3</sub>を介して接地点に流れ始める。上記キャパシタ電圧は、I<sub>data</sub>の全てがT<sub>2</sub>及びT<sub>3</sub>を介して流れ、T<sub>1</sub>を介して流れなくなる時点で安定する。この過程は、トランジスタT<sub>3</sub>及びT<sub>4</sub>の閾電圧V<sub>T</sub>とは無関係である。

40

#### 【0010】

T<sub>3</sub>及びT<sub>4</sub>のゲートは接続されているので、T<sub>3</sub>を介して流れる電流はT<sub>4</sub>に鏡写される。このトポロジはオンピクセル電流の利得又は減衰がT<sub>3</sub>及びT<sub>4</sub>の寸法決めに依存するのを可能にするので、各データ電流をOLED電流よりも比例して小さく又は大きく

50

することができる。アクティブマトリクスアレイにおいては、ピクセルは行毎の態様で走査され、プログラムされる。全行（１フレーム）を走査するのに掛かる時間は、フレーム時間と呼ばれる。アレイ動作の間において、スイッチングＴＦＴ（Ｔ１及びＴ２）はフレーム時間内で一度だけオンされる。

【００１１】

しかしながら、既存の電流プログラム型回路は、カレントミラーにおける差動的Ｖ<sub>t</sub>ずれ及び他のバイアス、温度、又は機械的ストレスに関係する劣化及び不整合のために、OLED駆動電流の長期的安定性に充分に対処していない。

【発明の開示】

【発明が解決しようとする課題】

10

【００１２】

本発明は、表示器における発光素子を駆動する回路に関するもので、更に特定のにはカレントミラーを構成する電流駆動回路であって、該カレントミラーの各トランジスタが負荷に接続されるような電流駆動回路に関するものである。

【００１３】

本発明の目的は、改善されたAMOLED表示器のバックプレーン及びピクセルドライバ回路を提供することにある。

【００１４】

従って、本発明の目的は、アクティブマトリクス型有機発光表示器（AMOLED）用のピクセル電流ドライバ回路であって、デバイスの劣化及び／又は不整合並びに温度及び機械的歪等の変化する環境要因の存在の下でも安定した予測可能な駆動電流を提供することが可能な回路を提供することにある。上記機械的歪は、機械的に可撓性のAMOLED表示器にとり特に重要である。

20

【課題を解決するための手段】

【００１５】

本発明の一態様によれば、複数のピクセルを有する表示器に使用するためのピクセル回路が提供される。前記ピクセル回路はピクセル駆動回路を有し、該ピクセル駆動回路は、スイッチング回路と、基準トランジスタ及び駆動トランジスタを有するカレントミラーであって、基準トランジスタ及び駆動トランジスタの各々が第１及び第２ノード並びにゲートを有し、基準トランジスタのゲートが駆動トランジスタのゲートに接続されるようなカレントミラーと、前記基準トランジスタのゲートと接地電位との間に接続されたキャパシタとを有する。前記ピクセル回路は、更に、前記カレントミラーと接地電位との間に接続された負荷を有し、該負荷は第１負荷エレメントと第２負荷エレメントとを有し、第１負荷エレメントが前記基準トランジスタの第１ノードに接続され、第２負荷エレメントが前記駆動トランジスタの第１ノードに接続される。

30

【００１６】

本発明の他の態様によれば、複数のピクセルを有する表示器に使用するためのピクセル回路が提供される。前記ピクセル回路はピクセル駆動回路を有し、該ピクセル駆動回路は、スイッチング回路と、基準トランジスタ及び駆動トランジスタを有するカレントミラーであって、前記基準トランジスタ及び前記駆動トランジスタの各々が第１及び第２ノード並びにゲートを有し、前記基準トランジスタのゲートが前記駆動トランジスタのゲートに接続され、前記基準及び駆動トランジスタの第２ノードが接地電位に接続されるようなカレントミラーと、前記基準トランジスタのゲートと接地電位との間に接続されたキャパシタとを有する。前記ピクセル回路は、更に、前記カレントミラーと或る電位との間に接続された負荷を有する。

40

【００１７】

上記発明の開示は、必ずしも本発明の全てのフィーチャを記載したものではない。

【００１８】

本発明の上記及び他のフィーチャは、添付図面を参照する下記の説明から一層明らかとなるであろう。

50

## 【 0 0 1 9 】

また、本発明の前記目的及びフィーチャは、添付図面を参照する好ましい実施例の下記説明から一層明らかとなるであろう。

## 【 発明を実施するための最良の形態 】

## 【 0 0 2 0 】

O L E D 駆動電流の長期的安定性は、電流型 ( current based ) 駆動回路のカレントミラーの各トランジスタに負荷を設けることにより対処することができることが分かった。

## 【 0 0 2 1 】

本発明の一態様によるピクセルドライバ回路のブロック図が図 4 に示されている。該ドライバ回路は、全体として、スイッチング回路 2 2、カレントミラー 2 4 及び負荷 2 6 を含むものと考えることができる。特に注目すべきことは、負荷 2 6 がカレントミラー 2 4 に対して該カレントミラー 2 4 の 2 つのトランジスタが斯かるトランジスタに接続された負荷を有するように構成される点にある。図 4 に示す構成において、負荷 2 6 は、カレントミラー 2 4 と接地点との間に接続部 2 8 及び 3 0 により接続されている。この場合、接続部 2 8 及び 3 0 は、当該カレントミラーのトランジスタのノードと負荷 2 6 とに各々接続されている。このアーキテクチャは、当該カレントミラーのトランジスタ間の負荷のバランスを提供する。このアーキテクチャを実施化する本発明の実施例を以下に示す。

## 【 0 0 2 2 】

図 4 に示した実施例において、スイッチング回路 2 2 は 2 つの選択線に、即ち V - sel 1 及び V - sel 2 に接続されている。図 5 A ~ 5 C、6 A ~ 6 C 及び 7 A ~ 7 E に示す実施例も同様に 2 つの選択線を有する。上記スイッチング回路 2 2 は、更に、単一のデータ線 I - data にも接続されている。

## 【 0 0 2 3 】

図 5 A ~ 5 C に示された回路は、図 4 に示した回路と同一の基本的アーキテクチャを有している。即ち、カレントミラーの両トランジスタが負荷 2 6 に接続されている。図 5 A ~ 5 C の回路は、負荷 2 6 に対する型式及び構成の変形例を示す。

## 【 0 0 2 4 】

図 5 A において、カレントミラー 2 4 は基準トランジスタ 3 1 と、駆動トランジスタ 3 3 とを含んでいる。トランジスタ 3 1 及び 3 3 は、アモルファスシリコンチャンネルを持つ薄膜トランジスタである。記憶キャパシタ 2 5 がカレントミラー 2 4 に含まれている。トランジスタ 3 1 及び 3 3 のゲートは一緒に結合され、共に記憶キャパシタ 2 5 のプレートに接続されている。該記憶キャパシタ C s の他方のプレートは接地点に接続されている。基準トランジスタ 3 1 のソースは電位 V c に接続され、ドレインはスイッチング回路 2 2 に接続されている。上記ソースを電位 V c に接続することが、当該カレントミラーの 2 つの側が適切なバイアスでバランスされるのを可能にしている。駆動トランジスタ 3 3 のソースは発光ダイオード 3 2 に接続され、ドレインは V o d に接続されている。この実施例において、発光ダイオード 3 2 は有機発光ダイオード ( O L E D ) である。

## 【 0 0 2 5 】

図 5 B は、本発明の他の実施例によるピクセルドライバ回路の概略図である。この実施例においては、基準トランジスタ 3 1 及び駆動トランジスタ 3 3 のソースが発光ダイオード 3 6 及び 3 2 に各々接続される。

## 【 0 0 2 6 】

図 5 C は、負荷 2 6 に関して現在のところ好ましい構成を示している。トランジスタ 3 1 及び 3 3 は接続部 3 7 を用いて一緒に結合される。図 5 C において、該接続部 3 7 は図的には負荷 2 6 内に位置している。現実例は、この図示により限定されるものではない。単一の O L E D 3 8 が該共通接続部 3 7 に接続されている。

## 【 0 0 2 7 】

図 6 A ~ 6 C は本発明の実施例を示し、これら実施例においてカレントミラー 2 4 及び負荷 2 6 は図 5 C に示した実施例と同様であるが、種々の構成のスイッチング回路が設けられている。図 6 A ~ 6 C に示されたスイッチング回路は、各々、帰還トランジスタ 4 4

10

20

30

40

50

とスイッチトランジスタ 4 6 とを有している。

【 0 0 2 8 】

図 6 A に示す回路において、帰還トランジスタ 4 4 の一方の端子及びスイッチトランジスタ 4 6 の一方の端子は、データ線 I -data に接続されている。帰還トランジスタ 4 4 の第 2 端子は基準トランジスタ 3 1 のドレインに接続される一方、スイッチトランジスタ 4 6 の第 2 端子は基準及び駆動トランジスタ 3 1 及び 3 3 の各ゲートに接続されている。最後に、帰還トランジスタ 4 4 及びスイッチトランジスタ 4 6 のゲートは、選択線 V -sel1 及び V -sel2 に各々接続されている。

【 0 0 2 9 】

図 6 B に示す実施例において、スイッチトランジスタ 4 6 の第 1 端子はデータ線 I -data に接続される一方、帰還トランジスタ 4 4 の第 1 端子はスイッチトランジスタ 4 6 の第 2 端子に接続され、該スイッチトランジスタ 4 6 の第 2 端子は基準及び駆動トランジスタ 3 1 及び 3 3 の各ゲートに接続されている。帰還トランジスタ 4 4 の第 2 端子は基準トランジスタ 3 1 のドレインに接続されている。最後に、帰還トランジスタ 4 4 のゲート及びスイッチトランジスタ 4 6 のゲートは、選択線 V -sel2 及び選択線 V -sel1 に各々接続されている。

【 0 0 3 0 】

図 6 C に示す実施例において、スイッチトランジスタ 4 6 の第 1 端子はデータ線 I -data に接続される一方、帰還トランジスタ 4 4 の第 1 端子はスイッチトランジスタ 4 6 の第 2 端子に接続され、該スイッチトランジスタ 4 6 の第 2 端子は基準トランジスタ 3 1 のドレインに接続されている。帰還トランジスタ 4 4 の第 2 端子は基準及び駆動トランジスタ 3 1 及び 3 3 の各ゲートに接続されている。最後に、スイッチトランジスタ 4 6 のゲート及び帰還トランジスタ 4 4 のゲートは、選択線 V -sel1 及び選択線 V -sel2 に各々接続されている。

【 0 0 3 1 】

考察された上記回路は、図 4 にブロック図として示された回路の実施例である。図 4 の回路アーキテクチャの他の実施例が図 7 A に示されている。スイッチング回路 2 2 及びカレントミラー 2 4 の構成は、図 4 に示した実施例と同様である。この実施例において、負荷 2 6 は、該負荷が電位  $V_{DD}$  とカレントミラー 2 4 との間となるように配設される。図 7 B ~ 7 E は図 7 A のブロック図に基づく本発明の実施例を示している。これら実施例は、カレントミラー 2 4 に関しては同一の回路を構成するが、負荷 2 6 の構成が変化する。

【 0 0 3 2 】

図 7 B に示す実施例においては、負荷 2 6 が発光ダイオード 4 0 及び 4 2 を含んでいる。ダイオード 4 0 及び 4 2 は、電位  $V_{DD}$  と、基準トランジスタ 3 1 のドレイン及び駆動トランジスタ 3 3 のドレインとの間に各々接続されている。基準トランジスタ 3 1 及び駆動トランジスタ 3 3 のソースは、接地点に接続されている。基準トランジスタ 3 1 及び駆動トランジスタ 3 3 のゲートは一緒に結合されると共に、スイッチング回路 2 2 及び記憶キャパシタ 2 5 のプレートの両方に結合されている。図 7 C に示す実施例においては、発光ダイオード 4 0 が電位  $V_C$  に接続される一方、ダイオード 4 2 は  $V_{DD}$  に接続されている。図 7 D 及び 7 E に示す実施例は、発光ダイオード 4 0 がトランジスタ 4 7 により置換されている点で、図 7 B 及び 7 C の実施例とは各々相違している。トランジスタ 4 7 のゲートは第 3 選択線 V -sel3 に接続され、第 1 端子は或る電位に接続され、第 2 端子は基準トランジスタ 3 1 のソース端子に接続されている。

【 0 0 3 3 】

図 5 B、7 B 及び 7 C の概略図においては、各ピクセルに 2 つの O L E D が存在する。このような二重 O L E D 構造は、各ピクセルの O L E D の下側電極を 2 つの電極に分割することにより形成される。斯かる電極の分割は、各ピクセルにおける 2 つの O L E D の形成を可能にする。これら O L E D の一方は前記駆動トランジスタに接続され、他方は前記基準トランジスタに接続される。従って、斯かる基準及び駆動トランジスタの負荷は同一となり、結果として、これら 2 つのトランジスタの間の不整合が最小化される。上記 2 つ



の O L E D の面積の間の比、及び前記カレントミラーの利得は所望の回路性能を達成すべく設計 / 加工することができることに注意されたい。

【 0 0 3 4 】

本発明の他の実施例によれば、前記トランジスタは、薄膜トランジスタを製造するための、多結晶シリコン、ポリマ及び有機材料を含む如何なる好適な材料とすることもできる。特に、この実施例は、当業者にとり関係のある p 型 T F T を含めるための適切な変更を考慮している。

【 0 0 3 5 】

本発明の他の代替実施例によれば、前記ピクセルドライバ回路はキャパシタ C s を含まない。

10

【 0 0 3 6 】

また、本発明の他の代替実施例によれば、スイッチング回路 2 2 は単一の選択線で使用するのに適したものとする。

【 0 0 3 7 】

また、本発明の他の代替実施例によれば、前記ピクセルドライバ回路のトランジスタは 2 以上のゲートを有することができる。特に、斯かるトランジスタはデュアルゲートトランジスタとすることができる。

【 0 0 3 8 】

また、本発明の他の代替実施例によれば、所与のピクセルに対して 2 以上のドライバ回路が存在する。特に、R G B 又はカラー表示器におけるピクセルに適するであろう様に、3 つのピクセルドライバ回路が存在し得る。

20

【 0 0 3 9 】

以上、本発明を 1 以上の実施例に関して説明した。しかしながら、当業者にとっては、請求項に記載した本発明の範囲から逸脱することなしに、多くの変形及び変更をなすことができることは明らかであろう。

【図面の簡単な説明】

【 0 0 4 0 】

【図 1】図 1 は、アモルファスシリコンから作製された薄膜トランジスタの種々の時間に対する閾電圧ずれ対ゲートストレス電圧のグラフを示す。

【図 2】図 2 は、2 T 電圧プログラム型ピクセルドライバ回路の概略図を示す。

30

【図 3】図 3 は、4 T 電流プログラム型ドライバ回路の概略図を示す。

【図 4】図 4 は、本発明の一実施例による電流プログラム型ドライバ回路のブロック図を示す。

【図 5 A】図 5 A は、本発明の一実施例による電流プログラム型ドライバ回路の概略図を示す。

【図 5 B】図 5 B は、本発明の一実施例による電流プログラム型ドライバ回路の概略図を示す。

【図 5 C】図 5 C は、本発明の一実施例による電流プログラム型ドライバ回路の概略図を示す。

【図 6 A】図 6 A は、本発明の一実施例による電流プログラム型ドライバ回路の概略図を示す。

40

【図 6 B】図 6 B は、本発明の一実施例による電流プログラム型ドライバ回路の概略図を示す。

【図 6 C】図 6 C は、本発明の一実施例による電流プログラム型ドライバ回路の概略図を示す。

【図 7 A】図 7 A は、本発明の一実施例による電流プログラム型ドライバ回路のブロック図を示す。

【図 7 B】図 7 B は、本発明の一実施例による電流プログラム型ドライバ回路の概略図を示す。

【図 7 C】図 7 C は、本発明の一実施例による電流プログラム型ドライバ回路の概略図を

50

示す。

【図 7 D】図 7 D は、本発明の一実施例による電流プログラム型ドライバ回路の概略図を示す。

【図 7 E】図 7 E は、本発明の一実施例による電流プログラム型ドライバ回路の概略図を示す。

【符号の説明】

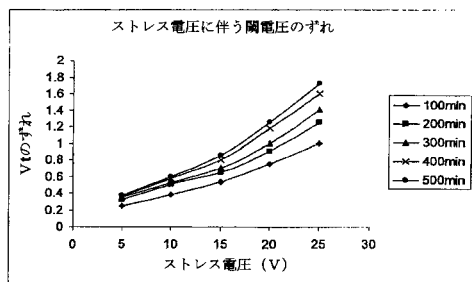
【 0 0 4 1 】

- 2 2    スイッチング回路
- 2 4    カレントミラー
- 2 5    記憶キャパシタ
- 2 6    負荷
- 3 1    基準トランジスタ
- 3 2    発光ダイオード
- 3 3    駆動トランジスタ
- 3 6    発光ダイオード
- 3 8    O L E D
- 4 0    発光ダイオード
- 4 2    発光ダイオード
- 4 4    帰還トランジスタ
- 4 6    スイッチトランジスタ
- 4 7    トランジスタ

10

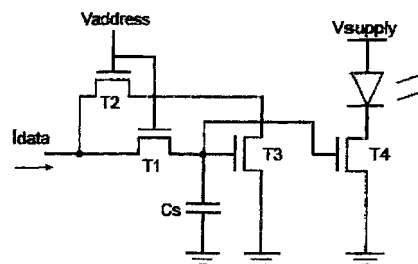
20

【 図 1 】



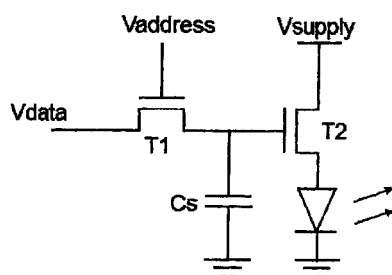
(従来技術)

【 図 3 】



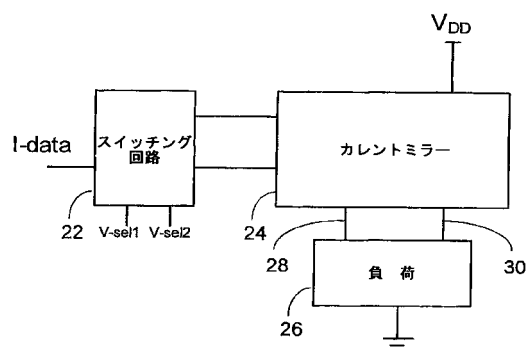
(従来技術)

【 図 2 】

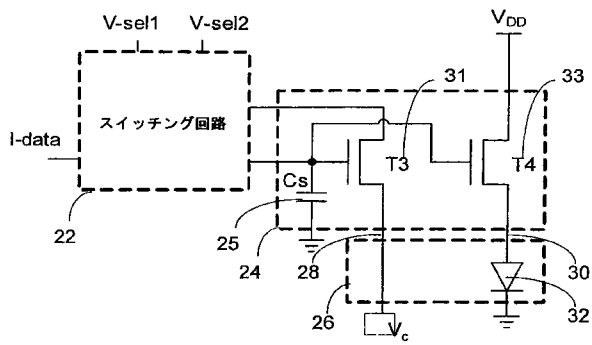


(従来技術)

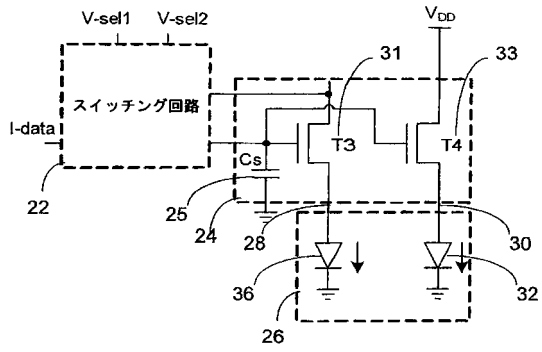
【 図 4 】



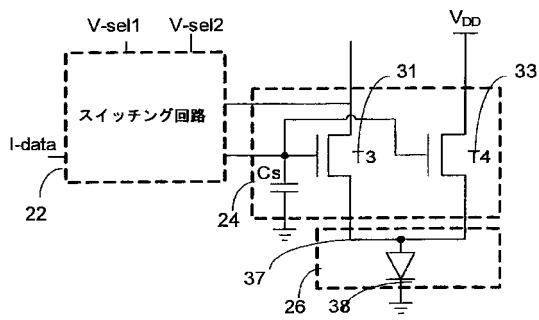
【図 5 A】



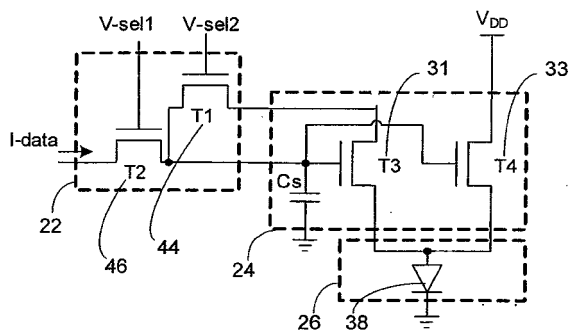
【図 5 B】



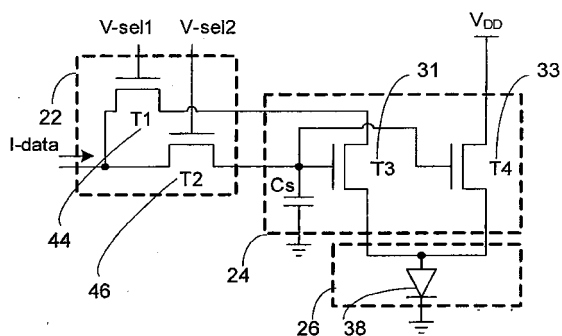
【図 5 C】



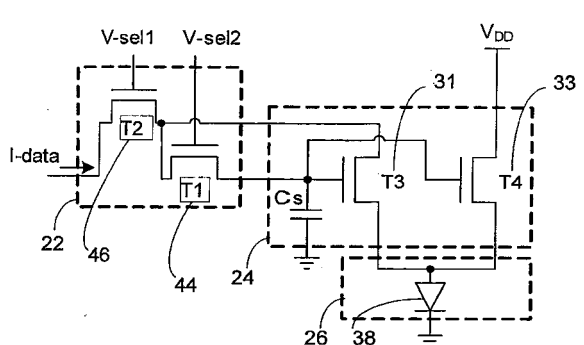
【図 6 B】



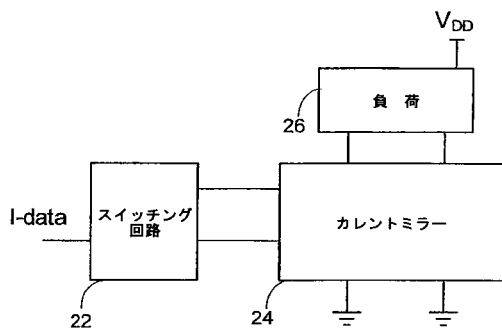
【図 6 A】



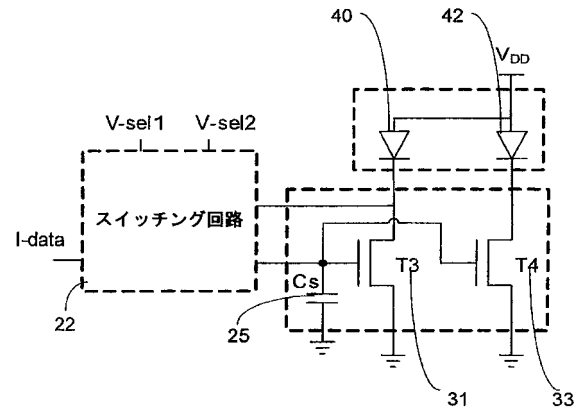
【図 6 C】



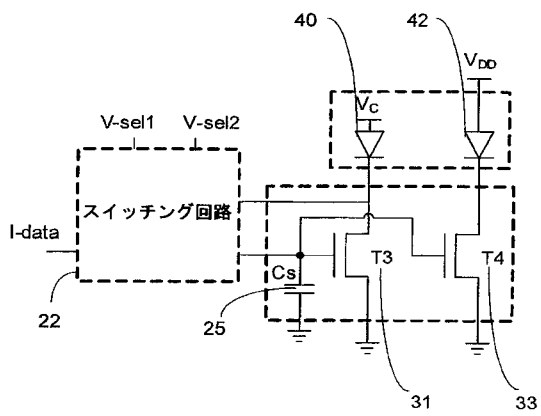
【図 7 A】



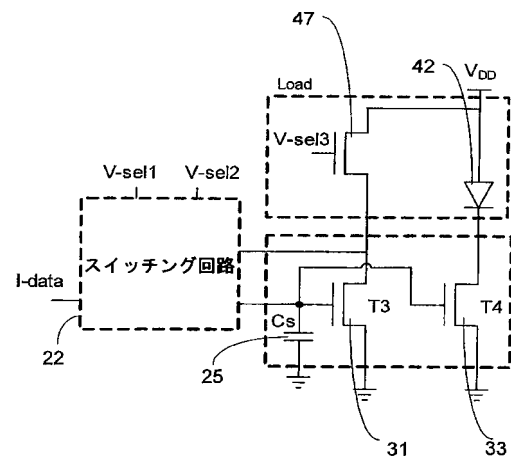
【図 7 B】



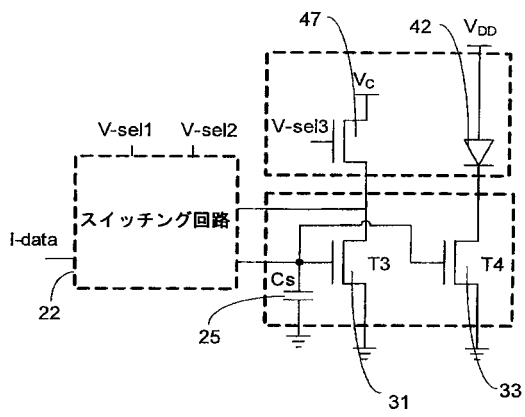
【図 7 C】



【図 7 D】



【図 7 E】



## 【国際調査報告】

## INTERNATIONAL SEARCH REPORT

International application No.  
PCT/CA2004/001741

## A. CLASSIFICATION OF SUBJECT MATTER

G09G-3/32; G09F-9/33

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)  
IPC' G09G-3/32, G09F-9/33; CA 40/43, 40/53, 375; US 323/315

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base, and, where practicable, search terms used):  
Delphion, USPTO, Espacenet, Canadian Patent Database;  
Keywords: light emitting diode; current mirror; stable current; transistor gate; reference transistor, thin film, polycrystalline, amorphous, organic

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	CA 2436451 (TAKENAKA et al.) 15 August 2002 (15.08 2002), abstract; page 20 (lines 10-20)	15, 22-23
Y	CA 2354018 (VU et al.) 22 June 2000 (22.06.2000), abstract, page 1 (lines 10-15) and page 2 (lines 21-24)	15, 22, 24-25
Y	CA 2249592 (SHIOYA et al.) 30 July 1998 (30.07.1998), abstract, page 1 (line 20) to page 2 (line 14)	15, 22, 26-27
A, P	CA 2 463 653 (HATTORI) 15 January 2004 (15.01 04), abstract, figs 8-10b	1, 15
A	US 6 323 631 (JUANG) 27 November 2001 (27.11 01), abstract, fig 5, claim 1; figs 1, 3, 4	1, 15
A	CA 2 368 386 (HOLLOMAN) 23 September 1999 (23.09.99), abstract	1, 15

Further documents are listed in the continuation of Box C.

Patent family members are listed in annex.

\* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"I" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance, the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international-type search  
21 December 2004 (21-12-2004)Date of mailing of the international-type search report  
21 February 2005 (21-02-2005)Name and mailing address of the ISA/CA  
Commissioner of Patents  
Canadian Patent Office - PCT  
Ottawa/Gatineau K1A 0C9  
Facsimile No 1-819-953-9358Authorized officer  
Terry Cartile (819) 997-2951

Patent Document cited in Search Report		Publication Date	Patent Family Members	Publication Date
CA Y	2436451	15-08-2002	WO 02063383 A1	15-08-2002
			EP 1361475 A1	12-11-2003
			CN 1488081 T	07-04-2004
CA Y	2354018	22-06-2000	WO 00036583 C2	07-11-2002
			TW 0527579 B	11-04-2003
			JP 2002532762 T2	02-10-2002
			EP 1145216 A3	11-09-2002
			AU 0023616 A5	03-07-2000
CA Y	2249592	30-07-1998	WO 9833165 A1	30-07-1998
			US 5990629	23-11-1999
			TW 0441136 B	16-06-2001
			JP 10333641 A2	18-12-1998
			EP 0906609 A1	07-04-1999
			CN 1216135 T	05-05-1999
CA A	2463653	15-01-2004	WO 04006218 A3	08-07-2004
			US 20040196275 A1	07-10-2004
			JP 2004045488 A2	12-02-2004
US A	6323631	27-11-2001	GB 2371429 B2	09-06-2004
			GB 0101398 A	07-03-2001
CA A	2368386	23-09-1999	WO 9948079 A1	23-09-1999
			US 6288696	11-09-2001
			US 6097360	01-08-2000
			JP 2002507773 T2	12-03-2002
			AU 3087499 A1	11-10-1999

---

フロントページの続き

(81)指定国 AP(BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW

(74)代理人 100097504

弁理士 青木 純雄

(72)発明者 ネイサン, アロキア

カナダ国 エヌ２エル ５ケ－８ オンタリオ州、 ウォータールー、 カルペッパー ドライブ ５５

(72)発明者 サカリヤ, カピル, ヴィ.

カナダ国 エヌ２エム ５ビー５ オンタリオ州、 キッチナー、 ナンバー２８、 ウェストウッド ドライブ ４２３

(72)発明者 セルヴァティ, ペイマン

カナダ国 エヌ２ヴィ ２アール６ オンタリオ州、 ウォータールー、 セダー ベンド ドライブ ７５３

(72)発明者 ジャファバラディアシティアニ, シャヒン

カナダ国 エヌ２エム ２シー７ オンタリオ州、 ウォータールー、 ナンバー１０６、 ブリベック クレッセント ２４

Fターム(参考) 5C080 AA06 BB05 EE29 FF11 JJ02 JJ03 JJ05