

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第6376574号
(P6376574)

(45) 発行日 平成30年8月22日(2018.8.22)

(24) 登録日 平成30年8月3日(2018.8.3)

(51) Int.Cl.			F I		
HO 1 L	21/02	(2006.01)	HO 1 L	27/12	B
HO 1 L	27/12	(2006.01)	BO 1 J	37/02	3 O 1 Z
BO 1 J	37/02	(2006.01)	BO 1 J	21/04	M
BO 1 J	21/04	(2006.01)	HO 1 L	27/088	3 3 1
HO 1 L	27/088	(2006.01)	HO 1 L	29/78	3 O 1 X

請求項の数 21 (全 15 頁) 最終頁に続く

(21) 出願番号	特願2017-505089 (P2017-505089)	(73) 特許権者	591003943 インテル・コーポレーション
(86) (22) 出願日	平成26年8月5日(2014.8.5)		アメリカ合衆国 95054 カリフォル ニア州・サンタクララ・ミッション カレ ッジ ブレーバード・2200
(65) 公表番号	特表2017-524257 (P2017-524257A)	(74) 代理人	110000877 龍華国際特許業務法人
(43) 公表日	平成29年8月24日(2017.8.24)	(72) 発明者	ビマラセティ、ゴピナス アメリカ合衆国 95054 カリフォル ニア州・サンタクララ・ミッション カレ ッジ ブレーバード・2200 インテル ・コーポレーション内
(86) 国際出願番号	PCT/US2014/049674		
(87) 国際公開番号	W02016/022098		
(87) 国際公開日	平成28年2月11日(2016.2.11)		
審査請求日	平成29年7月31日(2017.7.31)		

最終頁に続く

(54) 【発明の名称】 触媒酸化物の形成によって生成されたマイクロ電子デバイス分離を含む非プレーナトランジスタ、システム、および非プレーナトランジスタを製造する方法

(57) 【特許請求の範囲】

【請求項 1】

非プレーナトランジスタを製造する方法であって、
活性領域を形成する段階と、
前記活性領域の上方に、フィン型の第 1 トランジスタおよびフィン型の第 2 トランジスタとを形成する段階と、
前記第 1 トランジスタのフィン型チャンネルと、前記第 2 トランジスタのフィン型チャンネルとを含むフィン型チャンネル部を形成する段階と、
前記フィン型チャンネル部の第 1 側面、第 2 側面、および上面とを覆う酸化触媒層を設ける段階と、
前記酸化触媒層に隣接した前記フィン型チャンネル部を酸化して、前記酸化触媒層および前記活性領域に囲まれた酸化物分離ゾーンを形成する段階と、を備え、
前記酸化物分離ゾーンは、前記第 1 トランジスタおよび前記第 2 トランジスタを電氣的に絶縁する、方法。

【請求項 2】

前記フィン型チャンネル部は、前記酸化触媒層が前記第 1 側面、前記第 2 側面、および前記上面を覆って設けられた第 1 の領域と、前記酸化触媒層が前記第 1 側面、前記第 2 側面、および前記上面を覆って設けられていない第 2 の領域とを有する、請求項 1 に記載の方法。

【請求項 3】

前記フィン型チャンネル部を酸化させた後に前記酸化触媒層を除去する段階をさらに含む、請求項 1 または 2 に記載の方法。

【請求項 4】

前記フィン型チャンネル部を形成する段階は、シリコン含有のフィン型チャンネル部を形成する段階を含む、請求項 1 から 3 のいずれか一項に記載の方法。

【請求項 5】

前記フィン型チャンネル部上に前記酸化触媒層を設ける段階は、アルミニウム、酸化アルミニウム、酸化タンタル、酸化イットリウム、酸化ハフニウム、酸化チタン、および酸化ジルコニウムを含む群から選択される材料を設けてパターニングする段階を含む、請求項 1 から 3 のいずれか一項に記載の方法。

10

【請求項 6】

前記フィン型チャンネル部を形成する段階は、シリコン半導体により前記フィン型チャンネル部を形成する段階を含み、前記フィン型チャンネル部上に前記酸化触媒層を設ける段階は、前記シリコン半導体上に酸化アルミニウムを設けてパターニングする段階を含む、請求項 1 から 3 のいずれか一項に記載の方法。

【請求項 7】

前記フィン型チャンネル部を酸化させる段階は、約 400 から 650 の間の温度においておよび大気圧未満の圧力において水素、酸素、亜酸化窒素、および蒸気のうちの少なくとも 1 つの気体混合物に半導体本体を曝露する段階を含む、請求項 6 に記載の方法。

【請求項 8】

前記フィン型チャンネル部上に少なくとも 1 つのトランジスタゲートを形成する段階をさらに含む、請求項 1 から 3 のいずれか一項に記載の方法。

20

【請求項 9】

前記第 1 トランジスタの前記フィン型チャンネルおよび前記第 2 トランジスタの前記フィン型チャンネルのうちの少なくとも 1 つの上に少なくとも 1 つのトランジスタゲートを形成する段階をさらに含む、請求項 1 から 3 のいずれか一項に記載の方法。

【請求項 10】

活性領域と、

前記活性領域の上方に設けられたフィン型の第 1 トランジスタおよびフィン型の第 2 トランジスタと、

30

前記第 1 トランジスタのフィン型チャンネルと、前記第 2 トランジスタのフィン型チャンネルとを含むフィン型チャンネル部であって、第 1 側面、第 2 側面、および上面を有するフィン型チャンネル部と、

前記第 1 側面、前記第 2 側面、および前記上面を覆う酸化触媒層と、を備え、

前記フィン型チャンネル部は、前記酸化触媒層および前記活性領域に囲まれた酸化物分離ゾーンを有し、

前記酸化物分離ゾーンは、前記第 1 トランジスタと前記第 2 トランジスタとを電氣的に絶縁する、非プレーナトランジスタ。

【請求項 11】

前記フィン型チャンネル部は、前記酸化触媒層が前記第 1 側面、前記第 2 側面、および前記上面を覆って設けられた第 1 の領域と、前記酸化触媒層が前記第 1 側面、前記第 2 側面、および前記上面を覆って設けられていない第 2 の領域とを有する、請求項 10 に記載の非プレーナトランジスタ。

40

【請求項 12】

前記フィン型チャンネル部はシリコン含有材料を備える、請求項 10 または 11 に記載の非プレーナトランジスタ。

【請求項 13】

前記酸化物分離ゾーンは二酸化ケイ素を備える、請求項 12 に記載の非プレーナトランジスタ。

【請求項 14】

50

前記酸化触媒層は、アルミニウム、酸化アルミニウム、酸化タンタル、酸化イットリウム、酸化ハフニウム、酸化チタン、および酸化ジルコニウムを含む群から選択される材料を備える、請求項 10 から 13 のいずれか一項に記載の非プレーナトランジスタ。

【請求項 15】

前記第 1 トランジスタの前記フィン型チャンネルおよび前記第 2 トランジスタの前記フィン型チャンネルのうちの少なくとも 1 つの上に少なくとも 1 つのトランジスタゲートをさらに備える、請求項 10 から 13 のいずれか一項に記載の非プレーナトランジスタ。

【請求項 16】

ボードと、

前記ボードに取り付けられたマイクロ電子デバイスとを備え、

前記マイクロ電子デバイスは、

活性領域と、

前記活性領域の上方に設けられたフィン型の第 1 トランジスタおよびフィン型の第 2 トランジスタと、

前記第 1 トランジスタのフィン型チャンネルと、前記第 2 トランジスタのフィン型チャンネルとを含むフィン型チャンネル部であって、第 1 側面、第 2 側面、および上面を含むフィン型チャンネル部と、

前記第 1 側面、前記第 2 側面、および前記上面とを覆う酸化触媒層と、を含む非プレーナトランジスタを有し、

前記フィン型チャンネル部は、前記酸化触媒層および前記活性領域に囲まれた酸化物分離ゾーンを含み、

前記酸化物分離ゾーンは、前記第 1 トランジスタと前記第 2 トランジスタとを電気的に絶縁する、電子システム。

【請求項 17】

前記フィン型チャンネル部は、前記酸化触媒層が前記第 1 側面、前記第 2 側面、および前記上面を覆って設けられた第 1 の領域と、前記酸化触媒層が前記第 1 側面、前記第 2 側面、および前記上面を覆って設けられていない第 2 の領域とを有する、請求項 16 に記載の電子システム。

【請求項 18】

前記フィン型チャンネル部はシリコン含有材料を備える、請求項 16 または 17 に記載の電子システム。

【請求項 19】

前記酸化物分離ゾーンは二酸化ケイ素を備える、請求項 18 に記載の電子システム。

【請求項 20】

前記酸化触媒層は、アルミニウム、酸化アルミニウム、酸化タンタル、酸化イットリウム、酸化ハフニウム、酸化チタン、および酸化ジルコニウムからなる群から選択される材料を備える、請求項 16 から 19 のいずれか一項に記載の電子システム。

【請求項 21】

前記第 1 トランジスタの前記フィン型チャンネルおよび前記第 2 トランジスタの前記フィン型チャンネルのうちの少なくとも 1 つの上に少なくとも 1 つのトランジスタゲートをさらに備える、請求項 16 から 19 のいずれか一項に記載の電子システム。

【発明の詳細な説明】

【技術分野】

【0001】

本明細書の実施形態は、一般にマイクロ電子デバイスの分野に関し、より詳細には、非プレーナマイクロ電子トランジスタ間の分離構造を形成することに関する。

【背景技術】

【0002】

集積回路構成要素の性能を高めること、コストを低くすること、小型化を進めること、および集積回路のパッケージング密度を大きくすることは、マイクロ電子デバイスの作製

10

20

30

40

50

についてのマイクロ電子産業の目下の目的である。これらの目的を達成するために、マイクロ電子デバイス内のトランジスタはスケールダウン、すなわちより小さくならなければならない。したがって、マイクロ電子産業は、トライゲートトランジスタ、FinFET、omega-FET、およびダブルゲートトランジスタを含む、非プレーナトランジスタなど、ユニークな構造を開発した。これらの非プレーナトランジスタ構造の発展は、今度は、それらの設計および/またはそれらの作製プロセスの改善とともにそれらの効率を改善する推進力を生み出した。

【0003】

本開示の主題は、本明細書の結論部分において特に指摘され、明確に特許請求される。本開示の上記および他の特徴は、以下の説明および添付の特許請求の範囲から、添付の図面とともに読まれればより十分に明らかになる。添付の図面は、本開示によるいくつかの実施形態を示すものにすぎず、したがって、その範囲を限定すると見なされるべきではないことを理解されたい。本開示の利点がより容易に把握され得るように、本開示について、添付の図面を使用することによってさらなる特異性および詳細とともに説明する。

【図面の簡単な説明】

【0004】

【図1】当技術分野で知られている、非プレーナトランジスタの斜視図である。

【図2】当技術分野で知られている、分離ギャップを有する非プレーナトランジスタの斜視図である。

【図3】本明細書の一実施形態による、選択的接触酸化によって形成された分離ゾーンを有する非プレーナトランジスタの斜視図である。

【図4】本明細書の一実施形態による、半導体本体における分離ゾーンの形成の斜視図である。

【図5】本明細書の一実施形態による、半導体本体における分離ゾーンの形成の側面断面図である。

【図6】本明細書の一実施形態による、半導体本体において分離ゾーンの形成の側面断面図である。

【図7】本明細書の一実施形態による、半導体本体において分離ゾーンの形成の側面断面図である。

【図8】本明細書の一実施形態による、半導体本体において分離ゾーンを作製するプロセスのフローチャートである。

【図9】本明細書の一実施形態によるコンピューティングデバイスを示す。

【発明を実施するための形態】

【0005】

以下の詳細な説明では、特許請求する主題が実施され得る特定の実施形態を例として示す添付の図面への参照が行われる。当業者が主題を実施することが可能になるように、これらの実施形態について十分詳細に説明する。様々な実施形態は、異なっても、必ずしも相互排他的であるとは限らないことを理解されたい。例えば、一実施形態に関して、本明細書で説明する特定の特征、構造、または特性は、特許請求する主題の趣旨および範囲から逸脱することなく他の実施形態内で実装され得る。「一実施形態(embodiment)」または「ある実施形態(an embodiment)」への本明細書内の言及は、その実施形態に関して説明する特定の特征、構造、または特性が、本明細書内に包含される少なくとも1つの実施形態中に含まれることを意味する。したがって、「一実施形態」または「ある実施形態では」という句の使用は必ずしも同じ実施形態を指すとは限らない。さらに、各開示する実施形態内の個々の要素の位置または配置は、特許請求する主題の趣旨および範囲から逸脱することなく変更され得ることを理解されたい。以下の詳細な説明は、したがって、限定的な意味に取られるべきではなく、主題の範囲は、添付の特許請求の範囲の権利がそれに付与された均等物の全範囲とともに、適切に解釈された、添付の特許請求の範囲によってのみ定義される。図面において、同じ数字はいくつかの図全体にわたって同じまたは同様の要素または機能を指し、それらの図中に示され

10

20

30

40

50

たその要素は必ずしも互いに一定の縮尺であるとは限らず、むしろ個々の要素は、要素を本明細書の文脈においてより容易に理解するために拡大または縮小されていることがある。

【0006】

本明細書で使用する「を覆う(over)」、「に(to)」、「間の(between)」および「上の(on)」という用語は、1つの層の他の層に対する相対的位置を指し得る。別の層「を覆う」かまたはその「上の」、あるいは別の層「に」接合された1つの層は、他の層と直接接触していることがあるか、あるいは1つまたは複数の介在層を有し得る。層「間の」1つの層は、それらの層と直接接触していることがあるか、あるいは1つまたは複数の介在層を有し得る。

10

【0007】

本明細書の実施形態は非プレーナトランジスタデバイスの作製に関係する。少なくとも一実施形態では、本主題は、半導体本体上の触媒の形成と、それに続く酸化プロセスとによって、非プレーナトランジスタの半導体本体において酸化物分離構造を形成することに関係する。

【0008】

トライゲートトランジスタ、FinFET、omega-FET、およびダブルゲートトランジスタなど、非プレーナトランジスタの作製では、極めて小さい(例えば、約30nm未満の)ゲート長で完全空乏が可能なトランジスタを形成するために非プレーナ半導体本体が使用され得る。例えばトライゲートトランジスタでは、半導体本体は概してフィン形を有し、その上面および2つの対向する側壁がバルク半導体基板またはシリコンオンインシュレータ基板上に形成される。半導体本体の上面および側壁上にゲート誘電体が形成され得、半導体本体の上面上のゲート誘電体にわたっておよび半導体本体の側壁上のゲート誘電体に隣接してゲート電極が形成され得る。このようにして、ゲート誘電体およびゲート電極は半導体本体の3つの表面に隣接するので、3つの別個のチャネルおよびゲートが形成される。3つの別個のチャネルが形成されているので、トランジスタがオンにされたとき、半導体本体は十分に空乏化され得る。

20

【0009】

図1は、基板上に形成された、半導体本体上に形成されたいくつかのゲートを含むいくつかのトランジスタの斜視図である。本開示の一実施形態では、基板102は、シャロートレンチ分離(STI)領域などの離間された分離領域104のペアを有する、単結晶シリコンなどのシリコン含有材料であり得、それらの分離領域104のペアはそれらの間に基板活性領域106を画成する。しかしながら、基板102は必ずしもシリコン単結晶基板である必要はなく、ゲルマニウム、ヒ化ガリウム、アンチモン化インジウム、テルル化鉛、ヒ化インジウム、リン化インジウム、アンチモン化ガリウムなど、他のタイプの基板であり得、それらのいずれもシリコンと組み合わせられ得る。分離領域104は、基板102においてトレンチを形成し、それらのトレンチを酸化ケイ素(SiO₂)などの電気絶縁性材料で埋めることによって形成され得る。

30

【0010】

トライゲートトランジスタとして示されている各トランジスタ100は、基板活性領域106に隣接して形成された半導体本体112を含む。半導体本体112は、上面114と、側壁116および対向する側壁118の、横方向に対向する側壁のペアとを有するフィン形構造であり得る。半導体本体112は、単結晶または単一結晶シリコンなど、シリコン含有材料であり得る。本開示の一実施形態では、半導体本体112は基板102と同じ半導体材料から形成され得る。本開示の別の実施形態では、半導体本体112は、基板102を形成するために使用される材料とは異なる半導体材料から形成され得る。本開示のさらに別の実施形態では、半導体本体112は、半導体本体112がその中でひずみを誘起させるように、バルク半導体基板102とは異なる格子定数またはサイズを有する単一の結晶性半導体から形成され得る。

40

【0011】

50

図1にさらに示されているように、半導体本体112にわたって少なくとも1つのゲート122が形成され得る。ゲート122は、半導体本体112の上面114上にまたはそれに隣接して、および横方向に対向する側壁116、118のペア上にまたはそれらに隣接してゲート誘電体層124を形成し、ゲート誘電体層124上にまたはそれに隣接してゲート電極126を形成することによって作製され得る。

【0012】

ゲート誘電体層124は、限定はしないが、二酸化ケイ素(SiO_2)、酸窒化ケイ素(SiO_xN_y)、窒化ケイ素(Si_3N_4)、ならびに酸化ハフニウム、ハフニウムシリコン酸化物、酸化ランタン、ランタンアルミニウム酸化物、酸化ジルコニウム、ジルコニウムシリコン酸化物、酸化タンタル、酸化チタン、バリウムストロンチウムチタニウム酸化物、バリウムチタニウム酸化物、ストロンチウムチタニウム酸化物、酸化イットリウム、酸化アルミニウム、鉛スカンジウムタンタル酸化物、および鉛亜鉛ニオブ酸塩などの高k誘電体材料を含む、任意のよく知られているゲート誘電体材料から形成され得る。ゲート誘電体層124は、当業者には理解されるように、化学気相堆積(「CVD」)、物理気相堆積(「PVD」)、原子層堆積(「ALD」)など、ゲート電極材料を堆積させ、次いで、よく知られているフォトリソグラフィおよびエッチング技法を用いてゲート電極材料をパターニングすることなどによって、よく知られている技法によって形成され得る。

【0013】

図1に示されているように、ゲート電極126は、ゲート誘電体層124上にまたはそれに隣接して形成され得る。ゲート電極126は任意の好適なゲート電極材料から形成され得る。本開示の一実施形態では、ゲート電極126は、限定はしないが、ポリシリコン、タングステン、ルテニウム、パラジウム、白金、コバルト、ニッケル、ハフニウム、ジルコニウム、チタン、タンタル、アルミニウム、炭化チタン、炭化ジルコニウム、炭化タンタル、炭化ハフニウム、炭化アルミニウム、他の金属炭化物、金属窒化物、および金属酸化物を含む材料から形成され得る。ゲート電極126は、当業者には理解されるように、ゲート電極材料をプランケット堆積させ、次いで、よく知られているフォトリソグラフィおよびエッチング技法を用いてゲート電極材料をパターニングすることなどによって、よく知られている技法によって形成され得る。

【0014】

トランジスタの「幅」は、側壁116における半導体本体112の高さ(図示せず)+上面114における半導体本体112の幅(図示せず)+対向する側壁118における半導体本体112の高さ(図示せず)に等しい。本開示の実装形態では、半導体本体112は、ゲート122に実質的に鉛直な方向に延びている。

【0015】

ソース領域およびドレイン領域(図示せず)は、半導体本体112においてゲート電極126の両側に形成され得ることを理解されたい。ソースおよびドレイン領域は、N型またはP型導電性など、同じ導電性から形成され得る。ソースおよびドレイン領域は、均一なドーピング濃度を有し得るか、あるいは先端領域(例えば、ソース/ドレイン拡張)など、異なる濃度またはドーピングプロファイルのサブ領域を含み得る。本開示の実装形態のいくつかの実装形態では、ソースおよびドレイン領域は実質的に同じドーピング濃度およびプロファイルを有し得るが、他の実装形態では、それらは異なり得る。

【0016】

トランジスタ100の作製では、図2に示されているように、比較的長い半導体本体112および/または本体が形成され得、次いで、ゲート122の形成の前または後のいずれかにおいてギャップ130を形成するためにその部分が除去され得る。1つまたは複数のギャップ130の形成は、半導体本体の1つの部分112₁を別の部分112₂から電氣的に絶縁することによって半導体本体の所望の長さを形成する。所望の長さは、半導体本体112の特定の部分に沿って形成されるべきゲート122の数によって決定される。しかしながら、ドライエッチングなど、ギャップ130を形成するためのプロセスは、

10

20

30

40

50

限定はしないが、当業者には理解されるように、著しい可変性、エッチ偏り、およびフィンの基部における不完全なエッチングを含む問題を有する。当業者には理解されるように、エッチ偏りは、所望の限界寸法よりも大きい幅を有するギャップ130を生じ得、不完全なエッチングは不十分な電氣的絶縁を生じ得る。さらに、ひずまされた半導体本体112が有利であるトランジスタデバイスでは、ギャップ130は自由表面エッジを形成し、ギャップ130に近接した半導体本体112上でひずみの緩和を生じ得る。この緩和は、減少関数として、ギャップ130から離れて半導体本体の全長に沿って延長し、それにより、性能が隣のトランジスタとは異なるようになる。

【0017】

図3に示されているように、本開示の一実施形態では、半導体本体112において酸化物分離ゾーン140が形成され得、それにより、酸化物分離ゾーン140によって互いに実質的に電氣的に絶縁された、半導体本体の第1の部分112₁と、半導体本体の第2の部分112₂との形成がもたらされる。酸化物分離ゾーン140は、半導体本体112の一部を選択的に誘電体酸化物に変換することによって形成され得る。

【0018】

一実施形態では、図4および図5に示されているように、半導体本体112上に酸化触媒層142がパターニングされ得る。図5に示されているように、酸化触媒層142は、当技術分野で知られている任意の技法によって、半導体本体の上面114と、半導体本体の側壁116および118との上に共形に堆積され得る。酸化触媒層142は、下にある半導体本体112の酸化のための触媒として作用することが可能な任意の適切な材料であり得る。一実施形態では、酸化触媒層142は、アルミニウム、酸化アルミニウム、酸化タンタル、酸化イットリウム、酸化ハフニウム、酸化チタン、酸化ジルコニウム、同様の金属またはそれらの関連する酸化物であり得る。特定の実施形態では、半導体本体112はシリコン含有材料であり得、酸化触媒層142は酸化アルミニウムであり得る。一実施形態では、酸化触媒層142は原子層堆積プロセスによって堆積され得、このプロセスは、酸化触媒層142の厚さのばらつきを最小限に抑えるのに役立つ。酸化触媒層142は、限定はしないが、フォトリソグラフィおよびエッチング技法を含む、当技術分野で知られている任意の技法によって半導体本体112上にパターニングされ得る。

【0019】

図6に示されているように、半導体本体112（図5参照）は、酸化触媒層142の下にあるかまたはそれに隣接する半導体本体112（図5参照）を酸化物分離ゾーン140に変換する酸化プロセスにかけられ得る。一実施形態では、酸化プロセスは、例えば乾燥酸化、湿式酸化、高速熱アニールなどの大気酸化の典型的な酸化技法として、またはプラズマ酸化などの準大気技法として実施され得る。酸化触媒層142の存在により、半導体本体112は、酸化触媒層142と接触していない半導体本体112の部分よりも約10倍速い速度で酸化物に変換するようになり得る。これは、酸化触媒層142によって覆われた領域によって画成される酸化をより深くし得る。さらに、深い酸化は酸化触媒層142の接触領域のみにおいて生じるので、酸化物分離ゾーン140の所望の限界寸法が維持され得る。

【0020】

特定の実施形態では、酸化触媒層142は、シリコンを備える半導体本体112の一部の上に原子層堆積によって堆積された酸化アルミニウムであり得る。半導体本体112および酸化触媒層142は、（必要とされる酸化物の厚さによって決定される）所定の持続時間の間、約400 から650 の間の温度（より詳細には、約630 ）において、水素ガスおよび/または酸素ガスの低圧気体混合物に曝露され得る。

【0021】

図7に示されているように、酸化物分離ゾーン140の形成の後に、場合によっては酸化触媒層142（図6参照）が除去され得る。酸化物分離ゾーン140は、ゲート122（図3参照）の形成より前にまたはその後形成され得ることを理解されたい。さらに、明瞭にするために単一の半導体本体112が示されているが、基板102（図1参照）上

10

20

30

40

50

で互いに実質的に平行に延長している複数の半導体本体 1 1 2 があり得ることを理解されたい。

【 0 0 2 2 】

図 8 は、本明細書の一実施形態による、非プレーナトランジスタを作製するプロセス 2 0 0 のフローチャートである。ブロック 2 0 2 に記載されているように、半導体本体が形成され得る。ブロック 2 0 4 に記載されているように、半導体本体上に酸化触媒層がパターンニングされ得る。ブロック 2 0 6 に記載されているように、酸化触媒層の下にまたはそれに隣接して半導体本体内に酸化物分離ゾーンを形成するために半導体本体が酸化され得る。

【 0 0 2 3 】

図 9 は、本明細書の一実装形態によるコンピューティングデバイス 3 0 0 を示す。コンピューティングデバイス 3 0 0 はボード 3 0 2 を収容する。ボード 3 0 2 は、限定はしないが、プロセッサ 3 0 4 および少なくとも 1 つの通信チップ 3 0 6 A、3 0 6 B を含む、いくつかの構成要素を含み得る。プロセッサ 3 0 4 は、ボード 3 0 2 に物理的および電気的に結合される。いくつかの実装形態では、少なくとも 1 つの通信チップ 3 0 6 A、3 0 6 B も、ボード 3 0 2 に物理的および電気的に結合される。さらなる実装形態では、通信チップ 3 0 6 A、3 0 6 B はプロセッサ 3 0 4 の一部である。

【 0 0 2 4 】

コンピューティングデバイス 3 0 0 は、その用途に応じて、ボード 3 0 2 に物理的および電気的に結合されることも結合されないこともある、他の構成要素を含み得る。これらの他の構成要素は、限定はしないが、揮発性メモリ（例えば、DRAM）、不揮発性メモリ（例えば、ROM）、フラッシュメモリ、グラフィックスプロセッサ、デジタル信号プロセッサ、暗号プロセッサ、チップセット、アンテナ、ディスプレイ、タッチスクリーンディスプレイ、タッチスクリーンコントローラ、バッテリー、オーディオコーデック、ビデオコーデック、電力増幅器、全地球測位システム（GPS）デバイス、コンパス、加速度計、ジャイロスコープ、スピーカー、カメラ、および（ハードディスクドライブ、コンパクトディスク（CD）、デジタル多用途ディスク（DVD）などの）大容量ストレージデバイスを含む。

【 0 0 2 5 】

通信チップ 3 0 6 A、3 0 6 B は、コンピューティングデバイス 3 0 0 間でデータの転送のためのワイヤレス通信を可能にする。「ワイヤレス」という用語およびその派生形は、非固体媒体を通して変調された電磁放射の使用によってデータを通信し得る、回路、デバイス、システム、方法、技法、通信チャネルなどについて説明するために使用され得る。この用語は、関連するデバイスがどんなワイヤも含まないことを暗示するものではないが、いくつかの実装形態では、それらは含まないことがある。通信チップ 3 0 6 は、限定はしないが、Wi-Fi（IEEE 802.11 ファミリー）、WiMAX（IEEE 802.16 ファミリー）、IEEE 802.20、ロングタームエボリューション（LTE）、Ev-DO、HSPA+、HSDPA+、HSUPA+、EDGE、GSM（登録商標）、GPRS、CDMA、TDMA、DECT、Bluetooth（登録商標）、それらの派生物、ならびに 3G、4G、5G、およびそれ以降として示される任意の他のワイヤレスプロトコルを含む、いくつかのワイヤレス規格またはプロトコルのいずれかを実装し得る。コンピューティングデバイス 3 0 0 は複数の通信チップ 3 0 6 A、3 0 6 B を含み得る。例えば、第 1 の通信チップ 3 0 6 A は、Wi-Fi および Bluetooth（登録商標）など、より短距離のワイヤレス通信に専用であり得、第 2 の通信チップ 3 0 6 B は、GPS、EDGE、GPRS、CDMA、WiMAX、LTE、Ev-DO など、より長距離のワイヤレス通信に専用であり得る。

【 0 0 2 6 】

コンピューティングデバイス 3 0 0 のプロセッサ 3 0 4 は、上記で説明した方法で作製された非プレーナトランジスタを含み得る。「プロセッサ」という用語は、レジスタおよび/またはメモリからの電子データを処理して、その電子データをレジスタおよび/また

10

20

30

40

50

はメモリに記憶され得る他の電子データに変換する任意のデバイスまたはデバイスの部分を指し得る。さらに、通信チップ306A、306Bは、上記で説明した方法で作製された非プレーナトランジスタを含み得る。

【0027】

様々な実装形態では、コンピューティングデバイス300は、ラップトップ、ネットブック、ノートブック、ウルトラブック、スマートフォン、タブレット、携帯情報端末(PDA)、ウルトラモバイルPC、モバイルフォン、デスクトップコンピュータ、サーバ、プリンタ、スキャナ、モニタ、セットトップボックス、エンターテインメントコントロールユニット、デジタルカメラ、ポータブル音楽プレーヤ、またはデジタルビデオレコーダであり得る。さらなる実装形態では、コンピューティングデバイス300は、データを処理する任意の他の電子デバイスであり得る。

10

【0028】

本明細書の主題は、図1～図9に示されている特定の適用例に必ずしも限定されるとは限らないことを理解されたい。本主題は、当業者には理解されるように、他のマイクロ電子デバイスおよびアセンブリ適用例、ならびに任意の適切なトランジスタ適用例に適用され得る。

【0029】

以下の例はさらなる実施形態に関係し、実施例1は、非プレーナトランジスタを形成する方法であって、半導体本体を形成することと、半導体本体上に酸化触媒層をパターニングすることと、酸化触媒層に隣接して半導体本体内に酸化物分離ゾーンを形成するために半導体本体を酸化させることとを含む方法である。

20

【0030】

実施例2では、実施例1の主題は、半導体本体を酸化させた後に酸化触媒層を除去することを含むことを、場合によっては含むことができる。

【0031】

実施例3では、実施例1から実施例2のいずれかの主題は、半導体本体を形成することが、フィン形構造を形成することを含むことを、場合によっては含むことができる。

【0032】

実施例4では、実施例1から実施例3のいずれかの主題は、半導体本体を形成することが、シリコン含有半導体本体を形成することを含むことを、場合によっては含むことができる。

30

【0033】

実施例5では、実施例1から実施例4のいずれかの主題は、半導体本体上に酸化触媒層をパターニングすることが、アルミニウム、酸化アルミニウム、酸化タンタル、酸化イットリウム、酸化ハフニウム、酸化チタン、および酸化ジルコニウムからなる群から選択される材料をパターニングすることを含むことを、場合によっては含むことができる。

【0034】

実施例6では、実施例1から実施例5のいずれかの主題は、半導体本体を形成することが、シリコン半導体本体を形成することを含み、半導体本体上に酸化触媒層をパターニングすることが、シリコン半導体本体上に酸化アルミニウムをパターニングすることを含むことを、場合によっては含むことができる。

40

【0035】

実施例7では、実施例1から実施例6のいずれかの主題は、半導体本体を酸化させることが、約400 から650 の間の温度において、および大気圧未満の圧力において水素、酸素、亜酸化窒素、および蒸気のうちの少なくとも1つを含む気体混合物に半導体本体を曝露することを含むことを、場合によっては含むことができる。

【0036】

実施例8では、実施例1から実施例7のいずれかの主題は、半導体本体上に少なくとも1つのトランジスタゲートを形成することを、場合によっては含むことができる。

【0037】

50

実施例 9 では、実施例 1 から実施例 8 のいずれかの主題は、酸化物分離ゾーンを形成するために、および半導体本体から半導体本体の第 1 の部分と半導体本体の第 2 の部分とを形成するために半導体本体を酸化させることを、場合によっては含むことができ、酸化物分離ゾーンは、半導体本体の第 1 の部分と半導体本体の第 2 の部分とを実質的に電氣的に分離する。

【 0 0 3 8 】

実施例 1 0 では、実施例 1 から実施例 9 のいずれかの主題は、半導体本体の第 1 の部分と半導体本体の第 2 の部分とのうちの少なくとも 1 つの上に少なくとも 1 つのトランジスタゲートを形成することを、場合によっては含むことができる。

【 0 0 3 9 】

以下の実施例はさらなる実施形態に関係し、実施例 1 1 は、第 1 の部分と第 2 の部分とを含む半導体本体と、半導体本体の酸化された部分を備える酸化物分離ゾーンとを備える非プレーナトランジスタであり、酸化物分離ゾーンは、半導体本体の第 1 の部分と半導体本体の第 2 の部分とを実質的に電氣的に絶縁する。

【 0 0 4 0 】

実施例 1 2 では、実施例 1 1 の主題は、半導体本体がシリコン含有材料を備えることを、場合によっては含むことができる。

【 0 0 4 1 】

実施例 1 3 では、実施例 1 1 から実施例 1 2 のいずれかの主題は、酸化物分離ゾーンが二酸化ケイ素を備えることを、場合によっては含むことができる。

【 0 0 4 2 】

実施例 1 4 では、実施例 1 1 から実施例 1 3 のいずれかの主題は、酸化物分離ゾーンに隣接してパターンニングされた酸化触媒層を、場合によっては含むことができる。

【 0 0 4 3 】

実施例 1 5 では、実施例 1 1 から実施例 1 4 のいずれかの主題は、酸化触媒層が、アルミニウム、酸化アルミニウム、酸化タンタル、酸化イットリウム、酸化ハフニウム、酸化チタン、および酸化ジルコニウムからなる群から選択される材料を備えることを、場合によっては含むことができる。

【 0 0 4 4 】

実施例 1 6 では、実施例 1 1 から実施例 1 5 のいずれかの主題は、場合によっては、半導体本体の第 1 の部分と半導体本体の第 2 の部分とのうちの少なくとも 1 つの上に少なくとも 1 つのトランジスタゲートを含むことができる。

【 0 0 4 5 】

以下の実施例はさらなる実施形態に関係し、実施例 1 7 は、ボードと、ボードに取り付けられたマイクロ電子デバイスとを備える電子システムであり、マイクロ電子デバイスは、第 1 の部分と第 2 の部分とを含む半導体本体と、半導体本体の酸化された部分を備える酸化物分離ゾーンとを備える非プレーナトランジスタを含み、酸化物分離ゾーンは、半導体本体の第 1 の部分と半導体本体の第 2 の部分とを実質的に電氣的に絶縁する。

【 0 0 4 6 】

実施例 1 8 では、実施例 1 7 の主題は、半導体本体がシリコン含有材料を備えることを、場合によっては含むことができる。

【 0 0 4 7 】

実施例 1 9 では、実施例 1 7 から実施例 1 8 のいずれかの主題は、酸化物分離ゾーンが二酸化ケイ素を備えることを、場合によっては含むことができる。

【 0 0 4 8 】

実施例 2 0 では、実施例 1 7 から実施例 1 9 のいずれかの主題は、場合によっては、酸化物分離ゾーンに隣接してパターンニングされた酸化触媒層を含むことができる。

【 0 0 4 9 】

実施例 2 1 では、実施例 1 7 から実施例 2 0 のいずれかの主題は、酸化触媒層が、アルミニウム、酸化アルミニウム、酸化タンタル、酸化イットリウム、酸化ハフニウム、酸化

10

20

30

40

50

チタン、および酸化ジルコニウムからなる群から選択される材料を備えることを、場合によっては含むことができる。

【 0 0 5 0 】

実施例 2 2 では、実施例 1 7 から実施例 2 1 のいずれかの主題は、場合によっては、半導体本体の第 1 の部分と半導体本体の第 2 の部分とのうちの少なくとも 1 つの上に少なくとも 1 つのトランジスタゲートを含むことができる。

【 0 0 5 1 】

このように本明細書の実施形態について詳細に説明したが、添付の特許請求の範囲によって定義される本明細書は、その趣旨または範囲から逸脱することなくその多くの明らかな変形形態が可能であるので、上記の説明に記載された特定の詳細によって限定されるものではないことを理解されたい。

10

【 項目 1 】

非プレーナトランジスタを形成する方法であって、
半導体本体を形成することと、
前記半導体本体上に酸化触媒の層をパターニングすることと、
前記酸化触媒に隣接して前記半導体本体内に酸化物分離ゾーンを形成するために前記半導体本体を酸化させることとを含む方法。

【 項目 2 】

前記半導体本体を酸化させた後に前記酸化触媒の層を除去することをさらに含む、項目 1 に記載の方法。

20

【 項目 3 】

前記半導体本体を形成することは、フィン構造を形成することを含む、項目 1 に記載の方法。

【 項目 4 】

前記半導体本体を形成することは、シリコン含有半導体本体を形成することを含む、項目 1 から 3 のいずれか一項に記載の方法。

【 項目 5 】

前記半導体本体上に酸化触媒の層をパターニングすることは、アルミニウム、酸化アルミニウム、酸化タンタル、酸化イットリウム、酸化ハフニウム、酸化チタン、および酸化ジルコニウムを含む群から選択される材料をパターニングすることを含む、項目 1 から 3

30

【 項目 6 】

前記半導体本体を形成することは、シリコン半導体本体を形成することを含み、前記半導体本体上に前記酸化触媒の層をパターニングすることは、前記シリコン半導体本体上に酸化アルミニウムをパターニングすることを含む、項目 1 から 3 のいずれか一項に記載の方法。

【 項目 7 】

前記半導体本体を酸化させることは、約 4 0 0 から 6 5 0 の間の温度においておよび大気圧未満の圧力において水素、酸素、亜酸化窒素、および蒸気のうちの少なくとも 1 つの気体混合物に半導体本体を曝露することを含む、項目 6 に記載の方法。

40

【 項目 8 】

前記半導体本体上に少なくとも 1 つのトランジスタゲートを形成することをさらに含む、項目 1 から 3 のいずれか一項に記載の方法。

【 項目 9 】

酸化物分離ゾーンを形成するために前記半導体本体を酸化させることは、半導体本体の第 1 の部分と半導体本体の第 2 の部分とを形成し、前記酸化物分離ゾーンは、前記半導体本体の第 1 の部分と前記半導体本体の第 2 の部分とを実質的に電氣的に分離する、項目 1 から 3 のいずれか一項に記載の方法。

【 項目 1 0 】

前記半導体本体の第 1 の部分と前記半導体本体の第 2 の部分とのうちの少なくとも 1 つ

50

の上に少なくとも1つのトランジスタゲートを形成することをさらに含む、項目9に記載の方法。

[項目11]

第1の部分と第2の部分を含む半導体本体と、

前記半導体本体の酸化された部分を備える酸化物分離ゾーンであって、前記半導体本体の第1の部分と前記半導体本体の第2の部分とを実質的に電氣的に絶縁する、酸化物分離ゾーンとを備える、非プレーナトランジスタ。

[項目12]

前記半導体本体はシリコン含有材料を備える、項目11に記載の非プレーナトランジスタ。

10

[項目13]

前記酸化物分離ゾーンは二酸化ケイ素を備える、項目12に記載の非プレーナトランジスタ。

[項目14]

前記酸化物分離ゾーンに隣接してパターニングされた酸化触媒の層をさらに備える、項目11から13のいずれか一項に記載の非プレーナトランジスタ。

[項目15]

前記酸化触媒の層は、アルミニウム、酸化アルミニウム、酸化タンタル、酸化イットリウム、酸化ハフニウム、酸化チタン、および酸化ジルコニウムを含む群から選択される材料を備える、項目14に記載の非プレーナトランジスタ。

20

[項目16]

前記半導体本体の第1の部分と前記半導体本体の第2の部分とのうちの少なくとも1つの上に少なくとも1つのトランジスタゲートをさらに備える、項目11から13のいずれか一項に記載の非プレーナトランジスタ。

[項目17]

ボードと、

前記ボードに取り付けられたマイクロ電子デバイスであって、前記マイクロ電子デバイスが、第1の部分と第2の部分とを含む半導体本体と、前記半導体本体の酸化された部分を備える酸化物分離ゾーンとを備える少なくとも1つの非プレーナトランジスタを含み、前記酸化物分離ゾーンが、前記半導体本体の第1の部分と前記半導体本体の第2の部分とを実質的に電氣的に絶縁する、マイクロ電子デバイスとを備える、電子システム。

30

[項目18]

前記半導体本体はシリコン含有材料を備える、項目17に記載の電子システム。

[項目19]

前記酸化物分離ゾーンは二酸化ケイ素を備える、項目18に記載の電子システム。

[項目20]

前記酸化物分離ゾーンに隣接してパターニングされた酸化触媒の層をさらに備える、項目17から19のいずれか一項に記載の電子システム。

[項目21]

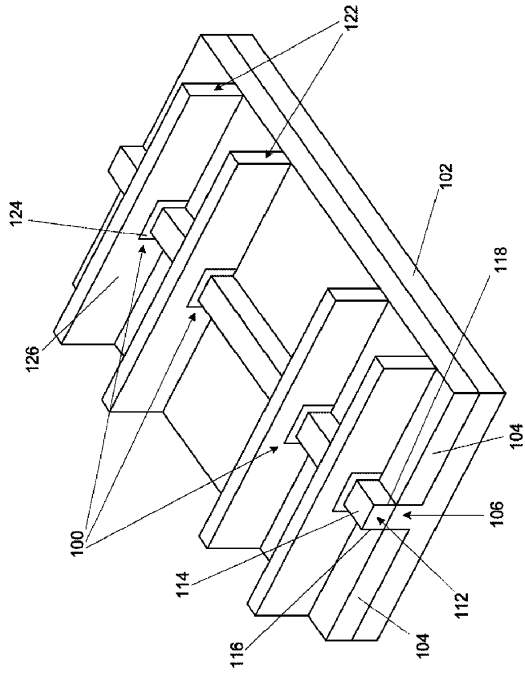
前記酸化触媒の層は、アルミニウム、酸化アルミニウム、酸化タンタル、酸化イットリウム、酸化ハフニウム、酸化チタン、および酸化ジルコニウムからなる群から選択される材料を備える、項目20に記載の電子システム。

40

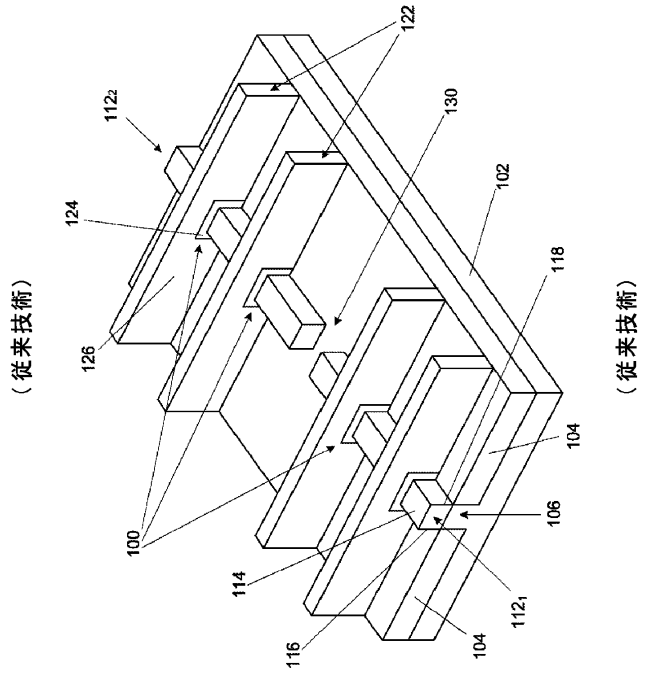
[項目22]

前記半導体本体の第1の部分と前記半導体本体の第2の部分とのうちの少なくとも1つの上に少なくとも1つのトランジスタゲートをさらに備える、項目17から19のいずれか一項に記載の電子システム。

【図1】



【図2】



【図3】

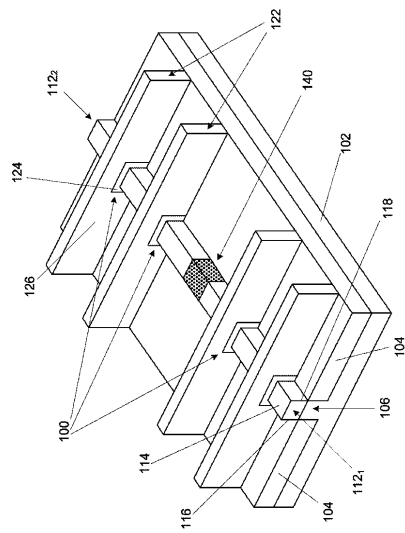


FIG. 3

【図4】

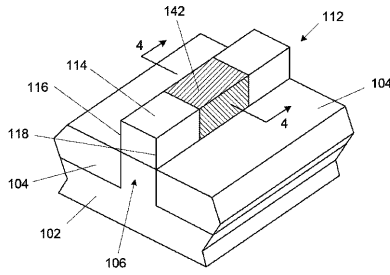


FIG. 4

【図5】

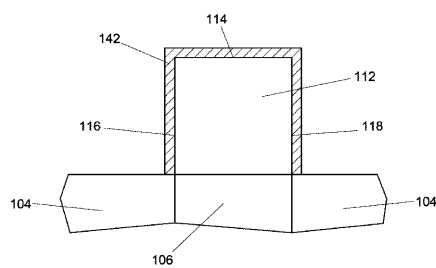


FIG. 5

【図6】

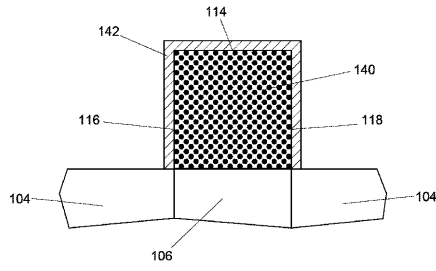


FIG. 6

【図7】

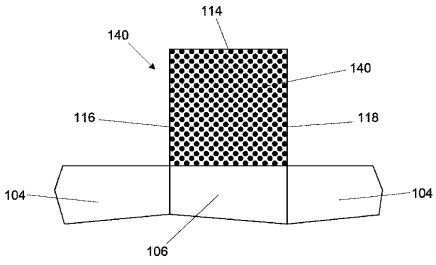
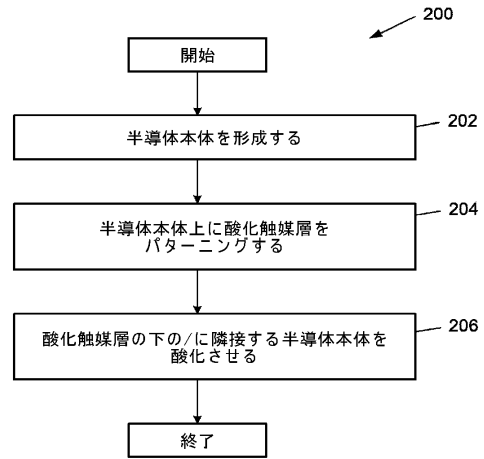
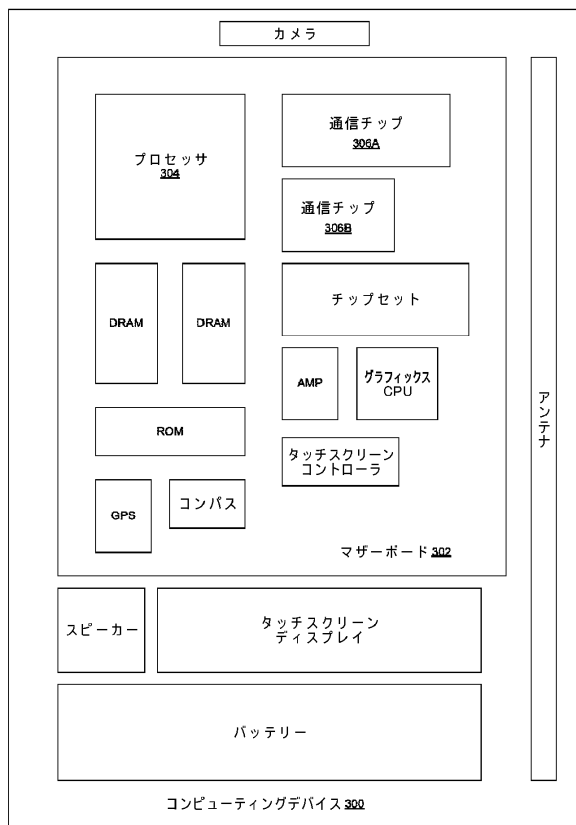


FIG. 7

【図8】



【図9】



フロントページの続き

(51)Int.Cl. F I

H 0 1 L 21/336 (2006.01)

H 0 1 L 29/78 (2006.01)

(72)発明者 ハーフェツ、ワリド

アメリカ合衆国 9 5 0 5 4 カリフォルニア州・サンタクララ・ミッション カレッジ ブーレ
バード・2 2 0 0 インテル・コーポレーション内

(72)発明者 パーク、ジョーダン

アメリカ合衆国 9 5 0 5 4 カリフォルニア州・サンタクララ・ミッション カレッジ ブーレ
バード・2 2 0 0 インテル・コーポレーション内

(72)発明者 ハン、ウェイミン

アメリカ合衆国 9 5 0 5 4 カリフォルニア州・サンタクララ・ミッション カレッジ ブーレ
バード・2 2 0 0 インテル・コーポレーション内

(72)発明者 コトナー、レイモンド

アメリカ合衆国 9 5 0 5 4 カリフォルニア州・サンタクララ・ミッション カレッジ ブーレ
バード・2 2 0 0 インテル・コーポレーション内

審査官 佐藤 靖史

(56)参考文献 米国特許出願公開第2011/0147847(US, A1)

特表2014-508396(JP, A)

特開2011-216719(JP, A)

特開2013-084715(JP, A)