

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2014年6月26日(26.06.2014)



(10) 国際公開番号

WO 2014/097836 A1

- (51) 国際特許分類:
H05K 1/18 (2006.01) H01L 21/822 (2006.01)
G06K 19/07 (2006.01) H01L 27/04 (2006.01)
G06K 19/077 (2006.01) H01L 23/12 (2006.01)
- (21) 国際出願番号: PCT/JP2013/081853
- (22) 国際出願日: 2013年11月27日(27.11.2013)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2012-276636 2012年12月19日(19.12.2012) JP
- (71) 出願人: 株式会社村田製作所(MURATA MANUFACTURING CO., LTD.) [JP/JP]; 〒6178555 京都府長岡京市東神足1丁目10番1号 Kyoto (JP).
- (72) 発明者: 村山博美(MURAYAMA, Hiromi); 〒6178555 京都府長岡京市東神足1丁目10番1号 株式会社村田製作所内 Kyoto (JP). 東端和亮(HIGASHIBATA, Kazuaki); 〒6178555 京都府長岡京市東神足1丁目10番1号 株式会社村田製作所内 Kyoto (JP). 加藤登(KATO, Noboru); 〒6178555 京都府長岡京市東神足1丁目10番1号 株式会社村田製作所内 Kyoto (JP).
- (74) 代理人: 特許業務法人 楓国際特許事務所(KAEDE PATENT ATTORNEYS' OFFICE); 〒5400011 大阪府大阪市中央区農人橋1丁目4番34号 Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ユーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR,

[続葉有]

(54) Title: CHIP COMPONENT MOUNTING STRUCTURE, AND MODULE COMPONENT

(54) 発明の名称: チップ部品の実装構造およびモジュール部品

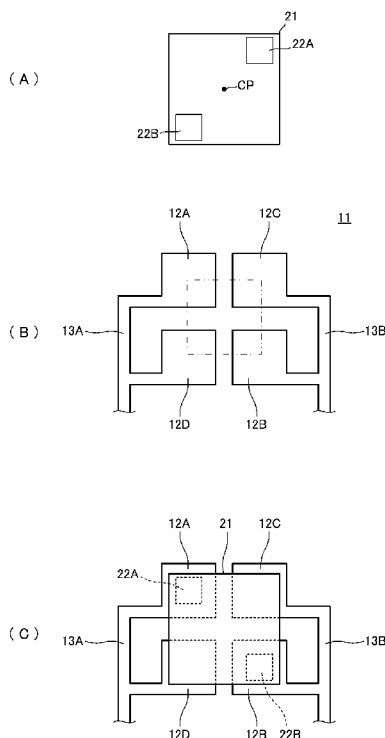


図1

(57) Abstract: External terminals (22A, 22B) are disposed on a mounting surface of a chip component (21) at positions having a rotational symmetry of 180° to each other relative to the center point (CP) of the mounting surface of the chip component (21). The mounting surface of a substrate (11) is provided with: a first mounting terminal (12A) and a second mounting terminal (12B) disposed in first diagonal positions of a square represented by a two-dot chain line; and a third mounting terminal (12C) and a fourth mounting terminal (12D) disposed in second diagonal positions of the square. The first mounting terminal (12A) and the fourth mounting terminal (12D) are connected by a terminal connection part (13A), and the second mounting terminal (12B) and the third mounting terminal (12C) are connected by a terminal connection part (13B). The chip component (21) can be mounted in any of four directions rotated every 90 degrees, providing the same characteristics electrically.

(57) 要約: チップ部品(21)の実装面には、チップ部品(21)の実装面の中心点(CP)に対して互いに180°回転対称の位置に外部端子(22A, 22B)が配置されている。基板(11)の実装面には、二点鎖線で示す正方形の第1の対角位置に配置された第1の実装用端子(12A)、第2の実装用端子(12B)、および前記正方形の第2の対角位置に配置された第3の実装用端子(12C)、第4の実装用端子(12D)を備えている。第1の実装用端子(12A)と第4の実装用端子(12D)とは端子接続部(13A)で接続されていて、第2の実装用端子(12B)と第3の実装用端子(12C)とは端子接続部(13B)で接続されている。チップ部品(21)は90度ずつ回転させた4通りのいずれの向きにも実装でき、電氣的に同じ特性が得られる。



GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT,
NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI
(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML,
MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称： チップ部品の実装構造およびモジュール部品

技術分野

[0001] 本発明は基板に対するチップ部品の実装構造およびチップ部品を備えたモジュール部品に関する発明である。

背景技術

[0002] 例えば、UHF帯のRFID用タグのアンテナは、RFID用のICと、その2つの外部端子に接続されるダイポールアンテナとで構成されるのが一般的である（特許文献1参照）。このように極性の無い2つの外部端子を備えたICを接続する場合には、その2つの外部端子をICの実装面に対して180°回転対称の関係となる位置に形成しておけば、ICを180°のどちら向きにも実装でき、且つ同じ特性を得ることができる。

先行技術文献

特許文献

[0003] 特許文献1：特表2011-517840号公報
特許文献2：特開2007-102558号公報

発明の概要

発明が解決しようとする課題

[0004] 最近のICは、小型化、ハンドリング性の向上、信頼性の向上等の理由により、平面視で正方形に近づく傾向がある。そのため、ICの平面形状だけではICの向きを判別できず、ICの実装面のパターンを見ないと分からない。またはICの上面に方向識別用のマークを付ける必要がある。しかもいずれの場合でも、実装機はICの実装面または上面を撮像し、ICが所定の向きとなるように真空チャックを回転させる工程が必要になるので、実装速度が高められない。

[0005] 一方、特許文献2には、電気的には二端子部品であるICチップを実装する際、その実装の向きが0°、90°、180°、270°いずれであって

も動作可能にした構造が示されている。

[0006] しかし、特許文献2に示されている構造では、次のような解決すべき課題がある。

[0007] (1) ICチップ内で対角線上にある端子同士を接続しておき、回路基板上の4つの端子のうち2つを電位的に浮いた浮き端子とした構造では、浮き端子に静電気が印加されると、ICチップ内の配線接続部にESD電流が流れることになる。しかし、ICチップ内の配線は一般的に配線抵抗が高く、ESD電流のような大電流が流れると、発熱による断線が起きる問題がある。

[0008] (2) 実装する回路基板がポリイミドや液晶ポリマーなどのフレキシブル基板である場合、基板のたわみなどによって4端子のうち幾つかが確実に接合されないおそれがある。そのため、電氣的接続不良を発生しやすい。

[0009] (3) 回路基板上の各端子ははんだブリッジなどによるショートを防ぐために各端子の周囲は一般にレジストで覆われる。しかし、実装する回路基板がポリイミドや液晶ポリマーなどのフレキシブル基板である場合、基板のたわみなどによってレジストにクラックが入りやすく、クラック部分ではんだブリッジが生じ、端子間がショートするおそれがある。特許文献2の構造では、斜め方向の端子間がショートしても電氣的特性への影響は無いが、縦横方向のどこかで端子間がショートしてしまうと特性劣化が発生する。

[0010] 上述の問題はモノリシック半導体ICに限らず、実装面に外部端子が形成された表面実装チップ部品一般に同様に生じる。

[0011] そこで、本発明の目的は、基板に対するチップ部品の実装方向の自由度を高めて、チップ部品の製造を容易にし、また基板に対する実装効率を高めた、チップ部品の実装構造を提供することにある。

課題を解決するための手段

[0012] 本発明のチップ部品の実装構造は次に示すような構造である。

[0013] (1) 表面に実装用端子(パッド・ランド)が形成された基板と、実装面に外部端子が形成された表面実装チップ部品とを備えた、チップ部品の実装構造であり、

前記チップ部品の外部端子は、前記チップ部品の実装面の中心に対して互いに 180° 回転対称の位置に配置された少なくとも一对の（2つの）外部端子を含み、

前記基板の実装用端子は、正方形の第1の対角位置に配置された第1・第2の実装用端子と、前記正方形の第2の対角位置に配置された第3・第4の実装用端子と、を含み、

前記第1・第2の実装用端子は前記チップ部品の外部端子が対向し得る位置にあり、且つ前記第3・第4の実装用端子は前記チップ部品の外部端子が対向し得る位置にあり、

前記第1の実装用端子と第4の実装用端子とが接続されていて、前記第2の実装用端子と第3の実装用端子とが接続されている。

[0014] 上記の構造によれば、チップ部品の2つの外部端子が基板側の第1・第2の実装用端子に接続される状態と、チップ部品の2つの外部端子が基板側の第3・第4の実装用端子に接続される状態のいずれも採り得る。すなわち、チップ部品は 90° 回転対称の4方向のいずれでも実装でき且つ電氣的に同様に作用する。

[0015] (2) 前記外部端子は、前記チップ部品の実装面の中心に対して互いに 90° 回転対称の位置に配置された少なくとも4つの外部端子を含み、この4つの外部端子のうち第1の対角位置にある2つの外部端子は信号端子であり、第2の対角位置にある2つの外部端子は浮き端子であることが好ましい。この構造によれば、チップ部品は少なくとも4つの外部端子で基板に実装され、且つ2つの信号端子に電氣的に影響を与えることがない。

[0016] (3) 前記外部端子（複数）は、前記4つの外部端子のうち隣接する2つの外部端子の間に配置された外部端子を更に備え、前記第1・第3の実装用端子の間、前記第2・第3の実装用端子の間、前記第1・第4の実装用端子の間、前記第2・第4の実装用端子の間にそれぞれ実装用端子を更に備えることが好ましい。この構造によれば、8つの外部端子を備えたチップ部品に適用できる。

[0017] (4) 前記外部端子(複数)は、前記中心に配置された外部端子を更に備え、前記4つの実装用端子の中央に実装用端子を更に備えることが好ましい。

この構造によれば、中央に外部端子を備えたチップ部品に適用できる。

[0018] (5) 例えば、前記チップ部品は、インピーダンス整合回路を備える基体と、この基体に搭載されたRFICを含んで構成されたものである。この構造によれば、RFICとのインピーダンス整合用の回路を基板に実装する必要がなくなるので、実装がより容易になるとともに、実装部の面積を縮小化できる。

[0019] (6) 本発明のモジュール部品は、上記(1)～(4)のいずれかに記載のチップ部品の実装構造を備え、前記基板と前記チップ部品とで構成されたものである。このような構造の場合でも、チップ部品の実装効率が高まる。

発明の効果

[0020] 本発明によれば、基板に対するチップ部品の実装方向の自由度が高まり、チップ部品の製造が容易となり、また基板に対する実装効率が高まる。また、実装方向の自由度を高めるための配線をチップ部品の内部に備える必要がないので、ESD電流による断線の問題が生じない。さらに、実装先回路基板がフレキシブルな基板であっても実質的な電氣的接続不良の問題およびレジスト膜機能の低下に起因する端子間ショートによる問題が生じ難い。

[0021] 本発明は、差動で動作する高周波用チップ部品において、チップ部品の外部端子がその入出力端子であるようなチップ部品に特に有用である。

図面の簡単な説明

[0022] [図1]図1(A)、図1(B)、図1(C)は第1の実施形態に係る、チップ部品の実装構造を示す図である。

[図2]図2(A)、図2(B)、図2(C)、図2(D)は、チップ部品21の4とおりの実装状態を示す図である。

[図3]図3は第1の実施形態に係るRFIDタグ101の平面図である。

[図4]図4はRFIDタグ101の回路構成を示すブロック図である。

[図5]図5は第2の実施形態に係るRFIDタグ102の平面図である。

[図6]図6は第3の実施形態に係るチップ部品21の実装面側から見た平面図である。

[図7]図7は第4の実施形態に係るRFIDタグ104の回路構成を示すブロック図である。

[図8]図8はRFIDタグ104の断面図である。

[図9]第4の実施形態に係るRFIDタグの別の整合回路の例を示す図である。

[図10]図10は第5の実施形態に係るチップ部品の実装面側から見た平面図である。

[図11]図11(A)、図11(B)、図11(C)は第6の実施形態に係る、チップ部品の実装構造を示す図である。

[図12]図12(A)、図12(B)、図12(C)、図12(D)は、チップ部品21の4とおりの実装状態を示す図である。

[図13]図13(A)、図13(B)、図13(C)は第7の実施形態に係る、チップ部品の実装構造を示す図である。

[図14]図14(A)、図14(B)、図14(C)は、第7の実施形態に係る別のチップ部品の実装構造を示す図である。

[図15]図15(A)、図15(B)、図15(C)は第7の実施形態に係る、別のチップ部品の実装構造を示す図である。

[図16]図16は、第7の実施形態に係る、さらに別のチップ部品の実装構造を示す図である。

[図17]図17(A)、図17(B)、図17(C)は第8の実施形態に係る、チップ部品の実装構造を示す図である。

[図18]図18(A)、図18(B)、図18(C)は第8の実施形態に係る、別のチップ部品の実装構造を示す図である。

[図19]図19(A)、図19(B)は、第9の実施形態に係るチップ部品の実装構造を示す図である。

[図20]図20(A)、図20(B)は、第9の実施形態に係る別のチップ部

品の実装構造を示す図である。

発明を実施するための形態

[0023] 《第1の実施形態》

図1 (A)、図1 (B)、図1 (C)は第1の実施形態に係る、チップ部品の実装構造を示す図である。図1 (A)はチップ部品の実装面側から見た平面図、図1 (B)は基板の実装用端子形成部分の平面図、図1 (C)はその実装用端子にチップ部品を実装した状態での平面図である。

[0024] 図1 (A)に示すように、チップ部品21の実装面には2つの外部端子22A, 22Bが形成されている。この2つの外部端子22A, 22Bは、チップ部品21の実装面の中心点CPに対して互いに180°回転対称の位置に配置されている。

[0025] 図1 (B)に示すように、基板11の実装面には4つの実装用端子12A, 12B, 12C, 12Dが形成されている。これらの実装用端子は、二点鎖線で示す正方形の第1の対角位置に配置された第1の実装用端子12A、第2の実装用端子12B、および前記正方形の第2の対角位置に配置された第3の実装用端子12C、第4の実装用端子12Dで構成されている。

[0026] 第1の実装用端子12Aと第4の実装用端子12Dとは端子接続部13Aで接続されていて、第2の実装用端子12Bと第3の実装用端子12Cとは端子接続部13Bで接続されている。

[0027] 第1の実装用端子12Aおよび第2の実装用端子12Bはチップ部品21の外部端子22A, 22Bが対向し得る位置にあり、且つ第3の実装用端子12Cおよび第4の実装用端子12Dはチップ部品21の外部端子22A, 22Bが対向し得る位置にある。図1 (C)に示す例では、チップ部品21の外部端子22A, 22Bは基板の第1の実装用端子12Aおよび第2の実装用端子12Bに対向する状態で実装されている。

[0028] 図2 (A)、図2 (B)、図2 (C)、図2 (D)は、チップ部品21の4とおりの実装状態を示す図である。図2 (A)は図1 (C)に示した状態と同じである。この図2 (A)に示す状態のチップ部品21の向きを0度と

し、右方向の回転角を正方向にとると、図2（B）はチップ部品21を90度回転させて実装した状態を表している。図2（C）はチップ部品21を180度回転させて実装した状態を表している。さらに、図2（D）はチップ部品21を270度回転させて実装した状態を表している。

[0029] 図2（A）に示す状態では、チップ部品21の外部端子22Aは、基板の実装用端子12A、端子接続部13Aを介して信号ライン14Aに接続される。チップ部品21の外部端子22Bは基板の実装用端子12Bを介して信号ライン14Bに接続される。

[0030] 図2（B）に示す状態では、チップ部品21の外部端子22Aは、基板の実装用端子12C、端子接続部13Aを介して信号ライン14Bに接続される。チップ部品21の外部端子22Bは基板の実装用端子12Bを介して信号ライン14Aに接続される。

[0031] 図2（C）に示す状態では、チップ部品21の外部端子22Aは基板の実装用端子12Bを介して信号ライン14Bに接続される。チップ部品21の外部端子22Bは、基板の実装用端子12A、端子接続部13Aを介して信号ライン14Aに接続される。

[0032] 図2（D）に示す状態では、チップ部品21の外部端子22Aは基板の実装用端子12Dを介して信号ライン14Aに接続される。チップ部品21の外部端子22Bは、基板の実装用端子12C、端子接続部13Bを介して信号ライン14Bに接続される。

[0033] したがって、上記4とおりのいずれの実装状態であっても、信号ライン14A、14Bにチップ部品の外部端子22A、22Bが接続され、チップ部品21が正しく動作することになる。しかもチップ部品を4とおりのいずれの向きに実装しても線路長は殆ど一定である。

[0034] 本実施形態によれば、または本発明によれば、次のような効果を奏する。

[0035] （1）基板にチップ部品が実装された状態で、実装用端子に静電気が印加されたとしても、ESD電流は配線抵抗の高いチップ内の配線流れずに、配線抵抗の低い基板上の配線流れようとするので、チップ部品をESDから

保護できる。

[0036] (2) 実装する回路基板がポリイミドや液晶ポリマーなどのフレキシブル基板である場合、基板のたわみなどによって4端子のうち幾つかが確実に接合されない場合でも、電氣的な接続状態が確保される確率が高く、実質的な不良は発生しにくい。

[0037] (3) 実装する回路基板がポリイミドや液晶ポリマーなどのフレキシブル基板である場合、基板のたわみなどによってレジストにクラックが入りやすく、クラック部分ではんだブリッジが生じるような場合でも、同電位の実装用端子同士がはんだブリッジしても、実質的なショートが生じないので、正常な電氣的な接続状態が確保される確率が高く、不良は発生しにくい。

[0038] (4) 特許文献2に示されるような浮き端子がないので、リフローはんだ工程時の実装用端子の温度上昇具合が均一になりやすい。その結果、端子温度の違いによる接合不良を軽減できる。

[0039] 図3は第1の実施形態に係るRFIDタグ101の平面図である。このRFIDタグ101は、導体パターンが形成されたフレキシブル基板11と、そこに実装された複数のチップ部品とで構成されている。フレキシブル基板11の第1面にはアンテナコイル32A、第2面にはアンテナコイル32Bがそれぞれ形成されている。また、第1面にはチップ部品21を含む複数のチップ部品が実装されている。

[0040] 図4は上記RFIDタグ101の回路構成を示すブロック図である。図4におけるインダクタLは図3に示したアンテナコイル32A、32Bに相当する。また、図4におけるキャパシタCは図3に示したチップキャパシタ31に相当する。このアンテナコイル32とキャパシタ31とによって共振周波数が定められ、アンテナコイル32はループアンテナとして作用する。図4におけるRFICは図3に示したチップ部品21に相当する。整合回路30はその他のチップ部品および配線パターンによって構成されている。

[0041] 上記チップ部品(RFIC)21の実装位置の構成は図1(B)に示したとおりであり、チップ部品21をフレキシブル基板11に実装する際、4と

おりのいずれの向きにも実装でき、いずれの向きでも電氣的に等しい特性が得られる。そのため、実装機はチップ部品の実装面または上面を撮像し、チップ部品が所定の向きとなるように真空チャックを回転させる工程が不要になるので、実装速度が向上し、生産効率が高まる。また、チップ部品の上面に方向識別用のマークを付ける必要が無いので、チップ部品の製造工程についてもリードタイムが短縮化され、低コスト化が図れる。

[0042] 《第2の実施形態》

図5は第2の実施形態に係るRFIDタグ102の平面図である。このRFIDタグ102は、導体パターンが形成されたフレキシブル基板11と、そこに実装された複数のチップ部品とで構成されている。フレキシブル基板11の第1面にはアンテナ素子33A、33Bが形成されている。また、チップ部品21、31が実装されている。

[0043] 図5におけるチップ部品21は第1の実施形態で示したチップ部品21であり、チップ部品31は整合用チップキャパシタである。アンテナ素子33A、33Bはダイポールアンテナを構成し、チップ部品21はアンテナ素子33A、33Bに平衡給電する。

[0044] このように電界放射型アンテナにも同様に適用できる。

[0045] 《第3の実施形態》

図6は第3の実施形態に係るチップ部品21の実装面側から見た平面図である。チップ部品21の実装面には、実装面の中心点CPを中心として、互いに90°回転対称の位置に4つの外部端子22A、22B、22C、22Dが配置されている。このうち2つの外部端子22A、22Bは信号端子であり、二点鎖線で示す正方形の第1の対角位置に配置されている。残る2つの外部端子22C、22Dは浮き端子（NC端子）であり、第2の対角位置に配置されている。

[0046] 上記チップ部品21が実装される基板側の実装用端子の形状は第1の実施形態で図1（B）に示したものと同一である。

[0047] この構造によれば、チップ部品21は4つの外部端子22A、22B、2

2 C, 2 2 Dが基板上の実装用端子1 2 A, 1 2 B, 1 2 C, 1 2 Dに実装されるので、接合強度が高まり、基板に対するチップ部品の平面性も高まる。また、リフローはんだによるセルフアライメント効果も高まる。しかも、4 とおりのいずれの向きに実装しても、浮き端子である外部端子2 2 C, 2 2 Dが電氣的に影響を与えることがない。

[0048] 《第4の実施形態》

図7は第4の実施形態に係るRFIDタグ104の回路構成を示すブロック図である。図8はRFIDタグ104の断面図である。但し、ハッチングの図示は省略している。このRFIDタグ104は、主にモジュール基板41およびICチップ51で構成されている。ICチップ51はRFICである。モジュール基板41は多層基板であり、内部にインダクタL1, L2、キャパシタC1, C2による整合回路が構成されている。

[0049] モジュール基板41上に実装用端子43A, 43Bが形成されていて、この実装用端子43A, 43BにICチップ51の外部端子52A, 52Bが接続されている。モジュール基板41の上部は例えばエポキシ系の封止樹脂61で封止されている。モジュール基板41上の実装用端子43A, 43Bの形状およびICチップ51の外部端子52A, 52Bの形状は図1(B)および図6に示したものと同様である。すなわち、ICチップ51はモジュール基板41に対して4とおりのいずれの向きにも実装可能である。

[0050] また、モジュール基板41の下面には外部端子42A, 42Bが形成されている。この外部端子42A, 42Bの形状についても図6に示したものと同様である。このRFIDタグ104を実装する基板には例えば磁界放射型のアンテナコイルまたは電界放射型のアンテナ素子が形成されていて、RFIDタグ104の実装位置には、図1(B)に示したものと同様の実装用端子12A, 12B, 12C, 12Dが形成されている。したがって、RFIDタグ104は実装先の基板に対して4とおりのいずれの向きにも実装可能である。

[0051] 図8に示す構造のRFIDタグ104を回路基板上に実装する場合、モジ

ジュール基板 4 1 上に IC 5 1 を実装した後に、この IC チップ 5 1 の実装されたジュール基板 4 1 を回路基板に実装する。回路基板とジュール基板との接続には主にはんだが用いられることが多いため、IC チップ 5 1 とジュール基板 4 1 との接続には、銀ナノペーストのような、はんだよりも融点が高いものを使用する。仮に、ジュール基板 4 1 に対する IC チップ 5 1 の実装にはんだを用い、回路基板とジュール基板との接続にも同じはんだを用いると、はんだスプラッシュによりショートするおそれが生じるが、上記の構成ではんだスプラッシュの問題は回避できる。但し、銀ナノペーストは、融点が高いものの機械的強度が相対的に低いという欠点がある。そこで、IC チップ 5 1 の周囲を樹脂封止することによって、機械的強度を確保することができる。また、IC チップ 5 1 を封止する樹脂 6 1 は電氣的絶縁性が高いため、IC チップ 5 1 に対する ESD 保護機能が高まる利点もある。また、リフローはんだ工程での熱は IC チップ 5 1 に直接加わず、ジュール基板 4 1 を介して伝わるだけであるので、IC チップ 5 1 への熱負荷を軽減できる。

[0052] 図 8 に示した例では、インダクタ L 1, L 2 によるオートトランス構造でインピーダンス変換されるが、ジュール基板 4 1 に構成される整合回路は図 8 に示したものに限らず、例えば図 9 (A)、図 9 (B) に示すような構造を採ることもできる。図 9 (A) の例では、インダクタ L 1, L 2、キャパシタ C 1, C 2 を備え、インダクタ L 1, L 2 でインピーダンス変換される。また、図 9 (B) の例では、インダクタ L 1, L 2、キャパシタ C 1, C 2, C 3, C 4 を備え、これらのインダクタおよびキャパシタでインピーダンス整合される。

[0053] なお、ジュール基板 4 1 には複数のチップ部品を実装してもよい。また、ジュール基板 4 1 内に別のチップ部品を埋設してもよい。

[0054] また、基板内にコイルが形成されたチップコイル（チップインダクタ）にも本発明は同様に適用できる。

[0055] 《第 5 の実施形態》

図10は第5の実施形態に係るチップ部品の実装面側から見た平面図である。第1～第4の実施形態では、平面形状が正方形のチップ部品を示したが、チップ部品の外形状は必ずしも正方形である必要はない。図10に示す例では、チップ部品21の実装面には、実装面の中心点CPを中心として、互いに90°回転対称の位置に4つの外部端子22A, 22B, 22C, 22Dが配置されている。このうち2つの外部端子22A, 22Bは信号端子であり、二点鎖線で示す正方形の第1の対角位置に配置されている。残る2つの外部端子22C, 22Dは浮き端子（NC端子）であり、第2の対角位置に配置されている。

[0056] このように、チップ部品の外形状は必ずしも正方形である必要はない。

[0057] 《第6の実施形態》

図11（A）、図11（B）、図11（C）は第6の実施形態に係る、チップ部品の実装構造を示す図である。図11（A）はチップ部品の実装面側から見た平面図、図11（B）は基板の実装用端子形成部分の平面図、図11（C）はその実装用端子にチップ部品を実装した状態での平面図である。

[0058] 図11（A）に示すように、チップ部品21の実装面には、実装面の中心点CPを中心として、互いに90°回転対称の位置に4つの外部端子22A, 22B, 22C, 22Dが配置されている。このうち2つの外部端子22A, 22Bは信号端子であり、二点鎖線で示す正方形の第1の対角位置に配置されている。残る2つの外部端子22C, 22Dは浮き端子（NC端子）であり、第2の対角位置に配置されている。

[0059] 図11（B）に示すように、基板の実装面には4つの実装用端子12A, 12B, 12C, 12Dが形成されている。これらの実装用端子は、二点鎖線で示す正方形の第1の対角位置に配置された第1の実装用端子12Aおよび第2の実装用端子12B、前記正方形の第2の対角位置に配置された第3の実装用端子12Cおよび第4の実装用端子12Dで構成されている。

[0060] 第1の実装用端子12Aと第4の実装用端子12Dとは端子接続部13Aで接続されていて、第2の実装用端子12Bと第3の実装用端子12Cとは

端子接続部 1 3 B で接続されている。

[0061] 第 1 の実装用端子 1 2 A および第 2 の実装用端子 1 2 B はチップ部品 2 1 の外部端子 2 2 A, 2 2 B が対向し得る位置にあり、且つ第 3 の実装用端子 1 2 C および第 4 の実装用端子 1 2 D はチップ部品 2 1 の外部端子 2 2 A, 2 2 B が対向し得る位置にある。

[0062] 図 1 2 (A)、図 1 2 (B)、図 1 2 (C)、図 1 2 (D) はチップ部品 2 1 の 4 とおりの実装状態を示す図である。図 1 2 (A) に示す状態のチップ部品 2 1 の向きを 0 度とし、右方向の回転角を正方向にとると、図 1 2 (B) はチップ部品 2 1 を 9 0 度回転させて実装した状態を表している。図 1 2 (C) はチップ部品 2 1 を 1 8 0 度回転させて実装した状態を表している。さらに、図 1 2 (D) はチップ部品 2 1 を 2 7 0 度回転させて実装した状態を表している。

[0063] 上記 4 とおりのいずれの実装状態であっても、信号ライン 1 4 A, 1 4 B にチップ部品の外部端子 2 2 A, 2 2 B が接続され、チップ部品 2 1 が正しく動作することになる。

[0064] なお、外部端子 1 2 A, 1 2 B のみを備えたもの (2 端子タイプ) においても同様に適用できる。

[0065] 《第 7 の実施形態》

第 7 の実施形態では、基板側の実装用端子の幾つかの異なる構造について示す。

[0066] 図 1 3 (A)、図 1 3 (B)、図 1 3 (C) は、第 7 の実施形態に係るチップ部品の実装構造を示す図である。図 1 3 (A) はチップ部品の実装面側から見た平面図、図 1 3 (B) は基板の実装用端子形成部分の平面図、図 1 3 (C) はその実装用端子にチップ部品を実装した状態での平面図である。

[0067] チップ部品 2 1 の構造は図 6 に示したとおりである。基板側の実装用端子 1 2 A, 1 2 D は端子接続部 1 3 A と一体化されている。同様に、実装用端子 1 2 B, 1 2 C は端子接続部 1 3 B と一体化されている。

[0068] このように、基板側の実装用端子は個別にパターン化されていなくてもよ

い。

[0069] 図14(A)、図14(B)、図14(C)は、第7の実施形態に係る別のチップ部品の実装構造を示す図である。これらの図において、基板上の端子接続部13A、13Bのパターンは同じであるが、レジスト膜71の開口窓72A、72B、72C、72Dのパターンが異なる。これらの図において、左側はチップ部品21の実装前の基板の部分平面図、右側はチップ部品21の実装後の部分平面図である。いずれも、レジスト膜71の開口窓72A、72B、72C、72Dにクリームはんだが印刷形成され、実装機でチップ部品21が実装され、リフロー炉を通すことで、はんだ付け実装される。

[0070] 図14(A)、図14(B)、図14(C)に表れているように、レジスト膜71の開口窓72A、72B、72C、72Dの位置によって、チップ部品21の実装位置および向きが定まる。また、リフローはんだの際のセルフアライメント効果により、チップ部品21の実装位置が定まる。

[0071] このように、端子接続部13A、13Bがチップ部品21の外部端子22A、22B、22C、22Dより大きく広がっていても、レジスト膜71の開口窓を設けることで、セルフアライメント効果が得られる。

[0072] 図15(A)、図15(B)、図15(C)は第7の実施形態に係る、別のチップ部品の実装構造を示す図である。図15(A)はチップ部品の実装面側から見た平面図、図15(B)は基板の実装用端子形成部分の平面図、図15(C)はその実装用端子にチップ部品を実装した状態での平面図である。

[0073] チップ部品21の構造は図6に示したとおりである。基板側の実装用端子12A、12Dは端子接続部13Aで接続され、実装用端子12Dはビア導体15Aを介して下層の配線パターンに接続されている。同様に、実装用端子12B、12Cは端子接続部13Bで接続され、実装用端子12Bはビア導体15Bを介して下層の配線パターンに接続されている。

[0074] このように、端子接続部13A、13Bはチップ部品の実装範囲内に配置

されてもよい。

[0075] 図16は、第7の実施形態に係る、さらに別のチップ部品の実装構造を示す図である。図16は基板の実装用端子形成部分の平面図である。基板の実装面に実装用端子12A、12B、12C、12Dが形成されていて、内層に端子接続部13A、13Bおよび信号ライン14A、14Bが形成されている。そして、実装用端子12A、12Dはビア導体を介して端子接続部13Aおよび信号ライン14Aに接続されている。同様に、実装用端子12B、12Cはビア導体を介して端子接続部13Bおよび信号ライン14Bに接続されている。

[0076] 《第8の実施形態》

第8の実施形態では5つの外部端子を備えるチップ部品の実装構造について示す。

[0077] 図17(A)、図17(B)、図17(C)は第8の実施形態に係る、チップ部品の実装構造を示す図である。図17(A)はチップ部品の実装面側から見た平面図、図17(B)は基板の実装用端子形成部分の平面図、図17(C)はその実装用端子にチップ部品を実装した状態での平面図である。

[0078] チップ部品21の実装面には、第1の対角位置に信号端子である外部端子22A、22B、浮き端子である外部端子22C、22Dが形成されていて、中央に外部端子22Eが更に形成されている。

[0079] 基板側には、4つの実装用端子12A、12B、12C、12Dが形成されていて、これら4つの実装用端子の中央に実装用端子12Eが更に形成されている。

[0080] チップ部品21は、4とおりのいずれの実装状態であっても、信号ライン14A、14Bにチップ部品の外部端子22A、22Bが接続され、且つ信号ライン14Eにチップ部品の外部端子22Eが接続されるので、チップ部品21が正しく動作することになる。例えば外部端子22Eはグランド端子であり、基板側のグランドに接続される。

[0081] 図18(A)、図18(B)、図18(C)は第8の実施形態に係る、別

のチップ部品の実装構造を示す図である。図 18 (A) はチップ部品の実装面側から見た平面図、図 18 (B) は基板の実装用端子形成部分の平面図、図 18 (C) はその実装用端子にチップ部品を実装した状態での平面図である。

[0082] チップ部品 21 の実装面には、第 1 の対角位置に信号端子である外部端子 22 A, 22 B、浮き端子である外部端子 22 C, 22 D を備えていて、外部端子 22 A と 22 C との中央に外部端子 22 E を更に備えている。

[0083] 基板側には、4 つの実装用端子 12 A, 12 B, 12 C, 12 D を備えていて、これら 4 つの実装用端子のうち、隣接する実装用端子の中央に実装用端子 12 E をそれぞれ備えている。

[0084] チップ部品 21 は、4 とおりのいずれの実装状態であっても、信号ライン 14 A, 14 B にチップ部品の外部端子 22 A, 22 B が接続され、且つ信号ライン 14 E にチップ部品の外部端子 22 E が接続されるので、チップ部品 21 が正しく動作することになる。例えば外部端子 22 E はグランド端子であり、基板側のグランドに接続される。

[0085] 《第 9 の実施形態》

第 9 の実施形態では 8 つ以上の外部端子を備えるチップ部品の実装構造について示す。

[0086] 図 19 (A)、図 19 (B) は、第 9 の実施形態に係るチップ部品の実装構造を示す図である。図 19 (A) はチップ部品 21 の実装面側から見た平面図、図 19 (B) は基板の実装用端子形成部分の平面図である。

[0087] チップ部品 21 の実装面には、第 1 の対角位置に信号端子である外部端子 22 A, 22 B、および、浮き端子である外部端子 22 C, 22 D を備えている。またこれら 4 つの外部端子のうち、隣接する外部端子の中央に外部端子 22 E をそれぞれ備えている。

[0088] 基板側には、4 つの実装用端子 12 A, 12 B, 12 C, 12 D を備えていて、これら 4 つの実装用端子のうち、隣接する実装用端子の中央に実装用端子 12 E をそれぞれ備えている。

[0089] チップ部品 21 は、4 とおりのいずれの実装状態であっても、信号ライン 14 A、14 B にチップ部品の外部端子 22 A、22 B が接続され、且つ信号ライン 14 E にチップ部品の外部端子 22 E が接続されるので、チップ部品 21 が正しく動作することになる。例えば外部端子 22 E はグランド端子であり、基板側のグランドに接続される。

[0090] 図 20 (A)、図 20 (B) は、第 9 の実施形態に係る別のチップ部品の実装構造を示す図である。図 20 (A) はチップ部品 21 の実装面側から見た平面図である。図 19 (A) に示した例と異なり、チップ部品 21 の実装面の中央に外部端子 22 V を更に備えている。外部端子 22 A、22 B は平衡信号端子、外部端子 22 C、22 D は浮き端子である。外部端子 22 E はグランド端子であり、共通接続されている。外部端子 22 V は電源端子である。このチップ部品は、2 つの信号端子以外に機能性端子（ここでは電源端子）を備えた一例である。

[0091] 基板側には、上記外部端子 22 A、22 B のいずれかが接続される 4 つの実装用端子 12 A、12 B、12 C、12 D を備えている。またいずれかの外部端子 22 E が接続される 2 つの実装用端子 12 E を備えている。さらに、中央には上記外部端子 22 V が接続される実装用端子 12 V を備えている。実装用端子 12 A、12 D はビア導体を介して下層の端子接続部および信号ラインに接続されている。同様に実装用端子 12 C、12 B はビア導体を介して下層の端子接続部および信号ラインに接続されている。実装用端子 12 E、12 V もビア導体を介して下層のラインにそれぞれ接続されている。

[0092] このように一辺に 3 個以上の外部端子を備え、且つ中央に外部端子を備えたチップ部品についても同様に適用できる。

符号の説明

[0093] C P … 中心点

11 … 基板

12 A … 第 1 の実装用端子

12 B … 第 2 の実装用端子

1 2 C…第3の実装用端子
1 2 D…第4の実装用端子
1 2 E, 1 2 V…実装用端子
1 3 A, 1 3 B…端子接続部
1 4 A, 1 4 B, 1 4 E…信号ライン
1 5 A, 1 5 B…ビア導体
2 1…チップ部品
2 2 A, 2 2 B, 2 2 C, 2 2 D, 2 2 E, 2 2 V…外部端子
3 0…整合回路
3 1…チップキャパシタ
3 2, 3 2 A, 3 2 B…アンテナコイル
3 3 A, 3 3 B…アンテナ素子
4 1…モジュール基板
4 2 A, 4 2 B…外部端子
4 3 A, 4 3 B…実装用端子
5 1…I Cチップ
5 2 A, 5 2 B…外部端子
6 1…封止樹脂
7 1…レジスト膜
7 2 A, 7 2 B, 7 2 C, 7 2 D…レジスト開口窓
1 0 1, 1 0 2, 1 0 4…RF I Dタグ

請求の範囲

- [請求項1] 表面に実装用端子が形成された基板と、実装面に外部端子が形成された表面実装チップ部品とを備えた、チップ部品の実装構造において、
- 前記チップ部品の外部端子は、前記チップ部品の実装面の中心に対して互いに 180° 回転対称の位置に配置された少なくとも一対の外部端子を含み、
- 前記基板の実装用端子は、正方形の第1の対角位置に配置された第1・第2の実装用端子と、前記正方形の第2の対角位置に配置された第3・第4の実装用端子と、を含み、
- 前記第1・第2の実装用端子は前記チップ部品の外部端子が対向し得る位置にあり、且つ前記第3・第4の実装用端子は前記チップ部品の外部端子が対向し得る位置にあり、
- 前記第1の実装用端子と第4の実装用端子とが接続されていて、前記第2の実装用端子と第3の実装用端子とが接続されている、ことを特徴とするチップ部品の実装構造。
- [請求項2] 前記外部端子は、前記チップ部品の実装面の中心に対して互いに 90° 回転対称の位置に配置された少なくとも4つの外部端子を含み、この4つの外部端子のうち第1の対角位置にある2つの外部端子は信号端子であり、第2の対角位置にある2つの外部端子は浮き端子である、請求項1に記載のチップ部品の実装構造。
- [請求項3] 前記外部端子は、前記4つの外部端子のうち隣接する2つの外部端子の間に配置された外部端子を更に備え、前記第1・第3の実装用端子の間、前記第2・第3の実装用端子の間、前記第1・第4の実装用端子の間、前記第2・第4の実装用端子の間にそれぞれ実装用端子を更に備える、請求項2に記載のチップ部品の実装構造。
- [請求項4] 前記外部端子は、前記中心に配置された外部端子を更に備え、前記4つの実装用端子の中央に実装用端子を更に備える、請求項2に記載

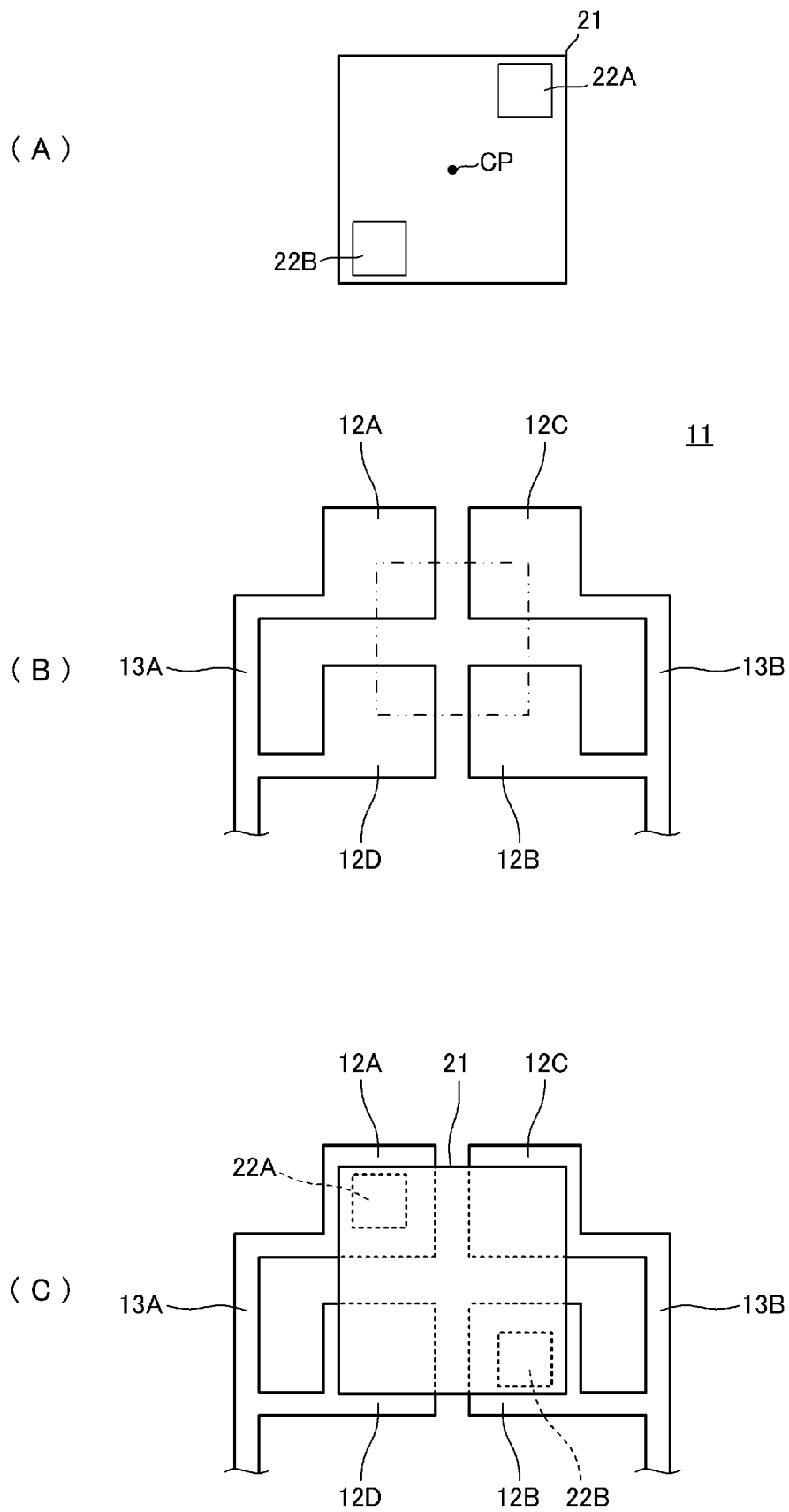
のチップ部品の実装構造。

[請求項5] 前記チップ部品は、インピーダンス整合回路を備える基体と、この基体に搭載されたICを含んで構成された、請求項1～4のいずれかに記載のチップ部品の実装構造。

[請求項6] 請求項1～4のいずれかに記載のチップ部品の実装構造を備え、前記基板と前記チップ部品とで構成されたモジュール部品。

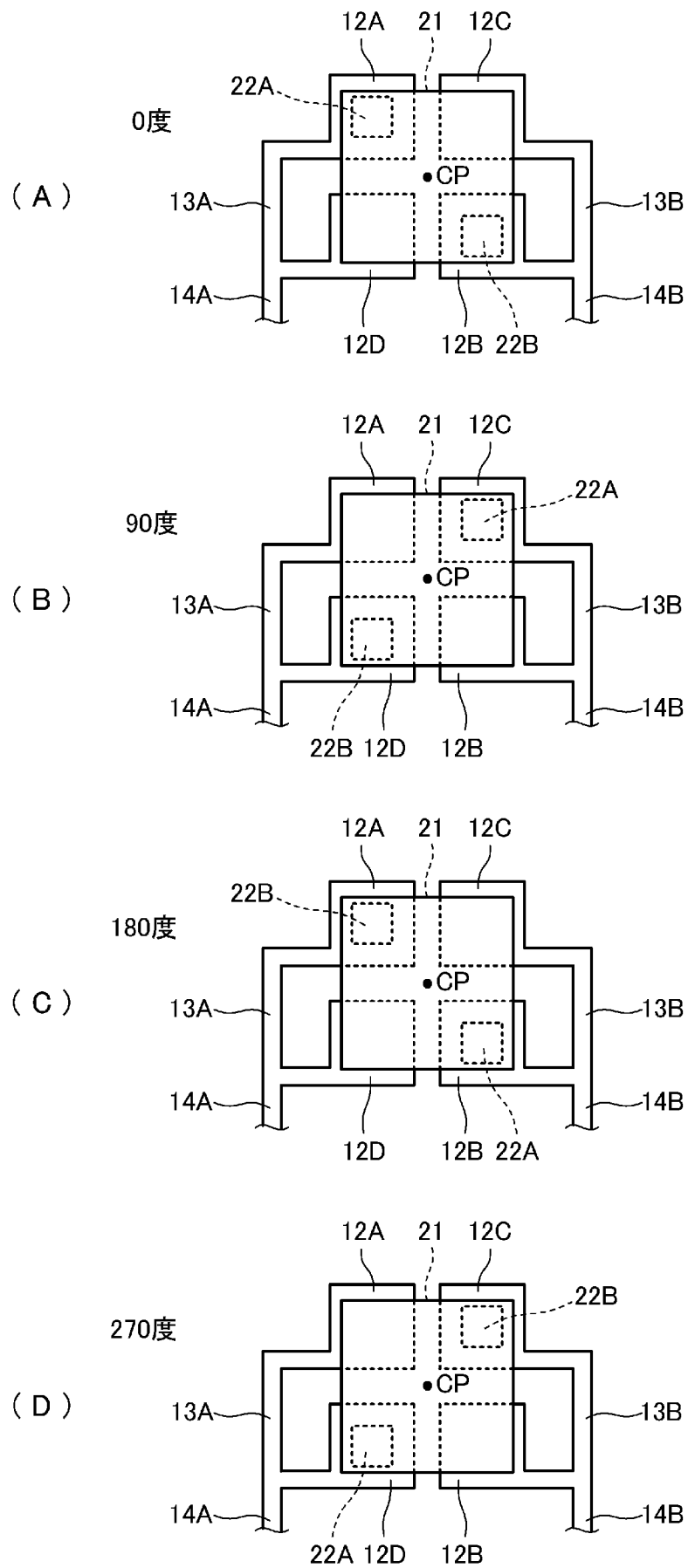
[図1]

図1



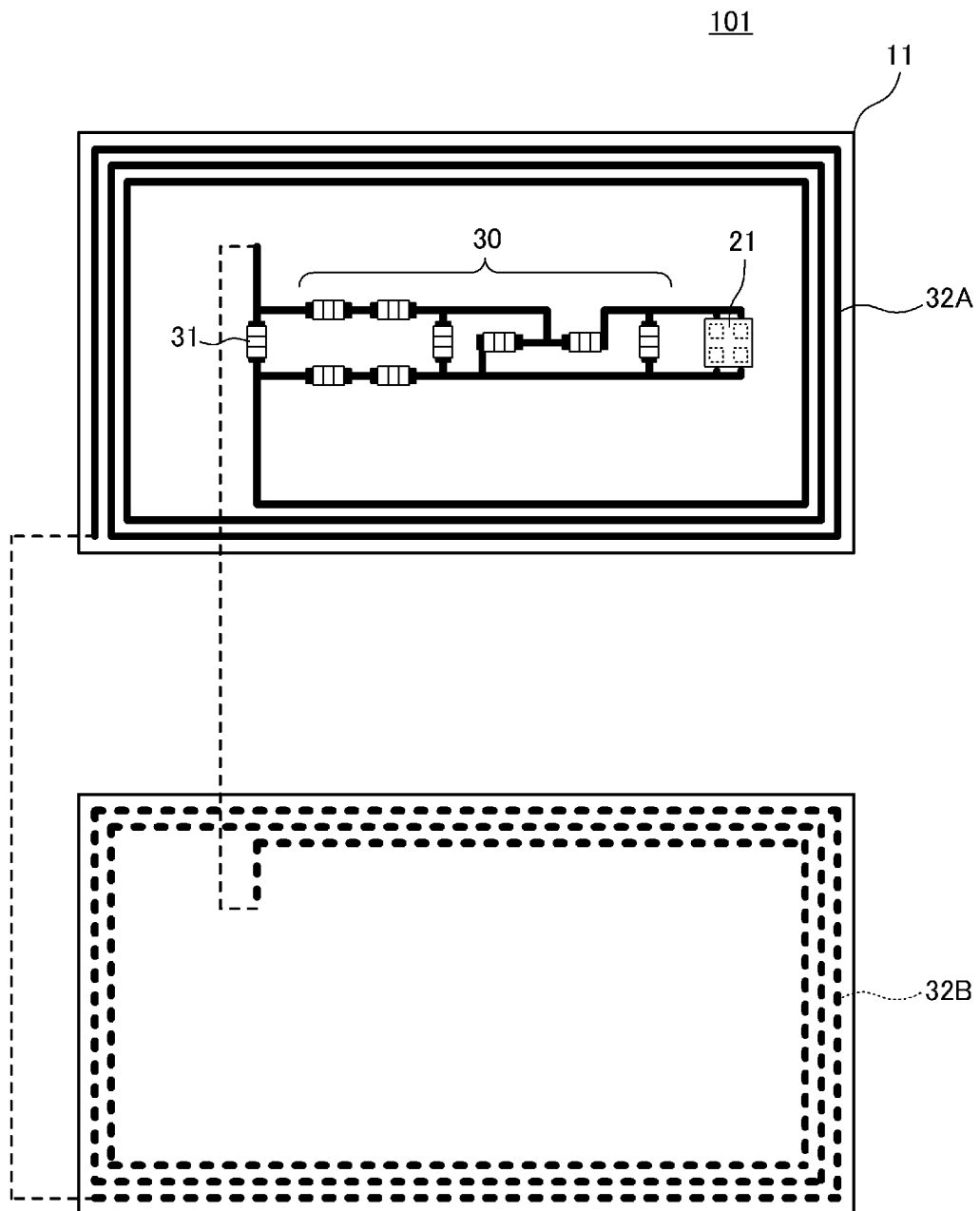
[図2]

図2



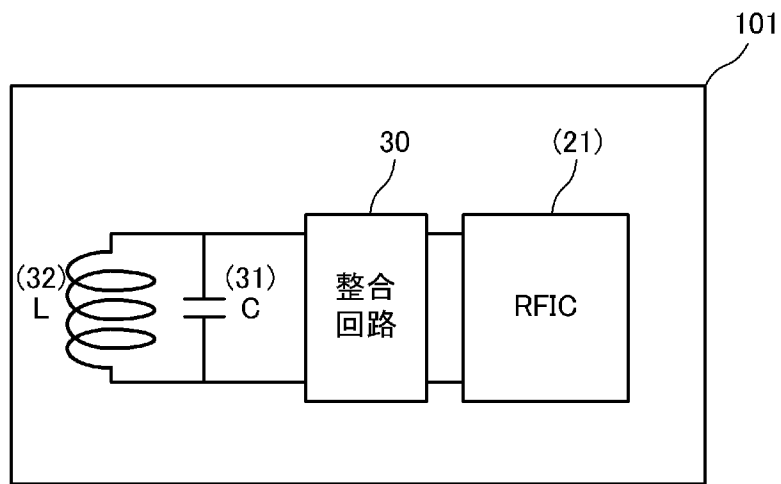
[図3]

図3



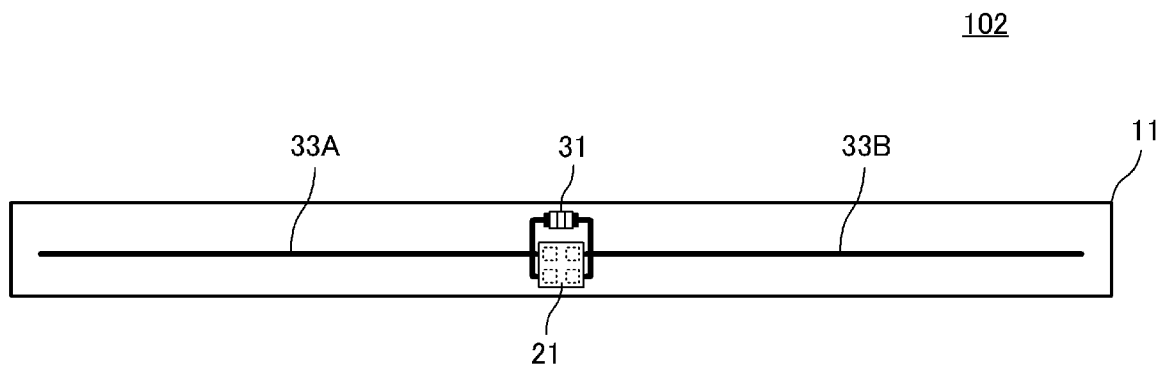
[図4]

図4



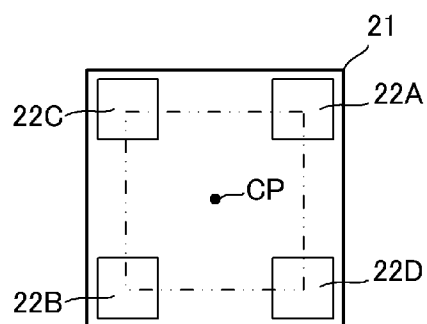
[図5]

図5



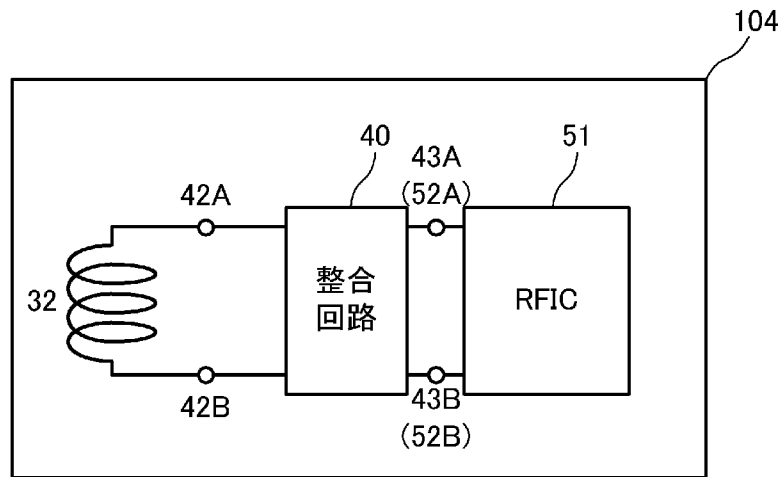
[図6]

図6



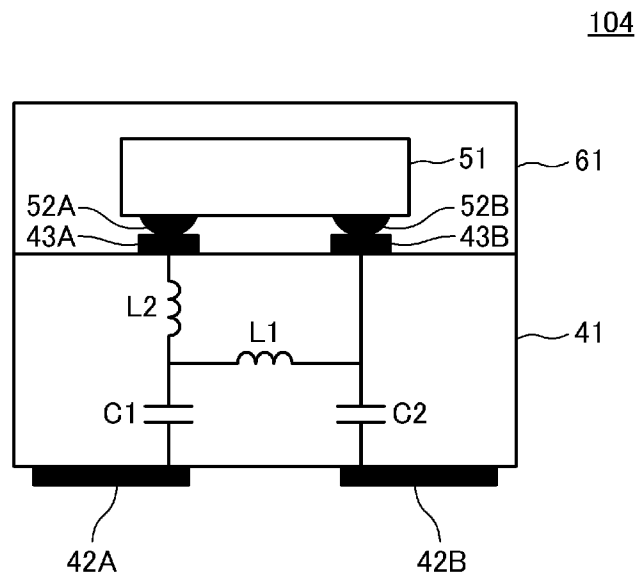
[図7]

図7



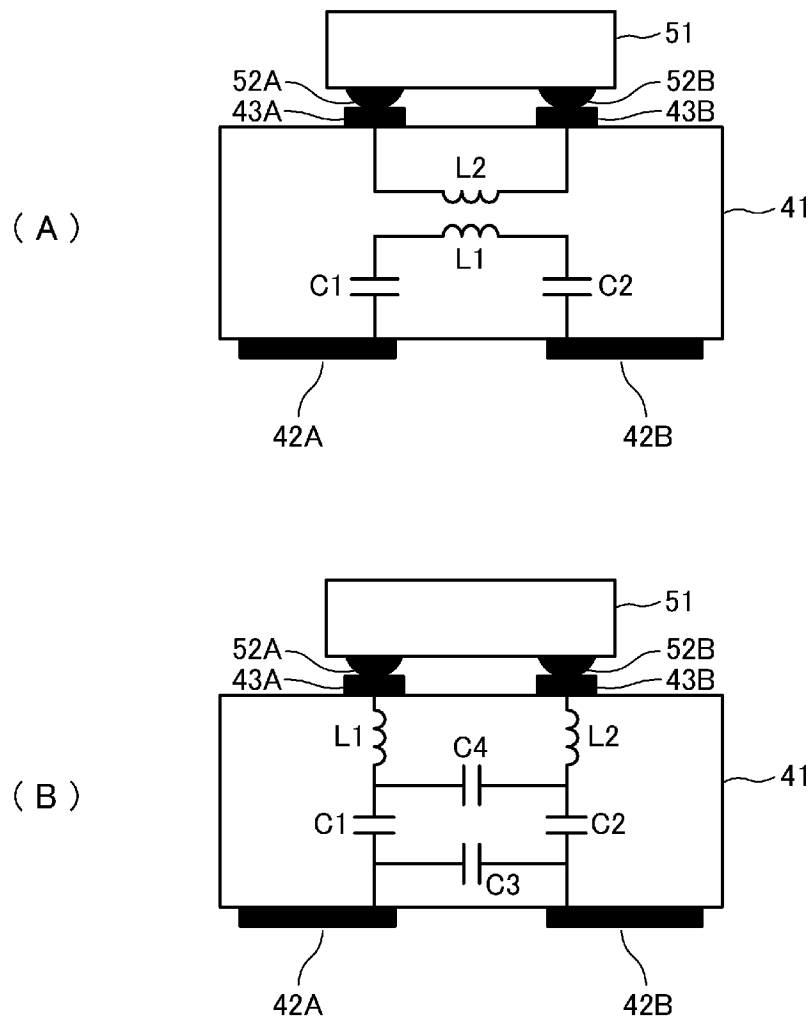
[図8]

図8



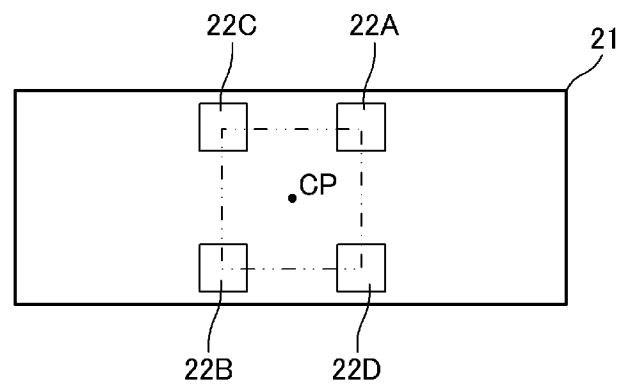
[図9]

図9



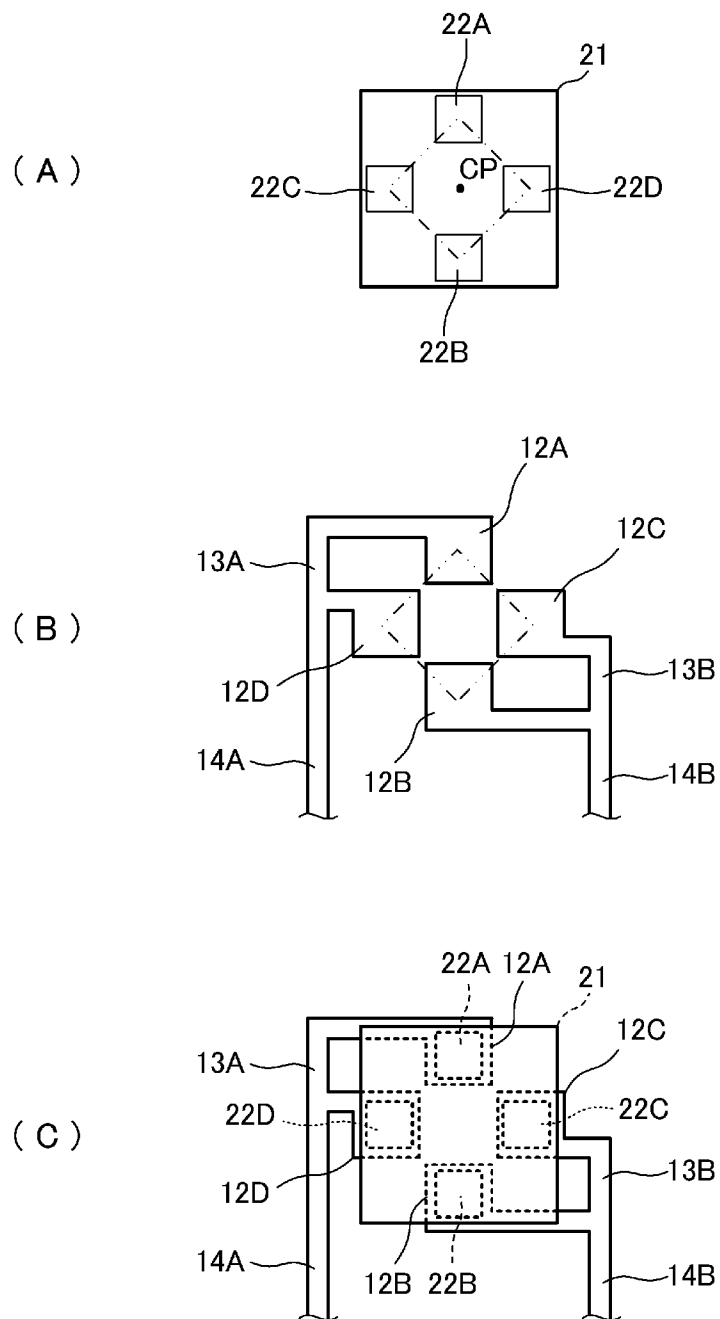
[図10]

図10



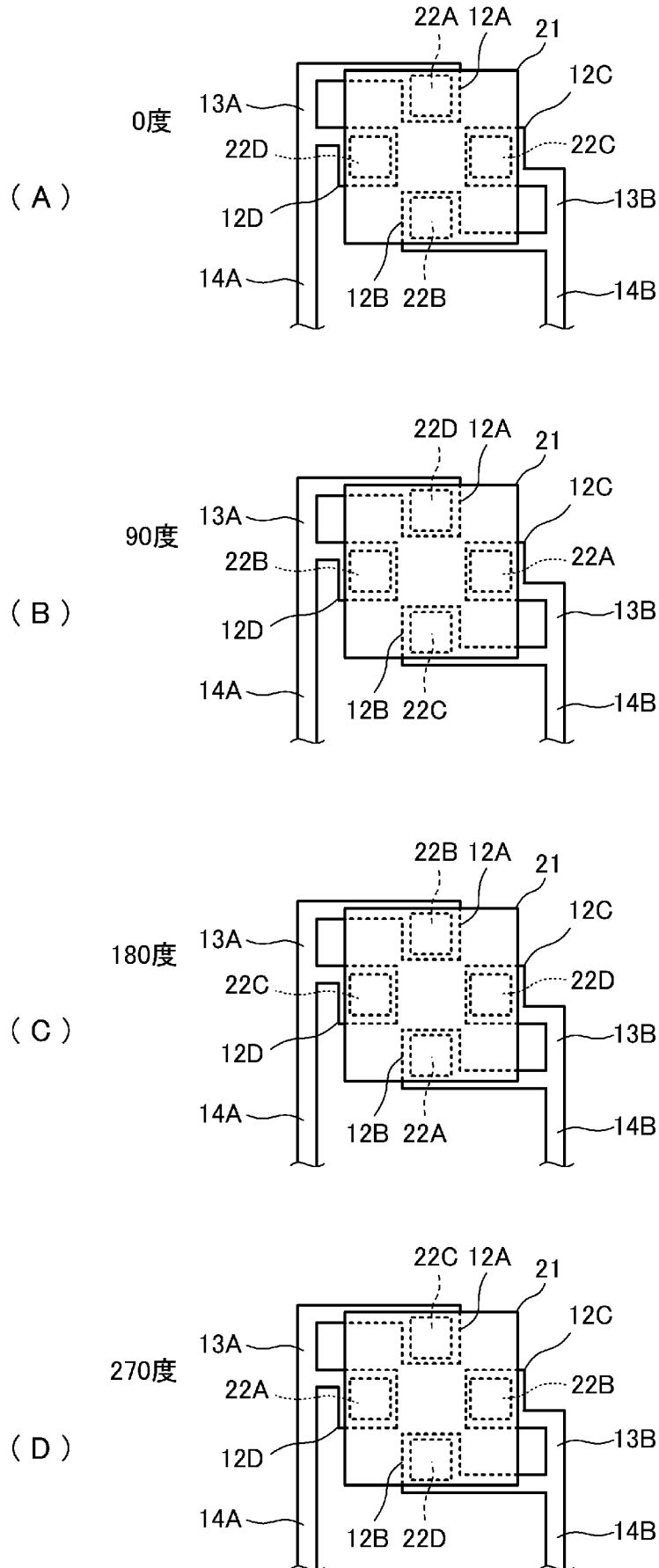
[図11]

図11



[図12]

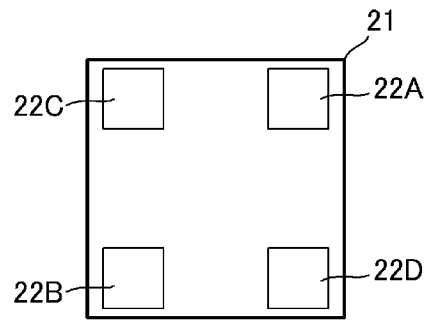
図12



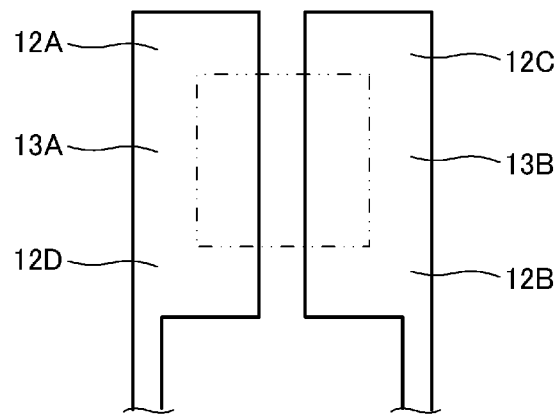
[図13]

図13

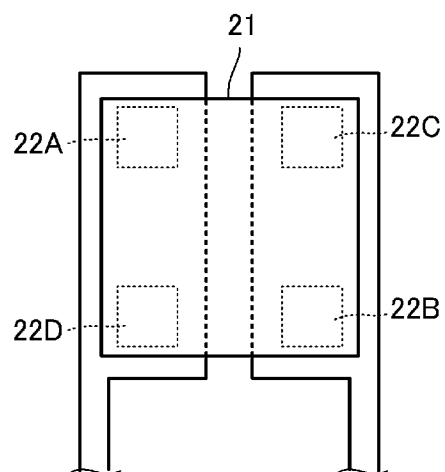
(A)



(B)

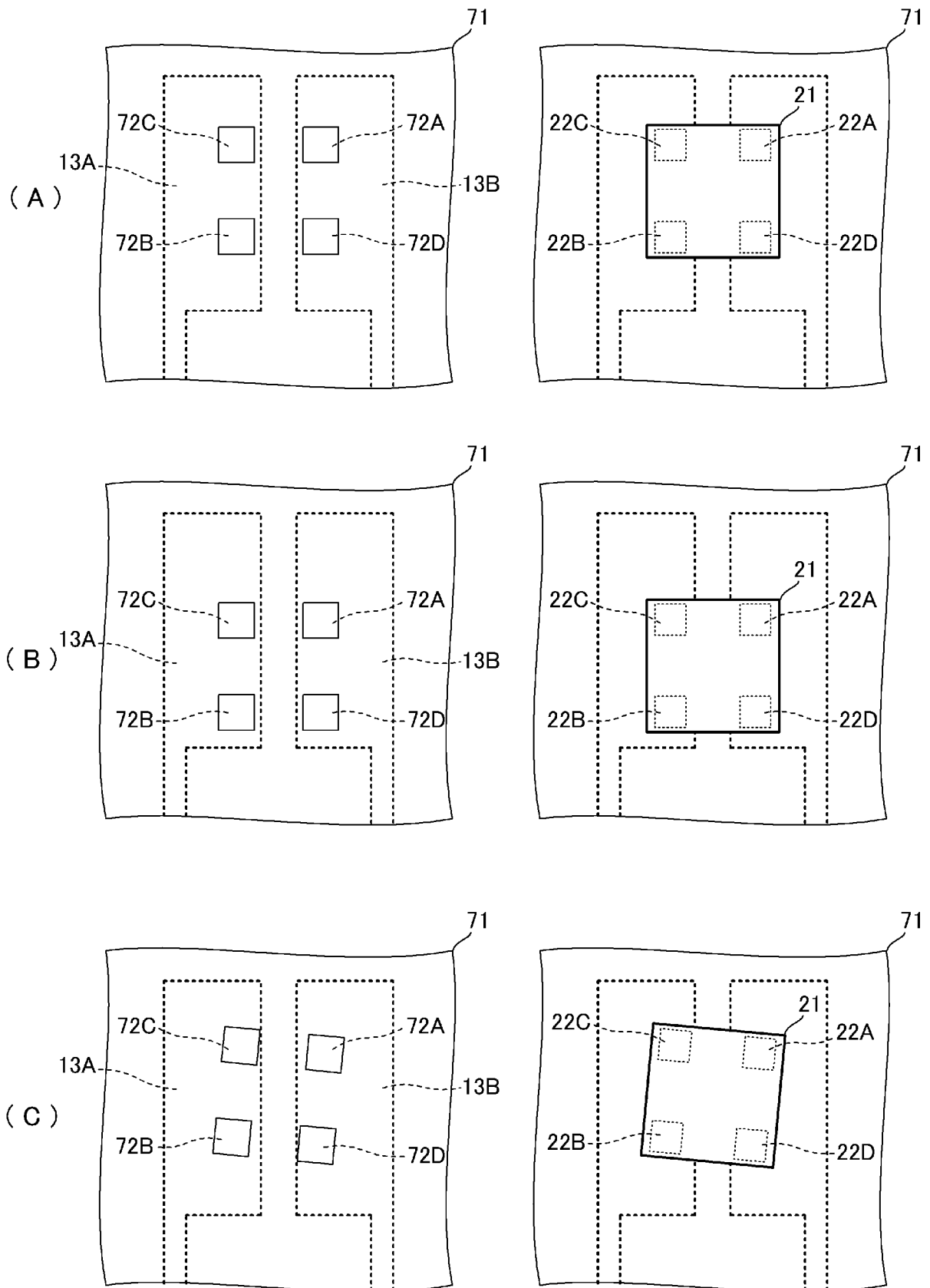


(C)



[図14]

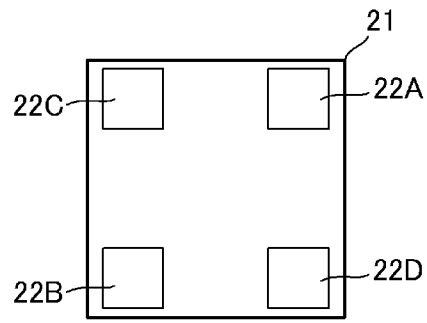
図14



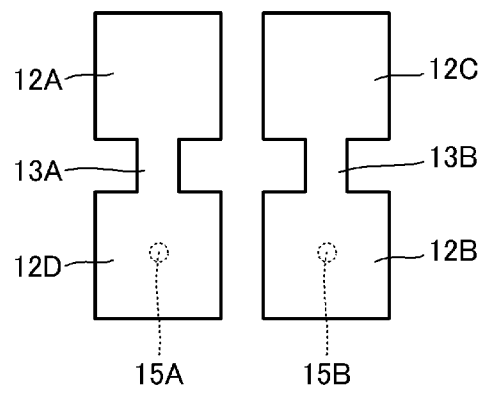
[図15]

図15

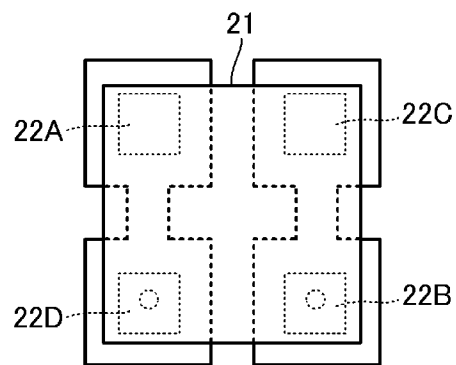
(A)



(B)

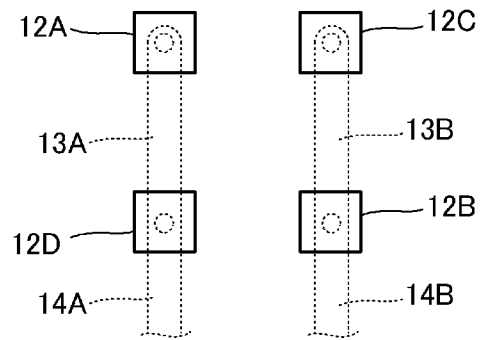


(C)



[図16]

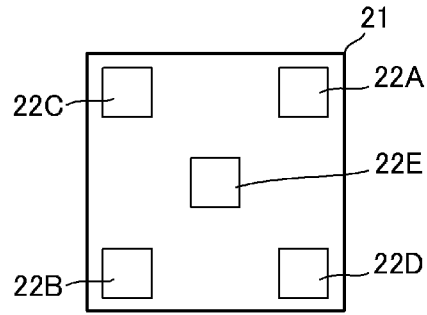
図16



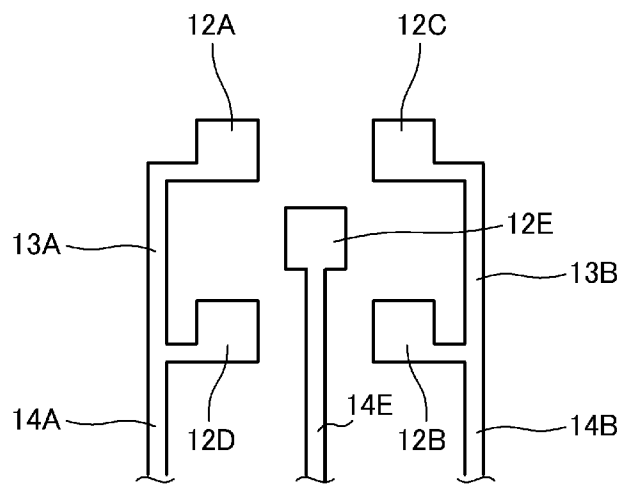
[図17]

図17

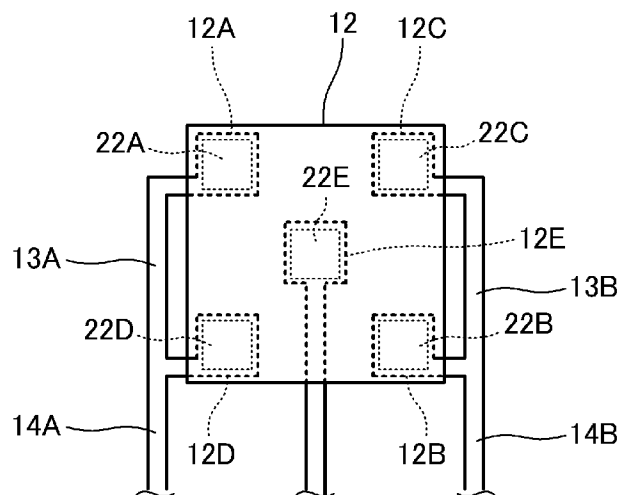
(A)



(B)



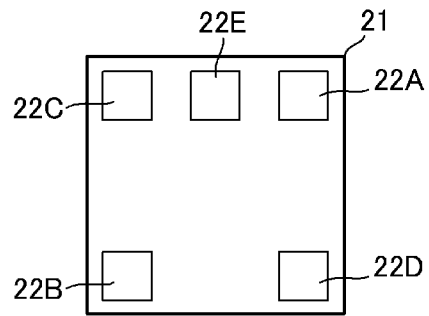
(C)



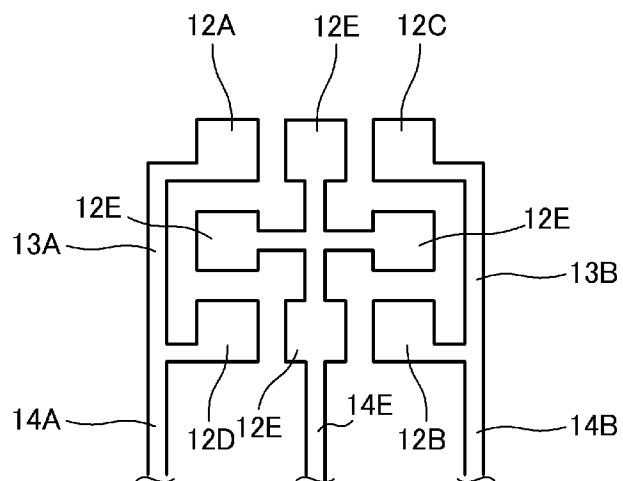
[図18]

図18

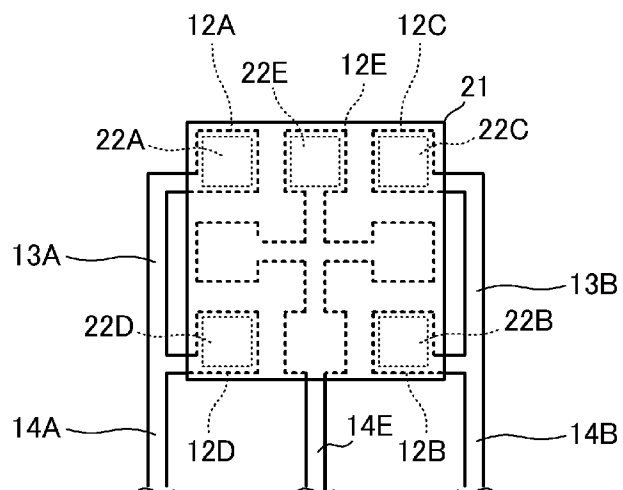
(A)



(B)



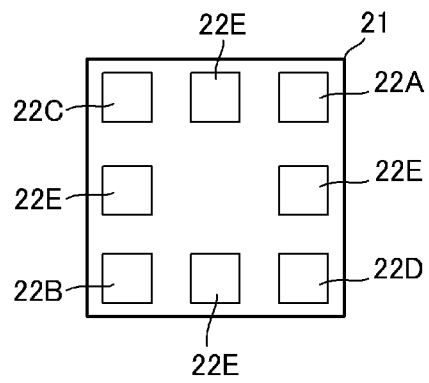
(C)



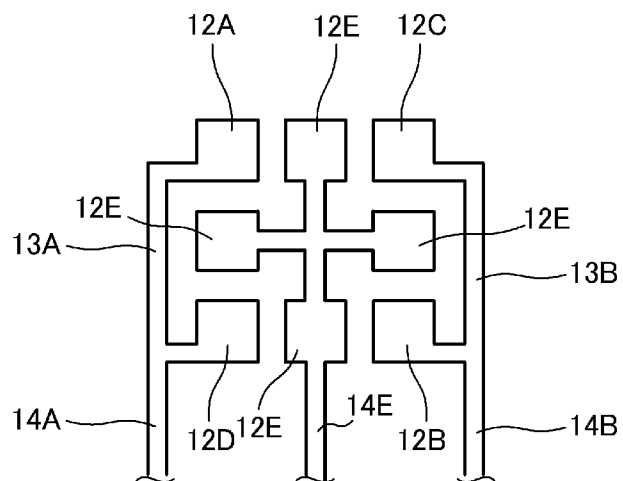
[図19]

図19

(A)

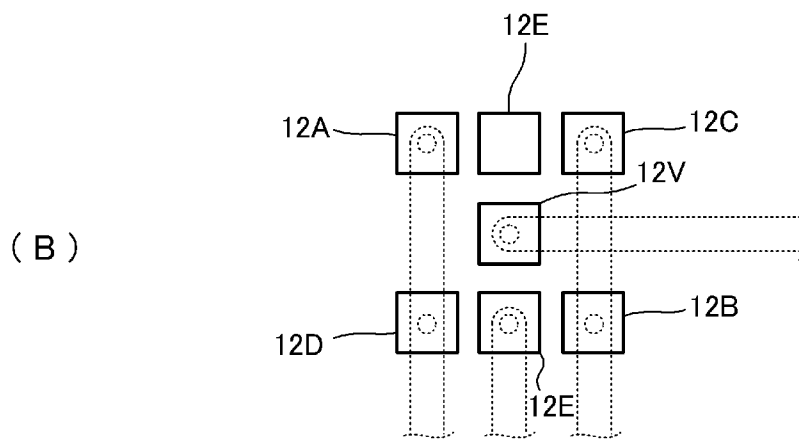
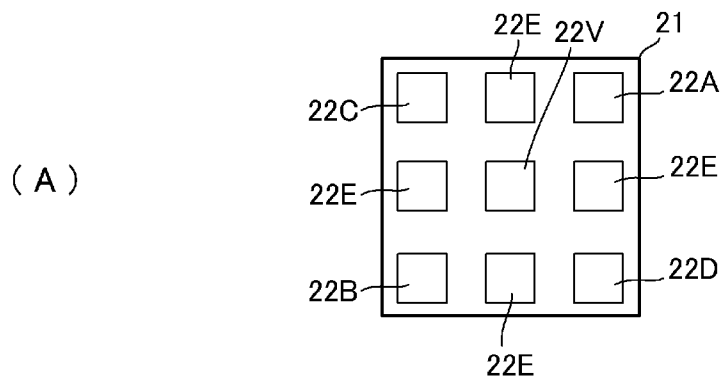


(B)



[図20]

図20



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2013/081853

A. CLASSIFICATION OF SUBJECT MATTER

H05K1/18(2006.01)i, G06K19/07(2006.01)i, G06K19/077(2006.01)i, H01L21/822(2006.01)i, H01L27/04(2006.01)i, H01L23/12(2006.01)n

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H05K1/18, H05K3/34, G06K19/07, G06K19/077, H01L21/822, H01L27/04, H01L23/12

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2014
Kokai Jitsuyo Shinan Koho	1971-2014	Toroku Jitsuyo Shinan Koho	1994-2014

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	JP 2004-86644 A (Renesas Technology Corp.), 18 March 2004 (18.03.2004), paragraphs [0019] to [0027], [0046]; fig. 6 to 8, 22 & US 2004/0041262 A1 & CN 1494227 A	1, 6 2, 5 3-4
Y A	JP 2008-204346 A (Fujitsu Ltd.), 04 September 2008 (04.09.2008), paragraphs [0011] to [0014]; fig. 3 & US 2008/0203173 A1 & EP 1962229 A2 & KR 10-2008-0078535 A & CN 101251903 A & KR 10-2010-0008362 A & TW 200837639 A	2, 5 3-4

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
21 February, 2014 (21.02.14)

Date of mailing of the international search report
04 March, 2014 (04.03.14)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2013/081853

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	WO 2009/011376 A1 (Murata Mfg. Co., Ltd.), 22 January 2009 (22.01.2009), paragraph [0046]; fig. 2 & US 2009/0262041 A1 & EP 2086052 A1 & CN 101578736 A & KR 10-2009-0086263 A & AT 556466 T	5 3-4

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H05K1/18(2006.01)i, G06K19/07(2006.01)i, G06K19/077(2006.01)i, H01L21/822(2006.01)i, H01L27/04(2006.01)i, H01L23/12(2006.01)n

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H05K1/18, H05K3/34, G06K19/07, G06K19/077, H01L21/822, H01L27/04, H01L23/12

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 4 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 4 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 4 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y A	JP 2004-86644 A（株式会社ルネサステクノロジ） 2004.03.18, 段落【0019】 - 【0027】 , 【0046】 , 【図 6】 - 【図 8】 , 【図 22】 & US 2004/0041262 A1 & CN 1494227 A	1, 6 2, 5 3-4
Y A	JP 2008-204346 A（富士通株式会社） 2008.09.04, 段落【0011】 - 【0014】 , 【図 3】 & US 2008/0203173 A1 & EP 1962229 A2 & KR 10-2008-0078535 A & CN 101251903 A & KR 10-2010-0008362 A & TW 200837639 A	2, 5 3-4

☒ C 欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

2 1 . 0 2 . 2 0 1 4

国際調査報告の発送日

0 4 . 0 3 . 2 0 1 4

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）
郵便番号 1 0 0 - 8 9 1 5
東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官（権限のある職員）

川内野 真介

3 S

4 8 5 6

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 3 9 1

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y A	WO 2009/011376 A1 (株式会社村田製作所) 2009.01.22, 段落[0046], [図 2] & US 2009/0262041 A1 & EP 2086052 A1 & CN 101578736 A & KR 10-2009-0086263 A & AT 556466 T	5 3-4