

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4894151号  
(P4894151)

(45) 発行日 平成24年3月14日 (2012. 3. 14)

(24) 登録日 平成24年1月6日 (2012. 1. 6)

(51) Int. Cl.

F I

G 0 9 G 3/36 (2006. 01)

G 0 2 F 1/133 (2006. 01)

G 0 2 F 1/1368 (2006. 01)

G 0 9 G 3/20 (2006. 01)

G 0 9 G 3/36

G 0 2 F 1/133 5 5 0

G 0 2 F 1/1368

G 0 9 G 3/20 6 1 1 D

G 0 9 G 3/20 6 1 2 T

請求項の数 7 (全 19 頁) 最終頁に続く

(21) 出願番号 特願2005-76493 (P2005-76493)  
 (22) 出願日 平成17年3月17日 (2005. 3. 17)  
 (65) 公開番号 特開2006-259224 (P2006-259224A)  
 (43) 公開日 平成18年9月28日 (2006. 9. 28)  
 審査請求日 平成19年8月30日 (2007. 8. 30)

(73) 特許権者 000002185  
 ソニー株式会社  
 東京都港区港南1丁目7番1号  
 (74) 代理人 100094053  
 弁理士 佐藤 隆久  
 (72) 発明者 大村 幸一  
 東京都品川区北品川6丁目7番35号 ソ  
 ニー株式会社内  
 (72) 発明者 櫻井 洋介  
 東京都品川区北品川6丁目7番35号 ソ  
 ニー株式会社内  
 (72) 発明者 加藤 正和  
 東京都港区赤坂8丁目5番地26号 赤坂  
 D Sビル 株式会社メイテック内

最終頁に続く

(54) 【発明の名称】 アクティブマトリックス表示装置

(57) 【特許請求の範囲】

【請求項 1】

マトリックス状に配列された画像表示素子と、  
 それぞれが列方向に延びる複数の信号線を行方向に走査し、電位がフィールド反転駆動  
 される信号線に映像信号を供給する水平ドライバと、

それぞれが行方向に延びる複数のゲート線を列方向に走査し、各信号線と前記画素表示  
 素子との接続を制御する垂直ドライバと、

水平ブランキング期間内のプリチャージ期間において、前記フィールド反転駆動で前記  
 映像信号がとりうる最低電位付近の第1電位と、前記フィールド反転駆動の各フィールド  
 で前記映像信号がとりうる最大振幅の中間電位の付近にある第2電位と、を組み合わせた  
 ユニフォミティ信号を前記信号線に供給し、当該供給を周期的に行うプリチャージドライ  
 バと、

を有するアクティブマトリックス表示装置。

【請求項 2】

前記プリチャージドライバは、前記第2電位を、前記フィールド反転駆動で前記映像信  
 号がとりうる最大振幅の中心電位に対して所定電位の範囲に設定し、前記第1電位を、前  
 記範囲よりさらに低い所定電位に設定する

請求項1に記載のアクティブマトリックス表示装置。

【請求項 3】

前記プリチャージドライバは、前記中間電位が正極側の第1フィールドでは前記第1電

10

20

位、前記第 2 電位の順に電位変化し、前記中間電位が負極側の第 2 フィールドでは前記第 2 電位、前記第 1 電位の順に電位変化する前記ユニフォミティ信号を前記信号線に供給する

請求項 2 に記載のアクティブマトリックス表示装置。

【請求項 4】

前記プリチャージドライバは、前記中間電位が正極側の第 1 フィールドと負極側の第 2 フィールドで、前記第 1 電位、前記第 2 電位の順に電位変化する前記ユニフォミティ信号を前記信号線に供給する

請求項 2 に記載のアクティブマトリックス表示装置。

【請求項 5】

前記プリチャージドライバは、前記ユニフォミティ信号を水平ブランキング期間ごとに前記信号線に供給する

請求項 3 または 4 に記載のアクティブマトリックス表示装置。

【請求項 6】

前記プリチャージドライバは、前記ユニフォミティ信号の前記第 1 電位を 2 回の水平ブランキング期間内に 1 回供給し、前記ユニフォミティ信号の前記第 2 電位を水平ブランキング期間ごとに供給する

請求項 3 または 4 に記載のアクティブマトリックス表示装置。

【請求項 7】

前記水平ドライバは、前記映像信号をサンプリングして、サンプリング後の映像信号を前記信号線に供給し、

前記プリチャージドライバは、前記サンプリングの前に、前記ユニフォミティ信号を前記信号線に供給する

請求項 1 ～ 6 の何れか一項に記載のアクティブマトリックス表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、フィールド反転駆動の一括プリチャージ方式または点順次プリチャージ方式のアクティブマトリックス装置に関し、プリチャージドライバを備え、水平ブランキング期間内または画素サンプリング期間の直前にプリチャージ電圧を供給する。

【背景技術】

【0002】

図 6、図 7 に従来例の 1 H（水平期間）、1 F（フィールド期間）反転クロストーク改善のためのプリチャージ方法における液晶表示装置パネルの画素に信号が供給されるデータ線（信号ラインとも記載する）の制御波形を示す。

ここで、Vsig（図 6（A）、図 7（A））は 1 H 期間の映像信号の波形を示し、PSW（Precharge）はプリチャージスイッチ波形でプリチャージ期間を示している（図 6（C）、図 7（C））。この PSW は水平ブランキング（HBLK）期間より短く設定されている。

PSW パルスは信号ラインにプリチャージ信号を供給するための SW（スイッチ）を制御するタイミングを示していて、その期間は第 1 のプリチャージ期間である。

また、第 1 のプリチャージ期間以外に第 2 のプリチャージを設け、PSW 期間と第 1 のプリチャージ期間の時間差を表す期間に第 2 のプリチャージ信号（電圧）をデータ線に供給するようにしている。

Psig はプリチャージ信号（Precharge Signal）を表しているが、実際表示画素のデータ線に供給されるのは、BLK 期間内に存在する PSW の期間であり、BLK 期間以後はたとえば映像信号が供給される（図 6（B）、図 7（B））。

【0003】

図 6 に示す 1 H 反転駆動では、映像信号が 1 ラインごとに極性反転されて入力されるのに対して、1 F（フィールド）反転駆動では 1 フィールド期間、常に同極性の映像信号が

10

20

30

40

50

入力される（図6（A））。

このため、データ線から画素への影響は1H反転では毎Hキャンセルされるのに対して、1F反転では毎H増大されるため、画面上下で輝度差が生じ、1F反転ではシェーディングが問題となっている。

また、WINDOW（ウインドウ）表示を行った時に発生する縦クロストークに関しては、1H反転駆動では図6のように毎水平期間のブランキング期間中に、映像信号と同極性の2種類の信号を2ステップで入力することによって改善しているが、1F反転駆動ではH反転と同様に毎水平期間のブランキング期間中に、映像信号と同極性の2種類の信号を2ステップで入力する（図7参照）と、縦クロストークは改善されるが、シェーディングは悪化する。

10

#### 【0004】

高温ポリシリコンLCDにおける画素の特性として、データ線の電位が画素電位よりも高い時には画素電位のリーク（L側リーク）がほとんどなく、データ線の電位が画素電位よりも低い時には画素電位のリーク（H側リーク）が大きいという特徴を持っている。

図8-Bにユニフォミティ改善信号（単にユニフォミティ信号とも記載する）を入力しない時の1H反転駆動における画素電位を示す。この各部の電圧波形は図8-Aの表示パネルの各位置（A，B，C，D）に対応する。

AとBとの差がシェーディングであり、AとC（またはBとD）との差が縦クロストークである。

図8-Aから分かるようにシェーディングはほとんどないが、WINDOWを表示する場合は黒側にリークするため、縦クロストークが発生する。これを対策するために、図9-Bのように毎水平期間のブランキング期間中に、映像信号と同極性のユニフォミティ改善信号を入力している。（一括プリチャージ方式：特許文献2参照）

20

この信号により、画面全体が黒側にリークすることによって縦クロストークを目立たなくしている（図9-A参照）。

点順次プリチャージ方式はサンプリングする直前にユニフォミティ改善信号を入力するもので、目的は同様である。（特許文献1参照）

#### 【0005】

つぎに、図10-Bにユニフォミティ改善信号を入力しない時の1F反転駆動における画素電位を示す。図10-A、図10-Bから分かるように画面上下部でシェーディングが発生し、WINDOW上下部で縦クロストークが発生する。図10-Aにおいて、上部は黒、下部は白クロストークが存在している。

30

これを対策するために、1H反転と同様に毎水平期間のブランキング期間中に、映像信号と同極性のユニフォミティ改善信号を入力した場合を図11-A、図11-Bに示す。

この信号により、AとCおよびBとDの画素電位の差は小さくなるため、縦クロストークは改善されるが、AとBの画素電位の差がユニフォミティ改善信号を入力しない場合よりも大きくなるため、シェーディングはさらに悪化してしまう。

【特許文献1】特開平10-143113号公報

【特許文献2】特開平10-171422号公報

【発明の開示】

40

【発明が解決しようとする課題】

#### 【0006】

1F（フィールド）反転駆動では1H反転駆動と比較して、原理的に縦クロストーク、シェーディングが悪く、非常に問題となっている。1H反転駆動で採用しているユニフォミティ改善信号をフィールド反転用に最適化することで、これらの画質不良を改善する。

【課題を解決するための手段】

#### 【0007】

本発明のアクティブマトリックス表示装置は、マトリックス状に配列された画像表示素子と、それぞれが列方向に延びる複数の信号線を行方向に走査し、電位がフィールド反転駆動される信号線に映像信号を供給する水平ドライバと、それぞれが行方向に延びる複数

50

のゲート線を列方向に走査し、各信号線と前記画素表示素子との接続を制御する垂直ドライバと、水平ブランキング期間内のプリチャージ期間において、前記フィールド反転駆動で前記映像信号がとりうる最低電位付近の第1電位と、前記フィールド反転駆動の各フィールドで前記映像信号がとりうる最大振幅の中間電位の付近にある第2電位と、を組み合わせたユニフォミティ信号を前記信号線に供給し、当該供給を周期的に行うプリチャージドライバと、を有する。

【発明の効果】

【0008】

1 F反転駆動のアクティブマトリクス装置のプリチャージ期間に、ユニフォミティ改善信号を供給し、画素特性に関係する薄膜トランジスタの画面位置の電圧差を少なくするとともにリーク電流を制御し画面輝度差を平均化した。

10

また、縦クロストークとシェーディングを同時に改善した。

さらに、1 F反転駆動のアクティブマトリクス装置において、一括プリチャージ方式だけでなく、点順次プリチャージ方式においても画質が向上した。

【発明を実施するための最良の形態】

【0009】

本発明のアクティブマトリクス表示装置10の実施の形態例について説明する。

本発明において、画素特性のH（電圧のハイレベル）側リークが大きいという特徴を利用して、ユニフォミティ改善信号を1 F反転用に最適化することで、画質不良を改善するものである。ユニフォミティ改善信号の入力方式であるプリチャージ方式には、図1-Aに示す一括プリチャージ方式（水平ブランキング期間に入力）と図1-Bに示す点順次プリチャージ方式（映像信号をサンプリングする直前に入力）があるが、ここでは一括プリチャージ方式を採用した場合の例を説明する。図1-Bに示す点順次プリチャージ方式のアクティブマトリクス表示装置はPドライバ回路14から出力される $\phi P1 \sim \phi Pn$ パルスでスイッチPSW（1～n）を駆動する回路構成とその動作が図1-Aに示す一括プリチャージ方式のアクティブマトリクス表示装置と異なっている。しかしユニフォミティ改善信号1，2を用いて画像を最適化する基本的考え方は、両者とも同じである。

20

【0010】

図1-Aは本発明の第1の実施形態例における一括プリチャージ方式のアクティブマトリクス表示装置の構成を示す回路図である。アクティブマトリクス表示装置10はガラス基板上に、行状のゲート線X、列状の信号線Y、および両者の交差部に配された行列状の液晶画素LCからなるマトリクス回路15を有する。

30

個々の液晶画素LCは薄膜トランジスタTr（TFT）により駆動される。薄膜トランジスタTrのソース電極は対応する信号線Yに接続され、ゲート電極は対応するゲート線Xに接続され、ドレイン電極は対応する液晶画素LCに接続されている。

【0011】

マトリクス回路15の左右には垂直ドライバ（Vaドライバ、Vbドライバ）回路11、12が設けられており、垂直ドライバ回路11、12は各薄膜トランジスタTrのゲート線Xを順次走査し、1水平期間（1H）毎に1行分の液晶画素LCを選択する。

垂直ドライバ回路11、12が左右に設けられたことにより、薄膜トランジスタTrのゲート線Xの端部が開放されず、そのインピーダンスを半分にすることができ、時定数が小さくなり、信号に対する応答速度が速くなる利点がある。

40

垂直ドライバ（Va，Vbドライバ）回路11、12は、シフトレジスタやバッファ回路で構成されている。このシフトレジスタは垂直スタート信号VSTと垂直走査駆動信号（VCK）に同期して、選択パルス $\phi V1$ ， $\phi V2$ ， $\phi V3$ ，・・・， $\phi Vm$ を発生し、バッファを介して各ゲート線Xに走査信号を出力する。その結果、液晶画素を構成する薄膜トランジスタTrが開閉される。

【0012】

また、マトリクス回路15の上部には水平走査（Hドライバ）回路13が設けられている。

50

この水平走査回路 13 はシフトレジスタやトランスファークロックなどで構成されている。シフトレジスタは HCK1、HCK2 に同期してサンプリングクロック  $\phi H1$ 、 $\phi H2$ 、 $\phi H3$ 、 $\dots$ 、 $\phi Hn$  を発生する。

各信号線 Y の一端には水平スイッチング素子 HSW1、HSW2、HSW3、 $\dots$ 、HSWn が設けられており、各水平スイッチング素子 HSW1、HSW2、HSW3、 $\dots$ 、HSWn の一方の接点はビデオライン 16 に接続され、映像信号 Vsig の供給を受ける。

シフトレジスタから出力されたサンプリングクロック  $\phi H1$ 、 $\phi H2$ 、 $\phi H3$ 、 $\dots$ 、 $\phi Hn$  に同期して、トランスファークロックはスイッチ HSW1、HSW2、HSW3、 $\dots$ 、HSWn を順次開閉し、映像信号線 16 に供給されている映像信号 Vsig を各信号線 Y に順次転送し、サンプルホールドする。

10

#### 【0013】

サンプルホールドされた映像信号 Vsig は垂直ドライバ (Va、Vb ドライバ) 回路 11、12 により選択された薄膜トランジスタ Tr のゲート線 X に対応する液晶画素 LC に書き込まれる。

このように、H ドライバ回路 13 は 1H 内で映像信号 Vsig を各信号線 Y に順次サンプリングし、垂直ドライバ回路 11、12 によって選択された 1 行分の液晶画素 LC に点順次で映像信号 Vsig を書き込む。

#### 【0014】

さらに、マトリクス回路 15 の下部には P ドライバ (プリチャージ) 回路 14 が設けられている。

20

P ドライバ回路 14 には PCG (プリチャージ) 信号が供給され、その出力は n 個のスイッチ PSW の制御端子に接続され、各スイッチを ON/OFF 制御している。

この P ドライバ回路 14 は、1H 毎に垂直同期信号と水平同期信号に同期して、サンプリングパルスを出力する。これらのサンプリングパルスによりプリチャージスイッチング素子 PSW は開閉される。

一括プリチャージ方式の場合、各信号線 Y の端部に接続された n 個のプリチャージスイッチング素子 PSW を同時に開閉して各信号線 Y にプリチャージ信号 Psig を供給するが、点順次プリチャージ方式の場合、水平同期期間の画素駆動用のクロック HCK に同期して順次水平方向に各 SW が開閉し、サンプリング期間の PSW 期間、SW が閉じた液晶画素の薄膜トランジスタ Tr のデータ (信号) 線に Psig を供給していく。

30

#### 【0015】

本実施形態例では、プリチャージ信号 Psig は 2 つの信号で構成され、その信号波形は後述するように、第 1 のプリチャージ電圧 (第 1 のユニフォミティ (改善) 信号) と第 2 のプリチャージ電圧 (第 2 のユニフォミティ (改善) 信号) で構成されている。

#### 【0016】

このように、P ドライバ回路 14 は各信号線 Y にプリチャージ信号 Psig17 を一括またはサンプリング期間の直前に供給することにより、薄膜トランジスタ Tr のリーク電流を全て画素領域で均一にする。

#### 【0017】

40

つぎに図 1-A に示した一括プリチャージ方式 (水平ブランキング期間に入力) を用いたアクティブマトリクス表示装置 10 の動作について図 2 を用いて説明する。

1H 反転時のユニフォミティ改善信号は、水平ブランキング期間中に映像信号の最大振幅付近の電位 (Signal Center に対して  $\pm 4 \sim \pm 6$  V) であるユニフォミティ改善信号 1 を 1 ステップ目に、映像信号振幅の中間付近の電位 (Signal Center に対して  $\pm 1.5 \sim \pm 2.5$  V) であるユニフォミティ改善信号 2 を 2 ステップ目に、映像信号と同極性で毎 H 入力することの特徴としていた。

しかし、本発明におけるユニフォミティ改善信号は、水平ブランキング期間中に映像信号の最低電圧付近の電位 (Signal Center に対して  $-4 \sim -6$  V) をもったユニフォミティ改善信号 1 を 1 ステップ目に、映像信号振幅の中間付近の電位 (Signa

50

1 Centerに対して $\pm 1.5 \sim \pm 2.5 \text{ V}$ )をもったユニフォミティ改善信号2を2ステップ目に入力し、ユニフォミティ改善信号1は2回の水平ブランク期間内に1回以上(2H毎に1回以上)、ユニフォミティ改善信号2は映像信号と同極性で毎H入力することを特徴とする。

#### 【0018】

図2にフィールド(F)反転方式のアクティブマトリック表示装置の動作波形を示す。

1フィールド(F)は正極性のVsig波形を、2フィールド(F)は負極性のVsig波形を示し、各フィールドの最初の3H期間のみを示す。

毎水平ブランキング期間中に映像信号の最低電圧付近の電位(Signal Centerに対して $-4 \sim -5 \text{ V}$ )であるユニフォミティ改善信号1を1ステップ目に、映像信号振幅の中間付近の電位(Signal Centerに対して $\pm 1.5 \sim \pm 2.5 \text{ V}$ )であるユニフォミティ改善信号2を2ステップ目に入力し、ユニフォミティ改善信号2は映像信号と同極性で入力することを特徴としている(図2(B))。

正極性の第1フィールドにおいて、Pドライバ回路14で、時刻t1から時刻t1bの期間、垂直同期信号と水平同期信号に同期してプリチャージ(PSW)パルスが発生される。このPSWパルスが発生している期間は水平BLK(ブランキング)期間より短く設定されている(図2(C))。

また、このPSWパルスが存在する期間で、時刻t1～t1aの期間、ユニフォミティ改善信号1がPドライバ回路14から各PSWを介して液晶画素の信号線Yに供給される。

次の時刻t1a～時刻t1bまでの期間、同様にPドライバ回路14からユニフォミティ改善信号2が液晶画素の信号線Yに供給される。これと同様に、2番目の水平周期の時刻t5、3番目の時刻t9でも繰り返される。

つぎに、負極性の第2フィールドにおいても同様に、第1水平同期信号の時刻t15～時刻t15aの期間、プリチャージのユニフォミティ改善信号1が出力され、また時刻t15a～時刻t15bの期間ユニフォミティ改善信号2が液晶画素の信号線Yに出力される。

以後同様に、時刻t19、t23、t27においてもプリチャージ動作が行われる。

#### 【0019】

各水平期間で、プリチャージ動作が終わり、PSW期間が過ぎるとPドライバ回路14から出力される制御信号により、n個の各スイッチPSWがオープンとなりPsig信号は液晶画素の信号線Yには供給されない。図2(E)にはプリチャージ信号Psigが信号線17に供給されている電圧波形を示している。この図ではPSWパルスがOFF(“L”ローレベルに遷移)された後もユニフォミティ改善信号2の電圧は10.0Vに維持されているが、実際には液晶画素に供給されていない。その後HSWパルスによりこの信号線に映像信号(Vsig)が供給される。

#### 【0020】

つぎに、PSWとBLK信号期間が終わると、今度はVaドライバ回路11、Vbドライバ回路12が動作し、 $\phi V1, \dots, \phi Vm$ のパルス信号を出力して、列方向のゲート線Xを順次たとえば上から下へ走査する。

マトリクス状に配列された液晶画素のある列Xが選択されると、Hドライバ回路13において、水平方向の走査を行う。

各水平同期期間にHドライバ回路13により、クロック信号 $\phi H1, \phi H2, \phi H3, \dots, \phi Hn$ により、順次水平方向に駆動され、それに伴って各液晶画素の列に接続されているHSW1, HSW2, HSW3,  $\dots$ , HSWnが順次ONされ、そしてVsig信号が信号線Yを介して液晶画素用薄膜トランジスタTrに供給される。これは正極性の第1フィールドの時も負極性の第2フィールドにおいても同じである。

#### 【0021】

このようなユニフォミティ改善信号1, 2を入力した場合の面内の画素電位を図3-Bに示す。ここでは説明を容易にするため、水平ライン(H; 水平同期信号)の数を13と

10

20

30

40

50

する。図3-Bに信号電位（中間調）、図3-Aに示す画像上部の点A、画像下部の点Bまた信号電位（中間調／黒）、画像上部の点C、画像下部の点Dの電位をそれぞれ示す。

まず、1フィールド期間の時刻 $t_1$ ～時刻 $t_{14}$ の期間において、信号線電位（中間調）はプリチャージ期間2.5Vで、プリチャージ（PSW）以後の期間は10.0Vとなっている。一方、画素電位の画面上部の点Aは時刻 $t_1$ のプリチャージ期間の2.5Vを除いて、1フィールド期間常に10.0Vである。

その結果、時刻 $t_2$ ,  $t_3$ , …, 時刻 $t_{13}$ のプリチャージ期間画面上部の点Aの画素電位（中間調）10.0Vが信号線電位2.5Vより高いので、LCD画素を構成する薄膜トランジスタTrでリークが発生する。しかし、プリチャージ以外の期間、画像上部の点Aの画素電位は信号線位（中間調）と同じであるので、LCD画素を構成する薄膜トランジスタTrではリーク電流は発生しない。

10

つぎに2フィールド目の時刻 $t_{15}$ ～時刻 $t_{27}$ の期間において、時刻 $t_{15}$ ,  $t_{16}$ ,  $t_{17}$ , …, 時刻 $t_{27}$ のプリチャージ期間信号、信号線電位（中間調）は2.5Vで、画素上部の点Aの画素電位は時刻 $t_{15}$ のプリチャージ期間を除いて5.0Vであるから、時刻 $t_{16}$ ,  $t_{17}$ ,  $t_{18}$ , …, 時刻 $t_{27}$ のプリチャージ期間画素電位が信号線電位（中間調）より高いので、LCD画素を構成する薄膜トランジスタTrでリーク電流が発生している。しかし、プリチャージ期間以外は画面上位部の点Aの画素電位と信号線電位（中間調）はいずれも5.0Vであるので、LCD画素を構成する薄膜トランジスタTrでリーク電流は発生しない。

#### 【0022】

20

画面下部の点Bの画素電位と信号線電位（中間調）の関係について述べる。まず、1フィールド期間について説明する。

画面下部の点Bの画素電位は時刻 $t_1$ ～時刻 $t_{13}$ まで5.0Vで、一方信号線電位（中間調）はプリチャージ期間2.5Vでそれ以後は10.0Vとなっているので、プリチャージ期間は画面下部の点Bの画素電位が信号線電位（中間調）より高い。その結果、時刻 $t_1$ ～時刻 $t_{12}$ のプリチャージ期間、LCD画素を構成する薄膜トランジスタTrからリーク電流が流れる。プリチャージ期間以後の期間は信号線電位（中間調）の電位がLCD画素を構成する薄膜トランジスタTrより高いのでLCD画素を構成する薄膜トランジスタTrでリーク電流は流れない。

つぎに、2フィールド目について述べる。時刻 $t_{15}$ ～時刻 $t_{28}$ の期間、画面下部の点Bの画素電位は常に10.0Vである。一方、信号線電位（中間調）はプリチャージ期間2.5Vでそれ以降の期間は5.0Vである。プリチャージ期間だけでなく2フィールド期間常に、画面下部の点Bの画素電位が信号電位（中間調）より高くなっている。その結果、2フィールド期間常にLCD画素を構成する薄膜トランジスタTRからリーク電流が発生している。

30

#### 【0023】

つぎに、信号電位（中間調／黒）と画面上部の点C、画面上部の点Dの画素電位との電位関係による薄膜トランジスタTRのリーク電流について述べる。

1フィールド期間において、信号線電位（中間調／黒）はプリチャージ期間2.5V、それ以外の時刻 $t_1$ ～時刻 $t_4$ の期間10.0Vであり、図3-Aの黒色BOX（ボックス）を示す時刻 $t_4$ ～時刻 $t_{11}$ までの期間12.5V、また時刻 $t_{11}$ ～時刻 $t_{14}$ の期間は10.0Vである。

40

一方、画面上部の点Cの画素電位は、時刻 $t_1$ のプリチャージ期間2.5Vであるが、それ以外の期間すなわち、時刻 $t_1$ のプリチャージ期間以後の1フィールド期間に渡って常に10.0Vである。したがって、信号線電位（中間調／黒）のプリチャージ期間、画面上部の点Cの画素電位が信号電位（中間調／黒）より高い。その結果、信号線電位（中間調／黒）のプリチャージ期間、LCD画素を構成する薄膜トランジスタTrからリーク電流が流れる。プリチャージ期間以外は、画面上部の点Cの画素電位は信号電位（中間調／黒）より低いのでLCD画素を構成する薄膜トランジスタTrからリーク電流は発生しない。

50

つぎに2フィールド目について述べる。時刻 $t_{15}$ ～時刻 $t_{17}$ のプリチャージ期間の信号線電位(中間調/黒)は2.5V、またプリチャージ期間以外は5.0Vである。時刻 $t_{18}$ ～時刻 $t_{25}$ の黒色BOXを示す時刻と時刻 $t_{25}$ ～時刻 $t_{28}$ のプリチャージ期間は2.5Vであり、それ以外の期間は5.0Vである。

これに対して、時刻 $t_{16}$ 、時刻 $t_{17}$ のプリチャージ期間、画面中央部の黒色を示すBOX領域の時刻 $t_{18}$ ～時刻 $t_{25}$ の期間、画面上部の点Cの画素電位は信号線電位(中間調/黒)より高い。その結果、LCD画素を構成する薄膜トランジスタTrからリーク電流発生する。

このプリチャージ期間とBOX表示期間以外は、画面上部の点Cの画素電位が信号線電位(中間調/黒)より低いので、LCD画素を構成する薄膜トランジスタTrでリーク電流は発生しない。

10

#### 【0024】

画面下部の点Dと信号線電位(中間調/黒)との関係について説明する。1フィールド期間、画面下部の点Dの画素電位は常に5.0Vであり、一方信号線電位(中間調/黒)は上述した通りである。したがって、時刻 $t_1$ ～時刻 $t_{13}$ のプリチャージ期間画面下の点Dの画素電位は信号線電位(中間調/黒)より高い。その結果、各プリチャージ期間LCD画素を構成する薄膜トランジスタTrでリーク電流が発生する。

プリチャージ以外の期間、画面下部の点Dの画素電位は信号線電位(中間調/黒)より低いので、LCDの画素を構成する薄膜トランジスタTrでリーク電流は発生しない。

つぎに、2フィールド目の動作について説明する。信号線電位(中間調/黒)については上述した通りである。一方、画面下部の点Dの画素電位は、時刻 $t_{15}$ ～時刻 $t_{27}$ は期間10.0Vである。したがって、この期間画面下部の点Dの画素電位は信号線電位(中間調/黒)より高いので、LCD画素を構成する薄膜トランジスタTrでリーク電流が発生する。

20

一方、時刻 $t_{28}$ のプリチャージ期間は画面下の点Dの画素電位は2.5V、一方信号線電位(中間調/黒)は2.5Vであるので、LCDの画素を構成する薄膜トランジスタTrでリーク電流は発生しない。

#### 【0025】

このように、1フィールド目の各水平同期期間、ユニフォミティ改善信号1とユニフォミティ改善信号2をBLK期間内のプリチャージ期間に信号線に供給して、LCDの画素を構成する薄膜トランジスタにプリチャージ期間リーク電流を発生させている。

30

また、2フィールド目は、フィールド反転の場合、映像信号と同極性のユニフォミティ改善信号1とユニフォミティ改善信号2を供給するようにしている。そのため、黒色BOXの場合でも、そのBOX期間以外のプリチャージ期間にLCDの画素を構成する薄膜トランジスタTrからリーク電流が発生している。

具体的には、H反転時のユニフォミティ改善信号は、水平ブランキング期間中に映像信号の最大振幅付近の電位(Signal Centerに対して $\pm 4 \sim \pm 6$ V)であるユニフォミティ改善信号1を1ステップ目に、映像信号振幅の中間付近の電位(Signal Centerに対して $\pm 1.5 \sim \pm 2.5$ V)であるユニフォミティ改善信号2を2ステップ目に、映像信号と同極性で毎H入力している。

40

#### 【0026】

したがって、図3-Bに示す、画面の各位置において、プリチャージ信号をBLK期間内に信号線に供給することにより、画面上部の点Aと画面上部の点Cおよび画面下部の点Bと画面下部の点Dの画素電位の差は小さくなるため、縦クロストークは改善される。

すなわち、画面においては、見かけ上画面上部の点Aと画面上部の点C、また画面下部の点Bと画面下部の点Dは同じ明るさになり、平均化されて、明るさのむらが少なくなり画面が見易くなる。

また、画面上部の点Aと画面下部の点Bの画素電位の差も小さくなるため、シェーディングも改善される。

その結果、改善された画面の状態を模式的に図3-Aに示す。

50

## 【0027】

本発明の第2の実施形態例であるアクティブマトリックス表示装置の装置とその駆動方法について図4(A)と図4(B)に示す。

図4(A)において、Vsig信号は1フィールド目は正極性、2フィールド目は負極性を示している。また、この図4(A)において、動作を理解し易くするため、各フィールドを3Hまで示した。

PSW(図4(C))はプリチャージSW波形で、BLK期間以内に設定されている。また、PSW(図4(C))のパルス幅はプリチャージ期間を示し、Psig(図4(B))はプリチャージ信号を示している。

## 【0028】

Psig(図4(B))信号のプリチャージ信号は、PSW期間以外でも一定電圧に設定されているが、PSW期間以外はプリチャージPsig信号は供給されない。たとえば、図1に示すPドライバ回路14から出力される制御パルスが出力され、n個のスイッチPSWがPSW期間だけONされ、Psigが信号線に供給される。しかしPSW期間以外にはn個の各PSWはOFFに設定され、Psigは信号線には供給されない。

## 【0029】

水平ブランキング期間中に映像信号の最低電圧付近の電位(Signal Centerに対して $-4 \sim -6$  V)であるユニフォミティ改善信号1を1ステップ目に、映像信号振幅の中間付近の電位(Signal Centerに対して $\pm 1.5 \sim \pm 2.5$  V)であるユニフォミティ改善信号2を2ステップ目に入力し、ユニフォミティ改善信号1は2回の水平ブランク期間内に1回(2H毎に1回、図4(B))、ユニフォミティ改善信号2は映像信号と同極性で毎H入力している。

このようなユニフォミティ改善信号を入力した場合も図3-Aと図3-Bに示した本発明の第1実施形態例のアクティブマトリックス表示装置と同様の効果が得られる。

## 【0030】

本発明の第3の実施形態例である、アクティブマトリックス表示装置とその動作について図5に示す。

毎水平ブランキング期間中に映像信号Vsig(図5(A))の最低電圧付近の電位(Signal Centerに対して $-4 \sim -6$  V)と映像信号の最高電圧付近の電位(Signal Centerに対して $+4 \sim +6$  V)とを合わせたユニフォミティ改善信号1を1ステップ目に、映像信号振幅の中間付近の電位(Signal Centerに対して $\pm 1.5 \sim \pm 2.5$  V)であるユニフォミティ改善信号2を2ステップ目に入力し、ユニフォミティ改善信号1は映像信号と逆極性→同極性の順で入力し、ユニフォミティ改善信号2は映像信号と同極性で入力することを特徴とする(図5(B))。このようなユニフォミティ改善信号を入力した場合も本発明の第1実施形態例のアクティブマトリックス表示装置と同様の効果が得られる。

特にこの場合は、ユニフォミティ改善信号の振幅が全体としてSignal Centerに対して対称となるため、上述した本発明の第1実施形態例、第2実施形態例と比較して、縦スジなどの画質不良が発生するリスクが少ない。

また、この場合のユニフォミティ改善信号1は第2実施形態例と同様に2回の水平ブランク期間内に1回(2H毎に1回)入力する方式でも良い。

## 【0031】

以上、水平ブランキング期間にユニフォミティ改善信号を入力する一括プリチャージ方式について述べたが、フィールド反転信号において、IH期間の各画素信号をサンプリングする直前に上述したユニフォミティ改善信号を入力する点順次プリチャージ方式にも適用できる。基本原理は同じであるので、ここでは省略する。

## 【0032】

以上述べたように、1F反転駆動のアクティブマトリックス装置のプリチャージ期間に、ユニフォミティ改善信号を供給し、画素特性に関係する薄膜トランジスタの画面位置の電圧差を少なくするとともにリーク電流を制御し画面輝度差を平均化した。

また、縦クロストークとシェーディングを同時に改善した。

さらに、1 F 反転駆動のアクティブマトリックス装置において、一括プリチャージ方式だけでなく、点順次プリチャージ方式においても画質が向上する。

【図面の簡単な説明】

【0033】

【図1-A】本発明の実施形態例である一括プリチャージ方式のアクティブマトリック表示装置の構成を示すブロック構成図である。

【図1-B】本発明の実施形態例である点順次プリチャージ方式のアクティブマトリック表示装置の構成を示すブロック構成図である。

【図2】図1-Aに示したアクティブマトリック表示装置の動作を説明するためのタイミングチャートである。

10

【図3-A】図1-Aに示したアクティブマトリック表示装置の画面表示を模式的に示した図である。

【図3-B】図1-Aに示したアクティブマトリック表示装置の第1の動作を図3Aを用いて説明するためのタイミングチャートである。

【図4】図1-Aに示したアクティブマトリック表示装置の第2の動作を説明するためのタイミングチャートである。

【図5】図1-Aに示したアクティブマトリック表示装置の第3の動作を説明するためのタイミングチャートである。

【図6】従来例の動作を説明するためのタイミングチャート図である。

20

【図7】従来例の動作を説明するためのタイミングチャート図である。

【図8-A】従来例のアクティブマトリック表示装置の画面表示を模式的に示した図である。

【図8-B】従来例の動作を説明するためのタイミングチャート図である。

【図9-A】従来例のアクティブマトリック表示装置の画面表示を模式的に示した図である。

【図9-B】従来例の動作を説明するためのタイミングチャート図である。

【図10-A】従来例のアクティブマトリック表示装置の画面表示を模式的に示した図である。

【図10-B】従来例の動作を説明するためのタイミングチャート図である。

30

【図11-A】従来例のアクティブマトリック表示装置の画面表示を模式的に示した図である。

【図11-B】従来例の動作を説明するためのタイミングチャート図である。

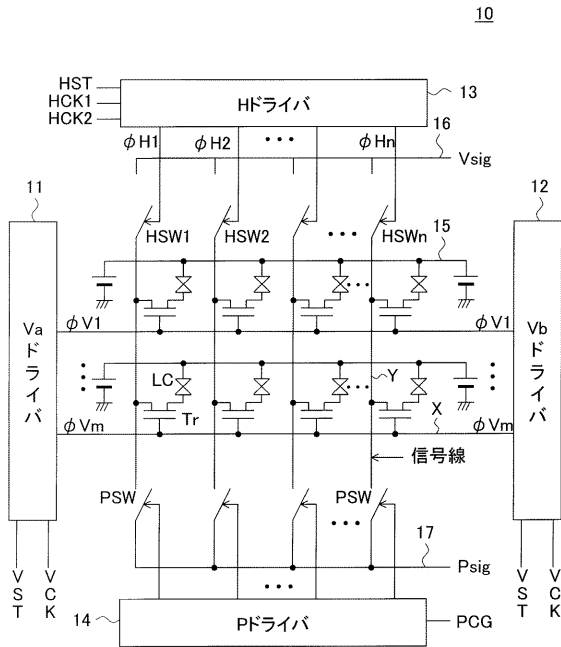
【符号の説明】

【0034】

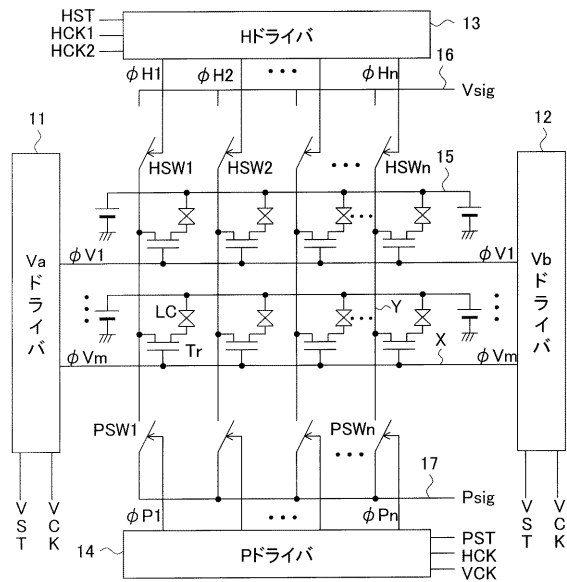
10…アクティブマトリックス表示装置、11…V<sub>a</sub>（垂直）ドライバ回路、12…V<sub>b</sub>（垂直）ドライバ回路、13…H（水平）ドライバ回路、14…P（プリチャージ）ドライバ回路、H<sub>SW1</sub>～H<sub>SWn</sub>…水平駆動スイッチ、P<sub>SW</sub>、P<sub>SW1</sub>～P<sub>SWn</sub>…プリチャージスイッチ、H<sub>ST</sub>…水平スタート信号、H<sub>CK1</sub>、H<sub>CK2</sub>…水平クロック、V<sub>ST</sub>…垂直スタート信号、V<sub>CK</sub>…垂直クロック、P<sub>ST</sub>…プリチャージスタート信号、V<sub>sig</sub>…映像信号、P<sub>sig</sub>…プリチャージ信号。

40

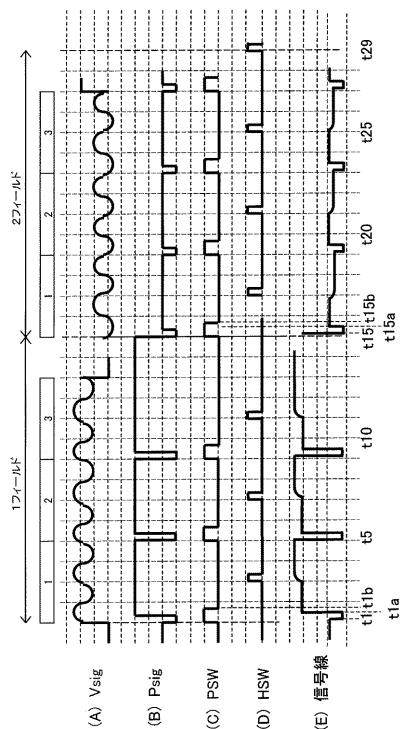
【図 1 - A】



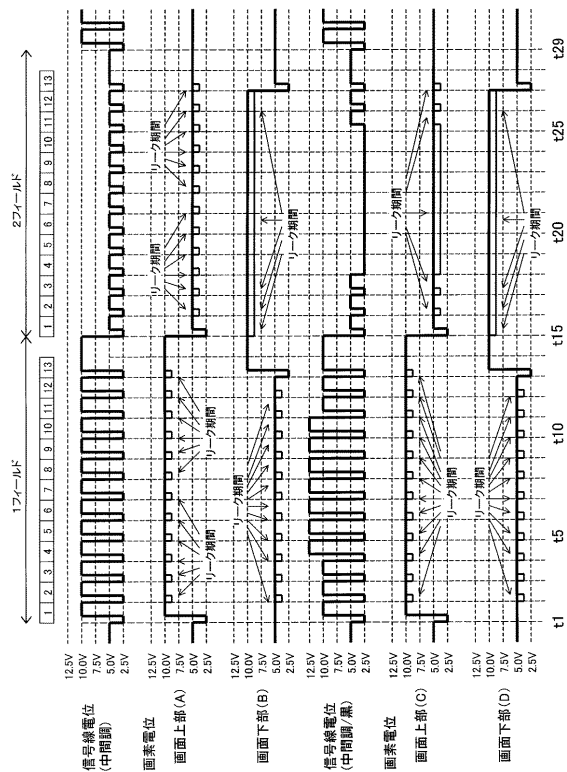
【図 1 - B】



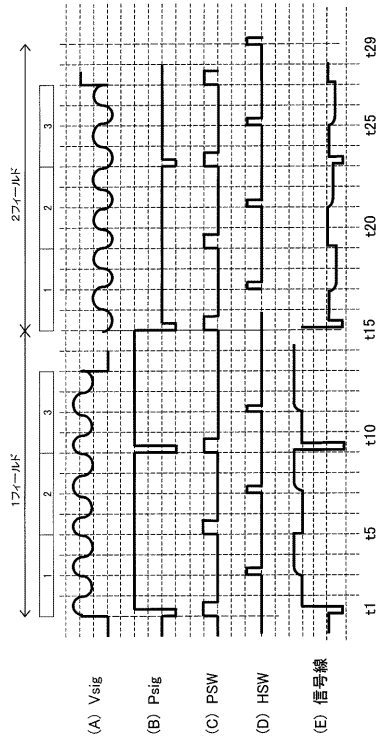
【図 2】



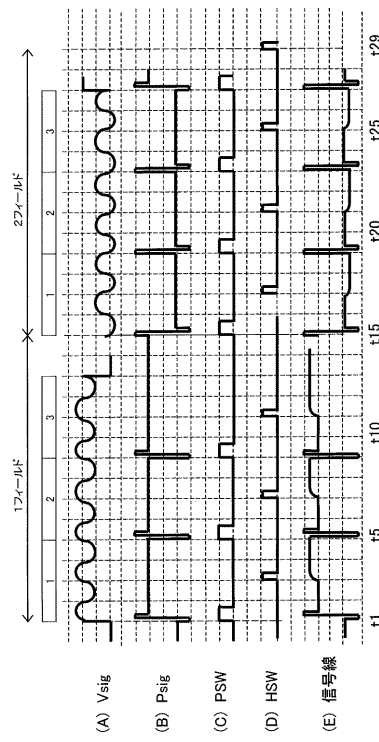
【図 3 - B】



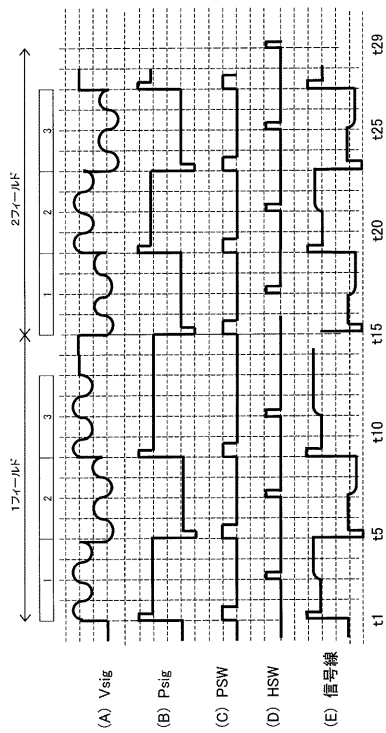
【図 4】



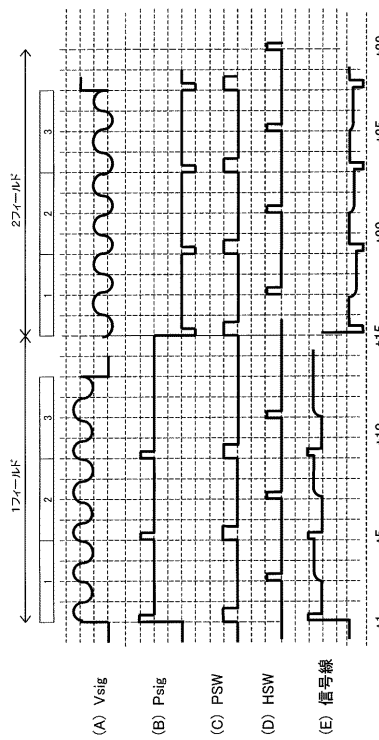
【図 5】



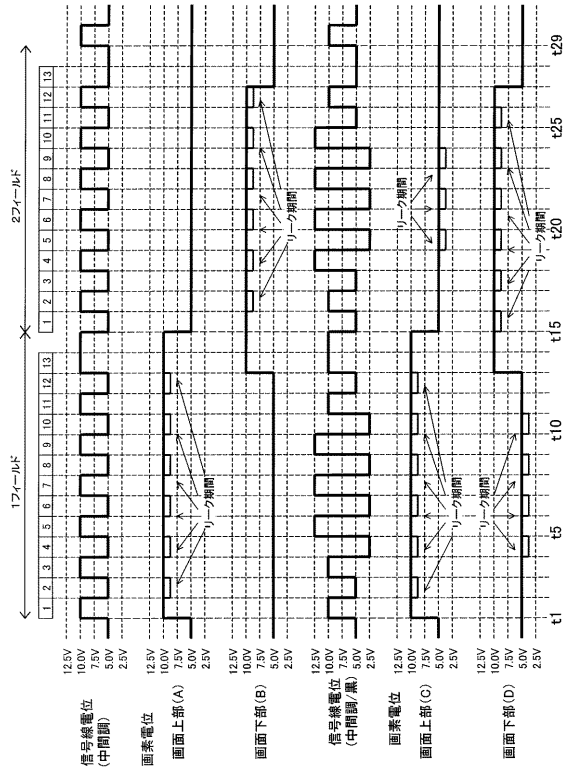
【図 6】



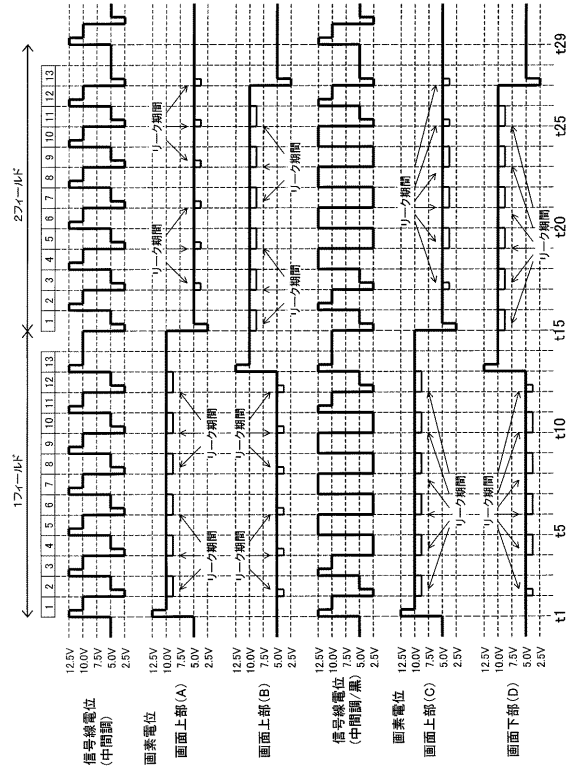
【図 7】



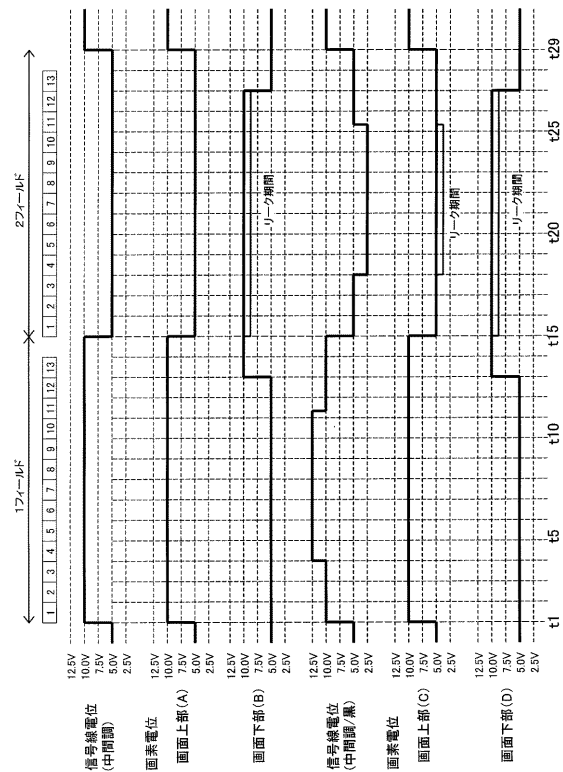
【図 8 - B】



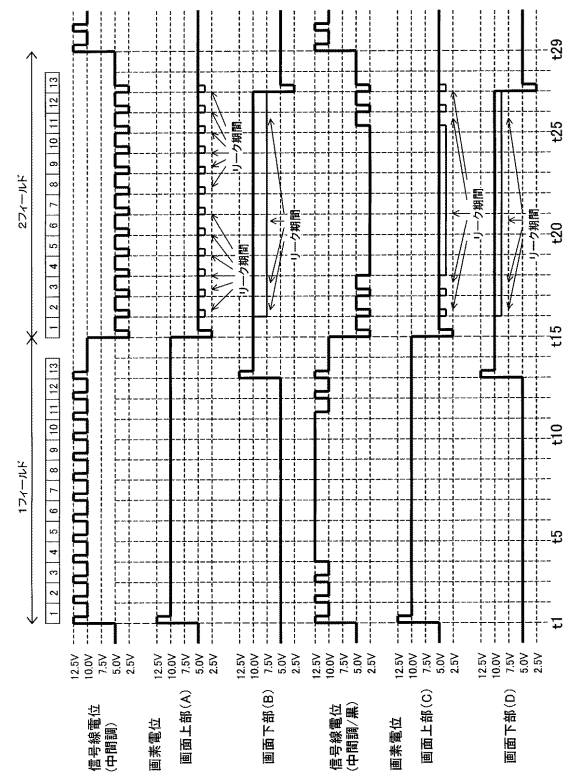
【図 9 - B】



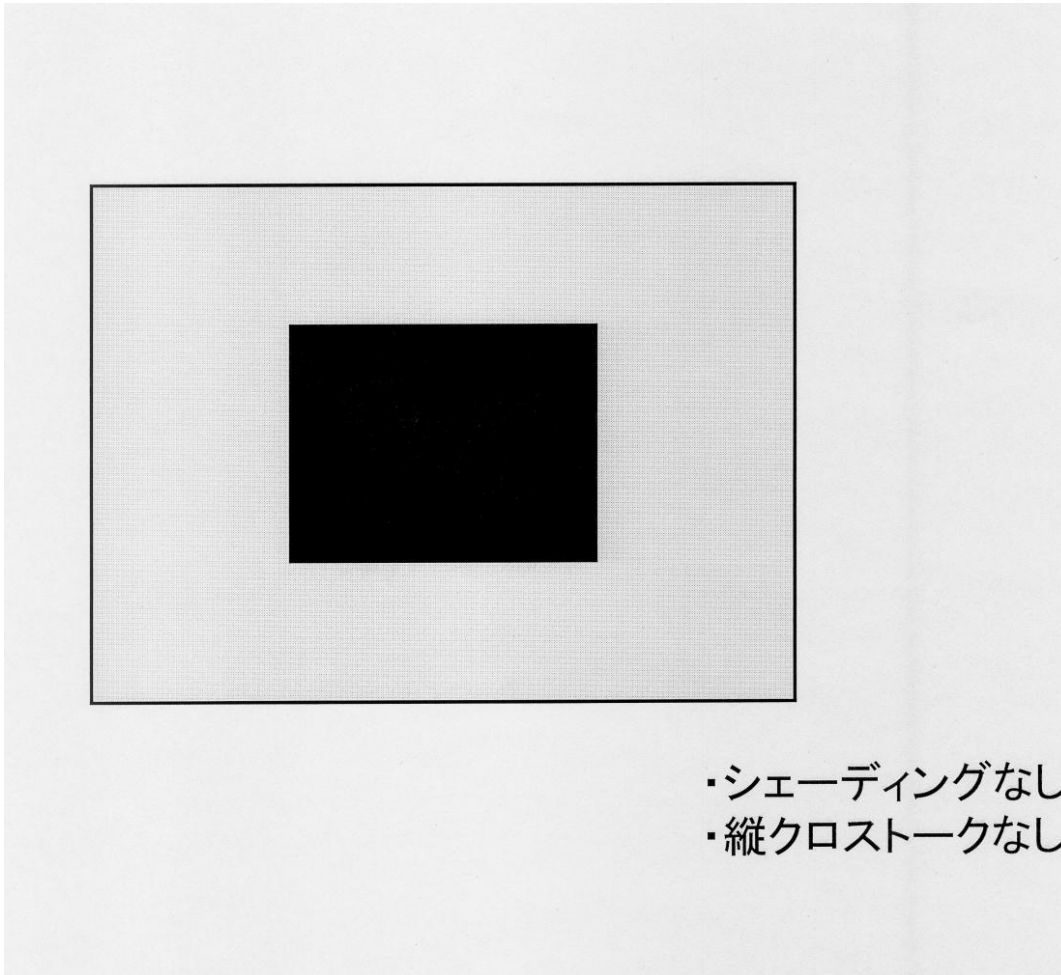
【図 10 - B】



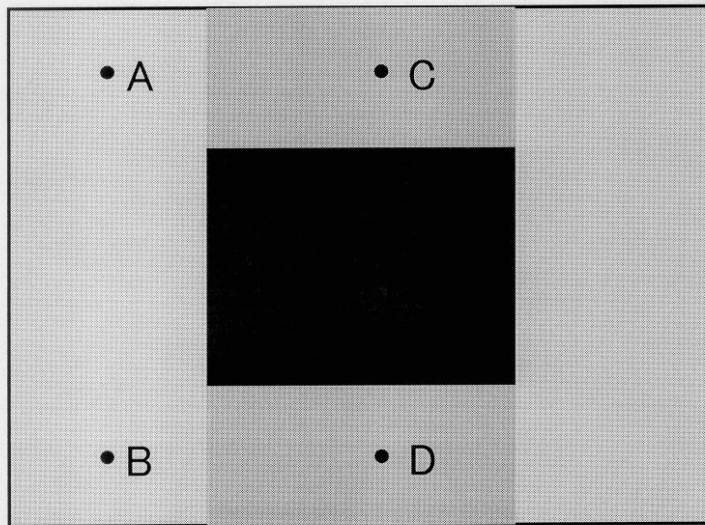
【図 11 - B】



【図 3 - A】

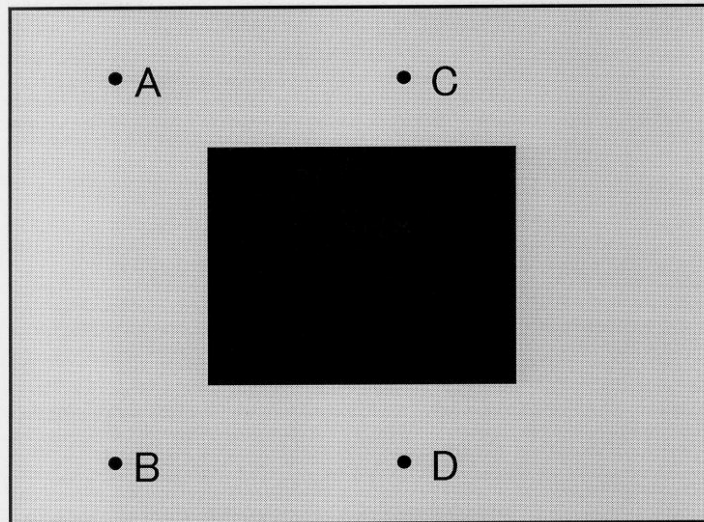


【図 8 - A】



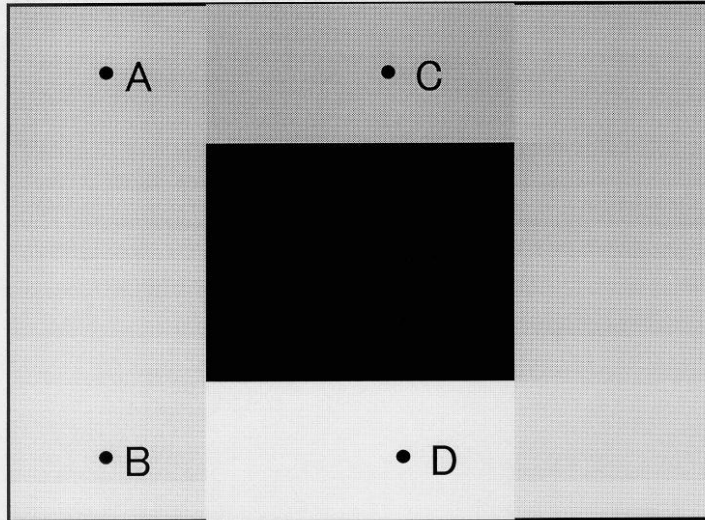
- ・シェーディングなし
- ・縦クロストークあり(上下:黒)

【図 9 - A】



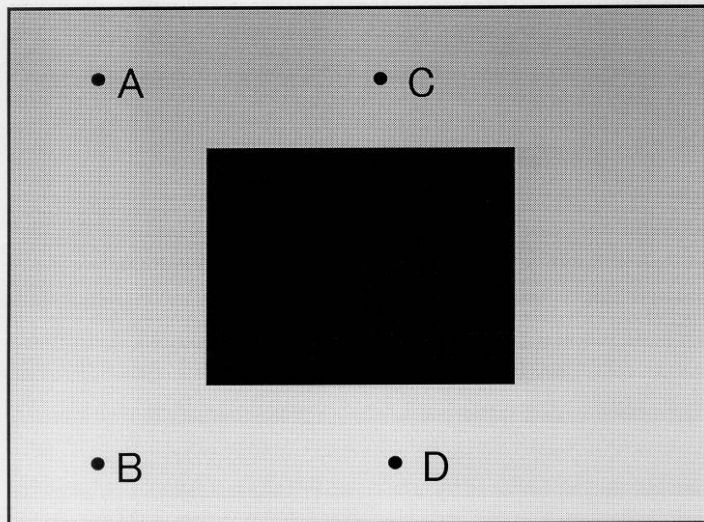
- ・シェーディングなし
- ・縦クロストークなし

【図 10 - A】



- ・シェーディングあり
- ・縦クロストークあり(上:黒、下:白)

【図 1 1 - A】



- ・シェーディングあり
- ・縦クロストークなし

---

フロントページの続き

(51)Int.Cl. F I  
G 0 9 G 3/20 6 2 1 A  
G 0 9 G 3/20 6 2 1 B  
G 0 9 G 3/20 6 2 3 C  
G 0 9 G 3/20 6 2 3 D  
G 0 9 G 3/20 6 4 2 A

審査官 武田 悟

(56)参考文献 特開 2 0 0 3 - 1 7 3 1 7 5 (J P, A)  
特開 2 0 0 5 - 1 7 5 2 8 (J P, A)  
特開平 1 0 - 1 4 3 1 1 3 (J P, A)  
特開 2 0 0 5 - 3 0 9 2 8 2 (J P, A)

(58)調査した分野(Int.Cl., D B名)  
G 0 9 G 3 / 0 0 - 3 / 3 8  
G 0 2 F 1 / 1 3 3  
G 0 2 F 1 / 1 3 6 8