(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2013년05월27일
(11) 등록번호 10-1266792
(24) 등록일자 2013년05월16일

(51) 국제특허분류(Int. Cl.)
G11C 11/15 (2006.01) *H01L 27/115* (2006.01)
H01L 21/8247 (2006.01)
(21) 출원번호 10-2012-0105356
(22) 출원일자 2012년09월21일
심사청구일자 2012년09월21일
(56) 선행기술조사문헌
KR1020120025489 A*
KR1020120027525 A*
JP2003017782 A
KR1020050059044 A
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
고려대학교 산학협력단
서울 성북구 안암동5가 1
(72) 발명자
이경진
서울특별시 성북구 종암1동 삼성래미안아파트 104-1301
이서원
서울특별시 성북구 안암동5가 고려대학교 신소재공학과
(74) 대리인
특허법인충현

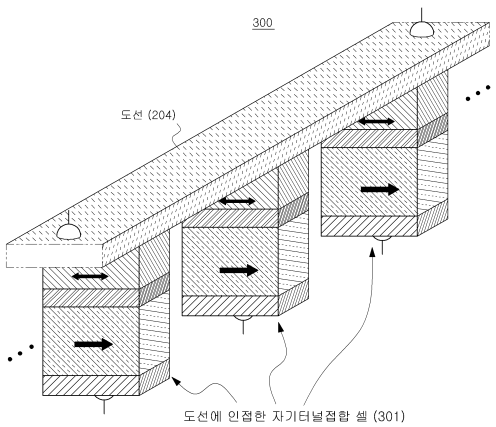
전체 청구항 수 : 총 7 항 심사관 : 윤혜숙

(54) 발명의 명칭 **면내 전류와 전기장을 이용한 수평형 자기메모리 소자**

(57) 요 약

본 발명은 면내 평행한 자기이방성을 갖는 자유 자성층에 인접한 도선에 면내 전류를 인가하여 자유 자성층의 자화 반전을 유도하고, 이와 동시에 자기터널접합 셀마다 선택적으로 전압을 인가하여 특정 셀마다 선택적으로 자유 자성층의 자화를 반전시킬 수 있는 자기 메모리 소자에 관한 것으로서, 본 발명에 따른 자기 메모리 소자에서는 자화반전을 일으키는 스핀 홀 스핀토크가 도선과 자유 자성층의 계면에서 일어나기 때문에 부피를 줄여 소자의 고집적화를 구현하면서 자성층의 자기이방성을 높여 열적 안정성을 확보하는 동시에 스핀전류의 양을 증가시켜 임계전류밀도를 감소시키는 것이 가능하다. 또한, 두꺼운 절연체로 터널자기저항을 높여 메모리의 읽는 속도를 증가시키면서도 임계전류밀도에 영향을 미치지 않는 메모리 소자이다.

대 표 도 - 도3



특허청구의 범위

청구항 1

고정 자성층, 절연층 및 자유 자성층을 포함하는 자기 메모리 셀;을 복수 개로 구비하고,

상기 자유 자성층에 인접하여 상기 자기 메모리 셀에 면내 전류를 인가하는 도선; 및 상기 자기 메모리 셀 각각에 독립적으로 전압을 공급하는 소자;를 포함하고,

상기 고정 자성층은 고정 자화 방향을 갖고, 막면에 대하여 평행한 방향으로 자화되는 물질로 이루어진 박막이고,

상기 자유 자성층은 자화 방향이 변하고, 막면에 대하여 평행한 방향으로 자화되는 물질로 이루어진 박막이며,

상기 인가되는 면내 전류와 각각의 자기 메모리 셀에 공급되는 전압에 의해서 각각의 자기 메모리 셀의 자화 방향을 선택적으로 변화시킬 수 있는 것을 특징으로 하는 자기 메모리 소자.

청구항 2

제1항에 있어서,

상기 고정 자성층은 Fe, Co, Ni, B, Si, Zr 및 이들의 혼합물 중에서 선택되는 물질로 이루어진 것을 특징으로 하는 자기 메모리 소자.

청구항 3

제1항에 있어서,

상기 고정 자성층은 제1 자성층; 비자성층 및 제2 자성층으로 이루어진 반자성체 구조로서,

상기 제1 자성층 및 제2 자성층은 각각 독립적으로 Fe, Co, Ni, B, Si, Zr 및 이들의 혼합물 중에서 선택되는 물질로 이루어지고,

상기 비자성층은 Ru, Cu 및 이들의 혼합물 중에서 선택되는 물질로 이루어진 것을 특징으로 하는 자기 메모리 소자.

청구항 4

제1항에 있어서,

상기 고정 자성층은 반강자성층; 제1 자성층; 비자성층; 및 제2 자성층;으로 이루어진 교환바이어스된 반자성체 구조로서,

상기 반강자성층은 Ir, Pt, Mn 및 이들의 혼합물 중에서 선택되는 물질로 이루어지고,

상기 제1 자성층 및 제2 자성층은 각각 독립적으로 Fe, Co, Ni, B, Si, Zr 및 이들의 혼합물 중에서 선택되는 물질로 이루어지며,

상기 비자성층은 Ru, Cu 및 이들의 혼합물 중에서 선택되는 물질로 이루어진 것을 특징으로 하는 자기 메모리 소자.

청구항 5

제1항에 있어서,

상기 자유 자성층은 Fe, Co, Ni, B, Si, Zr 및 이들의 혼합물 중에서 선택되는 물질로 이루어진 것을 특징으로 하는 자기 메모리 소자.

청구항 6

제1항에 있어서,

상기 절연층은 AlO_x, MgO, TaO_x, ZrO_x 및 이들의 혼합물 중에서 선택되는 물질로 이루어지는 것을 특징으로 하는 자기 메모리 소자.

청구항 7

제1항에 있어서,

상기 면내 전류를 인가하는 도선은 Cu, Ta, Pt, W, Gd, Bi, Ir 및 이들의 혼합물 중에서 선택되는 물질로 이루어지는 것을 특징으로 하는 자기 메모리 소자.

명 세 서

기 술 분 야

[0001] 본 발명은 자기터널접합을 이용한 자기 메모리 소자에 관한 것으로서, 더욱 상세하게는 면내 자기이방성을 갖는 자유 자성층에 인접한 도선에 면내 전류를 인가하여 자유 자성층의 자화 반전을 유도하고, 이와 동시에 자기터널접합 셀마다 선택적으로 전압을 인가하여 특정 셀마다 선택적으로 자유 자성층의 자화를 반전시킬 수 있는 자기 메모리 소자에 관한 것이다.

배 경 기 술

[0002] 강자성체는 외부에서 강한 자기장을 인가하지 않더라도 자발적으로 자화가 되어 있는 물질을 말한다. 두 강자성체 사이에 절연체를 삽입한 자기터널접합 구조(제1 자성체/절연체/제2 자성체)에서 두 자성층의 상대적인 자화방향에 따라 전기 저항이 달라지는 터널 자기저항 효과가 발생하며, 이는 자기터널접합 구조에서 업스핀과 다운스핀의 전자가 절연체를 터널링해 흐르는 정도가 다르기 때문에 발생한다. 이러한 터널 자기저항은 두 강자성체 사이에 절연체가 아닌 비자성체를 삽입한 스핀밸브 구조(제1 자성체/비자성체/제2 자성체)에서 발생하는 거대자기저항보다 그 값이 커서 하드디스크에 기록된 정보를 빠른 속도로 읽기 위한 센서 및 정보저장용 자기메모리 소자의 핵심기술로 널리 이용되고 있다.

[0003] 터널 자기저항 효과로 인하여 두 자성층의 상대적인 자화방향이 전류의 흐름을 제어하는 현상을 가져오게 된다. 한편, 뉴턴의 제3 법칙인 작용-반작용 법칙에 따라, 자화방향이 전류의 흐름을 제어할 수 있다면, 그 반작용으로 전류를 인가하여 자성층의 자화방향을 제어하는 것 역시 가능하다. 자기터널접합 구조에 수직(두께) 방향으로 전류를 인가하면, 제1 자성체(고정 자성층)에 의해 스핀 분극된 전류가 제2 자성체(자유 자성층)를 통과하면서 자신의 스핀 각운동량을 전달하게 된다. 이러한 스핀 각운동량의 전달에 의해 자화가 느끼는 토크를 스핀전달토크(Spin-transfer-torque)라고 하며, 스핀전달토크를 이용하여 자유 자성층의 자화를 반전시키거나 지속적으로 회전시키는 소자의 제작이 가능하다.

[0004] 면내 방향의 자화를 갖는 자성체로 구성된 자기터널접합 구조를 응용한 종래의 자기 메모리 소자는 기본적으로도 1과 같은 구조를 가진다. 전극/제1 자성체(고정 자성층, 101)/절연체(102)/전류에 의해 자화의 방향이 변하는 제2 자성체(자유 자성층, 103)/전극의 구조를 갖는다. 이러한 자기터널접합 구조의 상부 혹은 하부에 트랜지스터가 배치되며 이 트랜지스터는 선택적으로 상부 혹은 하부에 위치한 자기터널접합에 수직방향으로 흐르는 전류를 제공하는 역할을 한다. 하기 도 1에서 자성체의 자화방향은 지면을 뚫고 들어가는 방향 또는 나오는 방향으로 정렬될 수 있다. 여기서, 제2 자성체는 트랜지스터에 의해 막면에 수직으로 인가되는 전류에 의해 자화반전이 유도된다. 이때 고정 자성층과 자유 자성층 자화의 상대적인 방향에 따라 높은 저항과 낮은 저항의 두 가지 전기적 신호가 구현되는데, 이를 "0" 또는 "1"의 정보로 기록하는 자기 메모리 소자의 응용이 가능하다.

[0005] 만일 자유 자성층의 자화를 제어하기 위해 전류가 아닌 외부 자기장을 이용할 경우, 소자의 크기가 작아질수록 반-선택 셀(half-selected cell)문제가 발생하여 소자의 고집적화에 제약이 따른다. 반면, 소자에 전류를 인가하여 발생하는 스핀전달토크를 이용할 경우에는, 소자의 크기에 무관하게 선택적인 셀의 자화반전이 용이하다. 상기 기술한 스핀전달토크의 물리적 기구에 따르면, 자유 자성층에 발생하는 스핀전달토크의 크기는 인가된 전류밀도의 양에 의해 결정되며, 따라서 자유 자성층의 자화반전을 위한 임계전류밀도가 존재한다. 고정 자성층과 자유 자성층이 모두 면내 자기이방성을 갖는 물질로 구성된 경우, 임계전류밀도 J_c는 다음 [수학식 1]과 같다.

[0006] [수학식 1]

[0007] $$J_c = \alpha \frac{2e}{\hbar} \frac{M_S d}{\eta} \left(H_K + \frac{N_d M_S - H_{K\perp}}{2} \right) = \alpha \frac{2e}{\hbar} \frac{M_S d}{\eta} \left(H_{K,eff} \right)$$

[0008] 상기 [수학식 1]에서, α는 Gilbert 감쇠상수이며, (=1.05×10^{-34} J·C)는 Planck 상수를 2π로 나눈 값이고, e(=1.6×10^{-19} C)는 전자의 전하량, η는 물질 및 전체 구조에 의해 결정되는 스핀분극효율 상수로 0과 1 사이의 값을 가지며, M_S는 자성체의 포화자화양, d는 자유 자성층의 두께, H_K는 자유 자성층의 면내 방향 자기이방성 자계이며, N_d는 수직방향의 유효 감자계 상수로 CGS 단위로 기술하였을 때, 자유자성층의 모양에 따라 0과 4π사이의 값을 갖고, $H_{K\perp}$는 자유 자성층의 수직 자기이방성 자계이며, 자유 자성층의 면내 방향의 유효이방성자계 $H_{K,eff}$는 $H_{K,eff} = (H_K+(N_dM_S-H_{K\perp})/2)$로 정의된다.

[0009] 고집적 메모리 소자를 위해 셀의 크기를 줄이게 되면 상온에서의 열에너지에 의해 기록된 자화방향이 임의적으로 바뀌는 초상자성 한계가 발생한다. 이는 기록된 자기정보가 원하지 않게 지워지는 문제를 야기한다. 열에너지에 저항하여 평균적으로 자화방향이 유지되는 시간(τ)은 하기 [수학식 2]와 같다.

[0010] [수학식 2]

[0011] $$\tau = \tau_0 \exp\left(\frac{KV}{k_B T} \right) = \tau_0 \exp\left(\frac{H_K M_S V}{2 k_B T} \right)$$

[0012] 상기 [수학식 2]에서, τ는 시도주파수의 역수로 1 ns 정도이며, K는 자유 자성층의 유효 자기이방성 에너지 밀도(=$H_K M_S$/2), V는 소자의 부피, k_B는 볼쯔만 상수(=1.381×10^{-16} erg/K), T는 캘빈 온도이다.

[0013] 여기서, KV/k_BT가 자기 메모리 소자의 열적 안정성(Δ)으로 정의된다. 비휘발성 메모리로서의 상용화를 위해서는 일반적으로 Δ > 50의 조건이 만족되어야 한다. 소자의 고집적화를 위해 자유 자성층의 부피(V)를 줄이게 되면, Δ > 50의 조건을 만족시키기 위해 K를 키워야 하며, 그 결과 J_c가 증가하게 되는 것을 알 수 있다.

[0014] 일반적으로 자기터널접합에 전류를 인가하는 소자에서 제공할 수 있는 전류의 양은 각 자기터널접합에 연결된 트랜지스터의 크기에 비례하는데 이는 J_c이상의 전류밀도를 인가하기 위해서는 적정 값 이상의 트랜지스터 크기를 유지해야 한다는 것을 의미한다. 따라서 J_c 이상의 전류를 인가하기 위한 트랜지스터의 크기가 자기 메모리 소자의 고집적화에 있어 한계점이 될 수 있다.

[0015] 또한, 기존구조에서 전류가 자기터널접합을 통해 흐를 때 절연체의 두께가 두꺼워지면 터널링하는 업스핀과 다운스핀의 차이는 더 커져 터널 자기저항이 증가한다. 하지만 이 경우 동일한 전압을 인가하였을 때, 터널링하는 전류 자체의 양이 감소해 자화반전을 위한 스핀전달토크를 자유 자성층에 효과적으로 주는 것이 매우 어려워진다. 즉, 절연체의 두께가 두꺼워지면 터널 자기저항 값이 커져 매우 빠른 속도로 자화 상태를 읽을 수 있고 이는 구조의 상용화에 있어 필수적인 요소지만 동시에 전류밀도가 감소해 두 요소를 동시에 만족시키는 소자를 구현시키기가 매우 어려워진다.

발명의 내용

해결하려는 과제

[0016] 따라서, 본 발명이 해결하고자 하는 기술적 과제는,

[0017] 종래 자기터널접합 구조를 수직방향으로 흐르는 전류에 의한 스핀전달토크로 자유 자성층의 자화 반전을 유도하는 구조에서 존재하였던 두 가지 문제점, 즉 (i) 고밀도화를 위해서는 자기터널접합은 물론 그에 연결된 트랜지스터의 크기를 동시에 줄여야 하는데, 각 자기터널접합에 수직방향으로 제공되는 전류의 크기는 각 자기터널접합의 상부 혹은 하부에 연결된 트랜지스터의 크기에 비례하므로, J_c 이상의 전류를 인가하기 위한 트랜지스터의 크기가 자기 메모리 소자의 고집적화에 있어 한계점이 될 수 있다는 문제와, (ii) 자기터널접합 구조의 절연체

를 두껍게 하면 터널 자기저항이 커져서 자화 상태를 보다 빠르게 읽을 수 있지만 동시에 전류밀도가 낮아져서 자화 상태를 변경하는 것이 어렵다는 문제를 동시에 해결할 뿐만 아니라 소자의 고집적화를 구현시키기 위하여, 자유 자성층에 인접한 도선에 흐르는 면내 전류에 의한 스핀 홀 스핀토크에 의해서 자유 자성층의 자화반전을 유도하고, 각각의 자기터널접합 메모리 셀마다 선택적으로 인가되는 전압을 이용하여 각 셀의 선택적인 자화반전이 가능한 자기 메모리 소자를 제공하는 것이다.

과제의 해결 수단

[0018] 본 발명은 상기 기술적 과제를 해결하기 위하여,

[0019] 고정 자성층, 절연층 및 자유 자성층을 포함하는 자기 메모리 셀;을 복수 개로 구비하고,

[0020] 상기 자유 자성층에 인접하여 상기 자기 메모리 셀에 면내 전류를 인가하는 도선; 및 상기 자기 메모리 셀 각각에 독립적으로 전압을 공급하는 소자;를 포함하고,

[0021] 상기 고정 자성층은 고정 자화 방향을 갖고, 막면에 대하여 평행한 방향으로 자화되는 물질로 이루어진 박막이고,

[0022] 상기 자유 자성층은 자화 방향이 변하고, 막면에 대하여 평행한 방향으로 자화되는 물질로 이루어진 박막이며,

[0023] 상기 인가되는 면내 전류와 각각의 자기 메모리 셀에 공급되는 전압에 의해서 각각의 자기 메모리 셀의 자화 방향을 선택적으로 변화시킬 수 있는 것을 특징으로 하는 자기 메모리 소자를 제공한다.

[0024] 본 발명의 일 실시예에 의하면, 상기 고정 자성층은 Fe, Co, Ni, B, Si, Zr 및 이들의 혼합물 중에서 선택되는 물질로 이루어질 수 있다.

[0025] 본 발명의 일 실시예에 의하면, 상기 고정 자성층은 제1 자성층; 비자성층 및 제2 자성층으로 이루어진 반자성체 구조일 수 있으며, 상기 제1 자성층 및 제2 자성층은 각각 독립적으로 Fe, Co, Ni, B, Si, Zr 및 이들의 혼합물 중에서 선택되는 물질로 이루어질 수 있고, 상기 비자성층은 Ru, Cu 및 이들의 혼합물 중에서 선택되는 물질로 이루어질 수 있다.

[0026] 본 발명의 일 실시예에 의하면, 상기 고정 자성층은 반강자성층; 제1 자성층; 비자성층; 및 제2 자성층;으로 이루어진 교환바이어스된 반자성체구조일 수 있으며, 상기 반강자성층은 Ir, Pt, Mn 및 이들의 혼합물 중에서 선택되는 물질로 이루질 수 있고, 상기 제1 자성층 및 제2 자성층은 각각 독립적으로 Fe, Co, Ni, B, Si, Zr 및 이들의 혼합물 중에서 선택되는 물질로 이루어질 수 있으며, 상기 비자성층은 Ru, Cu 및 이들의 혼합물 중에서 선택되는 물질로 이루어질 수 있다.

[0027] 본 발명의 일 실시예에 의하면, 상기 자유 자성층은 Fe, Co, Ni, B, Si, Zr 및 이들의 혼합물 중에서 선택되는 물질로 이루어질 수 있다.

[0028] 본 발명의 일 실시예에 의하면, 상기 절연층은 AlO_x, MgO, TaO_x, ZrO_x 및 이들의 혼합물 중에서 선택되는 물질로 이루어질 수 있다.

[0029] 본 발명의 일 실시예에 의하면, 상기 면내 전류를 인가하는 도선은 Cu, Ta, Pt, W, Gd, Bi, Ir 및 이들의 혼합물 중에서 선택되는 물질로 이루어질 수 있다.

발명의 효과

[0030] 본 발명에 따른 자기 메모리 소자는 전류가 자유 자성층에 인접한 도선을 따라 흐를 때 자유 자성층에 발생하는 스핀 홀 스핀토크와 각 셀마다 인가되는 전압에 의해 자유 자성층이 자화반전되는 원리를 이용한 것으로서, 스핀 홀 스핀토크는 자유자성층의 자화를 반전시키는 역할을 한다. 또한, 특정 셀에 가해지는 전압은 셀이 포함한 자성층의 자기이방성을 변화시켜 그 특정 셀을 선택적으로 자화반전 시킬 수 있도록 한다.

[0031] 스핀 홀 스핀토크에 의한 자화반전에 있어서 임계전류밀도는 기존 구조에서와 마찬가지로 자성층의 유효 자기이방성과 부피에도 비례하지만 스핀 홀 효과에 의해 발생되는 인가 전류에 대한 스핀전류의 양에도 비례한다. 따라서, 소자의 고집적화를 위해 소자의 부피를 감소시킬 때, 자기이방성을 증가시켜 열적 안정성을 확보하고 발생되는 스핀전류의 양을 효과적으로 증가시켜 이를 통해 임계전류밀도를 감소시킬 수 있다. 즉, 소자의 열적 안정성 확보와 임계전류밀도가 동시에 가능한 메모리 소자이다.

[0032] 또한, 스핀 홀 스핀토크를 발생시켜 자화를 반전시키는 전류가 소자를 통해 수직 방향으로 흐르는 것이 아니라

도선의 면내로 흐르기 때문에 이를 공급하기 위한 트랜지스터 등의 소자가 자기터널접합 셀들로 이루어진 배열 밖에 배치될 수 있다. 이로 인해 자기터널접합 소자의 크기와 관계없이 전류를 공급하는 소자의 크기를 비교적 자유롭게 조절할 수 있게 되고 따라서 스핀 홀 스핀토크를 발생시켜 자화반전을 가능하게 하는 임계전류밀도 이상의 큰 전류를 쉽게 인가해줄 수 있다는 장점이 있다.

[0033] 또한, 기존 구조에서 전자가 자기터널접합 내 절연체를 터널링해 스핀토크를 전달해주는 것과는 달리 스핀 홀 스핀토크는 도선과 인접한 자유 자성층 계면에서 발생하기 때문에 전류가 자기터널접합 내 절연체를 터널링해 흐를 필요가 없고 따라서 절연체의 두께를 증가시켜 터널 자기저항을 충분히 증가시키더라도 임계전류밀도에는 영향을 주지 않을 수 있다. 즉, 임계전류밀도와는 관계없이 터널 자기저항을 높여 자화 상태를 읽는 속도를 크게 높이는 것이 가능한 메모리 소자이다.

도면의 간단한 설명

[0034] 도 1은 종래의 스핀전달토크를 이용한 자기 메모리 소자의 구조를 나타낸 단면도이다.

도 2는 본 발명의 일 실시예에 따른 자기 메모리 소자의 구조를 나타낸 단면도이다.

도 3은 본 발명의 일 실시예에 따른 스핀 홀 스핀토크와 전기장을 이용하여 선택적인 자화반전이 가능한 복수개의 자기터널접합 구조가 도선에 접합되어 있는 자기 메모리 소자의 구조를 나타낸 단면도이다.

도 4는 본 발명의 일 실시예에 따른 각 자기터널접합에 인가된 전압 (전기장)에 의해 유효 수직자기이방성 자계 $H_{K\perp,eff}$가 N_dM_S에 대해 가로축과 같은 비율을 가지며 변할 때의 자화반전 전류를 나타낸 그래프이다.

발명을 실시하기 위한 구체적인 내용

[0035] 이하, 첨부된 도면을 참조하여 본 발명을 보다 상세하게 설명한다.

[0036] 본 발명에 따른 자기 메모리 소자는 하기 도 2에 나타나 있는 바와 같이, 전극/고정 자성층(201)/절연체(202)/자유 자성층(203)/도선(204)을 포함하고, 자유 자성층의 자화반전을 위해 인가되는 전류는 도선(204)에 면내 방향으로 흐르는 것을 특징으로 한다.

[0037] 여기서 자성층의 자화 방향은 x 방향 또는 -x 방향으로 정렬되어 있다. 도선 내 흐르는 업스핀과 다운스핀의 전자는 스핀-궤도 상호작용에 의해 각기 다른 방향으로 편향되는 스핀 홀 효과를 경험하고 이로 인해 전류방향에 수직인 모든 방향으로 스핀전류가 발생한다.

[0038] 이때 각 방향으로 발생한 스핀전류는 그 방향에 수직으로 편향된 스핀성분을 가지고 있다. 하기 도 2에 표시된 좌표계에 의거하여, 도선(204) 내의 면내 전류가 y 방향으로 흐르는 경우, 발생한 스핀전류 중 -z 방향 성분으로 흐르는, 즉 자유 자성층에 입사하는 스핀전류는 x 방향 또는 -x 방향의 스핀성분을 가지며 자유 자성체로 흘러 들어간다. 이렇게 흘러 들어간 스핀전류에 의해 자성체는 스핀토크를 받게 되고 이때 받는 스핀토크를 스핀 홀 스핀토크(spin Hall spin-torque)라고 한다. 스핀 홀 스핀토크를 받은 자유 자성체는 인가되는 전류의 방향에 따라 +x 축에서 -x 축으로, 또는 -x 축에서 +x 축으로 자화반전을 이룬다.

[0039] 또한, 본 발명에 따른 자기 메모리 소자는 복수 개의 자기터널접합 셀을 각각 선택적으로 자화 반전시키기 위하여, 특정 셀에 전압, 즉 전기장을 가하는 방식을 포함하는 것을 특징으로 한다.

[0040] 자기터널접합에 수직방향으로 전압, 즉 전기장을 가하면 자성층의 수직 자기이방성 에너지밀도 $K_\perp$가 변하게 된다. 자기터널접합에 전압이 가해지면 전기장이 형성되고 형성된 전기장으로 인해 자성체의 수직 자기이방성 에너지 밀도가 전기장의 방향에 따라 증가 또는 감소한다. 예를 들어, 전압 V를 인가하였을 때 증가하는 수직 자기이방성 에너지 밀도를 $\Delta K_\perp(V)$로 정의하면, 자유 자성층의 유효이방성자계 $H_{K,eff}$는 $H_{K,eff} = (H_K+(N_dM_S-H_{K\perp,eff})/2)$로 치환되며, 여기서 $H_{K\perp,eff} = H_{K\perp}+\Delta H_{K\perp}$이며 $\Delta K_\perp(V)$에 의한 수직 자기 이방성 자계 변화 $\Delta H_{K\perp}$는 $\Delta H_{K\perp} = 2\Delta K_\perp(V)/M_S$로 기술된다. 따라서, 전압을 인가했을 때 $H_{K,eff}$가 감소하는 것을 알 수 있다. $H_{K,eff}$는 자유 자성층의 자화가 자화 용이축으로 얼마나 강하게 유지되는가를 나타내는 척도이므로, 전압을 인가하여 $H_{K,eff}$를 감소시키는 것으로 인하여, 자유 자성층의 자화를 반전시키는 것이 보다 용이해진다.

[0041] 각 셀을 선택적으로 자화반전 시키는 구체적 원리는 하기 도 3을 통해 설명한다. 하기 도 3에서 복수 개의 같은

자기터널접합 셀들(301)이 도선(204)에 접해있을 때, 도선(204)을 통해 전류가 인가되면 상기 설명한 원리로 각 셀의 자유 자성층이 자화반전될 수 있다. 도선(204)에 흐르는 전류는 도선(204)의 끝단에 연결되어 전류를 인가하는 트랜지스터 등의 소자로부터 제공된다. 이때 인가된 전류의 크기가 자유 자성층의 유효 자기이방성을 극복하기에 충분히 큰 값이면 도선에 연결되어있는 모든 셀의 자유 자성층이 자화반전된다. 하지만, 그 값에 못 미치는 전류를 인가한 상태에서 선택하고자 하는 셀에만 독립적으로 전압을 인가하면 선택한 셀이 포함하는 자유 자성층의 유효 자기이방성이 감소하여 선택적으로 그 셀의 자화반전을 일으킬 수 있다. 각 셀에 인가되는 전압은 각 셀에 독립적으로 연결되어 전압을 인가하는 소자로부터 제공된다. 이러한 전압 인가 소자는 트랜지스터 혹은 다이오드 일 수 있다. 이때 선택되지 않은 셀에는 도선(204)을 통해 선택된 셀에서와 같은 전류가 인가되지만 그 값이 자기이방성을 극복하기에 충분히 큰 값이 아니기 때문에 자화반전이 일어나지 않는다.

[0042] 본 발명에 따른 자기 메모리 소자는 소자의 크기를 줄여 고집적화를 구현하는 동시에 열적 안정성을 유지하고 임계전류밀도를 낮추면서 터널 자기저항을 높여 메모리의 읽는 속도를 높인 것을 특징으로 한다.

[0043] 또한, 본 발명에 따른 자기 메모리 소자는 자유 자성층에 인접한 도선 내에 흐르는 전류에 의해 발생한 스핀 홀 스핀토크를 이용하여 자유 자성층의 자화반전을 유도함으로써 자화반전을 위한 임계전류밀도가 열적 안정성 및 터널 자기저항을 결정하는 절연체 두께와도 독립적으로 분리된 구조이다. 또한, 셀 선택을 위해 선택 셀에 전압을 가해 자기장을 형성시키고 이로 인해 발생되는 자기이방성의 변화를 이용하는 구조이다.

[0044] 본 발명에 따른 자기 메모리 소자는 고정 자성층(201), 절연체(202), 자유 자성층(203) 및 도선(204)을 포함하고, 상기 고정 자성층은 고정 자화 방향을 갖고 막면에 대하여 평행한 방향으로 자화되는 물질로 이루어진 박막이며, 상기 자유 자성층은 인접 도선을 통해 인가되는 전류와 선택적으로 인가되는 전기장에 의해 자화 방향이 변하고, 막면에 대하여 평행한 방향으로 자화되는 물질로 이루어진 박막인 것을 특징으로 한다.

[0045] 자유 자성층에 인접한 도선을 통해 면내 전류가 흐를 때 스핀 홀 효과에 의해 자유 자성층에 스핀 홀 스핀토크가 발생되어 자유 자성층의 자화는 반전된다. 이때 셀을 선택적으로 자화 반전시키기 위하여 선택하고자 하는 셀에 전압을 인가한다. 전압이 인가된 셀은 인가된 전압으로 인해 전기장이 형성되고 이로 인해 자성층의 유효 자기이방성이 변한다. 따라서 전압을 인가해 선택한 셀만을 자화반전시킬 수 있게 된다.

[0046] 도선에 인가되는 전류는 도선에 연결되어 전류를 인가하는 트랜지스터 등의 소자로부터 제공되고, 각 셀에 인가되는 전압은 각 셀에 연결되어 전압을 인가하는 소자로부터 제공된다. 이러한 전류 혹은 전압을 제공하는 소자는 트랜지스터 혹은 다이오드일 수 있다.

[0047] 본 발명에 따른 자기 메모리 소자에서는 자화반전을 일으키는 스핀 홀 스핀토크가 도선(204)과 자유 자성층(203)의 계면에서 일어나기 때문에 부피를 줄여 소자의 고집적화를 구현하면서 자성층의 자기이방성을 높여 열적 안정성을 확보하는 동시에 스핀전류의 양을 증가시켜 임계전류밀도를 감소시키는 것이 가능하다. 또한, 두꺼운 절연체로 터널자기저항을 높여 메모리의 읽는 속도를 증가시키면서도 임계전류밀도에 영향을 미치지 않는 메모리 소자이다.

[0048] 하기 도 2는 본 발명의 일 실시예에 따른 스핀 홀 스핀토크와 전기장을 이용한 자기 메모리 소자의 구조를 나타내는 단면도로서, 본 발명에 따른 소자는 기본적으로 전극, 면내에 평행한 방향의 자화를 갖는 고정 자성층(201), 절연체(202), 면내 자기이방성을 갖고 도선에 흐르는 면내 전류와 전기장에 의해 선택적으로 자화의 방향이 변하는 자유 자성층(203) 및 도선(204)을 포함하는 구조를 갖는다.

[0049] 복수 개의 자기터널접합 셀을 각각 선택적으로 자화 반전시키기 위해 선택하고자 하는 셀에 전압을 가하면 그 셀의 자유자성층의 자기이방성이 달라진다. 이 상태에서 도선(204)를 통해 적정 값의 면내 전류를 인가하면 자유 자성층은 스핀 홀 스핀토크를 전달받아 자화반전을 하게 된다.

[0050] 하기 도 3은 본 발명의 일 실시예에 따른 스핀 홀 스핀토크와 전기장을 통해 선택적으로 자화반전이 가능한 복수 개의 자기터널접합 구조(301)가 도선(204)에 접합되어 있는 자기 메모리 소자의 구조를 나타낸 단면도로서, 도선(204)에 연결되어 전류를 인가하는 소자를 통해 도선 면내로 전류가 흘러 도선(204)에 접합되어 있는 모든 셀에 스핀 홀 스핀토크를 유발하고 각 셀마다 연결되어 전압을 인가하는 소자를 통해 특정 셀에만 전압이 가해져 전기장을 형성하며 그 특정 셀의 선택적인 자화반전을 가능하게 한다.

[0051] 상기에 설명한 바와 같이 전압 인가를 통해 선택된 셀과 그렇지 않은 선택되지 않은 셀에는 유효 자기이방성의

차이가 존재한다. 전압을 걸어 전기장을 형성시킨 셀의 유효 자기이방성이 전기장이 형성되지 않은 셀에 비해 감소하면 더 작은 스핀 홀 스핀토크 및 자기장으로도 자화반전을 일으킬 수 있다. 즉, 적정한 값의 전류를 도선(204)에 인가하고 선택하고자 하는 셀에만 전압을 가해주면 선택한 셀만을 자화 반전시킬 수 있다. 이 경우, 스핀 홀 스핀토크를 발생시키는 전류는 도선(204)에만 면내 방향으로 흐르므로 소자의 열적 안정성 및 터널자기저항과 독립적일 수 있고 따라서 열적 안정성의 확보, 터널자기저항의 증가를 동시에 만족시키는 자기메모리 소자를 구현시킬 수 있다.

[0052] 본 발명에 따른 자기 메모리 소자에서는 높은 전류밀도를 얻기 위하여, 패터닝 기술을 이용하여 가능한 한 작은 크기의 구조로 구현함이 바람직하다.

[0053] 이하, 바람직한 실시예를 들어 본 발명을 더욱 상세하게 설명한다. 그러나 이들 실시예는 본 발명을 보다 구체적으로 설명하기 위한 것으로, 실험 조건, 물질 종류 등에 의하여 본 발명이 제한되거나 한정되지는 않는다는 것은 당업계의 통상의 지식을 가진 자에게 자명할 것이다.

[0054] <실시예>

[0055] 본 발명에 따른 자기 메모리 소자의 효과를 자화의 운동방정식을 이용한 미소자기모델링을 통해서 확인하였다.

[0056] 자화의 운동방정식은 하기 [수학식 3]과 같다.

[0057] [수학식 3]

[0058] $$\frac{\partial \mathbf{m}}{\partial t} = -\gamma \mathbf{m} \times \mathbf{H}_{eff} + \alpha \mathbf{m} \times \frac{\partial \mathbf{m}}{\partial t} - \frac{\theta_{SH} \gamma \hbar I}{2eM_S V} \mathbf{m} \times (\mathbf{m} \times \hat{x})$$

[0059] 상기 [수학식 3]에서, $\mathbf{m}$은 자유 자성층(203)의 단위 자화벡터, γ는 자기회전상수, H_{eff}는 자유 자성층(203)의 모든 유효 자기장벡터, α는 Gilbert 감쇠상수이며, Θ_{SH}는 스핀 홀 효과에 의해 형성되는 인가 전류에 대한 스핀전류의 비율이고, $\hbar$ (=1.05×10^{-34} J·C)는 Planck 상수를 2π로 나눈 값이고, I는 인가된 전류, e(=1.6×10^{-19}C)는 전자의 전하량, M_S는 자유 자성층의 포화자화양, d는 자유 자성층(205)의 두께를 나타낸다. 상기 수학식의 좌표 방향(x, y, z)은 하기 도 2에 명시되어 있다.

[0060] 실험예 1. 본 발명에 따른 소자에 대해 인가된 자기장에 의해 유효 수직 자기이방성 자계 $H_{K,eff}$가 변할 때 자화반전 전류(스위칭 전류)의 변화

[0061] (1) 하기 도 2와 같이 본 발명의 일 실시예에 따른 자기 메모리 소자에 대해 인가된 전압에 따라 자유 자성층의 유효 수직자기이방성 자계 $H_{K,eff}$가 N_dM_S에 대해 가로축과 같은 비율을 가질 때 스위칭 전류가 변한다.

[0062] (2) 소자의 구조와 물성 값은 다음과 같다.

[0063] 전체 구조의 단면적 = 130×60 nm^2,

[0064] 자유 자성층(203): "두께(t) = 2 nm, 포화자화값 (M_S) = 1000 emu/cm^3, Gilbert감쇠상수 (α)=0.01, 스핀 홀 각도 (Θ_{SH}) = 0.3"

[0065] (3) 하기 도 2를 참조하면, 인가된 전압에 따라 자유 자성층의 유효 수직자기이방성 자계 $H_{K\perp,eff}$가 N_dM_S에 대해 가로축과 같은 비율로 증가하며 변할 때 스위칭 전류가 감소하는 것을 알 수 있다. 이는 스위칭 전류에 비례하는 $H_{K,eff}$가 $H_{K\perp,eff}$와 $H_{K,eff}$ = (H_K+(N_dM_S-$H_{K\perp}$)/2)의 관계를 갖기 때문이다. 즉, 자기장을 인가해 선택한 셀의 스위칭 전류는 선택되지 않은 셀의 스위칭 전류보다 작다. 따라서, 적정한 전류를 인가하여 선택한 셀에 대해서만 자화 반전시키는 것이 가능하다.

부호의 설명

[0066] 100 : 종래 자기 메모리 소자의 구조

101 : 고정 자성층 102 : 절연체

103 : 자유 자성층

200 : 본 발명에 따른 자기 메모리 소자의 구조

201 : 고정 자성층 202 : 절연체

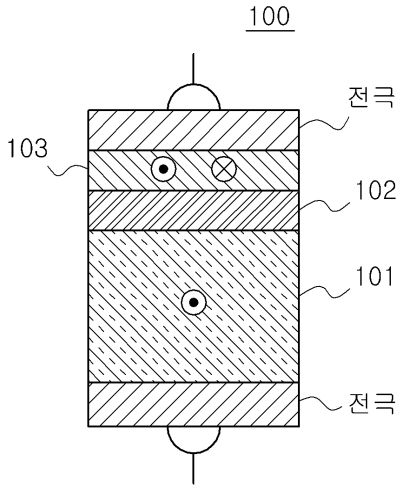
203 : 자유 자성층 204 : 도선

300 : 본 발명에 따른 복수 개의 자기터널접합 구조의 자기 메모리 셀이 도선에 접합되어 있는 자기 메모리 소자의 구조

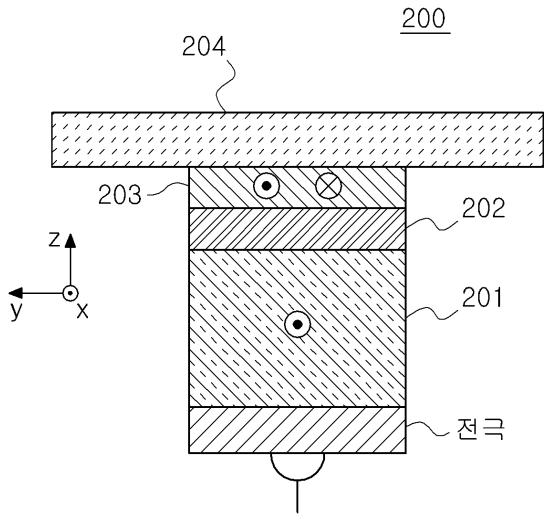
301 : 도선에 인접한 복수 개의 자기터널접합 구조의 자기 메모리 셀

도면

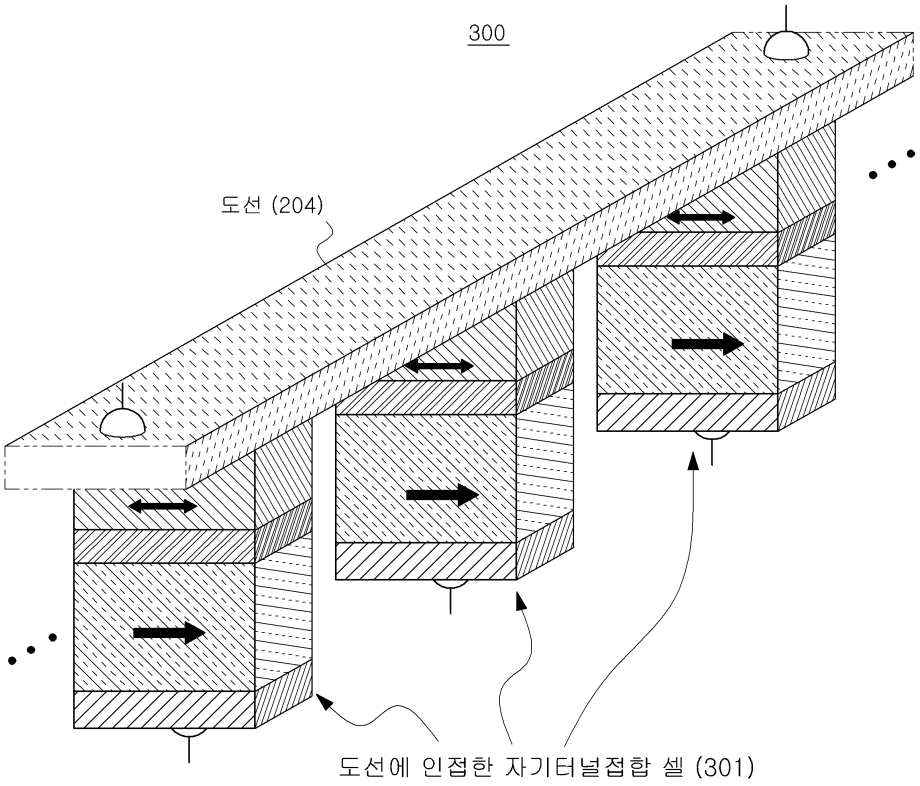
도면1



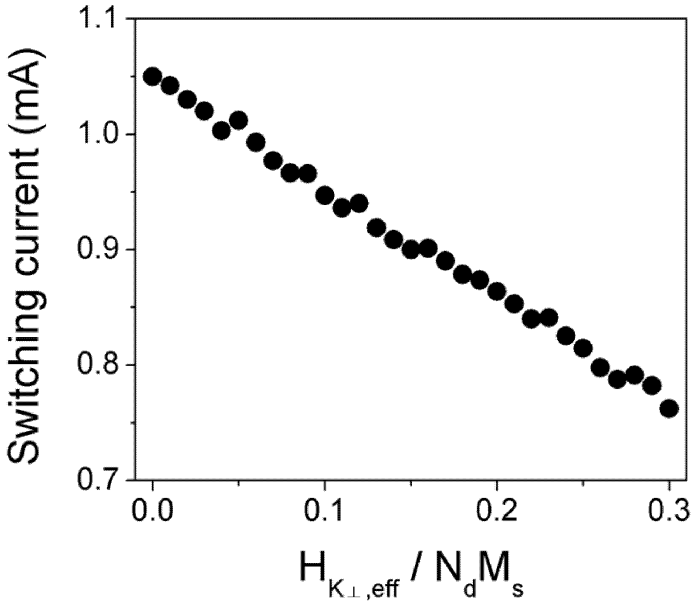
도면2



도면3


300
도선 (204)
도선에 인접한 자기터널접합 셀 (301)

도면4


Switching current (mA)
1.1
1.0
0.9
0.8
0.7
0.0
0.1
0.2
0.3
H_K⊥,eff / N_dM_s