



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2022-0143469  
(43) 공개일자 2022년10월25일

- |                                                                                                                                                                                                                                       |                                                                                                                                                                                        |
|---------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| <p>(51) 국제특허분류(Int. Cl.)<br/>G06N 3/063 (2006.01) H01L 45/00 (2006.01)</p> <p>(52) CPC특허분류<br/>G06N 3/063 (2013.01)<br/>H01L 45/06 (2013.01)</p> <p>(21) 출원번호 10-2021-0050023</p> <p>(22) 출원일자 2021년04월16일<br/>심사청구일자 2021년04월16일</p> | <p>(71) 출원인<br/>울산과학기술원</p> <p>(72) 발명자<br/>정홍식<br/>울산광역시 울주군 언양읍 유니스트길 50</p> <p>서준기<br/>울산광역시 울주군 언양읍 유니스트길 50</p> <p>임동혁<br/>울산광역시 울주군 언양읍 유니스트길 50</p> <p>(74) 대리인<br/>리엔목특허법인</p> |
|---------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|

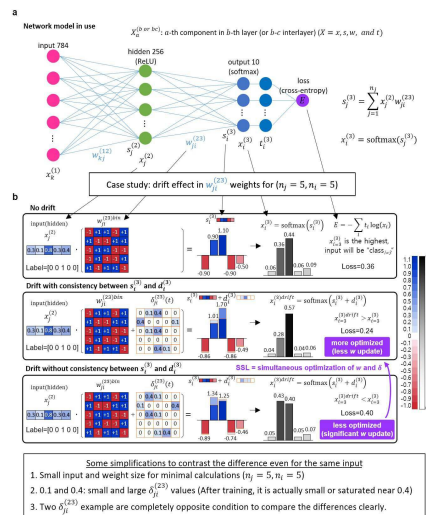
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 상변화 메모리 소자를 기반으로 하는 프로세싱 장치 및 이를 포함하는 뉴로모픽 시스템

### (57) 요약

본 발명의 기술적 사상에 따른 프로세싱 장치는, 웨이트(weight)를 갖는 입력 신호를 처리하는 프로세싱 장치에 있어서, 입력 신호를 수신하는 복수의 입력 라인, 복수의 입력 라인에 연결되고 웨이트를 저장하는 복수의 상변화 메모리 소자, 및 복수의 상변화 메모리 소자와 연결되는 복수의 출력 라인을 포함하고, 복수의 상변화 메모리 소자 각각은 제1 전극층, 제1 전극층 상에 배치되며 칼코게나이드 스위칭 물질을 포함하는 메모리 셀, 및 메모리 셀 상에 배치되는 제2 전극층을 포함하고, 복수의 상변화 메모리 소자 중 칼코게나이드 스위칭 물질이 자발적인 저항 증가를 나타내는 상변화 메모리 소자에서, 웨이트를  $\delta$  (여기서  $\delta > 0$ )만큼 증가시킨다.

대표도 - 도7



(52) CPC특허분류

*H01L 45/1233* (2013.01)

이 발명을 지원한 국가연구개발사업

|             |                         |
|-------------|-------------------------|
| 과제고유번호      | 1711116816              |
| 과제번호        | 2020-0-01336-001        |
| 부처명         | 과학기술정보통신부               |
| 과제관리(전문)기관명 | 정보통신기획평가원               |
| 연구사업명       | 정보통신방송혁신인재양성(R&D)       |
| 연구과제명       | 인공지능대학원지원(울산과학기술원)      |
| 기 여 율       | 1/3                     |
| 과제수행기관명     | 울산과학기술원                 |
| 연구기간        | 2020.04.01 ~ 2020.12.31 |

이 발명을 지원한 국가연구개발사업

|             |                                        |
|-------------|----------------------------------------|
| 과제고유번호      | 1711116171                             |
| 과제번호        | 2016M3A7B4910398                       |
| 부처명         | 과학기술정보통신부                              |
| 과제관리(전문)기관명 | 한국연구재단                                 |
| 연구사업명       | 나노·소재기술개발(R&D)                         |
| 연구과제명       | 상변화 물질 기반 신경 세포 모방형 시냅스 소자, 아키텍처 원천 기술 |
| 기 여 율       | 1/3                                    |
| 과제수행기관명     | 홍익대학교                                  |
| 연구기간        | 2020.01.01 ~ 2020.12.31                |

이 발명을 지원한 국가연구개발사업

|             |                                     |
|-------------|-------------------------------------|
| 과제고유번호      | 1415172975                          |
| 과제번호        | 20010008                            |
| 부처명         | 산업통상자원부                             |
| 과제관리(전문)기관명 | 한국산업기술평가관리원                         |
| 연구사업명       | 전자부품산업기술개발(R&D)                     |
| 연구과제명       | 원자층증착법 기반 3차원 초격자 상변화메모리 소자 및 공정 개발 |
| 기 여 율       | 1/3                                 |
| 과제수행기관명     | 울산과학기술원                             |
| 연구기간        | 2021.01.01 ~ 2021.12.31             |

---

## 명세서

### 청구범위

#### 청구항 1

웨이트(weight)를 갖는 입력 신호를 처리하는 프로세싱 장치에 있어서,  
 상기 입력 신호를 수신하는 복수의 입력 라인;  
 상기 복수의 입력 라인에 연결되고, 상기 웨이트를 저장하는 복수의 상변화 메모리 소자; 및  
 상기 복수의 상변화 메모리 소자와 연결되는 복수의 출력 라인;을 포함하고,  
 상기 복수의 상변화 메모리 소자 각각은,  
 제1 전극층;  
 상기 제1 전극층 상에 배치되며, 칼코게나이드 스위칭 물질을 포함하는 메모리 셀; 및  
 상기 메모리 셀 상에 배치되는 제2 전극층;을 포함하고,  
 상기 복수의 상변화 메모리 소자 중 상기 칼코게나이드 스위칭 물질이 자발적인 저항 증가를 나타내는 상변화 메모리 소자에서, 상기 웨이트를  $\delta$  (여기서  $\delta > 0$ )만큼 증가시키는,  
 프로세싱 장치.

#### 청구항 2

제1항에 있어서,  
 상기 칼코게나이드 스위칭 물질은 저머늄(Ge), 안티몬(Sb), 및 텔루륨(Te)을 포함하는 것을 특징으로 하는 프로세싱 장치.

#### 청구항 3

제2항에 있어서,  
 상기 칼코게나이드 스위칭 물질이 소정 기간동안 비정질 상태에서 결정질 상태로 스위칭되지 않으면,  
 상기 칼코게나이드 스위칭 물질이 상기 비정질 상태에서 상기 자발적인 저항 증가를 나타내는 것을 특징으로 하는 프로세싱 장치.

#### 청구항 4

제1항에 있어서,  
 상기 자발적인 저항 증가를 나타내지 않는 상변화 메모리 소자에서 상기 웨이트는 1비트의 수치(0 또는 1)를 가지고,  
 상기 자발적인 저항 증가를 나타내는 상변화 메모리 소자에서 상기 웨이트는 수정된 1비트의 수치(-1 또는  $1+\delta$ )를 가지는 것을 특징으로 하는 프로세싱 장치.

#### 청구항 5

제4항에 있어서,  
 상기 프로세싱 장치에 있어서,  
 상기 복수의 상변화 메모리 소자 각각은 시냅스에 대응되고,  
 상기 웨이트의 변화는 상기 시냅스의 업데이트에 해당되는 것을 특징으로 하는 프로세싱 장치.

**청구항 6**

시냅스 업데이트의 빈도가 상대적으로 높은 웨이트는 1비트의 수치(0 또는 1)를 가지고,

시냅스 업데이트의 빈도가 상대적으로 낮은 웨이트는 수정된 1비트의 수치( $-1$  또는  $1+\delta$ , 여기서  $\delta>0$ )를 가지는,

뉴로모픽(neuromorphic) 시스템.

**청구항 7**

제6항에 있어서,

상기 웨이트를 저장하는 복수의 상변화 메모리 소자를 포함하고,

상기 복수의 상변화 메모리 소자 각각은,

제1 전극층;

상기 제1 전극층 상에 배치되며, 칼코게나이드 스위칭 물질을 포함하는 메모리 셀; 및

상기 메모리 셀 상에 배치되는 제2 전극층;을 포함하는 것을 특징으로 하는 뉴로모픽 시스템.

**청구항 8**

제7항에 있어서,

상기 칼코게나이드 스위칭 물질이 소정 기간동안 비정질 상태에서 결정질 상태로 스위칭되지 않으면,

상기 칼코게나이드 스위칭 물질이 상기 비정질 상태에서 자발적인 저항 증가를 나타내는 것을 특징으로 하는 뉴로모픽 시스템.

**청구항 9**

제8항에 있어서,

상기 자발적인 저항 증가는 상기 웨이트를 상기 수정된 1비트의 수치로 변경하는 것을 특징으로 하는 뉴로모픽 시스템.

**청구항 10**

제8항에 있어서,

상기 자발적인 저항 증가는 추가적인 에너지의 소모를 요구하지 않는 것을 특징으로 하는 뉴로모픽 시스템.

**발명의 설명****기술 분야**

[0001] 본 발명의 기술분야는 프로세싱 장치 및 이를 포함하는 뉴로모픽 시스템에 관한 것으로, 더욱 상세하게는, 상변화 메모리 소자를 기반으로 연산을 수행하는 프로세싱 장치 및 이를 포함하는 뉴로모픽 시스템에 관한 것이다.

**배경 기술**

[0002] 종래의 폰 노이만 구조를 기반으로 하는 칩들의 구조적 한계를 극복하기 위하여, IC 칩 개발자들은 인간의 뇌를 이루는 기본 단위인 뉴런(neuron)과 이러한 뉴런 사이의 연결을 이어주는 시냅스(synapse)로 이루어진 뉴럴 네트워크(neural network)를 바탕으로 하는 뉴럴 네트워크 하드웨어 또는 뉴로모픽 컴퓨팅 하드웨어를 개발하고 있다. 뉴럴 네트워크는 종래의 머신 러닝 알고리즘이 갖고 있던 한계를 뛰어넘어 인간에 근접한 수준의 이미지, 영상, 패턴 학습, 및 인지 능력을 보여주고 있으며, 수많은 분야에 응용되고 있다. 최근 뉴럴 네트워크의 연산 작업을 저전력으로 더욱 빠르게 수행하기 위한 프로세싱 장치가 요구되는 실정이다.

**발명의 내용**

### 해결하려는 과제

- [0003] 본 발명의 기술적 사상이 해결하고자 하는 과제는, 학습 연산의 신뢰성 및 전력 효율이 향상되어 효율이 높은 프로세싱 장치를 제공하는 것이다.
- [0004] 본 발명의 기술적 사상이 해결하고자 하는 과제는, 학습 연산의 신뢰성 및 전력 효율이 향상되어 효율이 높은 뉴로모픽 시스템을 제공하는 것이다.
- [0005] 본 발명의 기술적 사상이 해결하고자 하는 과제는, 이상에서 언급한 과제에 제한되지 않으며, 언급되지 않은 또 다른 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

### 과제의 해결 수단

- [0006] 본 발명의 기술적 사상에 따른 프로세싱 장치는, 웨이트(weight)를 갖는 입력 신호를 처리하는 프로세싱 장치에 있어서, 상기 입력 신호를 수신하는 복수의 입력 라인; 상기 복수의 입력 라인에 연결되고, 상기 웨이트를 저장하는 복수의 상변화 메모리 소자; 및 상기 복수의 상변화 메모리 소자와 연결되는 복수의 출력 라인;을 포함하고, 상기 복수의 상변화 메모리 소자 각각은, 제1 전극층; 상기 제1 전극층 상에 배치되며, 칼코게나이드 스위칭 물질을 포함하는 메모리 셀; 및 상기 메모리 셀 상에 배치되는 제2 전극층;을 포함하고, 상기 복수의 상변화 메모리 소자 중 상기 칼코게나이드 스위칭 물질이 자발적인 저항 증가를 나타내는 상변화 메모리 소자에서, 상기 웨이트를  $\delta$  (여기서  $\delta > 0$ )만큼 증가시킨다.
- [0007] 본 발명의 기술적 사상에 따른 뉴로모픽 시스템은, 시냅스 업데이트의 빈도가 상대적으로 높은 웨이트는 1비트의 수치(-1 또는 1)를 가지고, 시냅스 업데이트의 빈도가 상대적으로 낮은 웨이트는 수정된 1비트의 수치(-1 또는  $1+\delta$ , 여기서  $\delta > 0$ )를 가진다. 업데이트 빈도는 기존 뉴럴 네트워크 시스템과 동일하게 네트워크 모델 및 학습하려는 데이터에 의해 학습 진행 절차에 따른 시간 경과에 따라 웨이트 별로 각각 다르게 결정되지만, 본 발명의 기술적 사상에 따른 뉴로모픽 시스템은 추가적인 계산이나 소자 동작없이 업데이트 빈도와 연관되어 있는 정보(학습하고자 하는 데이터들간의 유사도)가 학습 웨이트에 반영되는 것을 특징으로 한다.

### 발명의 효과

- [0008] 본 발명의 기술적 사상에 따른 프로세싱 장치 및 이를 포함하는 뉴로모픽 시스템은, 상변화 메모리 소자의 자발적인 저항 증가를 기반으로 하여, 학습 연산의 신뢰성 및 전력 효율이 향상되어 높은 효율을 가지는 효과가 있다.

### 도면의 간단한 설명

- [0009] 도 1은 본 발명의 일 실시예에 따른 프로세싱 장치에 포함되는 상변화 메모리 소자에 대한 등가 회로도이다.
- 도 2는 본 발명의 일 실시예에 따른 프로세싱 장치에 포함되는 상변화 메모리 소자에 대한 사시도이다.
- 도 3은 도 2의 X-X' 및 Y-Y' 부분을 절단하여 보여주는 단면도이다.
- 도 4는 본 발명의 일 실시예에 따른 프로세싱 장치에서 따른 상변화 메모리 소자의 저항 드리프트 특성을 나타내는 도면이다.
- 도 5는 본 발명의 일 실시예에 따른 프로세싱 장치에서 매핑 방법 및 이의 해당 회로를 나타내는 도면이다.
- 도 6은 본 발명의 일 실시예에 따른 프로세싱 장치에서 분류 정확도를 나타내는 도면이다.
- 도 7은 본 발명의 일 실시예에 따른 뉴로모픽 시스템에서 웨이트와 출력 신호의 관계를 나타내는 도면이다.

### 발명을 실시하기 위한 구체적인 내용

- [0010] 이하, 첨부된 도면들을 참조하여 본 발명의 기술적 사상의 실시예를 더욱 상세히 설명한다. 그러나 이러한 실시예는 본 발명의 기술적 사상의 내용과 범위를 쉽게 설명하기 위한 예시일 뿐, 이에 의해 본 발명의 기술적 범위가 한정되거나 변경되는 것은 아니다.
- [0011] 도 1은 본 발명의 일 실시예에 따른 프로세싱 장치에 포함되는 상변화 메모리 소자에 대한 등가 회로도이다.
- [0012] 도 1을 참조하면, 상변화 메모리 소자(100)는 제1 방향(X 방향)을 따라 연장되고 제1 방향에 수직한 제2 방향(Y

방향)으로 이격된 워드 라인(WL1, WL2)을 포함할 수 있다. 또한, 상변화 메모리 소자(100)는 워드 라인(WL1, WL2)과 제3 방향(Z 방향)으로 이격되어, 제2 방향을 따라 연장되는 비트 라인(BL1, BL2, BL3, BL4)을 포함할 수 있다.

- [0013] 메모리 셀(MC)은 비트 라인(BL1, BL2, BL3, BL4)과 워드 라인(WL1, WL2)의 사이에 각각 배치될 수 있다. 구체적으로, 상기 메모리 셀(MC)은 비트 라인(BL1, BL2, BL3, BL4)과 워드 라인(WL1, WL2)의 교차점에 배치될 수 있고, 정보 저장을 위한 가변 저항층(ME)과 메모리 셀을 선택하기 위한 선택 소자층(SW)을 포함할 수 있다. 한편, 선택 소자층(SW)은 스위칭 소자층 또는 액세스 소자층으로 명명될 수도 있다.
- [0014] 메모리 셀(MC)은 제3 방향을 따라 동일한 구조로 배치될 수 있다. 예를 들어, 워드 라인(WL1)과 비트 라인(BL1) 사이에 배치되는 메모리 셀(MC)에서, 선택 소자층(SW)은 워드 라인(WL1)에 전기적으로 연결되고, 가변 저항층(ME)은 비트 라인(BL1)에 전기적으로 연결되며, 가변 저항층(ME)과 선택 소자층(SW)은 직렬로 연결될 수 있다.
- [0015] 다만, 본 발명의 기술적 사상이 이에 한정되는 것은 아니다. 예를 들어, 도 1에 도시된 것과 달리, 메모리 셀(MC)에서 선택 소자층(SW)과 가변 저항층(ME)의 위치가 바뀔 수 있다. 예를 들어, 메모리 셀(MC1)에서 가변 저항층(ME)이 워드 라인(WL1)에 연결되고 선택 소자층(SW)이 비트 라인(BL1)과 연결될 수도 있다.
- [0016] 상변화 메모리 소자(100)의 구동 방법에 대하여 간단히 설명한다. 워드 라인(WL1, WL2)과 비트 라인(BL1, BL2, BL3, BL4)을 통해 메모리 셀(MC)의 가변 저항층(ME)에 전압이 인가되어, 가변 저항층(ME)에 전류가 흐를 수 있다. 예를 들어, 가변 저항층(ME)은 제1 상태와 제2 상태 간에 가역적으로 천이할 수 있는 상변화 물질층을 포함할 수 있다.
- [0017] 가변 저항층(ME)의 저항 변화에 따라, 메모리 셀(MC)은 '0' 또는 '1'과 같은 디지털 정보를 기억할 수 있고, 또한 메모리 셀(MC)로부터 디지털 정보를 소거할 수도 있다. 예를 들어, 메모리 셀(MC)에서 고저항 상태 '0'과 저저항 상태 '1'로 데이터를 기입할 수 있다. 여기서, 고저항 상태 '0'에서 저저항 상태 '1'로의 기입을 '셋(set) 동작'이라 칭할 수 있고, 저저항 상태 '1'에서 고저항 상태 '0'으로의 기입을 '리셋(reset) 동작'이라 칭할 수 있다. 다만, 본 발명의 실시예들에 따른 메모리 셀(MC)은 상기 예시된 고저항 상태 '0' 및 저저항 상태 '1'의 디지털 정보에만 한정되는 것은 아니며, 다양한 저항 상태들을 저장할 수 있다. 이에 대한 자세한 내용은 후술 하도록 한다.
- [0018] 워드 라인(WL1, WL2) 및 비트 라인(BL1, BL2, BL3, BL4)의 선택에 의해 임의의 메모리 셀(MC)이 어드레스될 수 있고, 워드 라인(WL1, WL2) 및 비트 라인(BL1, BL2, BL3, BL4) 사이에 소정의 신호를 인가하여, 메모리 셀(MC)을 프로그래밍할 수 있다. 또한, 비트 라인(BL1, BL2, BL3, BL4)을 통하여 전류값을 측정함으로써, 해당 메모리 셀(MC)의 가변 저항층의 저항값에 따른 정보, 즉 프로그래밍된 정보를 판독할 수 있다.
- [0019] 도 2는 본 발명의 일 실시예에 따른 프로세싱 장치에 포함되는 상변화 메모리 소자에 대한 사시도이고, 도 3은 도 2의 X-X' 및 Y-Y' 부분을 절단하여 보여주는 단면도이다.
- [0020] 도 2 및 도 3을 함께 참조하면, 상변화 메모리 소자(100)는 기판(101) 상에 제1 전극 라인층(110L), 제2 전극 라인층(120L), 및 메모리 셀층(MCL)을 포함할 수 있다.
- [0021] 기판(101) 상에는 층간 절연층(105)이 배치될 수 있다. 층간 절연층(105)은 실리콘산화물 또는 실리콘질화물로 형성될 수 있고, 제1 전극 라인층(110L)을 기판(101)으로부터 전기적으로 분리하는 역할을 할 수 있다. 본 실시예의 상변화 메모리 소자(100)에서, 기판(101) 상에 층간 절연층(105)이 배치되고 있지만, 이는 예시에 불과하다. 예를 들어, 본 실시예의 상변화 메모리 소자(100)에서, 기판(101) 상에 집적 회로층이 배치될 수도 있고, 그러한 집적 회로층 상에 메모리 셀들이 배치될 수 있다. 집적 회로층은 예를 들어, 메모리 셀들의 동작을 위한 주변 회로 및/또는 연산 등을 위한 코어 회로를 포함할 수 있다. 참고로, 기판 상에 주변 회로 및/또는 코어 회로 등을 포함하는 집적 회로층이 배치되고, 집적 회로층 상부에 메모리 셀들이 배치되는 구조를 COP(Cell On Peri) 구조라고 한다.
- [0022] 제1 전극 라인층(110L)은 제1 방향(X 방향)으로 상호 평행하게 연장하는 복수의 제1 전극 라인(110)을 포함할 수 있다. 제2 전극 라인층(120L)은 제1 방향과 교차하는 제2 방향(Y 방향)으로 상호 평행하게 연장하는 복수의 제2 전극 라인(120)을 포함할 수 있다. 제1 방향과 제2 방향은 서로 수직으로 교차한다.
- [0023] 상변화 메모리 소자의 구동 측면에서, 제1 전극 라인들(110)은 워드 라인(도 1에서 WL)에 해당할 수 있고, 제2 전극 라인들(120)은 비트 라인(도 1에서 BL)에 해당할 수 있다. 또한, 반대로 제1 전극 라인들(110)이 비트 라인에 해당하고, 제2 전극 라인들(120)이 워드 라인에 해당할 수도 있다.

- [0024] 제1 전극 라인들(110) 및 제2 전극 라인들(120)은 각각 금속, 도전성 금속 질화물, 도전성 금속 산화물, 또는 이들의 조합으로 이루어질 수 있다. 예를 들어, 제1 전극 라인들(110) 및 제2 전극 라인들(120)은 각각 W, WN, Au, Ag, Cu, Al, TiAlN, Ir, Pt, Pd, Ru, Zr, Rh, Ni, Co, Cr, Sn, Zn, ITO, 이들의 합금, 또는 이들의 조합으로 이루어질 수 있다. 또한, 제1 전극 라인들(110) 및 제2 전극 라인들(120)은 각각 금속막과, 상기 금속막의 적어도 일부를 덮는 도전성 장벽층을 포함할 수 있다. 상기 도전성 장벽층은 예를 들어, Ti, TiN, Ta, TaN, 또는 이들의 조합으로 이루어질 수 있다.
- [0025] 메모리 셀층(MCL)은 제1 방향 및 제2 방향으로 서로 이격된 복수의 메모리 셀(140, 도 1에서 MC)을 포함할 수 있다. 제1 전극 라인들(110)과 제2 전극 라인들(120)은 서로 교차할 수 있다. 메모리 셀들(140)은 제1 전극 라인층(110L)과 제2 전극 라인층(120L) 사이의 제1 전극 라인들(110)과 제2 전극 라인들(120)이 교차하는 부분들에 배치될 수 있다.
- [0026] 메모리 셀들(140)은 각각 사각기둥 형태의 필라(pillar) 구조로 형성될 수 있다. 물론, 메모리 셀들(140)의 구조가 사각기둥 형태에 한하는 것은 아니다. 예를 들어, 메모리 셀들(140)은 원기둥, 타원기둥, 다각기둥 등의 다양한 기둥 형태를 가질 수 있다. 또한, 형성 방법에 따라 메모리 셀들(140)은 하부가 상부보다 넓은 구조, 또는 상부가 하부보다 넓은 구조를 가질 수 있다. 예를 들어, 메모리 셀들(140)이 양각 식각 공정을 통해 형성되는 경우, 하부가 상부보다 넓은 구조를 가질 수 있다. 또한, 메모리 셀들(140)이 다마신(damascene) 공정으로 형성되는 경우에는 상부가 하부보다 넓은 구조를 가질 수 있다. 물론, 양각 식각 공정 또는 다마신 공정에서, 식각을 정밀하게 제어하여 측면이 거의 수직이 되도록 물질층들을 식각함으로써, 상부와 하부의 넓이 차이가 거의 없도록 할 수도 있다.
- [0027] 메모리 셀들(140)은 각각 하부 전극층(141), 선택 소자층(143), 중간 전극층(145), 가열(heating) 전극층(147), 가변 저항층(149), 및 상부 전극층(148)을 포함할 수 있다. 위치 관계를 고려하지 않는 경우, 하부 전극층(141)은 제1 전극층, 중간 전극층(145), 및 가열 전극층(147)은 제2 전극층, 상부 전극층(148)은 제3 전극층으로 지칭될 수 있다.
- [0028] 일부 실시예들에서, 가변 저항층(149, 도 1에서 ME)은 가열 시간에 따라 비정질(amorphous) 상태와 결정질(crystalline) 상태 사이에서 가역적으로 변화하는 상변화 물질을 포함할 수 있다. 예를 들어, 가변 저항층(149)은 가변 저항층(149)의 양단에 인가되는 전압에 의해 발생하는 줄 열(Joule heat)에 의해 상(phase)이 가역적으로 변화될 수 있고, 이러한 상변화에 의해 저항이 변화될 수 있는 물질을 포함할 수 있다. 구체적으로, 상기 상변화 물질은 비정질 상에서 고저항 상태가 되고, 결정질 상에서 저저항 상태가 될 수 있다. 고저항 상태를 '0'으로, 저저항 상태 '1'로 정의함으로써, 가변 저항층(149)에 데이터가 저장될 수 있다.
- [0029] 일부 실시예들에서, 가변 저항층(149)은 상변화 물질로서 칼코게나이드 물질을 포함할 수 있다. 예를 들어, 가변 저항층(149)은 Ge-Sb-Te(GST)를 포함할 수 있다. 여기서 사용되는 하이픈(-) 표시된 화학적 조성 표기는 특정 혼합물 또는 화합물에 포함된 원소를 표시하고, 표시된 원소를 포함하는 모든 화학식 구조를 나타낼 수 있다. 예를 들어, Ge-Sb-Te는  $\text{Ge}_2\text{Sb}_2\text{Te}_5$ ,  $\text{Ge}_2\text{Sb}_2\text{Te}_7$ ,  $\text{Ge}_1\text{Sb}_2\text{Te}_4$ , 또는  $\text{Ge}_1\text{Sb}_4\text{Te}_7$  등의 물질일 수 있다.
- [0030] 가변 저항층(149)은 전술한 Ge-Sb-Te(GST) 외에도 다양한 칼코게나이드 물질을 포함할 수 있다. 예를 들어, 가변 저항층(149)은 칼코게나이드 물질로서, 실리콘(Si), 저머늄(Ge), 안티몬(Sb), 텔루륨(Te), 비스무스(Bi), 인듐(In), 주석(Sn) 및 셀레늄(Se) 중에서 선택된 적어도 2개 또는 그 조합을 포함할 수 있다.
- [0031] 가변 저항층(149)을 이루는 각 원소는 다양한 화학적 조성비(stoichiometry)를 가질 수 있다. 각 원소의 화학적 조성비에 따라 가변 저항층(149)의 결정화 온도, 용융점, 결정화 에너지에 따른 상변화 속도, 및 정보 보유력(retention)이 조절될 수 있다.
- [0032] 또한, 가변 저항층(149)은 붕소(B), 탄소(C), 질소(N), 산소(O), 및 인(P) 중에서 선택된 적어도 하나의 불순물을 더 포함할 수 있다. 상기 불순물에 의해 상변화 메모리 소자(100)의 구동 전류가 변화될 수 있다. 또한, 가변 저항층(149)은 금속을 더 포함할 수 있다. 예를 들어, 가변 저항층(149)은 알루미늄(Al), 갈륨(Ga), 아연(Zn), 티타늄(Ti), 크롬(Cr), 망간(Mn), 철(Fe), 코발트(Co), 니켈(Ni), 몰리브덴(Mo), 루테튬(Ru), 팔라듐(Pd), 하프늄(Hf), 탄탈륨(Ta), 이리듐(Ir), 백금(Pt), 지르코늄(Zr), 탈륨(Tl), 팔라듐(Pd), 및 폴로늄(Po) 중에서 선택된 적어도 하나를 포함할 수 있다. 이러한 금속 물질들은 가변 저항층(149)의 전기 전도성 및 열전도성을 증가시킬 수 있고, 이에 따라 결정화 속도를 증가시켜 셋 속도를 증가시킬 수 있다. 또한, 상기 금속 물질들은 가변 저항층(149)의 정보 보유력 특성을 향상시킬 수 있다.
- [0033] 가변 저항층(149)은 서로 다른 물성을 가지는 2개 이상의 층들이 적층된 다층 구조를 가질 수 있다. 복수의 층

사이에는 배리어층이 더 형성될 수 있다. 상기 배리어층은 복수의 층간에 물질 확산을 방지하는 역할을 할 수 있다. 즉, 배리어층은 복수의 층 중 후속층을 형성할 때 선행층의 확산을 감소시킬 수 있다.

[0034] 또한, 가변 저항층(149)은 서로 다른 물질을 포함하는 복수의 층이 교대로 적층되는 초격자(Super-Lattice) 구조를 가질 수 있다. 예를 들어, 가변 저항층(149)은 Ge-Te으로 이루어지는 제1 층과 Sb-Te으로 이루어지는 제2 층이 교대로 적층되는 구조를 포함할 수 있다. 다만, 상기 제1 층 및 제2 층의 물질이 상기 Ge-Te 및 Sb-Te에 한정되는 것은 아니며, 앞서 설명한 다양한 물질들을 각각 포함할 수 있다.

[0035] 선택 소자층(143, 도 1에서 SW)은 전류의 흐름을 제어할 수 있는 전류 조정 층일 수 있다. 선택 소자층(143)은 선택 소자층(143) 양단에 걸린 전압의 크기에 따라 저항이 변화할 수 있는 물질층을 포함할 수 있다. 예를 들어, 선택 소자층(143)은 오보닉 문턱 스위칭(Ovonic Threshold Switching, OTS) 물질을 포함할 수 있다. OTS 물질을 기반으로 하는 선택 소자층(143)의 기능을 간단히 설명하면, 선택 소자층(143)에 문턱 전압( $V_t$ )보다 작은 전압이 인가될 때 선택 소자층(143)은 전류가 거의 흐르지 않은 고저항 상태를 유지하고, 선택 소자층(143)에 문턱 전압( $V_t$ )보다 큰 전압이 인가될 때, 저저항 상태가 되어 전류가 흐르기 시작한다. 또한, 선택 소자층(143)을 통해 흐르는 전류가 유지 전류(holding current)보다 작아질 때, 선택 소자층(143)은 고저항 상태로 변화될 수 있다.

[0036] 일반적으로, 칼코겐 원소들은 2가 결합(divalent bonding) 및 고립 전자쌍(lone pair electron)의 존재를 특징으로 한다. 2가 결합은 칼코게나이드 물질을 형성하기 위하여 칼코겐 원소들을 결합시켜 사슬 및 고리 구조의 형성을 이끌고, 고립 전자쌍은 전도성 필라멘트를 형성하기 위한 전자 소스를 제공한다. 예를 들어, 알루미늄(Al), 갈륨(Ga), 인듐(In), 저머늄(Ge), 주석(Sn), 실리콘(Si), 인(P), 비소(As), 및 안티몬(Sb)과 같은 3가 및 4가 개질체들은 칼코겐 원소의 사슬 및 고리 구조에 들어가 칼코게나이드 물질의 구조적 강성을 결정하고, 결정화 또는 다른 구조적 재배열을 할 수 있는 능력에 따라 칼코게나이드 물질을 스위칭 물질과 상변화 물질로 분류한다.

[0037] 가열 전극층(147)은 중간 전극층(145)과 가변 저항층(149) 사이에, 가변 저항층(149)과 컨택하도록 배치될 수 있다. 가열 전극층(147)은 셋 또는 리셋 동작에서 가변 저항층(149)을 가열하는 기능을 할 수 있다. 이러한 가열 전극층(147)은 가변 저항층(149)과 반응하지 않으면서, 가변 저항층(149)을 상변화시키기에 충분한 열을 발생시킬 수 있는 도전 물질을 포함할 수 있다. 가열 전극층(147)은 탄소 계열의 도전 물질을 포함할 수 있다. 일부 실시예들에서, 가열 전극층(147)은 TiN, TiSiN, TiAlN, TaSiN, TaAlN, TaN, WSi, WN, TiW, MoN, NbN, TiBN, ZrSiN, WSiN, WBN, ZrAlN, MoAlN, TiAl, TiON, TiAlON, WON, TaON, 탄소(C), 실리콘카바이드(SiC), 실리콘카본 나이트라이드(SiCN), 카본나이트라이드(CN), 티타늄카본나이트라이드(TiCN), 탄탈륨카본나이트라이드(TaCN), 또는 이들의 조합인 고용점 금속 또는 이들의 질화물로 이루어질 수 있다. 다만, 가열 전극층(147)의 재질이 상기 물질들에 한정되는 것은 아니다.

[0038] 하부 전극층(141), 중간 전극층(145), 및 상부 전극층(148)은 전류 통로의 기능을 하는 층으로서 도전성 물질로 형성될 수 있다. 예를 들어, 하부 전극층(141), 중간 전극층(145), 및 상부 전극층(148)은 각각 금속, 도전성 금속질화물, 도전성 금속산화물, 또는 이들의 조합으로 이루어질 수 있다.

[0039] 하부 전극층(141)과 상부 전극층(148)은 선택적으로 형성될 수 있다. 다시 말해, 하부 전극층(141)과 상부 전극층(148)은 생략될 수도 있다. 다만, 선택 소자층(143) 및 가변 저항층(149)이 제1 및 제2 전극 라인들(110, 120)과 직접 컨택함에 따라 발생할 수 있는 오염이나 접촉 불량 등을 방지하기 위하여, 하부 전극층(141) 및 상부 전극층(148)은 제1 및 제2 전극 라인들(110, 120)과 선택 소자층(143) 및 가변 저항층(149) 사이에 배치될 수 있다.

[0040] 제1 전극 라인들(110) 사이에는 제1 절연층(160a)이 배치되고, 메모리 셀층(MCL)의 메모리 셀들(140) 사이에는 제2 절연층(160b)이 배치될 수 있다. 또한, 제2 전극 라인들(120) 사이에는 제3 절연층(160c)이 배치될 수 있다. 제1 내지 제3 절연층(160a, 160b, 160c)은 동일 물질의 절연층으로 형성되거나 적어도 하나는 다른 물질의 절연층으로 형성될 수 있다. 이러한 제1 내지 제3 절연층(160a, 160b, 160c)은 예를 들어, 산화물 또는 질화물의 유전체 물질로 형성되며, 각층의 소자들을 서로 전기적으로 분리하는 기능을 할 수 있다. 한편, 제2 절연층(160b)을 대신하여 에어갭(미도시)이 형성될 수도 있다. 에어갭이 형성되는 경우, 상기 에어갭과 메모리 셀들(140) 사이에 소정의 두께를 갖는 절연 라이너(미도시)가 형성될 수도 있다.

[0041] 도 4는 본 발명의 일 실시예에 따른 프로세싱 장치에서 따른 상변화 메모리 소자의 저항 드리프트 특성을 나타내는 도면이다.

- [0042] 도 4를 참조하면, 상변화 메모리 소자를 포함하는 프로세싱 장치에 대한 개략적인 내용을 나타낸다.
- [0043] 최근 인공 지능은 뉴로모픽 시스템에서 엄청난 발전을 이루었다. 뉴로모픽 시스템에서, 각각의 정보는 계층적으로 분산된 활성화 노드 패턴 및 노드 간의 연결 강도를 저장하는 웨이트(weight)로 표현된다. 상기 웨이트는 명시적 규칙 없이 일부의 관련 정보에 따라 학습(learning)이 가능하므로, 딥러닝을 자연스럽게 정의할 수 있다.
- [0044] 이를 위한 접근 방식은, 분산 컴퓨팅 및 데이터 양자화를 기반으로 한다. 뉴로모픽 시스템은 도 4에서와 같이, 복수의 피드포워드 유닛(FFU) 및 단수의 중앙 역전파 유닛(BPU)으로 구성될 수 있다. 상기 BPU는 상기 FFU 및 앞선 레이블에서 받은 피드포워드 출력에 따라, 고도로 정밀하게 이전 웨이트를 업데이트하기 위해, 웨이트를 수정 계산할 수 있다.
- [0045] 다음으로, 새롭게 수정된 웨이트는 상기 BPU에서 이진법화 되어 상기 FFU로 전송될 수 있다. 상기 FFU는 자체적인 상변화 메모리 소자를 업데이트하고, 다음 입력에 대한 손실을 다시 상기 BPU로 보낼 수 있다. 상기 BPU에서 상기 FFU로의 데이터 전송은 데이터 양자화에 의해 감소될 수 있다. 웨이트는 양자화되고 피드포워드 프로세스를 위해 상기 FFU에 저장될 수 있다. 상기 뉴로모픽 시스템에서의 저장 장치는 상변화 메모리 소자로 구성될 수 있고, 도 4와 같이 상변화 메모리 소자에서 저항이 자발적으로 증가함에 따라, 일관성을 가지고 데이터가 저장될 수 있다.
- [0046] 상변화 메모리 소자에 웨이트를 저장하는 단계에서, 가능한 웨이트의 변화는 여러 가지 패턴의 조합으로 나타날 수 있다. -1에 계속 머물거나, +1 및 -1을 높은 빈도로 번갈아 가며 업데이트 되거나, 1+8로 증가하는 패턴일 수 있다. 이에 해당하는 웨이트의 확률 분포는 이진법화를 통해 단순화될 수 있다. 이진법화에 따라 전체 정밀도 웨이트 중에서 많은 정보가 버려질 수 있다. 그러나, 베이지안 추론(Bayesian inference)은 전체 정밀도 웨이트의 확률 분포에 대한 정보를 재구성하는 방법을 고려할 수 있으므로, 사전 확률 및 가능성을 기반으로 사후 확률을 예측할 수 있다.
- [0047] 웨이트의 사후 확률 분포를 예측하는 것은 사후 확률 분포를 반영하지 않는 학습 과정과 비교했을 때(도 7의 a 참조), 학습 초기(낮은 Epochs 값에서)의 학습 정확도 향상을 가속화시키는 효과가 있다. 또한, 학습이 충분히 진행되어 학습 정확도가 최대값에 수렴하는 구간(큰 Epochs 값)에서는 정확도의 편차(수직 bar로 표현됨)가 상당히 개선되는 결과를 보인다. 낮은 업데이트 빈도를 유발하는 학습 데이터들은 서로 간의 높은 유사성을 내포하고, 양의 값의 웨이트는 학습 후 판단에 결정적인 역할을 하므로, 사후 확률 분포 예측은 판단에 결정적인 역할을 하는 유사성이 높은 데이터들을 중심으로 학습하는 효과로 해석될 수 있다.
- [0048] 학습의 초기에는 전체 정밀도 웨이트가 어떻게 형성될지 알 수 없기 때문에, +1 및 -1은 50:50의 사전 확률을 갖는 것으로 고려될 수 있다. 이는 +1 및 -1이 나타날 가능성을 기준으로 전체 정밀도 웨이트의 분포를 예측하는 방법이다. 여기서, +1의 가능성을 반영하여 전체 정밀도 웨이트의 분포가 양(+)으로 이동한다고 추론할 수 있다. 이렇게 추론된 확률 분포를 사후 확률이라 하며, 다음 단계의 추론에서는 이전 단계의 사후 확률이 사전 확률이 되어 연속적으로 추론이 계속된다.
- [0049] 이러한 사후 확률을 1비트의 메모리 소자에 완벽하게 반영할 수 있는 방법은 없지만, 본 발명의 기술적 사상에 따른 프로세싱 장치에서는 상변화 메모리 소자에서 저항 드리프트 효과를 사용하여 웨이트를 증가시키면서 증가된 확률을 인코딩할 수 있다.
- [0050] 상변화 메모리 소자의 저항 드리프트는 비정질 상태 및 결정질 상태라는 2가지의 다른 상태로 비교된다. 연속적인 저항의 판독은 도 4에서와 같이 비정질 상태(DRIFT) 및 결정질 상태(ON) 사이에서 다른 동작을 보여준다. 비정질 상태(DRIFT)의 저항은 점진적으로 증가하고, 결정질 상태(ON)의 저항은 실질적으로 일정하다. 상변화 물질에서 나타나는 이러한 비정질 상태(DRIFT)의 점진적인 저항 증가를 저항 드리프트로 지칭할 수 있다.
- [0051] 따라서, 사전 확률은 자연스럽게 웨이트에 통합될 수 있다. 주사 전자 현미경(SEM) 및 터널링 전자 현미경(TEM)을 이용하여, 도 4에서와 같이 상변화 메모리 소자의 구조를 실제적인 이미지로 얻을 수 있다.
- [0052] 도 5는 본 발명의 일 실시예에 따른 프로세싱 장치에서 매핑 방법 및 이의 해당 회로를 나타내는 도면이다.
- [0053] 도 5를 참조하면, 본 발명의 실시예에서 종래의 웨이트 저장 장치가 상변화 메모리 소자로 대체되지만, 웨이트 저장 장치의 작동 원리는 종래와 실질적으로 동일할 수 있다.
- [0054] 일부 메모리는 스위칭(S로 표시) 되고, 다른 메모리는 논-스위칭(N로 표시) 된다. 상변화 메모리 소자가 스위칭되지 않고 비정질 상태로 유지되면, 자발적인 저항 드리프트로 인해 저항이 증가한다.

- [0055] 도 5는 특정 시퀀스(S 및 N)가 전달됨에 따라, 상변화 메모리 소자의 저항 상태가 어떻게 변화하는지 보여준다. 상변화 메모리 소자는 연속적인 저항 읽기(read)의 중간에 가끔 스위칭 된다. 비정질 상태에서 관독된 저항은 결정 상태로 다시 스위칭 될 때까지 소정의 저항 증가를 보여준다. 약 200 내지 약 1200개의 저항 읽기에서, 비정질 상태는 스위칭 되지 않고 저항 드리프트는 계속된다. 이러한 방식으로, 웨이트 변화 패턴에 있어서, 이전 에 정의된 일관적인 상태(예를 들어, 비저항 상태)가 저항 드리프트로 기록된다.
- [0056] 저항 드리프트에서 자발적인 웨이트의 수정을 구현하려면, 양(+)의 수를 사용하여 서로 다른 물리량(예를 들어, 높고 낮은 저항값)을 일반적인 웨이트 수치(예를 들어, +1 및 -1)에 매핑하는 방법을 고려해야 한다. 이는 2-메모리 소자 셀 또는 더미 셀 방법으로 알려진 몇 가지 실용적인 매핑 방법으로 해결할 수 있다.
- [0057] 또한, 컨덕턴스에서 웨이트 수치로의 매핑은 피드포워드 전파(예를 들어, 행렬-벡터 곱셈 또는 MAC)를 가속화하는 데 도움이 된다. 그러나, 컨덕턴스에서 저항 드리프트를 사용한 학습 훈련은, 컨덕턴스 방식에서 저항 드리프트 효과를 동일하게 만들기 위해 일부 수정이 필요하기 때문에 효과적이지 않을 수 있다. 따라서, 본 발명에서는 추론을 위한 훈련 및 컨덕턴스 방식으로의 변환을 위한 저항 방식을 제안한다.
- [0058] 도 6은 본 발명의 일 실시예에 따른 프로세싱 장치에서 분류 정확도를 나타내는 도면이다.
- [0059] 도 6을 참조하면, 저항 드리프트에 따른 저항 증가 특성이 이용되는 상변화 메모리 소자를 포함하는 프로세싱 장치에서, 숫자 인식에 대한 분류 정확도가 증가하는 특징을 나타낸다.
- [0060] 본 발명에서 가장 두드러진 효과는 저항 드리프트를 도입한 후 분류 정확도가 약 93.2%까지 증가한 것이다. 도 6은 종래의 이진법 웨이트(Conventional로 표시)와 자발적으로 증가하는 웨이트(Drift로 표시)를 사용하는 네트워크에 대한 훈련 및 테스트의 정확도(10회 반복하여 측정함)를 보여준다.
- [0061] 본 발명의 기술적 사상에 따른 실시예에서, 상기 정확도의 향상을 위해 추가 계산 비용과 운영 에너지가 실질적으로 거의 요구되지 않는다는 것이다. Drift는 처음에 더 큰 편차를 보였지만 Conventional과 달리 편차가 감소하면서 정확도가 꾸준히 증가함을 알 수 있다. 이는 훈련 초기 단계에서는 웨이트 변화에 대한 일관성을 충분히 평가할 수 없어, 일관성이 확립된 후 결과가 통합되기 때문으로 추론된다.
- [0062] 이러한 정확도 향상을 확인하기 위해 도 6에 표시된 바와 같이, 혼동 행렬을 조사했다. 혼동 행렬은 신경망이 각 입력 숫자 이미지를 각 클래스로 분류한 횟수를 나타낸다. 대각선 숫자는 각 숫자에 대한 올바른 분류를 나타내며 비대각선 숫자는 혼란의 총 발생(예를 들어, 예측과 사실 사이의 불일치)을 의미한다. 상단과 오른쪽에 있는 숫자(각각 단일 행과 열)는 대각선 숫자를 제외한 각 행과 열의 합계다. 예를 들어, 상단의 가장 높은 값인 205(혼란 행렬에서 검은 선으로 둘러싸인 숫자의 합)는 신경망이 입력 숫자 이미지를 대부분 '3'으로 잘못 예측했음을 의미한다. 오른쪽에 있는 가장 높은 값인 222(혼란 행렬에서 빨간 선으로 둘러싸인 숫자의 합)는 '8'이 신경망에 의해 대부분 잘못 예측되었음을 의미한다.
- [0063] 이와 같이, '3' 및 '8'과 같은 일부 특정 숫자가 혼동 행렬에서 뚜렷한 결과를 보여주기 때문에, 훈련 학습 중 숫자 단위 정확도를 비교했다. 숫자 단위 정확도는 정확한 예측 수를 각 숫자에 대한 실제 이미지 수로 나눈 값으로 정의된다. 숫자 '0' 및 '1'은 정확도가 상대적으로 높고, 숫자 '8'은 정확도가 상대적으로 낮다.
- [0064] 본 발명의 실시예에 따라 개선된 결과(Drift)는 '3'의 오인 예측 수가 205개에서 109개로 감소하고, '8'의 오인 예측 수가 222개에서 76개로 크게 감소했음을 보여준다.
- [0065] 이와 같이, 저항 드리프트를 활용한 자발적인 웨이트 수정의 중요한 문제는 최적화된 웨이트가 훈련 후 불가피하게 추가 변경된다는 것이다. 그러나, 추론 프로세스에서 성능을 저하시키지 않고, 저항 드리프트로 인해 개별적으로 변경된 모든 웨이트를 나타내는데 적합한 일정한 웨이트 수치를 찾을 수 있다.
- [0066] 예를 들어, 학습 훈련 후 모든 양(+)의 웨이트는 기존의 디지털 메모리와 같이 고정된 양(+)의 상수로 간주할 수 있다. 그 다음, 테스트 이미지의 정확도를 최대화하는 상수를 찾을 수 있다.
- [0067] 도 7은 본 발명의 일 실시예에 따른 뉴로모픽 시스템에서 웨이트와 출력 신호의 관계를 나타내는 도면이다.
- [0068] 도 7을 참조하면, 입력 신호로부터 수정된 웨이트와 출력 신호의 관계를 설명하기 위하여, 뉴로모픽 시스템에서 저항 드리프트에 의한 웨이트의 증가( $\delta$ , 여기서  $\delta > 0$ )를 도식적으로 나타낸다.
- [0069] 본 발명에 따른 프로세싱 장치는 다음과 같은 특징을 가질 수 있다. 웨이트를 갖는 입력 신호를 처리하는 프로세싱 장치에 있어서, 상기 입력 신호를 수신하는 복수의 입력 라인, 상기 복수의 입력 라인에 연결되고 상기 웨이트를 저장하는 복수의 상변화 메모리 소자, 및 상기 복수의 상변화 메모리 소자와 연결되는 복수의 출력 라인

을 포함할 수 있다.

- [0070] 여기서, 상기 복수의 상변화 메모리 소자 각각은, 제1 전극층, 상기 제1 전극층 상에 배치되며 칼코게나이드 스위칭 물질을 포함하는 메모리 셀, 및 상기 메모리 셀 상에 배치되는 제2 전극층을 포함할 수 있다.
- [0071] 특징적으로, 상기 복수의 상변화 메모리 소자 중 상기 칼코게나이드 스위칭 물질이 자발적인 저항 증가를 나타내는 상변화 메모리 소자에서, 상기 웨이트를  $\delta$  (여기서  $\delta > 0$ )만큼 증가시킬 수 있다.
- [0072] 일부 실시예들에서, 상기 칼코게나이드 스위칭 물질은 저머늄(Ge), 안티몬(Sb), 및 텔루륨(Te)을 포함할 수 있다. 또한, 상기 칼코게나이드 스위칭 물질이 소정 기간동안 비정질 상태에서 결정질 상태로 스위칭 되지 않으면, 상기 칼코게나이드 스위칭 물질이 상기 비정질 상태에서 상기 자발적인 저항 증가를 나타낼 수 있다. 또한, 상기 자발적인 저항 증가를 나타내지 않는 상변화 메모리 소자에서 상기 웨이트는 1비트의 수치(0 또는 1)를 가지고, 상기 자발적인 저항 증가를 나타내는 상변화 메모리 소자에서 상기 웨이트는 수정된 1비트의 수치( $-1$  또는  $1 + \delta$ )를 가질 수 있다. 또한, 상기 프로세싱 장치에 있어서, 상기 복수의 상변화 메모리 소자 각각은 시냅스에 대응되고, 상기 웨이트의 변화는 상기 시냅스의 업데이트에 해당될 수 있다.
- [0073] 본 발명에 따른 뉴로모픽 시스템은 다음과 같은 특징을 가질 수 있다. 뉴로모픽 시스템은 시냅스 업데이트의 빈도가 상대적으로 높은 웨이트는 1비트의 수치(0 또는 1)를 가지고, 시냅스 업데이트의 빈도가 상대적으로 낮은 웨이트는 수정된 1비트의 수치( $-1$  또는  $1 + \delta$ , 여기서  $\delta > 0$ )를 가질 수 있다.
- [0074] 일부 실시예들에서, 상기 웨이트를 저장하는 복수의 상변화 메모리 소자를 포함하고, 상기 복수의 상변화 메모리 소자 각각은 제1 전극층, 상기 제1 전극층 상에 배치되며, 칼코게나이드 스위칭 물질을 포함하는 메모리 셀, 및 상기 메모리 셀 상에 배치되는 제2 전극층을 포함할 수 있다. 또한, 상기 칼코게나이드 스위칭 물질이 소정 기간동안 비정질 상태에서 결정질 상태로 스위칭 되지 않으면, 상기 칼코게나이드 스위칭 물질이 상기 비정질 상태에서 자발적인 저항 증가를 나타낼 수 있다. 또한, 상기 자발적인 저항 증가는 상기 웨이트를 상기 수정된 1비트의 수치로 변경할 수 있다. 또한, 상기 자발적인 저항 증가는 추가적인 에너지의 소모를 요구하지 않을 수 있다.
- [0075] 이상, 첨부된 도면들을 참조하여 본 발명의 기술적 사상의 실시예를 설명하였지만, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자는 본 발명이 그 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형상으로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예는 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다.

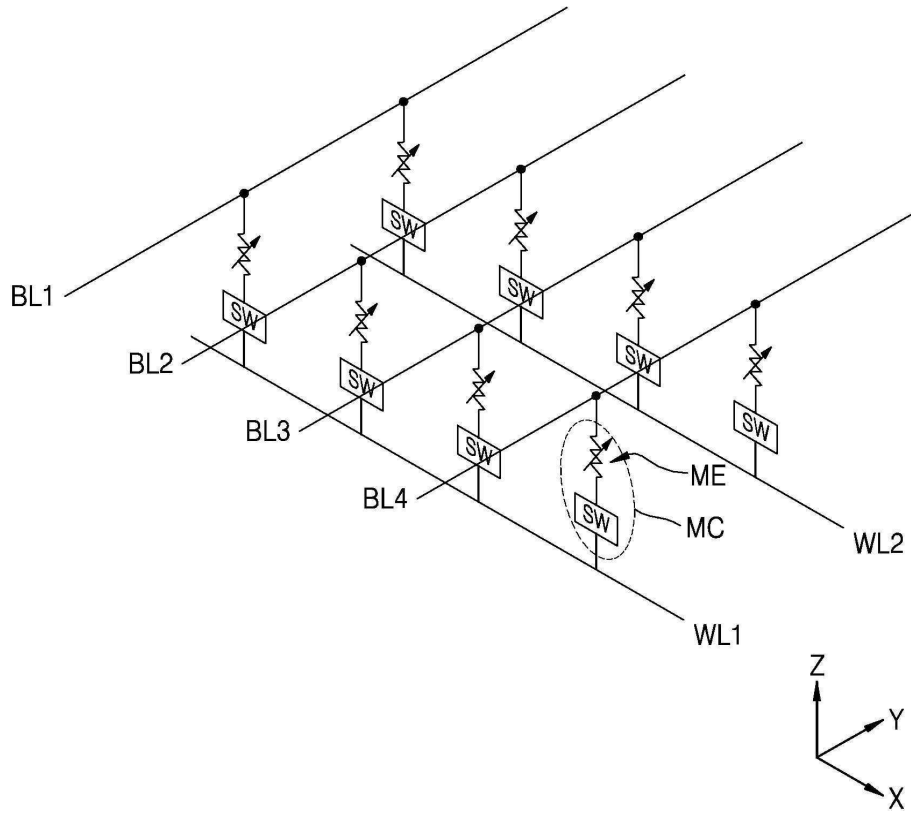
## 부호의 설명

- [0076] 100: 상변화 메모리 소자
- 101: 기판      105: 층간 절연층
- 110: 제1 전극 라인    120: 제2 전극 라인
- 140: 메모리 셀    141: 하부 전극층
- 143: 선택 소자층    145: 중간 전극층
- 148: 상부 전극층    149: 가변 저항층
- 160a: 제1 절연층    160b: 제2 절연층
- 160c: 제3 절연층

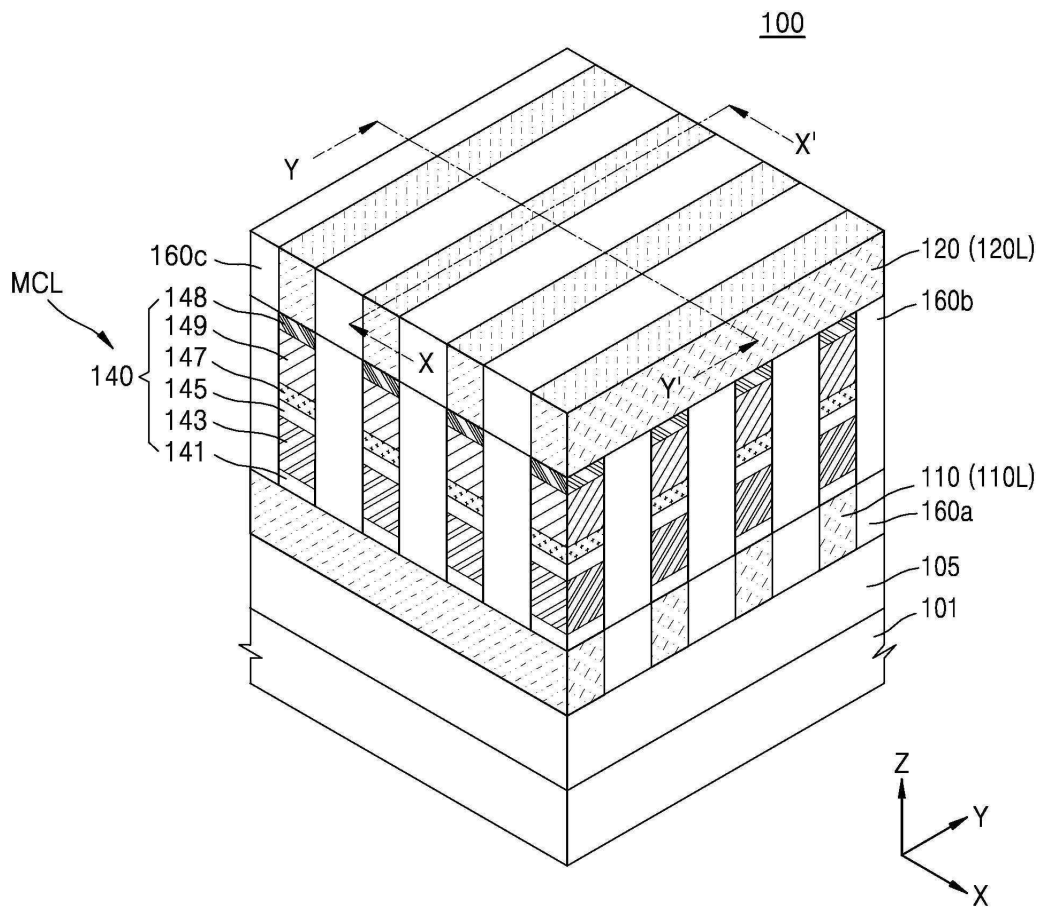
도면

도면1

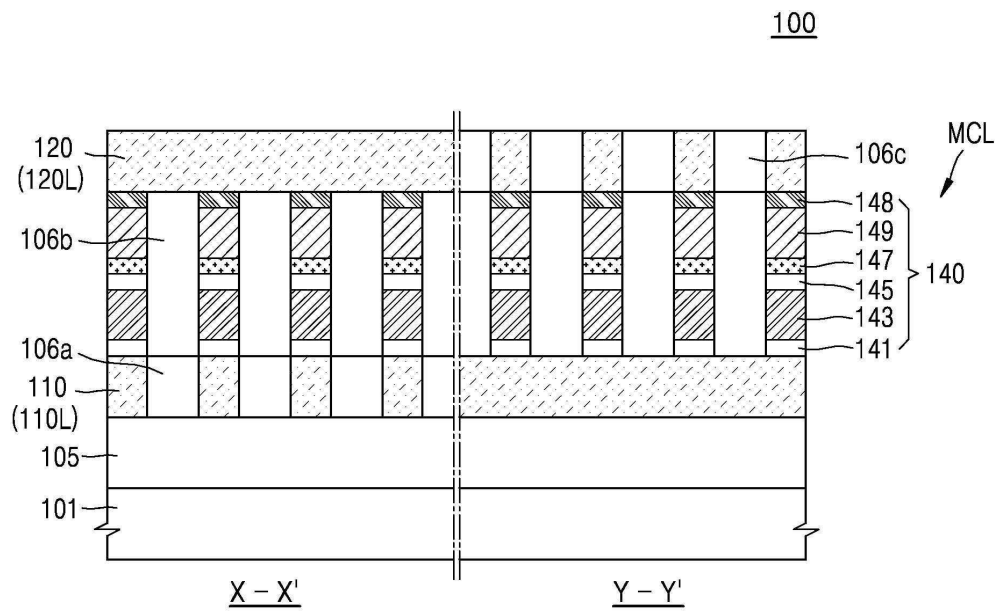
100



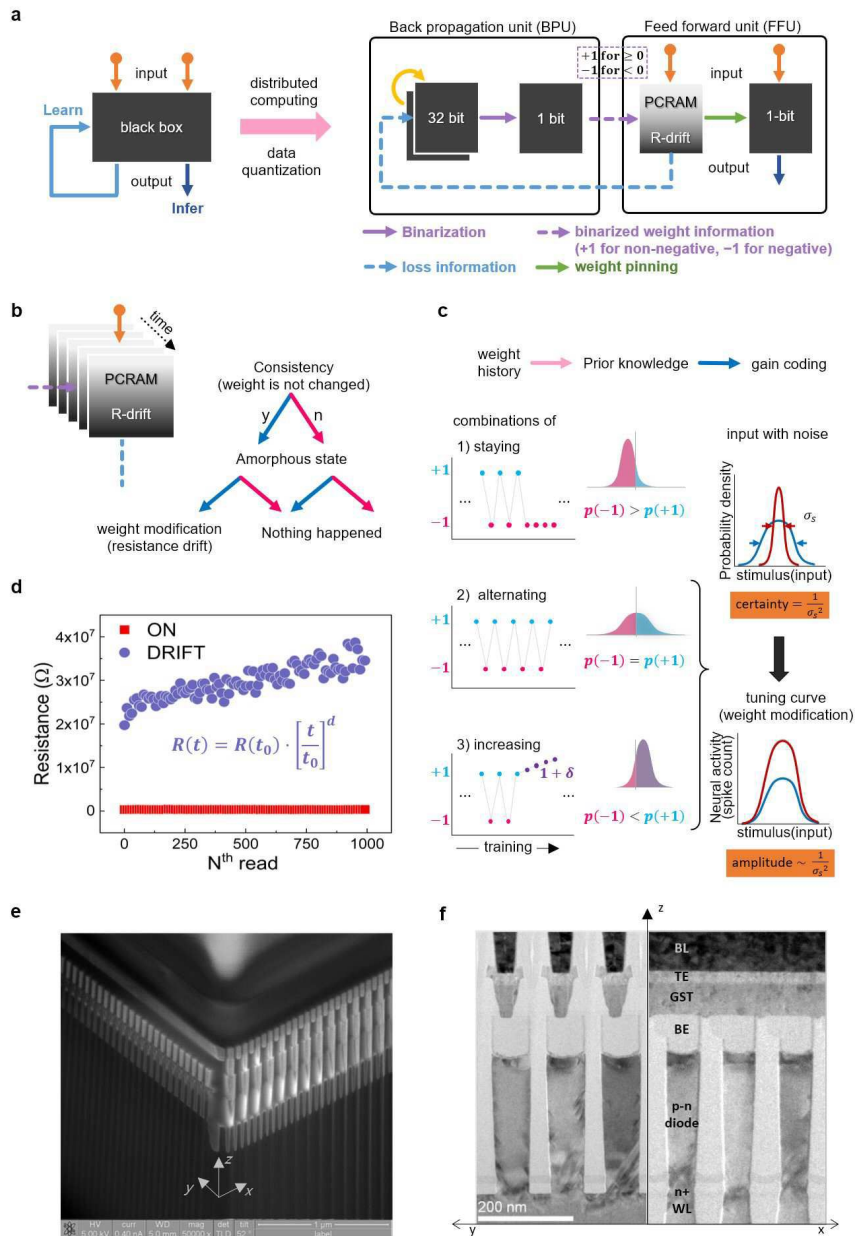
도면2



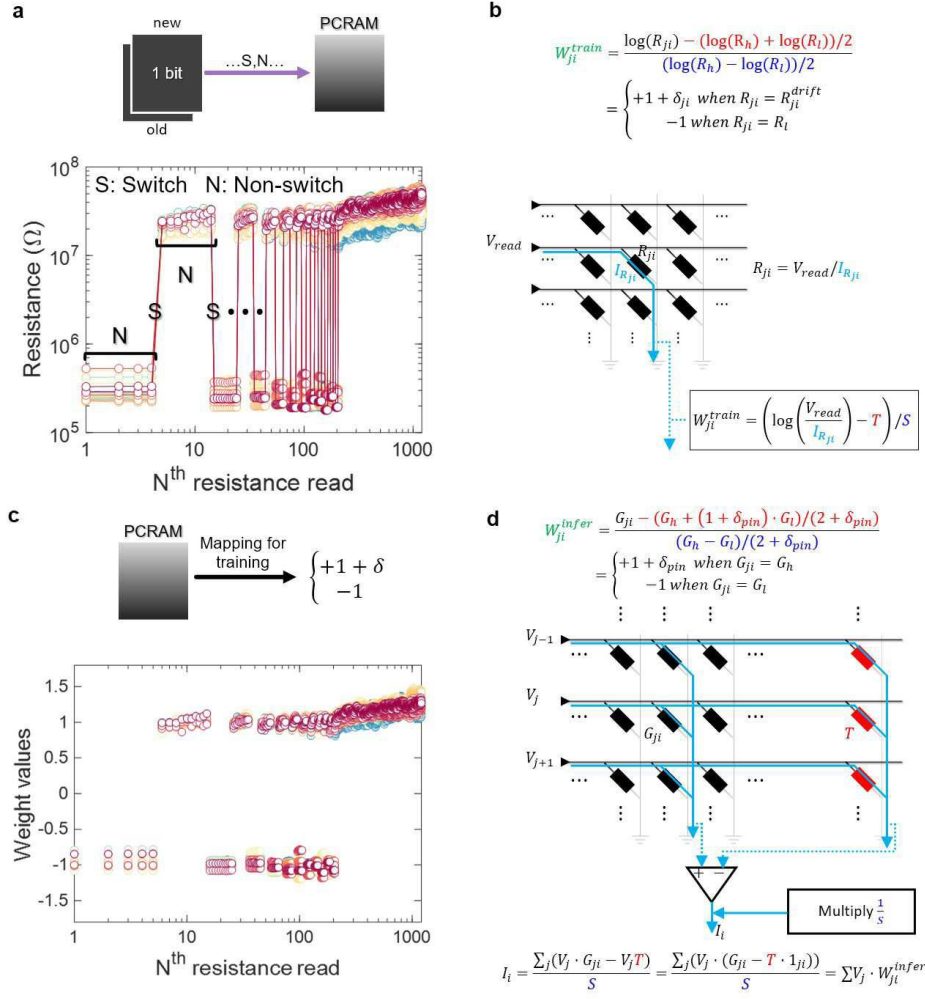
도면3



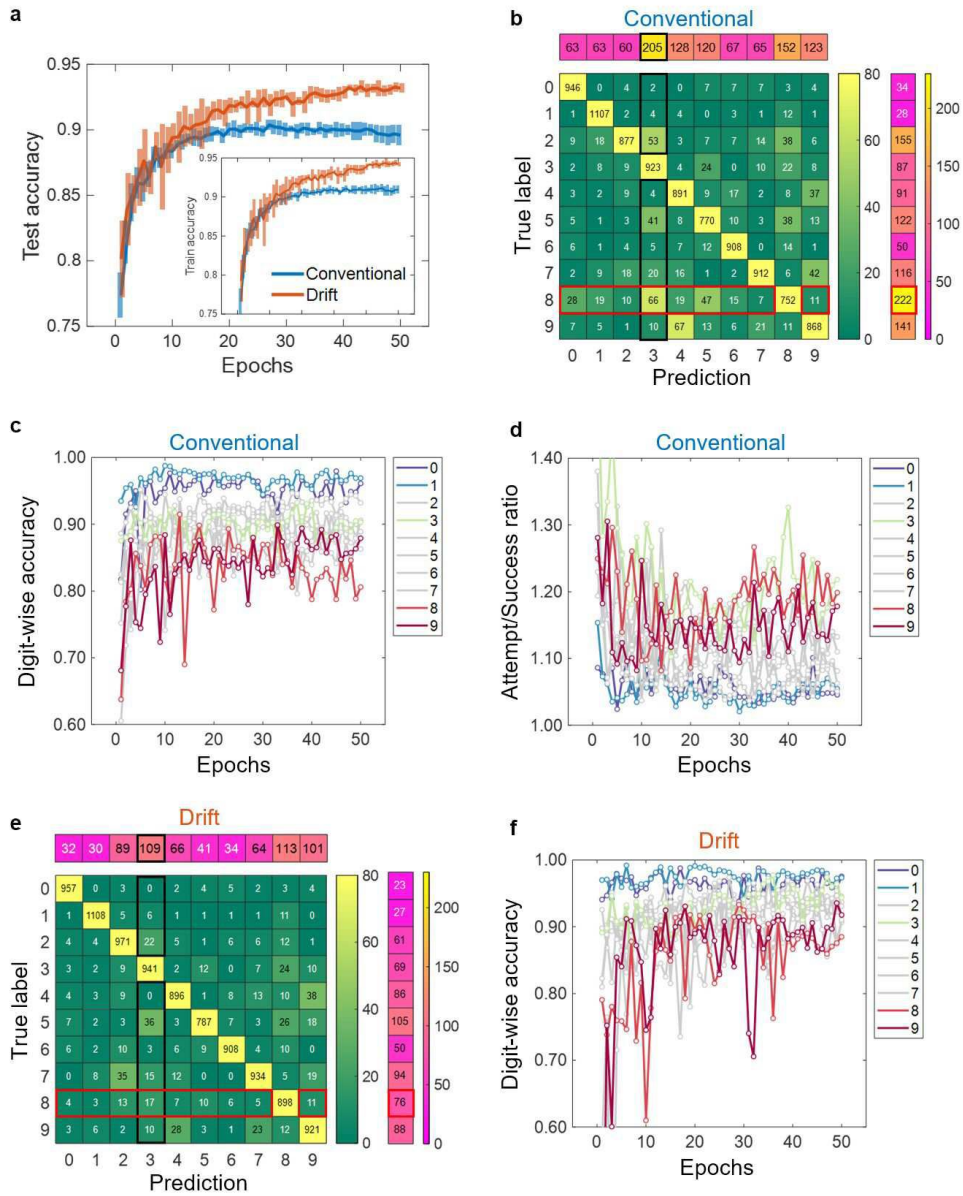
도면4



도면5



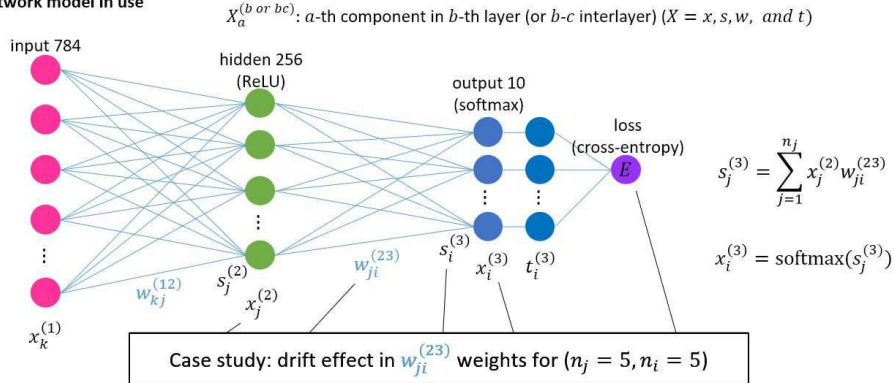
도면6



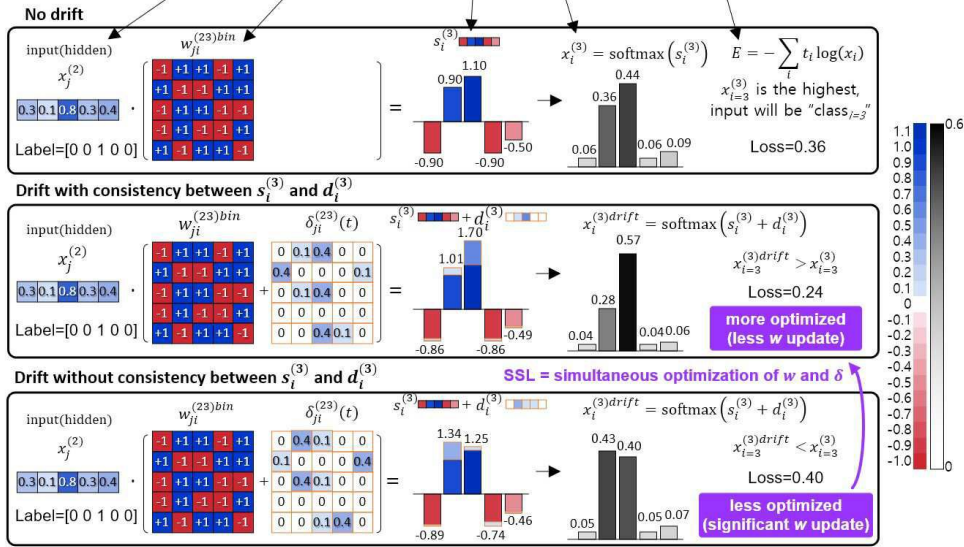
도면7

a

Network model in use



b



Some simplifications to contrast the difference even for the same input

1. Small input and weight size for minimal calculations ( $n_j = 5, n_i = 5$ )
2. 0.1 and 0.4: small and large  $\delta_{ji}^{(23)}$  values (After training, it is actually small or saturated near 0.4)
3. Two  $\delta_{ji}^{(23)}$  example are completely opposite condition to compare the differences clearly.