(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl. [6]
H04N 9/64

(45) 공고일자 2002년11월30일
(11) 등록번호 10-0347204
(24) 등록일자 2002년07월22일

(21) 출원번호 10-1995-0012974
(22) 출원일자 1995년05월24일

(65) 공개번호 특1995-0035459
(43) 공개일자 1995년12월30일

(30) 우선권주장 FR9406264 1994년05월24일 프랑스(FR)

(73) 특허권자
똥송 멀티메디아 에스. 에이.
프랑스, 92400 꾸르베봐, 라 데팡스, 5, 플라스 데 보스게스 9

(72) 발명자
프레데릭파이아르데
프랑스공화국에프-38 그레노블아브뉘드발미3
프랑시스델로바
프랑스공화국에프-38720생일레르뒤투베로티스멍"레꽁브"
브뤼노본우르
프랑스공화국에프-38100그레노블알레뒤파르크게오르그퐁피두9레지덩스"르슈발리에"

(74) 대리인
남상선

심사관 : 김희곤

(54) 단일변환기모듈을사용하는이중입력아날로그-디지탈변환기

요약

두개의 아날로그 입력신호의 멀티플렉싱을 제공하며 따라서 단지 하나의 변환기 모듈만을 요구하는 아날로그-디지탈 변환기가 개시된다. 그 변환기는 변환된 신호의 최상위비트를 결정하기 위하여 사용되며 또한 변환된 신호의 최하위비트를 결정하는 두개의 미세비교기블럭을 위한 전압영역을 결정하는 개략비교기블럭을 포함하며, 입력신호 각각은 미세비교기블럭에 접속되며 개략비교기블럭은 제 1 및 제 2입력신호를 기준전압과 선택적으로 비교한다. 아날로그-디지탈 변환기는 텔레비젼신호의 처리에 유리하게 사용될 수 있다.

대표도
도 4

명세서

도면의 간단한 설명

제 1도는 종래의 하프플래쉬 아날로그-디지탈변환기(ADC)의 블럭도.

제2도는 제 1도의 ADC의 미세 및 개략비교기블럭의 변환싸이클의 타이밍도.

제 3a 및 제 3b도는 본 발명에 따른 아날로그-디지탈 변환기의 미세 및 개략비교기블럭을 구성하는 비교기장치의 예를 도시하는 도.

제 4도는 본 발명에 따른 아날로그-디지탈변환기의 실시예의 블럭도.

* 도면의 주요 부분에 대한 부호의 설명 *

1 : 개략비교기블럭 2,3 : 미세비교기블럭

4 : 기준전압발생기 5,6,7 : 코더

15,16,25,25,27 : 스위치 7,19,21 : 노드

18 : 부하 커패시터 20 : 인버터

22 : 출력단 24,28 : 오토-제로비교기

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 두개의 아날로그입력의 멀티플렉싱을 제공하며 단일변환기 모듈만을 요하는 하프-플래시(half-flash) 타입의 아날로그-디지탈 변환기(이하 ADC라함)에 관한 것이다. 이 변환기는 텔레비젼 신호처리를 위하여 유용하게 사용된다.

비디오신호의 전송 및 처리를 위하여 휘도신호 Y와 색도(색차)신호 U 및 V의 3가지 타입의 신호를 사용한다. 신호 Y의 통과대역은 신호 U 및 V의 통과대역보다 높으며, ADC에서 Y신호의 샘플링 주파수를 두 U 및 V신호의 샘플링 주파수의 2배로 변환하는 것이 필요하다. 이것은 여러 신호의 동시 아날로그-디지탈 변환의 문제를 발생한다.

이러한 문제점을 해결하기 위하여 두가지 기술이 사용될 수 있다. 첫번째는 주파수 fs에서 신호 Y와 주파수 fs/2에서 U 및 V신호를 디지타이즈 하기 위하여 세개의 ADC를 사용하는 것이다. 이러한 논리적인 해결책은 회로의 구성을 단순화하는 장점은 있지만 전력소모 및 소자의 크기를 증가시킨다.

두번째 해결책은 두개의 ADC만을 사용하는 것이고, 이것은 U와 V신호를 멀티플렉스하기 위하여 아날로그 멀티플렉서가 함께 사용되고, 주파수 fs/2에서의 제1ADC에서 디지타이즈된다면 가능하다. 제2ADC는 주파수fs에서 Y신호를 디지타이즈하기 위하여 사용된다. 이러한 두번째 해결책은 전력소모가 적지만 그 주요 단점은 아날로그 멀티플렉서를 제조하는데 어려움이 있다(속도, 선형성등).

ADC에는 여러가지 형태가 있는데 약간의 것들은 고속의 변환속도를 제공하고 다른 것들은 속도는 느리지만 적은 전력을 사용하거나 크기에 있어서 더욱 작다. 폭넓게 사용되는 기술은 두 단계로 아날로그-디지탈 변환을 하는 것이다. 첫번째 단계에서 주파수 fs에서 변환될 전압이 근사적으로 결정된다. 이것은 변환된 전압의 최상위비트(MSB)을 결정한

다. 이러한 전압을 근사적으로 알게됨으로씨, 두번째 싸이클에서의 1/fs 시간후에 변환된 전압의 최하위비트(LSB)를 설정하기 위하여 미세조정이 이루어진다. 제1단계는 제2단계보다 빠르기 때문에, 두개의 미세비교기블럭은 각각의 개략비교(coarse comparision)를 위하여 두개의 미세비교를 가능하게 하기 위하여 사용된다.

제 1도는 하나의 개략비교기블럭(1)과 두개의 미세비교기블럭(2 및 3)을 사용하는 형태의 ADC를 도시한다. 이때 사용되는 각각의 비교기블럭들은 기준전압발생기에 의하여 이러한 비교기블럭들로 보내지는 기준전압들을 비교하기 위한 비교기셀들을 포함한다. 이러한 모든 비교기셀들은 입력단중의 하나로 입력전압을 수신하며, 다른 입력단으로는 기준전압을 수신한다. ADC내에 설치되는 기준전압발생기(4)에 인가되는 V_{min} 과 V_{max} 사이의 전압영역은 n개의 기준전압을 주는 n+1개의 등간격으로 나누고 각각의 간격은 더욱 넓은 각각의 간격에서 m개의 기준전압을 주는 m+1개의 동일한 서브간격으로 나누어진다. 기준전압발생기(4)의 세부구성은 도시되지 않았지만 통상적으로 가로 및 세로로 연결되는 저항망을 이용하여 기준전압들을 발생시킨다. 이렇게 연결된 저항망의 양쪽단에 공급되는 V_{min} 과 V_{max} 에 의하여 각각 가로 및 세로로 연결되는 저항망의 각 노드들에서 후술한 개략비교기블럭 및 미세비교기블럭을 위한 기준전압을 발생한다. 이때 저항망에서 특정 기준전압을 얻기위해서 이들에 각각 별도의 스위치를 구비하여 이러한 스위치의 선택에 의하여 미세기준전압이 출력되도록한다. 이때 스위치는 개략비교기블럭의 비교결과에 따라서 제어된다, 상기의 예는 기준전압발생기(4)를 구현하는 일예를 기술한 것이며 반드시 상기와 같은 구성으로 한정되는 것은 아니다.

개략비교기블럭(1)은 $V_{min} + k \cdot (V_{max} - V_{min})/(n+1)$과 같은 n개의 전압을 기준전압으로서 수신하고, 이때 k는 1 부터 n까지의 영역에 속한다. 개략비교기블럭(1)에 의하여 결정되는 근사 전압간격은 미세비교기블럭(2 또는 3)에 공급되도록 n개의 간격으로 나누어진다. 그래서 선택되는 기준전압은 V_{in} 으로 변환되는 전압과 비교된다. 비교기블럭(1, 2 및 3)으로 부터의 출력은 MSB와 LSB를 주기위하여 코더(5,6 및 7)에 의하여 코딩되는 n, m 및 m비트를 각각 가진다.

상기와 같은 코더(5, 6 및 7)에 의하여 이루어지는 정정동작은 기존의 방법을 통하여 이루어질 수 있는데 이를 간략히 기술하면 다음과 같다. 코더(5)는 개략비교기블럭(1)에 의한 에러를 정정하고, 코더(6 및 7)은 미세비교기블럭(2 및 3)에 의한 에러를 정정하기 위하여 사용된다. 미세비교기블럭에 의하여 효과적으로 사용되는 전압영역은 개략비교기블럭에 의하여 결정되는 전압영역과 중복될 수 있다. 후자의 전압영역은 m 기준전압으로 나누어지고, p/2 전압기준이 영역의 각 사이드상에 추가된다. 그래서, 입력전압이 개략비교기블럭에 의하여 결정되는 전압영역(매우 정확한 것은 아님) 바깥쪽에 놓인다면, 코더들은 블럭(1)에 의하여 사전에 결정된 MSB의 하위 부분을 정정한다.

개략비교기블럭(1)과 미세비교기블럭(2 및 3)으로 공급되는 기준전압들 사이의 편차를 정정하기 위하여, 추가 p개의 기준이 미세비교기(2 및 3)에 공급된다. 이러한 p개의 기준은 개략비교기블럭(1)에 의하여 결정되는 큰간격에 인접한 미세간격에 해당한다. 그러면 미세비교기블럭(2 및 3)은 병렬로 접속된 m+p개의 비교기를 가진다, 이러한 보충 기준들은 만약 필요하다면 개략비교기블럭에 의하여 결정되는 것들중에서 LSB를 정정하기 위하여 사용될 것이다. 정정회로(8 및 9)는 개략비교에 의하여 제공되는 관련 비트들을 기존의 방법으로 정정한다.

제2도는 비교기(1, 2 및 3)에 대한 타이밍도를 도시하는 것으로, 두개의 개략비교기의 전체 싸이클이 도시된다. 클럭신호의 제1기간(T1)동안, 개략비교기블럭(1)은 신호(Vin)를 샘플링하고, 그것을 n개의 기준전압과 비교한다. 이 시간동안, 미세비교기블럭(2)도 신호(Vin)를 샘플링하고 보유한다. 제2주기(T2)의 시작시에, 미세기준전압이 안정화(해치표시된 부분)되도록 하기 위하여 블록킹이 유지된다. 미세비교가 지금 이루어질 수 있다. 이러한 제2기간동안에 개략비교기(1)는 비교기블럭(3)의 제2미세비교를 위한 시간인 제2시간에 신호(Vin)를 샘플링한다.

위에서 기술된 하프플래쉬타입의 ADC와 같은 예가 톰슨 컨슈머 일렉트로닉스에 의하여 출원된 프랑스특허출원 번호 93 12026에 주어진다.

본 발명은 앞서 언급된 두가지 기술의 장점인 단순성과 저전력소모의 특성을 가지며 그들의 단점을 피할 수 있는 것이다. 이러한 원칙은 앞서 기술된 것처럼 두개의 " 미세비교기블럭" 과 하나의 " 개략비교기블럭" 을 포함하는 하프플래쉬 타입의 아날로그-디지탈 변환기모듈의 사용에 근거한다.

그래서 본 발명은 하나의 개략비교기블럭과 두개의 미세비교기블럭을 포함하는 두개는 아날로그입력신호를 가지는 아날로그-디지탈 변환기에 관한 것으로, 상기 개략비교기블럭은 변환된 신호의 최상위비트를 결정하기 위하여 사용되며 변환된 신호의 최하위비트를 결정하는 상기 미세비교기블럭을 위한 전압간격을 결정하고, 입력신호의 각각이 미세비교기블럭에 접속되고 상기 개략비교기블럭은 상기 제1 및 제2입력신호와 기준전압을 교대로 비교한다. 본 발명의 중요한 특징은 두개의 입력신호 각각이 미세비교기블럭에 접속되고 개략비교기블럭은 동일 기준전압에서 샘플링된 제1전압과 제2전압을 교대로 비교하는 비교기를 포함한다는 점이다.

본 발명의 다른 특징은 개략비교기블럭의 비교기가 선택적으로 제1 및 제2전압을 동일기준전압과 비교하는 오토-제로(auto-zeroing)비교기라는 것이다. 유사하게, 미세비교기블럭의 비교기는 오토-제로비교기가 될 수 있다.

본 발명은 MOS기술을 사용하며 텔레비젼 U 및 V색도신호를 처리하기 위하여 사용되는 변환기에 유리하게 적용할 수 있다.

본 발명은 기존의 변환기보다 더욱 단순하고 작으며 적은 에너지를 사용한다.

이하 첨부도면을 참조하여 본원의 발명을 보다 상세히 설명한다. 보다 명확히하기 위하여 동일한 기능을 가지는 부분에 대해서는 모든 도면에서 동일한 부호를 사용한다.

제 3a도는 두개의 입력(비교할 전압인 Vin과 기준전압인 Vref)을 포함하는 소위 " 오토-제로" 비교기를 도시한 것이다. 스위치(15 및 16)에 의하여 제어되는 이러한 두개의 입력은 노드(17)를 경유하여 부하 커패시터(18)에 접속된다. 커패시터(18)는 노드(19), 인버터(20), 노드(21) 및 출력단(22)에 직렬로 접속된다. 인버터(20)와 병렬인 스위치(23)는 노드(19 및 21)와 접속된다. 오토-제로 기능은 드레시홀드 구역(Vdd/2)에서 인버터(20)를 극성화하는 스위치(23)이 페쇄에 의하여 보증되며, 이때 Vdd는 회로의 공급전압이며, 그래서 커패시터(18)에 걸리는 전압에 매우 민감하다. 이러한 회로는 입력전압(Vin)이 기준전압(Vref)보다 크거나 또는 작은가에 따라 " 하이" 또는 " 로우" 의 신호를 출력하게 된다. 예를 들어, 이러한 비교기의 동작을 살펴보면, 처음에 스위치(15 및 23)은 닫혀서, 커패시터(18) 상에서의 입력전압을 샘플링하고 인버터의 오토-제로 바이어스점을 설정한다. 다음에, 스위치(15 및 23)은 개방되고 스위치(16)이 닫힌다. 이것은 기준전압에 따라 인버터의 출력인 " 하이" 또는 " 로우" 가 되도록 한다.

유사한 방법으로, 제3b도는 두개의 입력전압(Vin1 및 Vin2)를 기준전압(Vref)과 비교하기 위하여 확장된 오토-제로 비교기를 도시한다. 이중비교(Vref와 Vin1 및 Vref와 Vin2)는 스위치(25, 26 및 27)을 사용하여 단순히 시행된다.

제 4도에 도시된 실시예에서, 두개의 아날로그신호(Vin1 및 Vin2)를 가지는 ADC는 두개의 미세비교기블럭(31 및 32)을 포함한다. 본 발명의 중요한 특징은 제1비교기블럭(31)이 연결점(33)을 경유하여 제1신호(Vin1)를 수신하고 제2비교기블럭(32)은 연결점(34)를 경유하여 제2신호(Vin2)를 수신하며, 이러한 미세비교기블럭(31 및 32)은 제3a도에 도시된 타입의 오토-제로비교기(24)의 세트에 의하여 구성된다. 더구나, 본 발명의 다른 중요한 특징은 Vin1과 Vin2로 변환되는 두개의 아날로그신호가 제3b도에 도시된 형태의 오토-제로 비교기(28)의 세트로서 구성되는 개략비교기블럭(30)에 병렬로 접속된다는 것이다. 제4도의 다른 부분(4, 5, 6, 7, 8 및 9)은 제1도에 도시된 것과 동일한 기능을 가진다.

제 4도에서 본 발명에 따른 변환기(29)는 주파수(fs/2)에서 동작하는 이중 ADC와 등가이다. 이중개략비교는 교대로 Vin1과 Vref 및 Vin2와 Vref를 비교하는 제3b도에 따른 비교기(28)에 의하여 구성되는 개략비교기블럭(30)에 의하여 이루어진다. 미세비교는 Vin1신호를 위한 비교기블럭(31)과 Vin2신호를 위한 비교기(32)를 사용하여 이루어진다. 전체 변환주파수는 fs이지만 Vin1과 Vin2의 디지탈 값은 주파수 fs/2에서 출력된다.

본 발명에 따른 변환기(29)는 주파수(fs)에서 단일 아날로그-디지탈 변환과 비교하여 보충의 전력소모없이 fs/2에서 두개의 다른 입력신호를 변환한다는 사실을 포함하여 많은 장점을 가진다. 더욱이 변환기의 전력소모와 크기의 관점에서의 장점이 앞서 언급된 세개의 비디오신호 Y, U 및 V의 처리에서도 얻어진다. 앞서 기술된 형태의 종래기술의 해결책과 비교하면, 본 발명은 주변 아날로그 멀티플렉서의 필요성을 갖지 않는다. 추가로, 본 발명에 따른 ADC의 구조는 제4도에 도시된 것처럼, 신호 Vin1 및 Vin2의 고립을 보장하여, 미세비교가 각 입력신호에 무관하다.

본 발명은 두개의 입력신호(Vin1과 Vin2)을 받아들이는 모든 형태의 아날로그-디지탈 변환기, 특히 텔레비젼 신호의 색도신호인 U 및 V를 처리하기 위하여 사용되는 것들에 적용될 수 있다.

(57) 청구의 범위

청구항 1.

하나의 개략비교기블럭과 두개의 미세비교기블럭을 포함하며, 상기 개략비교기블럭은 변환된 신호의 최상위비트를 결정하기 위하여 사용되고 또한 변환된 신호의 최하위비트를 결정하는 상기 미세비교기블럭을 위한 전압간격을 결정하여, 각각의 입력신호가 미세비교기블럭에 접속되며 상기 개략비교기블럭은 상기 제1 및 제2입력신호와 기준신호를 교대로 비교하는 것을 특징으로 하는 2 아날로그 신호입력을 가지는 아날로그-디지탈변환기

청구항 2.

제 1 항에 있어서, 상기 개략비교기블럭을 구성하는 비교기는 상기 제1 및 제2입력신호를 동일한 기준신호와 교대로 비교하는 오토-제로 비교기를 포함하는 것을 특징으로 하는 아날로그-디지탈 변환기.

청구항 3.

제 1 항에 있어서, 상기 미세비교기블럭은 오토-제로 비교기에 의하여 구성되는 것을 특징으로 하는 아날로그-디지탈 변환기.

청구항 4.

제 1 항에 있어서, 상기 개략비교기블럭을 구성하는 비교기는 상기 제1아날로그입력신호를 위한 제1입력과 상기 기준신호를 위한 제2입력 및 상기 제 2아날로그입력신호를 위한 제 3입력을 가지며, 각각의 입력은 스위치에 의하여 제어되며, 커패시터와 인버터가 직렬로 접속되는 동일노드에 접속되고, 스위치는 인버터의 양단에 접속되는 것을 특징으로 하는 아날로그-디지탈 변환기.

청구항 5.

제 1 항에 었어서, 상기 장치가 MOS기술을 사용하는 것을 특징으로 하는 아날로그-디지탈 변환기.

청구항 6.

제 1 항에 었어서, 상기 두개의 아날로그 입력신호는 텔레비젼신호의 아날로그휘도신호인 것을 특징으로 하는 아날로그-디지탈 변환기.

청구항 7.

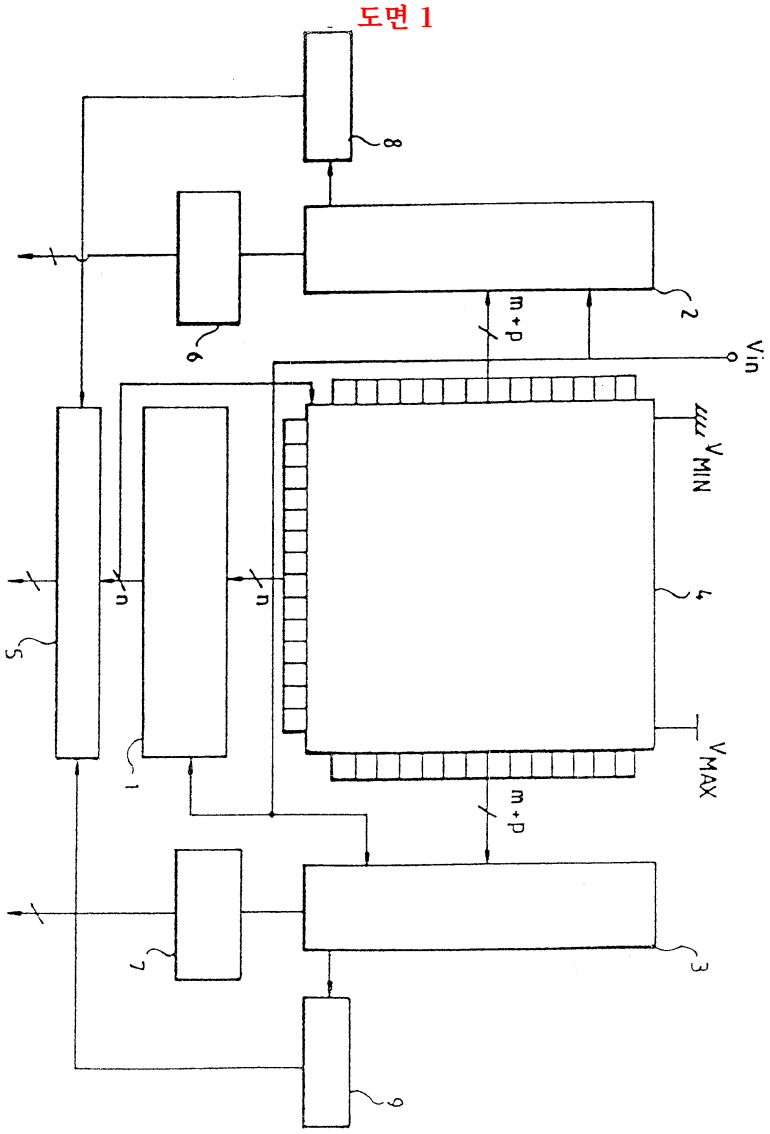
아날로그 색도신호를 변환하기 위하여 제1항에 따른 제1 아날로그-디지탈 변환기 모듈과 휘도신호를 변환하기 위하여 사용되는 제1항에 따른 제2 아날로그-디지탈 변환기 모듈을 포함하는 텔레비젼 신호의 아날로그-디지탈변환장치.

청구항 8.

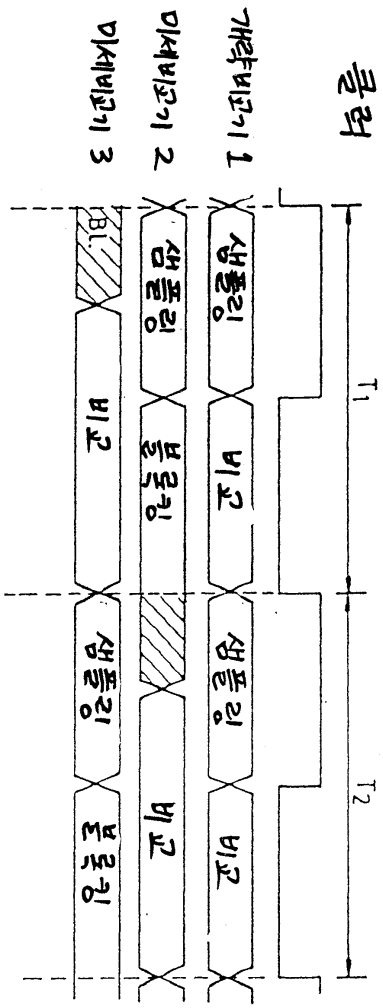
제 1 항에 따른 적어도 하나의 아날로그-디지탈 변환기를 포함하는 디지탈 텔레비젼장치.

도면

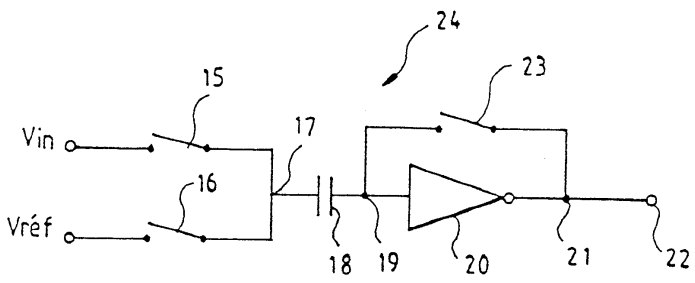
도면 1



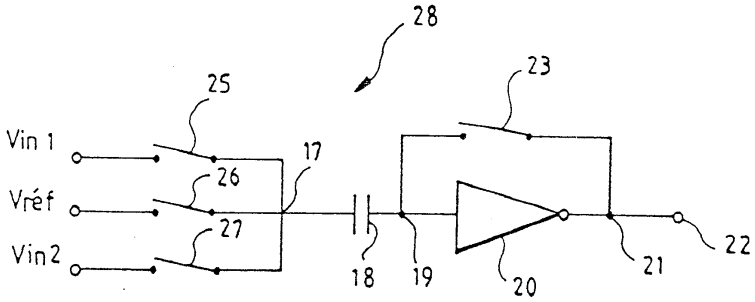
도면 2



도면 3a



도면 3b



도면 4

