



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201804536 A

(43)公開日：中華民國 107 (2018) 年 02 月 01 日

(21)申請案號：106121119

(22)申請日：中華民國 101 (2012) 年 12 月 11 日

(51)Int. Cl.：

*H01L21/336 (2006.01)**H01L29/78 (2006.01)*

(30)優先權：2011/12/23

世界智慧財產權組織

PCT/US11/67234

(71)申請人：英特爾股份有限公司 (美國) INTEL CORPORATION (US)

美國

(72)發明人：瑞奇曼第 威利 RACHMADY, WILLY (US)；皮拉瑞斯提 拉維 PILLARISETTY, RAVI (US)；雷 凡 LE, VAN H. (US)；卡瓦萊羅斯 傑克 KAVALIEROS, JACK T. (US)；喬 羅伯特 CHAU, ROBERT S. (US)；卡琴恩 潔西卡 KACHIAN, JESSICA S. (US)

(74)代理人：林志剛

申請實體審查：有 申請專利範圍項數：20 項 圖式數：4 共 60 頁

(54)名稱

非平面閘極環繞元件及其製作方法

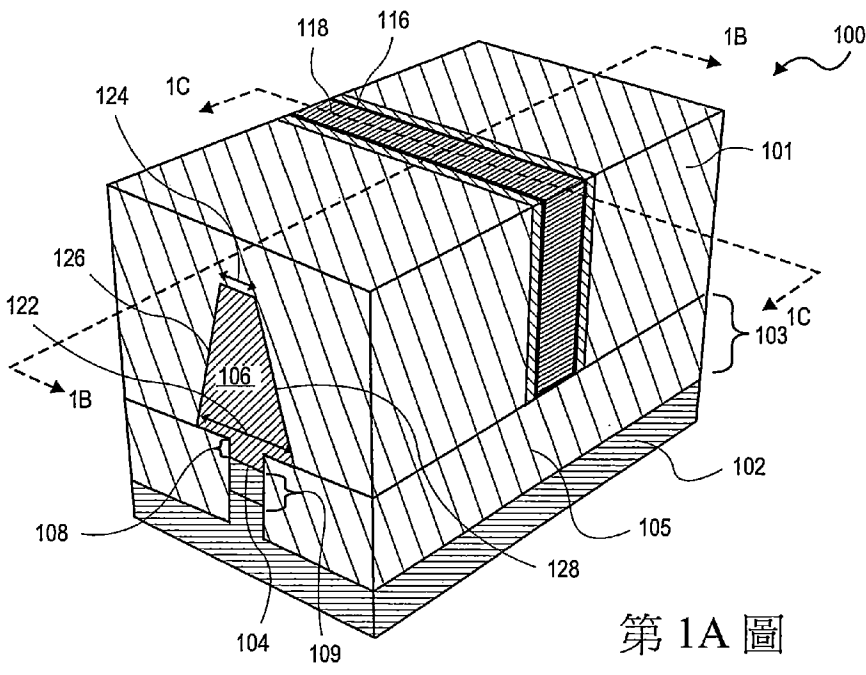
NON-PLANAR GATE ALL-AROUND DEVICE AND METHOD OF FABRICATION THEREOF

(57)摘要

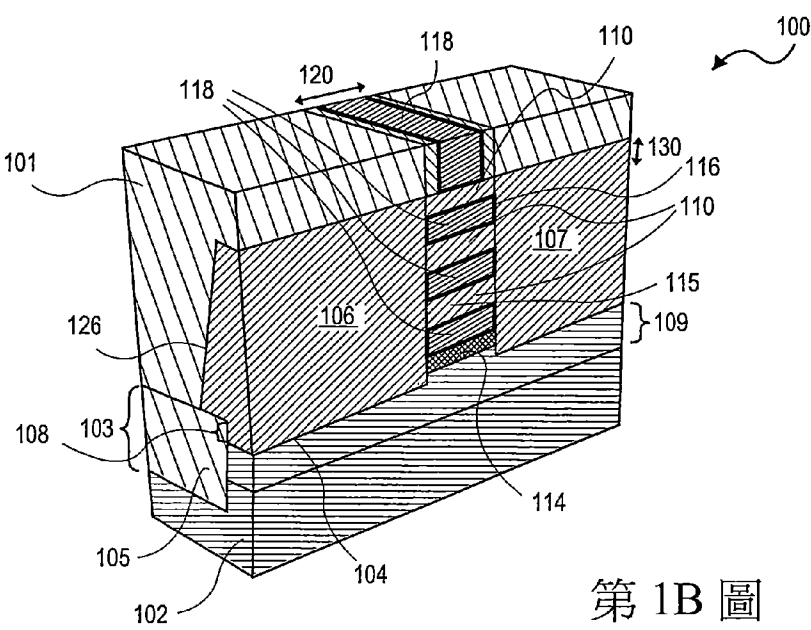
描述非平面閘極環繞元件及其製作方法。在一實施例中，該元件包含具有具備第一晶格常數的頂部表面之基板。嵌入式磊晶源極及汲極區係形成於基板的頂部表面上。嵌入式磊晶源極及汲極區具有與第一晶格常數不同的第二晶格常數。具有第三晶格常數之通道奈米線係形成於其間，且係耦接至嵌入式磊晶源極及汲極區。在一實施例中，第二晶格常數及第三晶格常數係與第一晶格常數不同。通道奈米線包含最底部通道奈米線，以及底部閘極隔離係形成於最底部通道奈米線之下的基板的頂部表面上。閘極電介質層係形成於各通道奈米線上且環繞各通道奈米線。閘極電極係形成於閘極電介質層上且包圍各通道奈米線。

A non-planar gate all-around device and method of fabrication thereby are described. In one embodiment, the device includes a substrate having a top surface with a first lattice constant. Embedded epi source and drain regions are formed on the top surface of the substrate. The embedded epi source and drain regions have a second lattice constant that is different from the first lattice constant. Channel nanowires having a third lattice are formed between and are coupled to the embedded epi source and drain regions. In an embodiment, the second lattice constant and the third lattice constant are different from the first lattice constant. The channel nanowires include a bottom-most channel nanowire and a bottom gate isolation is formed on the top surface of the substrate under the bottom-most channel nanowire. A gate dielectric layer is formed on and all-around each channel nanowire. A gate electrode is formed on the gate dielectric layer and surrounding each channel nanowire.

指定代表圖：

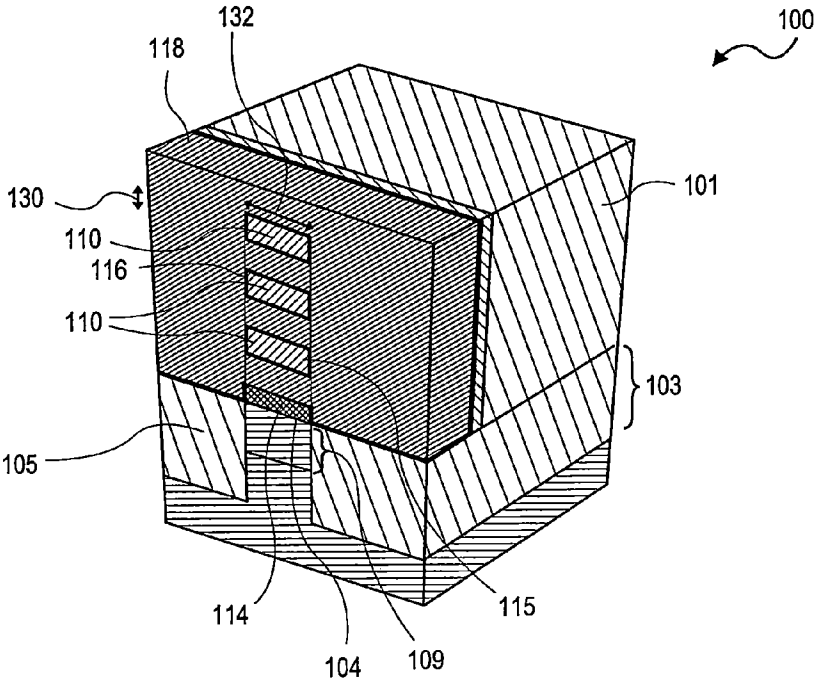


第 1A 圖

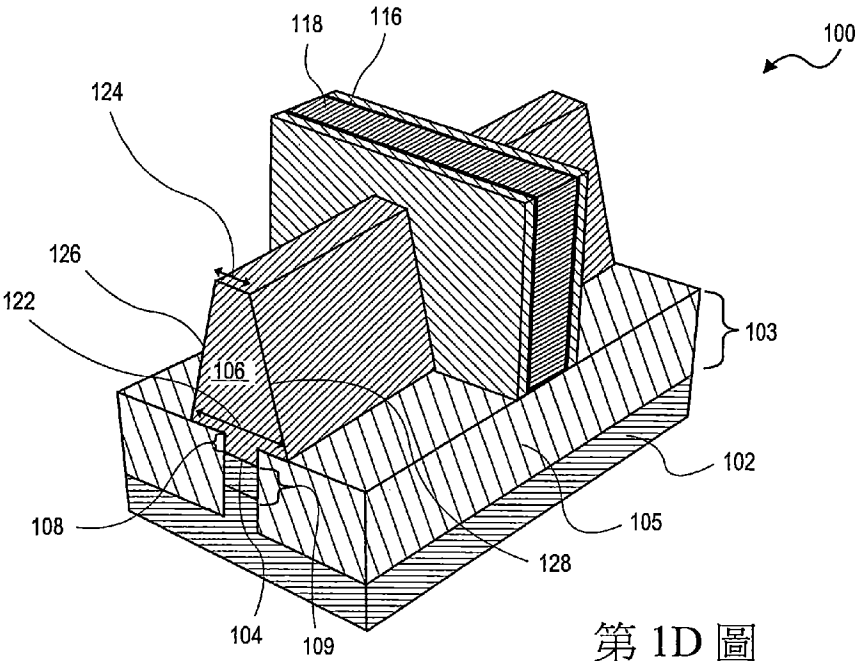


第 1B 圖

- 符號簡單說明：
- 100 . . . 非平面閘極環繞元件
 - 101 . . . 電介質層
 - 102 . . . 基板
 - 103 . . . 淺溝渠隔離區
 - 104 . . . 基板的頂部表面
 - 105 . . . 淺溝渠隔離層
 - 106 . . . 嵌入式磊晶源極區
 - 107 . . . 嵌入式磊晶汲極區
 - 108 . . . 源極/汲極溝渠
 - 109 . . . 緩衝層
 - 110 . . . 通道奈米線
 - 114 . . . 底部閘級隔離
 - 115 . . . 最底部通道奈米線
 - 116 . . . 閘極電介質層
 - 118 . . . 閘極電極
 - 120 . . . 通道奈米線的長度
 - 122、124、132 . . . 寬度
 - 126、128 . . . 側壁
 - 130 . . . 厚度
 - 150 . . . 電晶體
 - 156 . . . 源極/汲極溝渠
 - 157 . . . 汲極
 - 160 . . . 半導體材料
 - 170 . . . 犧牲材料



第 1C 圖



第 1D 圖



發明摘要

※申請案號：106121119 (由105113533分割)

※申請日：101 年 12 月 11 日

※IPC 分類：H01L 21/336 (2006.01)
H01L 29/78 (2006.01)

【發明名稱】(中文/英文)

非平面閘極環繞元件及其製作方法

Non-planar gate all-around device and method of fabrication thereof

【中文】

描述非平面閘極環繞元件及其製作方法。在一實施例中，該元件包含具有具備第一晶格常數的頂部表面之基板。嵌入式磊晶源極及汲極區係形成於基板的頂部表面上。嵌入式磊晶源極及汲極區具有與第一晶格常數不同的第二晶格常數。具有第三晶格常數之通道奈米線係形成於其間，且係耦接至嵌入式磊晶源極及汲極區。在一實施例中，第二晶格常數及第三晶格常數係與第一晶格常數不同。通道奈米線包含最底部通道奈米線，以及底部閘極隔離係形成於最底部通道奈米線之下的基板的頂部表面上。閘極電介質層係形成於各通道奈米線上且環繞各通道奈米線。閘極電極係形成於閘極電介質層上且包圍各通道奈米線。

【 英文 】

A non-planar gate all-around device and method of fabrication thereby are described. In one embodiment, the device includes a substrate having a top surface with a first lattice constant. Embedded epi source and drain regions are formed on the top surface of the substrate. The embedded epi source and drain regions have a second lattice constant that is different from the first lattice constant. Channel nanowires having a third lattice are formed between and are coupled to the embedded epi source and drain regions. In an embodiment, the second lattice constant and the third lattice constant are different from the first lattice constant. The channel nanowires include a bottom-most channel nanowire and a bottom gate isolation is formed on the top surface of the substrate under the bottom-most channel nanowire. A gate dielectric layer is formed on and all-around each channel nanowire. A gate electrode is formed on the gate dielectric layer and surrounding each channel nanowire.

【代表圖】

【本案指定代表圖】：第(1)圖。

【本代表圖之符號簡單說明】：

100：非平面閘極環繞元件	101：電介質層
102：基板	103：淺溝渠隔離區
104：基板的頂部表面	105：淺溝渠隔離層
106：嵌入式磊晶源極區	107：嵌入式磊晶汲極區
108：源極/汲極溝渠	109：緩衝層
110：通道奈米線	114：底部閘級隔離
115：最底部通道奈米線	116：閘極電介質層
118：閘極電極	120：通道奈米線的長度
122、124、132：寬度	126、128：側壁
130：厚度	150：電晶體
156：源極/汲極溝渠	157：汲極
160：半導體材料	170：犧牲材料

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：無

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

非平面閘極環繞元件及其製作方法

Non-planar gate all-around device and method of fabrication thereof

【技術領域】

本發明之實施例有關半導體元件的領域，且更特別地，有關非平面閘極環繞元件及製作方法。

【先前技術】

當積體元件製造商持續縮減電晶體元件的特徵尺寸以獲得更大電路密度及更高性能時，則有必要增強電晶體驅動電流且同時，降低諸如寄生電容及截止狀態漏電的短通道效應，以供下一世代的元件之用。增加電晶體驅動電流的一方式係使用較高載子遷移率之半導體材料，以形成通道。在通道中之較高的載子遷移率支援更高的電晶體驅動電流。載子遷移率係在外部單位電場下之載子在半導體材料中流動速率的大小。在半導體本體上之處理誘發的應力（有時候稱作應力）係增加驅動電流的另一方式。在半導體本體上誘發應力將增強載子遷移率，而藉以增加電晶體元件中的驅動電流。

諸如三閘極電晶體之非平面電晶體係用以控制短

通道效應之半導體處理中的新近發展。具有三閘極電晶體，閘極係鄰接於通道區的三側。因為閘極結構包圍三個表面上的鰭狀物，所以電晶體主要具有三個閘極，而控制電流穿過該鰭狀物或通道區。該第三個閘極由於較陡峭的子臨限電流擺動（SS）及較小的汲極感應屏障降低（DIBL），而允許更完全的空乏於鰭狀物中，且產生更小的短通道效應。不幸地，通道區之底部部分的第四側係遠離自閘極電極，且因此，並不在密切的閘極控制下。當電晶體尺寸係持續縮減至次 20 至 25 奈米的技術節點時，則在源極與汲極間之寄生漏電路徑將變成三閘極電晶體的問題。

【圖式簡單說明】

本發明之實施例係藉由實例且非當做限制而被描繪於附圖的圖式中，其中：

第 1A 至 1D 圖描繪依據本發明實施例之具有嵌入式磊晶源極及汲極區的非平面閘極環繞元件；

第 1E 圖係無嵌入式源極及汲極區之非平面閘極環繞元件的圖式；

第 2 圖係流程圖，顯示依據本發明實施例之非平面閘極環繞元件的形成方法中之步驟；

第 3A 至 3M 圖描繪三維及二維視圖，顯示依據本發明實施例之非平面閘極環繞元件的形成方法中之步驟；以及

第 4 圖描繪依據本發明之一實施例的計算裝置 400。

【發明內容及實施方式】

本發明係具新穎性的閘極環繞電晶體及製作方法。在以下說明中，若干細節係爲了要提供本發明之通盤瞭解而予以陳明。然而，對熟習於本項技藝之人士將呈明顯的是，本發明可無需該等特定細節予以實施。在其他情況中，爲避免混淆本發明，熟知之半導體處理及製造技術並未被詳細地敘述。在此說明書之全文中對於“實施例”的引用意指的是，與該實施例相關連所敘述之特殊的特性、結構、功能、或特徵係包含於本發明之至少一實施例中。因此，在整個此說明書的各種地方中之“在實施例中”的用語之出現無需一定要意指本發明之相同的實施例。再者，該等特殊的特性、結構、功能、或特徵可以以任何合適的方式結合於一或多個實施例中。例如，第一實施例可與第二實施例結合於該兩實施例並未互相排斥的任何處。

本發明之實施例包含非平面閘極環繞電晶體元件，具有由閘極電介質層及閘極電極所環繞的通道奈米線。具有完全包圍通道奈米線的閘極電極將增加閘極控制，且由於寄生漏電路徑被完全地截止，所以產生改良的短通道效應。通道奈米線係設置於源極與汲極區之間。在本發明之一或多個實施例中，通道奈米

線係由未摻雜之鍺所構成，且被單軸地晶格加壓。未摻雜之鍺提供此習知之矽更高的載子遷移率，且單軸晶格應力（加壓）進一步增強通道奈米線中的載子遷移率，而藉以獲得非常高的電晶體元件驅動電流。在本發明之實施例中，源極及汲極區係藉由將鄰接於通道奈米線之鰭狀物的部分蝕刻掉，且然後，自基板磊晶成長半導體材料以形成“嵌入式磊晶”源極及汲極區，而予以形成。嵌入式磊晶（epi）源極及汲極區提供額外的力或錨定物之任一者至通道奈米線，而協助維持或增強，或維持且增強通道奈米線中之單軸晶格應力（加壓）。此外，在本發明的實施例中，閘極環繞電晶體包含底部閘極隔離層，形成於基板與底部通道奈米線之間，以致使閘極電極可環繞底部通道奈米線予以形成，而不會電容耦接至基板。本發明之一或多個實施例包含非平面閘極環繞電晶體元件，具有嵌入式磊晶源極及汲極區，或形成於基板與底部通道奈米線之間的底部閘極隔離層之其中一者，或二者。

第 1A 至 1D 圖描繪依據本發明之實施例的非平面閘極環繞元件 100。第 1A 圖係電介質層 101 內之元件 100 的三維俯視/側視圖，第 1B 圖係穿過嵌入式磊晶源極 106 及汲極 107 所取得的橫剖面視圖，以及第 1C 圖係穿過閘極電極 118 所取得的橫剖面視圖。第 1D 圖係無電介質層 101 之元件 100 的三維俯視/側視圖。元件 100 包含具有頂部表面 104 之基板 102。

嵌入式磊晶源極 106 及汲極 107 區係設置於基板 102 的頂部表面 104 上，且通道奈米線 110 係耦接於嵌入式磊晶源極 106 及汲極區 107 之間。嵌入式磊晶源極 106 及汲極 107 區可統稱為嵌入式磊晶源極/汲極對。除了在其中通道奈米線 110 係耦接至嵌入式磊晶源極 106 及汲極 107 區之通道奈米線 110 的末端處之外，閘極電介質層 116 係形成於各通道奈米線 110 上且環繞各該通道奈米線 110。閘極電極 118 係形成於閘極電介質層 116 上，且完全地包圍各通道奈米線 110。

在實施例中，基板 102 的頂部表面 104、嵌入式磊晶源極 106 及汲極 107 區、以及通道奈米線 110 各自包含具有晶格常數的材料。頂部表面 104 的晶格常數係與嵌入式磊晶源極 106 及汲極 107 區以及通道奈米線 110 的晶格常數不同。在特殊的實施例中，嵌入式磊晶源極 106 及汲極 107 區以及通道奈米線 110 的晶格常數係大於頂部表面 104 的晶格常數。在一該實施例中，基板 102 的頂部表面 104 係鍺化矽，通道奈米線 110 係未摻雜之鍺，以及嵌入式磊晶源極 106 及汲極區 107 係鍺。在嵌入式磊晶源極 106 及汲極 107 區、通道奈米線 110、及頂部表面 104 之間的晶格失配（例如，晶格常數失配）產生晶格應力於通道奈米線 110 中，以及嵌入式磊晶源極 106 及汲極 107 區中。在一實施例中，通道奈米線 110 以及嵌入式磊晶源極 106 及汲極 107 區被單軸地晶格加壓於與通道奈

米線 110 之長度 120 平行的方向中，且被晶格鬆弛於與通道奈米線 110 之長度 120 垂直的方向中。在一實施例中，頂部表面 104 與嵌入式磊晶源極 106 及汲極 107 區之間的晶格常數失配亦導致嵌入式磊晶源極 106 及汲極 107 區在通道奈米線 110 上提供力。該力可協助維持單軸晶格應力（加壓）於通道奈米線 110 中。

在實施例中，通道奈米線 110 可包含具有大於單晶巨塊矽之載子遷移率的單晶材料。較高的載子遷移率允許元件 100 獲得較高的驅動電流和較大的性能。在特殊之實施例中，通道奈米線 110 係未摻雜之鍺（Ge）。摻雜物之缺席使電荷載子的散射最小化，且協助使通道奈米線 110 中的載子遷移率最大化。

在本發明之實施例中，如第 1A 及 1B 圖中所描繪地，嵌入式磊晶源極 106 及汲極 107 區可被設置在其中基板 102 的頂部表面 104 係凹進於淺溝渠隔離層 105 的頂部表面之下的源極/汲極溝渠 108 中。形成嵌入式磊晶源極 106 及汲極 107 區於源極/汲極溝渠 108 中可協助侷限該嵌入式磊晶源極 106 及汲極 107 區的成長。然而，嵌入式源極 106 及汲極 107 區無需一定要被形成於溝渠中，且可在基板 102 的頂部表面 104 上，亦即，在與隔離區 103 一起或隔離區 103 之上方的平面上。嵌入式磊晶源極 106 及汲極 107 區可係 <111>面，其中在底部處之寬度 122 係大於該嵌入式

磊晶源極 106 及汲極 107 區的頂部處之寬度 124。在此實施例中，對應側壁 126 及 128 的面係嵌入式磊晶源極 106 及汲極 107 區的 $\langle 111 \rangle$ 晶格取向。

在實施例中，元件 100 包含底部閘極隔離 114，其係設置在基板 102 的頂部表面 104 上，且在最底部通道奈米線 115 之下。底部閘極隔離 114 用作電容性隔離屏障，用以防止由於閘極電極 118 之基板 102 頂部表面 104 的寄生耦合。當做電容性隔離屏障之底部閘極隔離 114 的功效根據形成之材料及其厚度而定。在實施例中，底部閘極隔離 114 係由可防止由於閘極電極 118 之基板 102 頂部表面 104 的寄生耦合之任何電介質材料（例如，氧化矽、氮化矽、氮氧化矽、低 k 電介質材料、等等）所形成。在特定的實施例中，底部閘極隔離 114 係由氧化矽層所構成。在實施例中，底部閘極隔離 114 係足夠地厚，以便隔離基板 102 的頂部表面 104 免於遭受由於閘極電極 118 的電容性耦接。在特殊的實施例中，底部閘極隔離 114 係在大約 100 至 300 埃（Å）之間。底部閘極隔離 114 能使最底部通道奈米線 115 能由閘極電極 118 所完全環繞。若底部閘極隔離 114 不存在時，則爲了要防止當元件“導通”時所形成於基板中之所不欲的導電性通道，底部通道奈米線 115 需藉由三閘極或相似之結構予以控制，以便防止閘極電極 118 與基板 102 的頂部表面 104 之間的電容性耦接。

在本發明之實施例中，基板 102 可包含成長於另一晶體基板（矽、鍺、砷化鎵、藍寶石、等等）的頂部上之一或多個磊晶單晶半導體層（例如，矽、鍺、鍺化矽、砷化鎵、磷化銦、砷化銦鎵、砷化鋁鎵、等等）。在一該實施例中，磊晶成長的半導體層係具有與該另一晶體基板不同之晶格常數的一或多個緩衝層 109。緩衝層 109 可用以使晶格常數自該另一晶體基板至頂部表面 104 分等級。例如，基板 102 可包含在另一晶體矽基板上之磊晶成長的鍺化矽（SiGe）緩衝層 109。SiGe 緩衝層 109 的鍺濃度可自最底部緩衝層之 30% 鍺增加至最頂部緩衝層之 70% 鍺，而藉以使晶格常數逐漸增加。

在實施例中，可將淺溝渠隔離（STI）區 103 設置於基板 102 上。STI 區 103 用以降低彼此互相鄰接所形成之元件 100 間的電流漏洩。STI 層 105 可被設置於 STI 區 103 之中。STI 層 105 可包含諸如，但未受限之氧化矽、氮化矽、氮氧化矽、低 k 電介質、及其任何組合的任何熟知之電介質材料。

如第 1B 圖中所示，通道奈米線 110 係形成於基板 102 之頂部表面 104 的上面，且在嵌入式磊晶源極 106 及汲極 107 區之間。通道奈米線 110 可由諸如，但未受限之 Si、Ge、SiGe、GaAs、InSb、GaP、GaSb、InAlAs、InGaAs、GaSbP、GaAsSb、InP、及碳奈米管的任何熟知之材料所形成。通道奈米線 110

可由可藉由施加外部電場而自絕緣狀態可逆地改變至導電狀態的任何熟知之材料所形成。理想地，針對較高的元件性能，在實施例中，通道奈米線 110 係由具有大於單晶矽之載子遷移率的未摻雜之晶格加壓的單晶半導體材料所形成。如前文所解說地，在通道奈米線 110 中的摻雜物之缺席使電荷載子的散射最小化，且協助使載子遷移率最大化，並藉以使驅動電流增加。在通道奈米線 110 中的晶格應力（加壓）亦可增強載子遷移率，且增進元件性能。典型地，通道奈米線被壓縮加壓以供 p 型電晶體元件中的增強型電洞遷移率之用，且被拉伸加壓以供 n 型電晶體元件中的增強型電子遷移率之用。在實施例中，通道奈米線 110 在與該通道奈米線 110 之長度 120 平行的方向中被單軸地晶格加壓，且在與該通道奈米線 110 之長度 120 垂直的方向中被晶格鬆弛。在另一實施例中，通道奈米線 110 可係摻雜之單晶半導體材料。例如，通道奈米線 110 可由摻雜之單晶矽所形成。當通道奈米線 110 被摻雜時，則典型地，其係在當形成 NMOS 電晶體元件時摻雜成 p 型導電性，且在當形成 PMOS 電晶體元件時摻雜成 n 型導電性。

如第 1B 圖中所示，通道奈米線 110 可與頂部表面 104 平行而擴展，且形成垂直陣列之通道奈米線 110。在實施例中，於嵌入式磊晶源極 106 及汲極 107 區之間的通道數目係在 3 至 6 之間。較大數目的

通道奈米線 110 允許較大的驅動電流穿過元件 100。通道奈米線 110 具有厚度 130、寬度 132、及長度 120。在本發明之實施例中，厚度 130 係在大約 5 至 30 奈米之間，寬度 132 係在大約 5 至 50 奈米之間，以及長度 120 係在 10 至 100 奈米之間。在實施例中，通道奈米線 110 可係帶狀奈米線，其中寬度 132 大於通道奈米線的厚度 130。在進一步之實施例中，通道奈米線 110 之橫剖面可係圓形或橢圓形狀，而非矩形。通道奈米線的長度 120 主要地界定電晶體元件 100 的閘極長度 (L_g)。通道奈米線 110 的有效閘極“寬度” (W_g) 係通道奈米線 110 的周長。例如，對於具有矩形橫剖面的通道奈米線，通道奈米線 110 的有效閘極“寬度”係通道奈米線 110 的寬度 132 之兩倍及厚度 130 之兩倍的總和。電晶體元件 100 的有效閘極“寬度” (W_g) 係用於通道奈米線 110 之該等周長的總和。

如第 1B 圖中所示，嵌入式磊晶源極 106 及汲極 107 區係形成於通道奈米線 110 的相對末端上，且係耦接至通道奈米線 110。嵌入式磊晶源極 106 及汲極 107 區可由具有晶格常數的任何熟知之材料所形成。理想地，嵌入式磊晶源極 106 及汲極 107 區係由諸如，但未受限之 Si、Ge、GeSn、SiGe、GaAs、InSb、GaP、GaSb、InAlAs、InGaAs、GaSbP、GaAsSb、GaN、及 InP 的磊晶成長之單晶半導體所形

成。在實施例中，嵌入式磊晶源極 106 及汲極 107 區係由具有與基板 102 的頂部表面 104 不同的晶格常數之單晶半導體材料所形成。如前文所述地，在嵌入式磊晶源極 106 及汲極 107 區與基板 102 的頂部表面 104 間之晶格常數失配產生晶格應力於嵌入式磊晶源極 106 及汲極 107 區之中，而藉以使電子遷移率及電晶體性能增進。在實施例中，嵌入式磊晶源極 106 及汲極 107 區在與長度 120 平行的方向中被單軸地晶格加壓，且在與長度 120 垂直的方向中被晶格鬆弛。在嵌入式磊晶源極 106 及汲極 107 區與基板 102 的頂部表面 104 之間的晶格常數失配亦致使嵌入式磊晶源極 106 及汲極 107 區行使力於通道奈米線 110 之上，而可協助維持晶格應力於通道奈米線 110 之中。在實施例中，嵌入式磊晶源極 106 及汲極 107 區係藉由與形成通道奈米線 110 所使用之相同的單晶半導體材料而予以形成。

在特殊的實施例中，嵌入式磊晶源極 106 及汲極 107 區的晶格常數係大於基板 102 之頂部表面 104 的晶格常數。在此實施例中，嵌入式磊晶源極 106 及汲極 107 區被壓縮地加壓且提供壓縮力於通道奈米線 110 上。在特定的實施例中，嵌入式磊晶源極 106 及汲極 107 區係磊晶單晶銻，以及基板 102 的頂部表面 104 係磊晶單晶銻化矽。銻源極 106 及汲極 107 區行使壓縮力於通道奈米線 110 上。在實施例中，半導體

基板 102 的頂部表面 104 可藉由具有第一晶格常數的半導體材料（例如，銻化矽）及由具有大於第一晶格常數之第二晶格常數的第二半導體材料（例如，銻）所形成之通道奈米線 110，而予以形成，以及嵌入式磊晶源極 106 及汲極 107 區可由具有大於通道奈米線 110 的晶格常數（第三晶格常數）之第三晶格常數的第三半導體材料（例如，砷化銻（GaAs））所形成，用以進一步增強壓縮應力於通道奈米線 110 中。

在另一實施例中，嵌入式磊晶源極 106 及汲極 107 區的晶格常數係小於基板 102 之頂部表面 104 的晶格常數。在此實施例中，嵌入式磊晶源極 106 及汲極 107 區被拉伸加壓且提供拉伸力於通道奈米線 110 上。在實施例中，半導體基板 102 的頂部表面 104 可藉由具有第一晶格常數的單晶半導體材料及由具有小於第一晶格常數之第二晶格常數的第二半導體材料所形成之通道奈米線 110，而予以形成，以及嵌入式磊晶源極 106 及汲極 107 區可由具有小於通道奈米線 110 的晶格常數（第二晶格常數）之第三晶格常數的第三半導體材料所形成，用以進一步增強拉伸應力於通道奈米線中。

典型地，當形成 NMOS 電晶體元件時，則嵌入式磊晶源極 106 及汲極 107 區係形成為 n 型導電性，且當形成 PMOS 電晶體元件時，則形成為 p 型導電性。在本發明之實施例中，嵌入式磊晶源極 106 及汲極

107 區具有 1×10^{18} 原子/立方公分至 1×10^{21} 原子/立方公分的摻雜濃度。嵌入式磊晶源極 106 及汲極 107 區可形成具有均勻的摻雜濃度，或可包含不同的濃度或摻雜物輪廓的子區域。在實施例中，當元件 100 係形成為對稱的電晶體時，則嵌入式磊晶源極 106 及汲極 107 區具有相同的摻雜濃度及輪廓。在另一實施例中，元件 100 係形成為非對稱的電晶體，且嵌入式磊晶源極 106 及汲極 107 區的摻雜濃度輪廓可變化，以便獲得如本項技藝中所熟知之任何特殊的電性特徵。

如下文將更詳細敘述地，源極 106 及汲極 107 區被稱為“嵌入式磊晶”源極及汲極區係因為它們係藉由首先，去除使用以產生加壓的通道奈米線 110 之鰭狀物的部分，且然後，磊晶成長源極及汲極對，而予以形成之緣故。例如，在實施例中，使用以產生加壓的通道奈米線 110 之鰭狀物的部分被去除，且然後，源極及汲極對係自基板 102 的頂部表面 104 磊晶地成長。磊晶沉積之源極及汲極對的晶格延續自基板之頂部表面 104 的晶格。也就是說，在下面之基板的晶格指示在上面之嵌入式磊晶源極 106 及汲極 107 區的晶格方向和成長。嵌入式磊晶源極 106 及汲極 107 區藉由提供額外的力至通道奈米線，且藉由提供錨定物至通道奈米線，以協助維持自諸如鰭狀物圖案化之較早製作過程起已存存在的單軸應力於通道奈米線 110 中，而增進元件性能。嵌入式磊晶源極及汲極區被加

壓，且因而，進一步加壓鄰接的通道奈米線。在通道奈米線中的應力可藉由使用除了使用以形成通道奈米線的半導體材料外之具有不同晶格常數的半導體材料，而予以進一步地增強。

此外，雖然半導體元件 100 理想地包含嵌入式磊晶源極 106 及汲極 107 區，以增強通道奈米線 110 中的應力，但實施例無需一定要包含嵌入式磊晶源極及汲極區。在本發明之實施例中，如第 1E 圖中所描繪地，電晶體 150 可包含由鰭狀物膜堆疊所形成的源極 156 及汲極 157 區，該鰭狀物膜堆疊係使用以產生單軸加壓的通道奈米線 110。例如，源極 156 及汲極 157 區可由半導體材料 160 及犧牲材料 170（例如，分別地係鍺及鍺化矽）的交變層以及使用以產生加壓之通道奈米線 110 的基板 102 所形成。在此情況中，源極 156 及汲極 157 係由單晶半導體膜之異質的堆疊所形成。如本項技藝中所熟知地，源極 156 及汲極 157 可被摻雜成所欲的導電性類型及位準。此外，視需要地，可藉由沉積額外的磊晶半導體材料（未顯示）於源極 156 及汲極 157 上，而形成升高的源極及汲極區，用以增加源極及汲極區的厚度且減少電流擁擠，並藉以使元件的接觸電阻降低。電晶體 150 包含閘極隔離 114，用以隔離最底部奈米線 115 之下的閘極 118，免於電容性耦接至基板 102。

如第 1B 及 1C 圖中所示，閘極電介質層 116 係

形成於各通道奈米線 110 上，且環繞各通道奈米線 110。閘極電介質層 116 可係諸如，但未受限之 SiO_2 、 SiON 、及 SiN 的任何熟知之閘極電介質層。在實施例中，閘極電介質層 116 係諸如金屬氧化物電介質（例如， Ta_2O_5 、 TiO_2 、 HfO_2 、 HfSiO_x 、 ZrO_2 、等等）之高 k 閘極電介質層。閘極電介質層 116 亦可係未受限之諸如 PZT 及 BST 的其他類型之高 k 電介質層。閘極電介質層亦可係上述電介質材料的任何組合。閘極電介質層 116 可被形成為在大約 10 至 60 埃之間的厚度。在特定的實施例中，閘極電介質層 116 係 HfO_2 ，且被形成為在大約 1 至 6 奈米之間的厚度。

閘極電極 118 係形成於閘極電介質層 116 上，且完全地包圍各通道奈米線 110。閘極電極 118 在垂直於通道奈米線 110 的長度 120 之方向中擴展。閘極電極 118 可由任何合適的閘極電極材料所形成。在實施例中，閘極電極 118 可係諸如，但未受限之 Ti、TiN、TaN、W、Ru、TiAl、及其任何組合的金屬閘極電極。在其中元件 100 係 NMOS 電晶體元件的實施例中，閘極電極 118 可由具有功函數在 3.9 至 4.2 eV 之間的材料所形成。在其中元件 100 係 PMOS 電晶體元件的實施例中，閘極電極 118 可由具有功函數在 4.8 至 5.2 eV 之間的材料所形成。在其中元件 100 中之通道奈米線 110 係未摻雜或極微摻雜的實施例中，閘極

電極 118 可由具有中間能隙之功函數在 4.3 至 4.7 eV 之間的材料所形成。在特定的實施例中，閘極電極 118 係 TiAl。

因為閘極電極 118 及閘極電介質層 116 完全地包圍各通道奈米線 110，所以元件 100 可係以完全空乏之方式操作的電晶體，其中當其導通時，則通道奈米線 110 完全地空乏，而藉以提供完全空乏之電晶體元件的有利電性特徵和性能。當元件 100 導通時，則空乏區係形成於各通道奈米線 110 中，而伴隨有在各通道奈米線之表面處的反轉層。反轉層具有與嵌入式磊晶源極 106 及汲極 107 區相同的導電性，且形成導電性通道於嵌入式磊晶源極 106 及汲極 107 區之間，而允許電流在其間流動。空乏區自反轉層的下方使自由載子空乏。除了反轉層之外，各通道奈米線 110 係載子空乏的，因而，可稱該電晶體為“完全空乏型”電晶體。完全空乏型電晶體具有凌駕於非完全空乏型或部分空乏型電晶體之上的增進之電性性能特徵。以完全空乏之方式操作電晶體將給予電晶體理想或極陡峭的子臨限斜率。極陡峭的子臨限斜率可產生諸如改良的汲極感應屏障降低（DIBL）之改良的短通道效應。

第 2 圖係流程圖，顯示依據本發明實施例之非平面閘極環繞元件的製作方法。第 3A 至 3M 圖描繪三維及二維橫剖面視圖，顯示依據本發明實施例之非平面閘極環繞元件的製作方法中之步驟。方法藉由提供

具有鰭狀物 304 被形成於上之基板 301 而開始於流程圖 200 中的步驟 202 處。基板 301 係其中形成非平面閘極環繞元件於上的材料。基板 301 具有具備晶格常數的頂部表面 303。在實施例中，基板 301 包含具有晶格常數之頂部單晶層。在一該實施例中，基板 301 可包含成長於另一單晶基板與該頂部單晶層之間的一或多個緩衝層 311。緩衝層 311 可用以自該另一晶體基板的晶格常數逐漸地改變晶格常數至該頂部單晶層的該者。緩衝層 311 可由諸如，但未受限之 Si、Ge、GeSn、SiGe、GaAs、InSb、GaP、GaSb、InAlAs、InGaAs、GaSbP、GaAsSb、GaN、及 InP 的磊晶成長之單晶半導體所形成。其中形成緩衝層 311 於上之該另一晶體基板可係具有晶格常數之任何單晶材料（例如，矽、鍺、砷化鍺、藍寶石、等等）。在特殊之實施例中，基板 301 可包含磊晶成長於另一單晶矽基板上之鍺化矽（SiGe）緩衝層。SiGe 緩衝層之鍺濃度可自最底部緩衝層之 30% 鍺增加至最頂部緩衝層之放寬的 70% 鍺。

在實施例中，鰭狀物 304 係形成為具有半導體材料 308 及犧牲材料 310 之交變層。半導體材料 308 之層接著被形成為通道奈米線 343。犧牲材料 310 之層藉由對半導體材料 308 之層晶格常數失配，而誘發應力於半導體材料 308 之層上。在實施例中，半導體材料 308 之層及犧牲材料 310 之層可由具有晶格常數的

任何熟知材料所形成。理想地，半導體材料 308 之層及犧牲材料 310 之層係藉由諸如，但未受限之 Si、Ge、SiGe、GaAs、InSb、GaP、GaSb、InAlAs、InGaAs、GaSbP、GaAsSb 及 InP 的單晶半導體材料，而予以形成。在實施例中，半導體材料 308 之層具有與犧牲材料 310 之層及基板 301 之頂部表面 303 的晶格常數不同的晶格常數。鰭狀物 304 係由於頂部表面 303、半導體材料 308 之層、及犧牲材料 310 之層間的晶格失配之緣故，而被晶格加壓。在特殊的實施例中，半導體材料 308 之層的晶格常數大於犧牲材料 310 之層及頂部表面 303 二者的晶格常數。例如，半導體材料 308 之層可係未摻雜之鍺，頂部表面 303 可係具有 70% 鍺濃度之鍺化矽，以及犧牲材料 310 之層可係具有 70% 鍺濃度之鍺化矽。對於此實施例，在該等材料之間的晶格失配造成半導體材料 308 之層被壓縮性晶格加壓於鰭狀物 304 中。在另一實施例中，半導體材料 308 之層的晶格常數小於犧牲材料 310 之層及頂部表面 303 二者的晶格常數。例如，半導體材料 308 之層可係矽，頂部表面 303 可係鍺化矽，以及犧牲材料 310 之層可係鍺化矽。對於此實施例，在該等材料之間的晶格失配造成半導體材料 308 之層被拉伸性晶格加壓於鰭狀物 304 中。因為犧牲材料層 310 及半導體材料層 308 以不同的晶格常數交變，所以半導體材料層 308 係藉由在下面的犧牲材料層 310 而予

以雙軸地加壓。

鰭狀物 304 可藉由先使用習知之磊晶化學氣相沉積法以全面性沉積半導體材料 308 及犧牲材料 310 之交變層於基板 301 的頂部表面 303 上，而予以形成。接著，半導體材料 308 及犧牲材料 310 之全面性層係使用習知之光微影術及蝕刻方法以予以圖案化，而界定出鰭狀物 304。在本發明之實施例中，如第 3A 圖中所描繪地，基板 301 亦被蝕刻，以致使鰭狀物 304 的底部部分包含基板部分 309。在此方式中，鰭狀物之基板部分 309 扮演鰭狀物 304 之底部犧牲材料 310 的角色。在實施例中，爲了要提供額外的空間於基板與最底部通道奈米線之間，鰭狀物 304 之基板部分 309 係製成比犧牲材料層 310 更厚，使得底部閘極隔離膜及閘極電極/閘極電介質可被形成於基板與底部通道奈米線之間。在實施例中，於圖案化之期間，亦可使基板 301 圖案化，而形成延續有鰭狀物 304 及 STI（淺溝渠隔離）區 315 的基板區 312。STI 區 315 用以降低彼此互相鄰接所形成之非平面閘極環繞元件間的電流漏洩。在實施例中，延續有鰭狀物 304 之基板區 312 的至少一部分可包含基板 301 的緩衝層 311。在實施例中，STI 區 315 係充填有 STI 電介質層 305。STI 電介質層 305 可係諸如，但未受限之氧化矽、氮化矽、氮氧化矽、低 k 電介質、及其任何組合的任何熟知電介質層。STI 電介質層 305 係藉由先

使用習知之化學氣相沉積法以全面沉積 STI 電介質層 305 於基板 301 上且在鰭狀物 304 之上，而予以形成。STI 電介質層 305 係最初地沉積至大於鰭狀物 304 與基板區 312 的組合厚度之厚度。其次，STI 電介質層 305 係使用習知之化學機械研磨法以予以平面化。然後，如第 3A 圖中所示地，使用習知之蝕刻方法以使 STI 電介質層 305 凹陷，而暴露出鰭狀物 304。在實施例中，STI 電介質係凹陷在基板 301 的頂部表面 303 的下方，以致使鰭狀物 304 的底部部分由基板 301 所形成，如第 3A 圖中所描繪地。在此方式中，鰭狀物 304 包含基板部分 309，其扮演鰭狀物 304 之底部犧牲材料 310 的角色。在實施例中，鰭狀物 304 的基板部分 309 係比上述之犧牲材料層 310 更厚，以便提供額外的空間於基板與最底部通道奈米線之間，使得底部閘極隔離膜及閘極電極/閘極電介質可被形成於基板與底部通道奈米線之間。選擇性地，另一犧牲層可被形成於頂部表面 303 與最底部半導體材料層 308 之間。

鰭狀物 304 具有側壁 302 及 306、鰭狀物高度 316、鰭狀物寬度 318、及鰭狀物長度 320。在鰭狀物 304 的形成中，側壁 302 及 306 係未受約束之平面，其允許鰭狀物 304 晶格鬆弛於與鰭狀物長度 320 垂直的方向中。也就是說，上述之雙軸加壓的層在鰭狀物形成時被減低成本質單軸加壓的層。在實施例中，鰭

狀物 304 係以與鰭狀物長度 320 平行的方向而被單軸地晶格加壓，且以與鰭狀物長度 320 垂直的方向而被晶格鬆弛。在實施例中，鰭狀物 304 係形成為具有小於 30 奈米，且理想地，小於 25 奈米的鰭狀物寬度 318。在實施例中，鰭狀物高度 316 係小於其中諸如鰭狀物坍塌、鰭狀物歪曲、及在鰭狀物關鍵尺寸中之不良均勻度的整合問題開始發生之高度。在特殊的實施例中，鰭狀物高度 316 係在 30 至 75 奈米之間。

半導體材料 308 之層及犧牲材料 310 之層的厚度影響通道奈米線 343 的電性特徵以及元件 100 的整合及性能。在實施例中，半導體材料 308 之層係足夠厚，以避免形成具有過度的表面作用範圍，且因此，高的通道電阻及低的載子遷移率之通道奈米線 343。半導體材料 308 之層亦係足夠薄，以形成允許元件 100 以完全空乏之方式操作的通道奈米線 343。犧牲材料 310 之層影響通道奈米線 343 間之隨後的間隔，且因而，影響閘極電介質層 350 及閘極電極 352 環繞各通道奈米線 343 而形成的能力。在實施例中，犧牲材料 310 之層係足夠厚，以致使閘極電介質層 350 可接著環繞通道奈米線 343 而形成，且使閘極電極 352 可在閘極電介質層 350 之上形成，而完全地包圍通道奈米線 343。半導體材料 308 之層及犧牲材料 310 之層的厚度亦影響鰭狀物高度 316。在實施例中，半導體材料 308 之層及犧牲材料 310 之層係足夠地薄，以

獲得鰭狀物高度 316 小於當整合問題開始發生時的高度。在特殊的實施例中，半導體材料 308 之層係形成至大約 5 到 50 奈米之間的厚度，且犧牲材料 310 之層係形成至大約 5 到 30 奈米之間的厚度。

半導體材料 308 及犧牲材料 310 之交變層的總數影響鰭狀物高度 316，以及元件的驅動電流容量。半導體材料 308 之層的數目對應隨後形成之通道奈米線 343。較大的通道奈米線 343 數目允許較大的元件 100 驅動電流容量。然而，太多層的半導體材料 308 及犧牲材料 310 將導致無法整合的鰭狀物高度 316。在實施例中，層 308 及 310 的數目應足夠低，以獲得可整合的鰭狀物高度 316。在特殊的實施例中，鰭狀物 304 具有大約 3 至 6 層的半導體材料 308 以及大約 3 至 6 層的犧牲材料 310。

請參閱流程圖 200 中之步驟 204 及對應的第 3B 及 3C 圖，犧牲閘極電極 352 係形成於鰭狀物 304 的通道區 328 之上。犧牲閘極電極 352 界定電晶體元件的通道區。犧牲閘極電極 352 係藉由先全面性沉積犧牲閘極電介質層 322 於鰭狀物 304 之上，而予以形成。犧牲閘極電介質層 322 沉積於鰭狀物 304 的頂部及側壁 302、306 之上。犧牲閘極電介質層 322 可被沉積至大約 10 至 50 埃之間的厚度。如第 3B 圖中所示，犧牲閘極層 324 係接著全面性沉積於犧牲閘極電介質層 322 上，且在鰭狀物 304 之上。犧牲閘極層

324 係沉積至超過鰭狀物厚度 316 之厚度。犧牲閘極層 324 可使用習知之化學機械研磨法而予以平面化。其次，如第 3C 圖中所示，犧牲閘極 326 係藉由使用習知之光微影術及蝕刻方法，使犧牲閘極層 324 圖案化，而予以形成。犧牲閘極電極 326 係形於鰭狀物 304 的通道區 328 之上，且具有大於鰭狀物高度 316 的厚度 329。犧牲閘極電極 326 隨後在鰭狀物 304 之犧牲部分 332 的去除期間，用以保護鰭狀物 304 的通道區 328。

在犧牲閘極電極的圖案化期間，在鰭狀物 304 之犧牲部分 332 上的犧牲閘極電介質層 322 係暴露於犧牲閘極電極 352 的相對側上。犧牲閘極電介質層 322 在犧牲閘極電極 326 的圖案化及形成期間用作蝕刻阻斷層，而藉以防止鰭狀物 304 被損壞。在實施例中，犧牲閘極電介質層 322 及犧牲閘極層 324 係由具有充分不同的蝕刻選擇性之材料所形成，其中犧牲閘極電介質層 322 可用作用以蝕刻犧牲閘極層 324 的蝕刻阻斷層。在特殊的實施例中，犧牲閘極電介質層 322 係電介質層（例如，氧化矽、氮化矽、及氮氧化矽），以及犧牲閘極層 324 係由半導體材料（例如，多晶矽）所形成。犧牲閘極電介質層 322 及犧牲閘極層 324 可使用習知之化學氣相沉積法予以沉積。接著，犧牲閘極電介質層 322 係使用習知之濕蝕刻處理，而自鰭狀物 304 之犧牲部分 332 的頂部及側壁 302、

306 去除，以暴露出鰭狀物 304 之犧牲部分 332。在其中犧牲閘極電介質層 322 係氧化矽層的實施例中，犧牲閘極電介質層 322 係使用稀釋的 HF 濕蝕刻予以去除。

請參閱流程圖 200 中之步驟 206 及對應的第 3C 圖，一對側壁間隔物 330 係形成於犧牲閘極電極 326 的相對側壁 334 上。該對側壁間隔物 330 可使用本項技藝中所熟習的習知之選擇性間隔物的形成方法，而予以形成。在實施例中，諸如，但未受限之氧化矽、氮化矽、氮氧化矽、及其組合之共形的電介質間隔物層係先全面性沉積於包含鰭狀物 304 及犧牲閘極電極 326 的所有結構上。電介質間隔物層係以共形之方式沉積，以致使其形成爲實質相等的厚度於諸如側壁 302、306、334 之垂直表面二者，以及諸如犧牲閘極電極 326 之頂部的水平表面上。該電介質間隔物層可使用諸如低壓化學氣相沉積（LPCVD）及電漿增強型化學氣相沉積（PECVD）之習知的化學氣相沉積法予以沉積。在實施例中，電介質間隔物層係沉積至大約 2 到 10 奈米之間的厚度。接著，非圖案化之各向異性蝕刻係使用諸如反應性離子蝕刻（RIE）的習知之各向異性蝕刻法，而執行於電介質間隔物層上。在各向異性蝕刻處理之期間，大部分的電介質間隔物層係自水平表面去除，而留下在諸如犧牲閘極電極 326 之側壁 334 及鰭狀物 304 之側壁 302、306 的垂直表面

上之電介質間隔物層。因為犧牲閘極電極 326 的厚度 329 大於鰭狀物高度 316，所以在各向異性蝕刻後之剩餘的電介質間隔物層之厚度係在犧牲閘極電極 326 的側壁 334 上較大，而非在鰭狀物 304 的側壁 302、306 上較大。此厚度差異允許選擇性形成側壁間隔物 330 於犧牲閘極電極 326 的側壁 334 上。其次，非圖案化之各向同性蝕刻係執行以自鰭狀物 304 的側壁 302、306 去除剩餘的電介質間隔物層，而留下一對側壁間隔物 330 於犧牲閘極電極 326 的相對側壁 334 上。在實施例中，該各向同性蝕刻係濕蝕刻處理。在其中電介質間隔物層係氮化矽或氧化矽之特定的實施例中，各向同性蝕刻使用分別包含磷酸（ H_3PO_4 ）或緩衝氧化物蝕刻液（BOE）的濕蝕刻劑溶液。在選擇性的實施例中，該各向同性蝕刻係乾蝕刻處理。在一該實施例中， NF_3 氣體係使用於下游的電漿反應器中，用以各向同性地蝕刻電介質間隔物層。

請參閱流程圖 200 中之步驟 208 及對應的第 3D 圖，鰭狀物 304 的犧牲部分 332 被去除以暴露出基板 301 的源極/汲極區 334。鰭狀物 304 的犧牲部分 332 可使用諸如濕蝕刻或電漿乾蝕刻的習知之蝕刻方法，而予以去除。在其中鰭狀物 304 包含鍍 308 及鍍化矽 310 的交變層之實施例中，諸如氫氧化銨（ NH_4OH ）或氫氧化四甲銨（TMAH）的蝕刻劑係使用以選擇性地蝕刻掉鰭狀物 304 的犧牲部分 332。鰭狀物 304 的

通道區 328 係由犧牲閘極 326 及該對側壁間隔物 330 所保護，而免於遭受蝕刻。在實施例中，基板 301 的頂部表面 303 係在鰭狀物 304 的犧牲部分 332 之去除期間凹進，而形成源極/汲極溝渠 336。該源極/汲極溝渠 336 用以容納隨後成長之嵌入式磊晶源極 338 及汲極 339 區。在實施例中，該源極/汲極溝渠 336 係形成至 20 到 40 奈米之間的深度。選擇性地，鰭狀物 304 的犧牲部分 332 係去除使得基板 301 的頂部表面 303 係在 STI 電介質層 305 的上面，或在與 STI 電介質層 305 一起的平面。

請參閱流程圖 200 中之步驟 210 及對應的第 3E 圖，嵌入式磊晶源極 338 及汲極 339 區係形成於基板 301 的源極/汲極區 334 上。在實施例中，嵌入式磊晶源極 338 及汲極 339 區係使用諸如低壓化學氣相沉積、氣相磊晶、及分子束磊晶的習知之磊晶沉積法予以形成。在實施例中，嵌入式磊晶源極 338 及汲極 339 區形成於源極/汲極溝渠 336 中。嵌入式磊晶源極 338 及汲極 339 區與鰭狀物 304 的通道區 328 耦接在一起且在 STI 電介質層 305 的頂部表面之上面升高。嵌入式磊晶源極 338 及汲極 339 區可由具有晶格常數之任何熟知的材料所形成。理想地，嵌入式磊晶源極 338 及汲極 339 區係由諸如，但未受限之 Si、Ge、SiGe、GeSn、GaAs、InSb、GaP、GaSb、InAlAs、InGaAs、GaSbP、GaAsSb、GaN、及 InP 的單晶半導

體材料所形成。在實施例中，嵌入式磊晶源極 338 及汲極 339 區係由具有與基板 301 之頂部表面 303 不同的晶格常數之單晶半導體材料所形成。在特殊的實施例中，嵌入式磊晶源極 338 及汲極 339 區具有大於基板 301 之頂部表面 303 的晶格常數之晶格常數。

在特定的實施例中，嵌入式磊晶源極 338 及汲極 339 區係由鍺所形成，且基板 301 的頂部表面 303 係鍺化矽。在本發明的實施例中，嵌入式磊晶源極 338 及汲極 339 區係藉由用以形成電晶體的通道奈米線所使用之相同的半導體材料（例如，鍺），而予以形成。在本發明的實施例中，嵌入式磊晶源極 338 及汲極 339 區係由具有大於基板 301 的頂部表面 303 之半導體材料（例如，SiGe），且大於所使用以形成通道奈米線之半導體材料（例如，Ge）308 的晶格常數之晶格常數的材料（例如，GaAs）所形成，以便進一步增強通道奈米線中之單軸壓縮性晶格應力。

在另一特定的實施例中，嵌入式磊晶源極 338 及汲極 339 區係由矽所形成，且基板 301 的頂部表面 303 係鍺化矽。在本發明的實施例中，嵌入式磊晶源極 338 及汲極 339 區係藉由用以形成電晶體的通道奈米線所使用之相同的半導體材料（例如，矽），而予以形成。在本發明的實施例中，嵌入式磊晶源極 338 及汲極 339 區係由具有小於基板 301 的頂部表面 303 之半導體材料（例如，SiGe），且小於所使用以形成

通道奈米線之半導體材料（例如，Si）308 的晶格常數之晶格常數的材料（例如，碳化矽或碳摻雜之矽）所形成，以便進一步增強通道奈米線中之單軸拉伸性晶格應力。

在嵌入式磊晶源極 338 及汲極 339 區與基板 301 的頂部表面 303 間之晶格常數失配產生晶格應力，其中嵌入式磊晶源極 338 及汲極 339 區係在與鰭狀物 304 之長度 320 平行的方向中被單軸地晶格加壓。嵌入式磊晶源極 338 及汲極 339 區係在與鰭狀物 304 之長度 329 垂直的方向中被晶格鬆弛，因為對應側壁 335 及 337 的平面在嵌入式磊晶源極 338 及汲極 339 區的形成期間未受約束的緣故。該晶格常數失配亦致使嵌入式磊晶源極 338 及汲極 339 區行使力於鰭狀物 304 的通道區 328 之上。因為在鰭狀物 304 的通道區 328 中之半導體材料的層將接著變成通道奈米線 343，所以嵌入式磊晶源極 338 及汲極 339 區將隨後地行使力於該等通道奈米線 343 上，而可協助維持通道奈米線 343 中的晶格應力。在實施例中，嵌入式磊晶源極 338 及汲極 339 區的晶格常數大於基板 301 的頂部表面 303。在該實施例中，嵌入式磊晶源極 338 及汲極 339 區被壓縮加壓，且提供壓縮力於通道奈米線 343 之上。在另一實施例中，嵌入式磊晶源極 338 及汲極 339 區的晶格常數小於基板 301 的頂部表面 303。在該實施例中，嵌入式磊晶源極 338 及汲極

339 區被拉伸加壓，且提供拉伸力於通道奈米線 343 之上。

就整體而言，在實施例中，最初的單軸應力係在奈米線形成層與插入犧牲層之堆疊的鰭狀物圖案化期間，沿著奈米線形成層的通道區而形成。嵌入式磊晶源極及汲極區係接著藉由蝕刻掉鰭狀物的外部部分，且隨後形成磊晶源極及汲極區於適當位置，而予以形成。在一該實施例中，嵌入式磊晶源極及汲極區係自鰭狀物下面之基板的晶體表面成長。在其中所去除的外部部分係與不同組成之交變的奈米線形成層及插入犧牲層異質之情況中，具有透過磊晶成長之嵌入式源極及汲極區的置換，可以以組成均質之區域取代異質部分。因此，可添加新的晶格失配於所蝕刻之鰭狀物的任一側上。然後，嵌入式磊晶源極及汲極區可進一步增強已存在於奈米線形成層中之單軸應力。再者，一旦隨後去除插入犧牲層時，則嵌入式磊晶源極及汲極區即可作用以錨定接著所形成之個別的奈米線。因為嵌入式磊晶源極及汲極區係自下方基板磊晶地成長，所以該錨定係有效以維持在鰭狀物圖案化期間沿著奈米線形成層的通道區所形成之最初的單軸應力。因此，嵌入式磊晶源極及汲極區不但可維持，而且可增強最終所形成的奈米線通道部分之單軸應力。應注意的是，藉均質之層的上述異質層之取代可藉由使用與奈米線形成層相同的材料而予以執行。然而，在另

一實施例中，爲了要進一步增強該單軸應力，可磊晶成長與該異質堆疊的層中所使用之任何材料不同的材料，以形成嵌入式磊晶源極及汲極區。例如，在一實施例中，磊晶源極及汲極區係由具有大於異質鰭狀物中的任何材料之晶格常數的材料所形成。在該實施例中，可進一步增強單軸壓縮應力於最終所形成的奈米線通道部分中。在另一實施例中，磊晶源極及汲極區係由具有小於該異質鰭狀物中的任何材料之晶格常數的材料所形成。在該實施例中，可進一步增強單軸拉伸應力於最終所形成的奈米線通道部分中。

在實施例中，基板 301 之源極/汲極區 334 的頂部表面 303 係具有<100>取向的單晶材料，其用作晶種層，以供嵌入式磊晶源極 338 及汲極 339 區的磊晶成長之用。因此，嵌入式磊晶源極 338 及汲極 339 區係以<100>取向予以成長。在嵌入式磊晶源極 338 及汲極 339 區的形成期間，對應側壁 335 及 337 之<111>面可以以更有利的速率成長，且導致該嵌入式磊晶源極 338 及汲極 339 區有<111>面。

應理解的是，雖然爲了要增強通道奈米線之應力，藉由蝕刻掉鰭狀物 304 的犧牲部分 332，且然後，成長磊晶以形成源極及汲極區，而如第 3D 及 3E 圖中所示地形成嵌入式磊晶源極 338 及汲極 339 區係所欲的，但無需一定要如此地做成。在諸如第 1E 圖中所描繪之選擇性實施例中，鰭狀物 304 的犧牲部分

332 並未被蝕刻掉，且係維持以形成用於元件之源極及汲極區。此時，鰭狀物 304 的犧牲部分 332 可藉由諸如離子佈植之熟知的技術予以摻雜，用以形成所欲之導電性及濃度位準之源極及汲極區。此外，視需要地，可使磊晶半導體膜成長於鰭狀物 304 之犧牲部分 334 的頂部及側壁上，以形成升高的源極及汲極區，而減少電流擁擠。

接著，請參閱第 3F 圖，層間電介質（ILD）層 340 係全面性沉積於包含升高的源極 338 及汲極 339 區、犧牲閘極電極 326、及側壁間隔物 334 對之所有結構之上。全面性 ILD 層 340 可使用習知之化學氣相沉積法（例如，電漿增強型化學氣相沉積及低壓化學氣相沉積）而予以沉積。在實施例中，ILD 層 340 係由諸如，但未受限之未摻雜之氧化矽、摻雜之氧化矽（例如，BPSG、PSG）、氮化矽、及氮氧化矽的任何熟知之電介質材料所形成。然後，ILD 層 340 係使用習知之化學機械研磨法予以研磨，用以暴露出犧牲閘極電極 326 的頂部以及側壁間隔物 334 之對的頂部。

請參閱流程圖 200 中之步驟 212 及對應的第 3G 及 3H 圖，犧牲閘極電極 326 係去除以暴露出鰭狀物 304 的通道區 328。第 3H 圖係第 3G 圖之二維對應橫剖面視圖。ILD 層 340 在犧牲閘極電極 326 的去除期間保護嵌入式磊晶源極 338 及汲極 339 區。犧牲性閘極電極 326 可使用諸如電漿乾蝕刻或濕蝕刻之習知的

蝕刻方法予以去除。在其中犧牲閘極電極 326 係多晶矽且 ILD 層 340 係氧化矽的實施例中，可使用諸如 TMAH 溶液之濕蝕刻劑以選擇性地去除犧牲閘極電極 326。在鰭狀物 304 之通道區 328 上的犧牲閘極電介質層 322 用作蝕刻阻斷物，且在犧牲閘極電極 326 的去除期間保護鰭狀物 304 的通道區 328。接著，犧牲閘極電介質層 322 係使用習知的蝕刻方法予以去除，而在流程圖 200 中的步驟 214 之前暴露出鰭狀物 304 的通道區 328。在其中犧牲閘極電介質層 322 係氧化矽的實施例中，可使用稀釋的 HF 濕蝕刻液以去除犧牲閘極電介質層 322。

請參閱流程圖 200 中之步驟 214 及對應的第 3I 圖，將鰭狀物 304 之通道區 328 中的半導體材料 308 之層間的犧牲材料 310 之層去除，以形成通道奈米線 343。犧牲材料 310 之層可使用針對半導體材料 308 之層選擇的任何熟知之蝕刻劑而予以去除，其中該蝕刻劑可以以遠高於蝕刻半導體材料 308 之層的速率蝕刻犧牲材料 310 之層。在實施例中，蝕刻劑選擇性地蝕刻半導體材料 308 之層，而不蝕刻犧牲材料 310 之層。在其中半導體材料 308 之層係鍺以及犧牲材料 310 之層係鍺化矽的實施例中，犧牲材料 310 之層可使用諸如，但未受限之氫氧化銨（ NH_4OH ）、氫氧化四甲銨（TMAH）、乙二胺鄰苯二酚（EDP）、或氫氧化鉀（KOH）溶液的濕蝕刻劑，而予以選擇性地去

除。在其中半導體材料 308 之層係矽以及犧牲材料 310 之層係鍍化矽的實施例中，犧牲材料 310 之層可使用諸如，但未受限之水羧酸/硝酸/HF 溶液及水檸檬酸/硝酸/HF 溶液的濕蝕刻劑，而予以選擇性地去除。犧牲材料 310 之層的去除留下空隙 342 於半導體材料 308 之層之間。在半導體材料 308 之層之間的空隙 342 具有大約 5 至 30 奈米之間的厚度。剩餘的半導體材料 310 之層形成垂直陣列的通道奈米線 343，其係耦接至嵌入式磊晶源極 338 及汲極 339 區。所形成之通道奈米線 343 具有大約 5 至 50 奈米之間的厚度。通道奈米線 343 係平行於頂部表面 303 而擴展，且係彼此互相對齊，用以形成單行的通道奈米線 343，而最底部通道奈米線 344 在該行的最底部處。

在實施例中，如第 3I 圖中所示，在嵌入式磊晶源極及汲極區之間的所有犧牲材料 310 被去除，包含在側壁間隔物 330 之下方的部分。蝕刻間隔物之下方的部分可使製造簡單化，因為犧牲材料 310 的去除可根據相對於犧牲材料及嵌入式磊晶源極及汲極區之蝕刻液的選擇性，而使過蝕刻能被使用以去除犧牲材料。然而，在間隔物 330 下方之犧牲材料 310 的去除可導致稍大的開口被形成於最頂部通道奈米線 343 之上方的間隔物 330 之間。當與在最頂部通道奈米線之上方的閘極長度相較時，則此可造成隨後所形成之閘極電極具有稍大的閘極長度於通道奈米線之間。在實

施例中，係使用定時蝕刻，使得鄰接於嵌入式磊晶源極及汲極區之犧牲材料 310 的部分在蝕刻犧牲材料 310 以形成通道奈米線 343 之後，保留在間隔物 330 的下方。在此方式中，隨後所形成的閘極電極可具有鄰接於通道奈米線的所有表面之相同的閘極長度。

請參閱流程圖 200 中之步驟 216 及對應的第 3J 及 3K 圖，底部閘極隔離 348 係形成於基板 301 的頂部表面 303 上，且在最底部通道奈米線 344 之下。底部閘極隔離 348 係藉由先全面性沉積電介質層 346 於通道奈米線 343 周圍且在其上，而予以形成，如第 3J 圖中所示地。電介質層 346 完全地充填通道奈米線 343 之間的空隙 342，包含最底部通道奈米線 344 與基板 301 的頂部表面 303 之間的區域。電介質層 346 亦形成於 ILD 層 340 的頂部表面上。在實施例中，電介質層 346 係由諸如，但未受限之氧化矽、氮化矽、及氮氧化矽的任何熟知之電介質材料所形成。在特定的實施例中，電介質層 346 係由氧化矽所形成。理想地，電介質層 346 係使用諸如低壓化學氣相沉積（LPCVD）、原子層沉積（ALD）、或旋塗電介質處理之高度共形的沉積方法而予以形成，用以確保通道奈米線 343 之間的空隙被完全地充填。接著，如第 3K 圖中所示，電介質層 346 係使用習知之各向同性電介質蝕刻方法，而自頂部向下地凹進。在其中電介質層 346 係氧化矽的實施例中，係使用定時 HF 濕

蝕刻法以使電介質層 346 凹進。在電介質層 346 之凹進的期間，大半的電介質層 346 被去除，而留下薄層於基板 301 的頂部表面 303 之上，且在最底部通道奈米線 344 之下，其形成底部閘極隔離 348。底部閘極隔離 348 的厚度根據使電介質層 346 凹進之時間長度而定。在實施例中，凹進係執行足夠長的時間，而獲得足夠厚的底部閘極隔離之厚度，用以自基板 301 的頂部表面 303 隔離由於閘極電極 352 的電容性耦合。在實施例中，凹進係執行足夠短的時間，而獲得足夠薄的底部閘極隔離之厚度，以致使最底部通道奈米線 344 與底部閘極隔離 348 之間的空隙變大，而足以供閘極電介質層 350 環繞最底部通道奈米線予以形成，且供閘極電極 352 圍繞最底部通道奈米線 344 予以形成之用。在實施例中，所形成之底部閘極隔離 348 的厚度係足夠厚，以便自基板 301 的頂部表面 303 隔離由於閘極電極 352 的電容性耦合，且係足夠薄以供閘極電介質層 350 及閘極電極 352 包圍最底部通道奈米線 344 之用。在特殊的實施例中，底部閘極隔離 348 的厚度係在 100 至 300 埃之間。

請參閱流程圖 200 中之步驟 218 及 220 以及對應的第 3L 及 3M 圖，閘極電介質層 350 係形成圍繞各通道奈米線 343，以及閘極電極 352 係形成於閘極電介質層 350 上且包圍各通道奈米線 343。第 3M 圖係第 3L 圖之對應三維橫剖面視圖。如前文所述地，閘

極電介質層 350 可由任何熟知的閘極電介質材料所形成。閘極電介質層 350 係使用諸如原子層沉積 (ALD) 之高度共形的沉積處理而予以形成，以便確保形成具有均勻厚度的閘極電介質層圍繞各通道奈米線 343。在特殊的實施例中，閘極電介質層 HfO_2 ，且係沉積至 1 到 6 奈米之間的厚度。閘極電介質層 350 係全面性沉積，且亦形成於 ILD 層 340 的頂部表面上。接著，閘極電極材料係全面性沉積在閘極電介質層 350 上，以形成閘極電極 352。閘極電極 352 可藉由如前文所述之任何熟知的閘極電極材料，而予以形成。閘極電極材料係使用諸如原子層沉積 (ALD) 之共形的沉積處理而予以沉積，以確保閘極電極 352 被形成於閘極電介質層 350 上，並圍繞各通奈米線 343 且在各通道奈米線 343 之間。然後，將沉積在 ILD 層 340 的頂部上之全面性的閘極電極材料及閘極電介質層 350 化學機械研磨，直至顯現 ILD 層 340 的頂部表面為止，如第 3L 及 3M 圖中所示。使用流程圖 200 中所敘述之方法所形成的合成元件 300 係依據本發明實施例之非平面閘極環繞元件。

第 4 圖描繪依據本發明之一實施的計算裝置 400。該計算裝置 400 收容板 402。該板 402 包含若干組件，包含但未受限於處理器 404 及至少一通訊晶片 406。處理器 404 係實體地且電性地耦接至板 402。在某些實施中，至少一通訊晶片 406 亦係實體

地且電性地耦接至板 402。在進一步的實施中，通訊晶片 406 係處理器 404 的一部分。

根據其應用，計算裝置 400 可包含其他的組件，該等其他的組件可以或不可實體地及電性地耦接至板 402。該等其他的組件包含，但未受限於揮發性記憶體（例如，DRAM）、非揮發性記憶體（例如，ROM）、快閃記憶體、繪圖處理器、數位信號處理器、加密處理器、晶片組、天線、顯示器、觸控螢幕顯示器、觸控螢幕控制器、電池、聲頻編碼解碼器、視頻編碼解碼器、功率放大器、全球定位系統（GPS）裝置、羅盤、加速度計、迴轉儀、揚聲器、相機、及主儲存裝置（諸如硬碟驅動器、小型碟片（CD）、數位多功能碟片（DVD）、及其類似物）。

通訊晶片 406 致能無線通訊以供資料至計算裝置 400 及來自計算裝置 400 之資料的轉移之用。“無線”之用語及其衍生語可使用以描繪可透過非固態媒體之調變式電磁輻射的使用而傳達資料之電路、裝置、系統、方法、技術、通訊頻道、等等。該用語並未意指相關聯的裝置不包含佈線，雖然在某些實施例中，它們並不包含。通訊晶片 406 可實施若干無線標準或協議的任一者，包含但未受限於 Wi-Fi（IEEE 802.11 家族）、WiMAX（IEEE 802.16 家族）、IEEE 802.20、長程演進（LTE）、Ev-DO、HSPA+、

HSDPA+、HSUPA+、EDGE、GSM、GPRS、CDMA、TDMA、DECT、藍牙、其衍生者、以及被指明為3G、4G、5G、及以上者之任何其他的無線協議。計算裝置400可包含複數個通訊晶片406。例如，第一通訊晶片406可專用於諸如Wi-Fi及藍牙之較短範圍的無線通訊，以及第二通訊晶片406可專用於諸如GPS、EDGE、GPRS、CDMA、WiMAX、LTE、Ev-DO、及其類似者之較長範圍的無線通訊。

計算裝置400的處理器404包含封裝於處理器404之內的積體電路晶粒。在本發明之若干實施中，處理器的積體電路晶粒包含諸如依據本發明實施例所形成之非平面閘極環繞電晶體元件的一或多個元件。“處理器”的用語可意指可處理來自暫存器及/或記憶體之電子資料而轉換該電子資料成為可儲存於暫存器及/或記憶體中之其他電子資料的任何元件或部分之元件。

通訊晶片406亦可包含封裝於通訊晶片406之內的積體電路晶粒。依據本發明之另一實施，通訊晶片的積體電路晶粒包含諸如依據本發明實施例所形成之非平面閘極環繞電晶體元件的一或多個元件。

在進一步的實施中，收容於計算裝置400之內的另外組件可包含積體電路晶粒，其包含諸如依據本發明實施例所形成之非平面閘極環繞電晶體元件的一或多個元件。

在各種實施中，計算裝置 400 可係膝上型個人電腦、小筆電、筆記型個人電腦、輕薄主流筆記型個人電腦、智慧型手機、平板電腦、個人數位助理（PDA）、超級行動個人電腦、行動電話、桌上型電腦、伺服器、印表機、掃描器、監視器、機上盒、娛樂控制單元、數位相機、可攜帶式音樂播放器、或數位錄放影機。在進一步的實施中，計算裝置 400 可係可處理資料之任何其他的電子裝置。

因此，本發明之一或多個實施例可包含具有嵌入式磊晶源極及汲極區，或形成於基板與底部通道奈米線之間的底部閘極隔離層之其中一者，或二者的非平面閘極環繞電晶體元件。

【符號說明】

- 100：非平面閘極環繞元件
- 101、346：電介質層
- 102、301：基板
- 103、315：淺溝渠隔離區
- 104、303：基板的頂部表面
- 105、305：淺溝渠隔離層
- 106、338：嵌入式磊晶源極區
- 107、339：嵌入式磊晶汲極區
- 108、336：源極/汲極溝渠
- 109、311：緩衝層

- 110、343：通道奈米線
- 114、348：底部閘級隔離
- 115、344：最底部通道奈米線
- 116：閘極電介質層
- 118：閘極電極
- 120：通道奈米線的長度
- 122、124、132：寬度
- 126、128、302、306：側壁
- 130：厚度
- 150：電晶體
- 156：源極/汲極溝渠
- 157：汲極
- 200：流程圖
- 202-220：步驟
- 304：鰭狀物
- 308：半導體材料
- 309：基板部分
- 310：犧牲材料
- 312：基板區
- 316：鰭狀物高度
- 318：鰭狀物寬度
- 320：鰭狀物長度
- 322：犧牲閘極電介質層
- 324：犧牲閘極層

326、352：犧牲閘極電極

328：通道區

340：層間電介質層

400：計算裝置

402：板

404：處理器

406：通訊晶片

申請專利範圍

1.一種積體電路結構，其包含：

半導體基板，其包含第一半導體材料；

源極區，其在該半導體基板上方，該源極區包含第二半導體材料，該第二半導體材料不同於該第一半導體材料；

汲極區，其在該半導體基板上方，該汲極區包含該第二半導體材料；

奈米線，該奈米線耦合至該源極區並且耦合至該汲極區，該奈米線包含該第二半導體材料，其中該源極區和該汲極區提供單軸應力給該奈米線；

閘極介電質層，其圍繞該奈米線的至少一部份；以及

閘極電極，其圍繞該奈米線的至少一部份，並且該閘極電極至少由該閘極介電質層與該奈米線分離。

2.如申請專利範圍第 1 項所述之積體電路結構，其中該第二半導體材料具有比該第一半導體材料更大的晶格常數。

3.如申請專利範圍第 1 項所述之積體電路結構，其中該第一半導體材料為矽，以及該第二半導體材料為銻。

4.如申請專利範圍第 1 項所述之積體電路結構，其中該源極區和該汲極區皆具有傾斜的側壁。

5.如申請專利範圍第 1 項所述之積體電路結構，其中該源極區在該半導體基板上方的第一位置處具有第一寬度，該源極區在該半導體基板上方的第二位置處具有第二

寬度，該第二位置與該半導體基板的距離和該第一位置與該半導體基板的距離不同，以及該第一寬度大於該第二寬度。

6.如申請專利範圍第 5 項所述之積體電路結構，其中該源極區之該第一寬度大於該第一奈米線之最大寬度。

7.如申請專利範圍第 1 項所述之積體電路結構，更包含在該半導體基板之第一部分上方的隔離區層，其中該半導體基板的第二部分向上延伸通過該隔離區層的底表面。

8.如申請專利範圍第 7 項所述之積體電路結構，其中該半導體基板之該第二部分不向上延伸至該隔離區層的頂表面。

9.如申請專利範圍第 7 項所述之積體電路結構，其中至少部分的該奈米線直接在該半導體基板之該第二部分上方，但不與該半導體基板之該第二部分直接接觸。

10.如申請專利範圍第 1 項所述之積體電路結構，其中該汲極區具有側壁，以及該汲極區之該側壁為<111>面。

11.一種製造積體電路結構的方法，該方法包含：

在半導體基板上方形形成源極區，該半導體基板包含第一半導體材料，以及該源極區包含第二半導體材料，該第二半導體材料不同於該第一半導體材料；

在該半導體基板上方形形成汲極區，該汲極區包含該第二半導體材料；

形成奈米線，該奈米線耦合至該源極區並且耦合至該

汲極區，該奈米線包含該第二半導體材料，其中該源極區和該汲極區提供單軸應力給該奈米線；

形成閘極介電質層，其圍繞該奈米線的至少一部份；
以及

形成閘極電極，其圍繞該奈米線的至少一部份，並且該閘極電極至少由該閘極介電質層與該奈米線分離。

12.如申請專利範圍第 11 項所述之方法，其中該第二半導體材料具有比該第一半導體材料更大的晶格常數。

13.如申請專利範圍第 11 項所述之方法，其中該第一半導體材料為矽，以及該第二半導體材料為銻。

14.如申請專利範圍第 11 項所述之方法，其中該源極區和該汲極區皆具有傾斜的側壁。

15.如申請專利範圍第 11 項所述之方法，其中該源極區在該半導體基板上方的第一位置處具有第一寬度，該源極區在該半導體基板上方的第二位置處具有第二寬度，該第二位置與該半導體基板的距離和該第一位置與該半導體基板的距離不同，以及該第一寬度大於該第二寬度。

16.如申請專利範圍第 15 項所述之方法，其中該源極區之該第一寬度大於該第一奈米線之最大寬度。

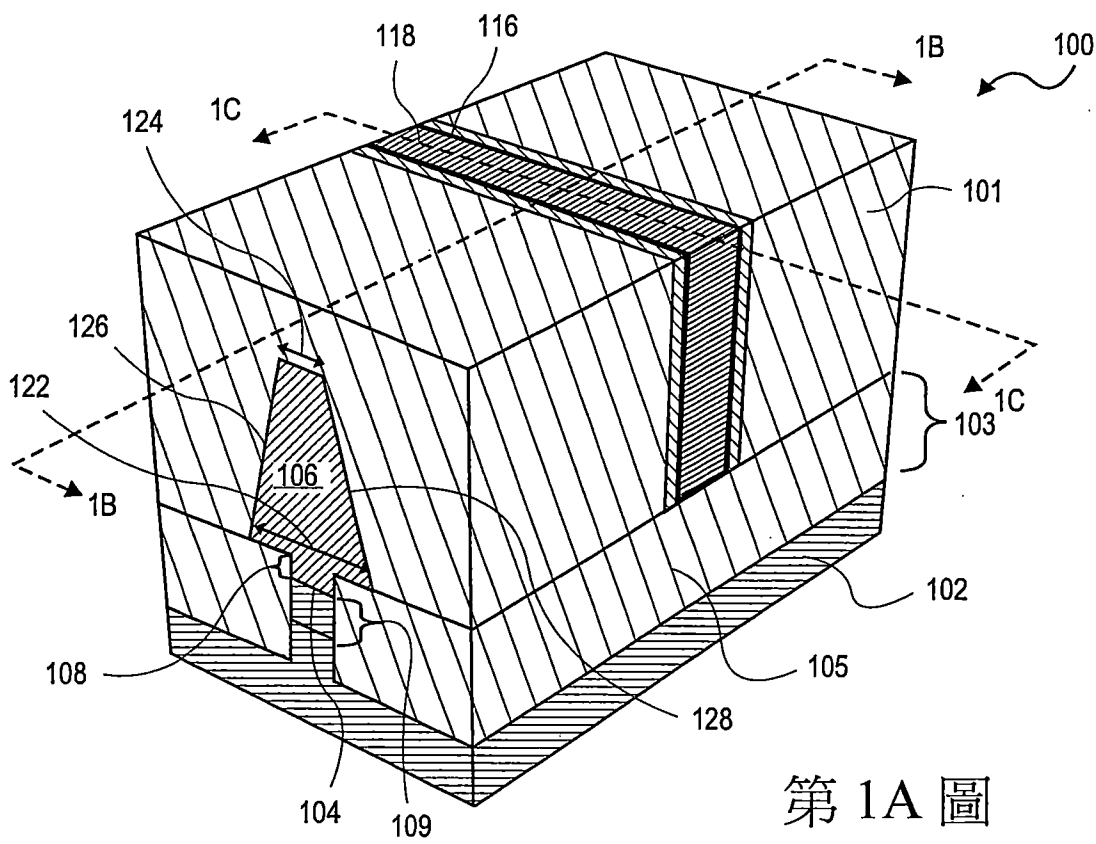
17.如申請專利範圍第 11 項所述之方法，更包含在該半導體基板之第一部分上方形成隔離區層，其中該半導體基板的第二部分向上延伸通過該隔離區層的底表面。

18.如申請專利範圍第 17 項所述之方法，其中該半導體基板之該第二部分不向上延伸至該隔離區層的頂表面。

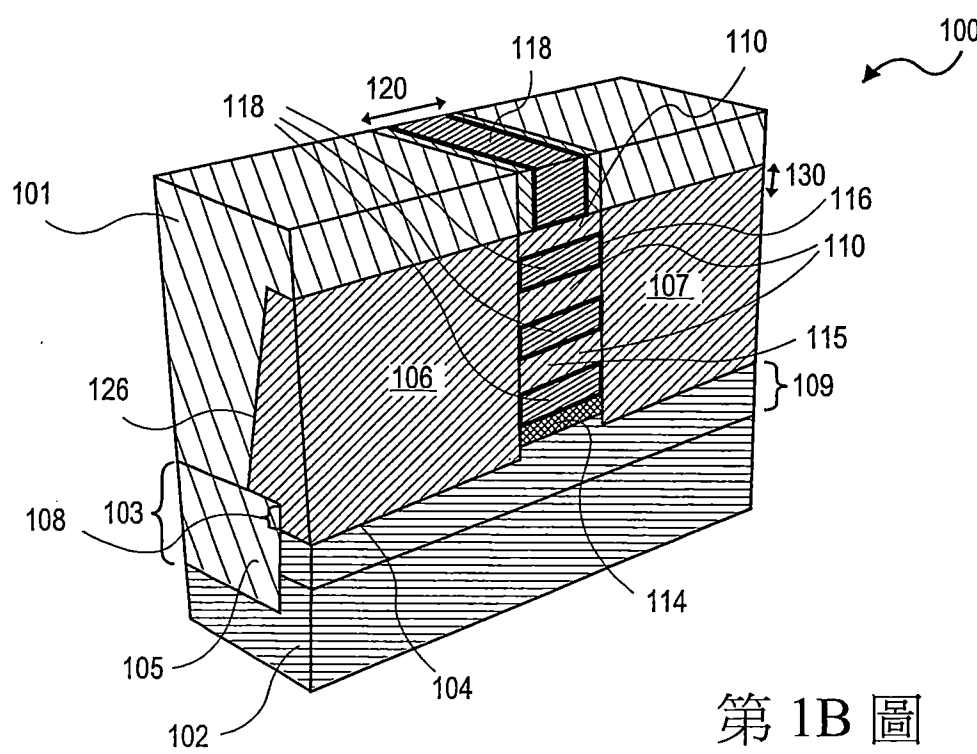
19.如申請專利範圍第 17 項所述之方法，其中至少部分的該奈米線直接在該半導體基板之該第二部分上方，但不與該半導體基板之該第二部分直接接觸。

20.如申請專利範圍第 11 項所述之方法，其中該汲極區具有側壁，以及該汲極區之該側壁為<111>面。

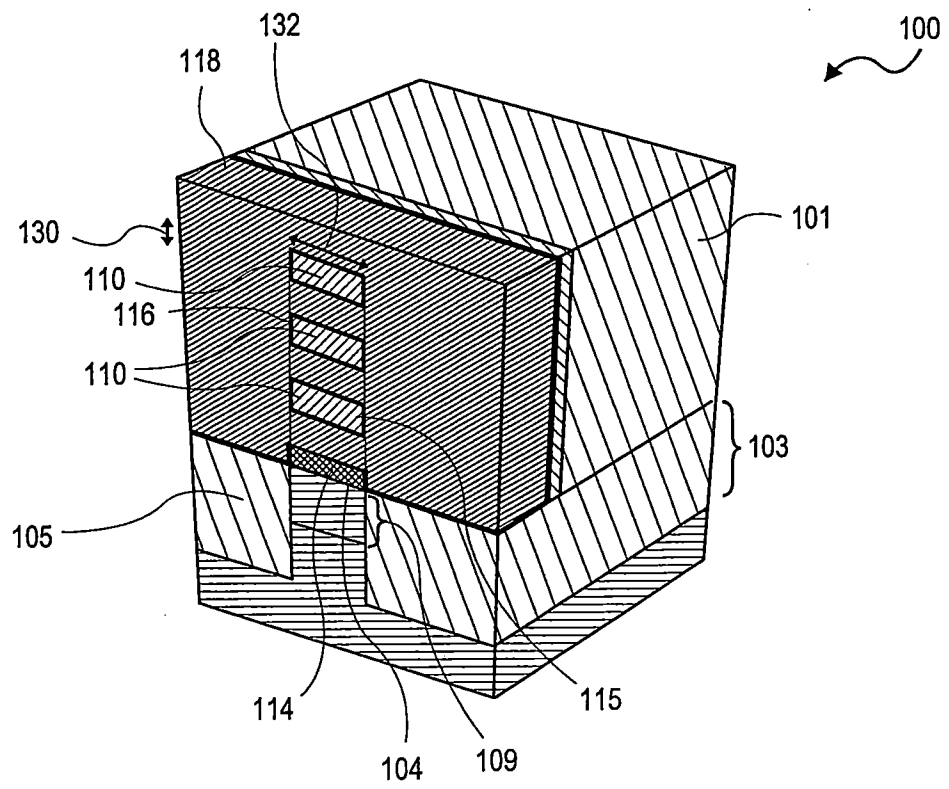
圖式



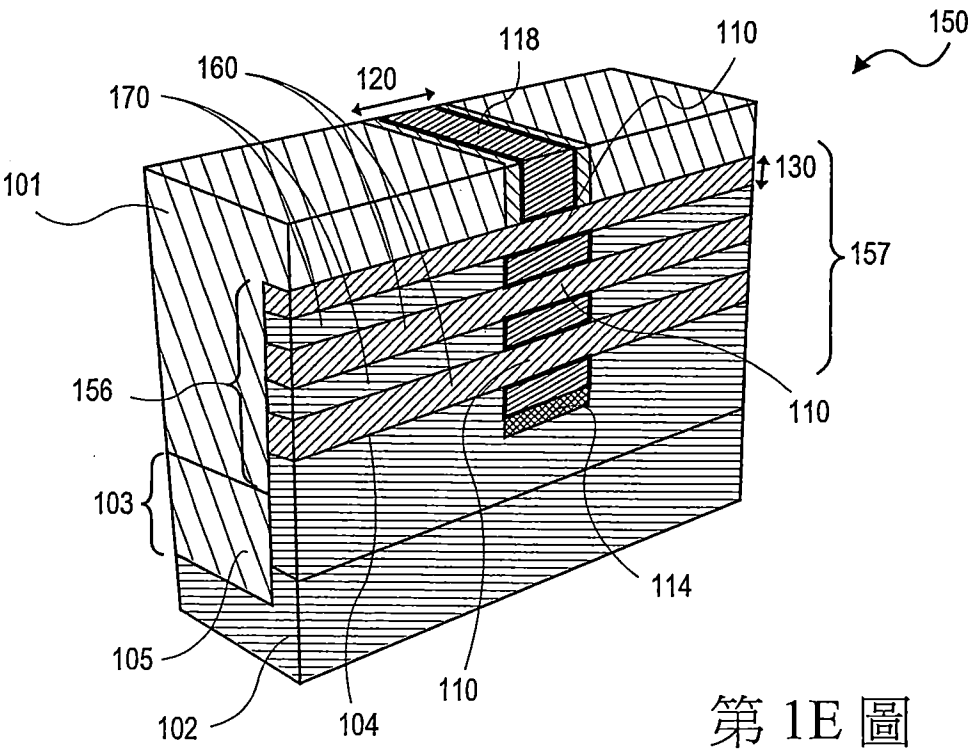
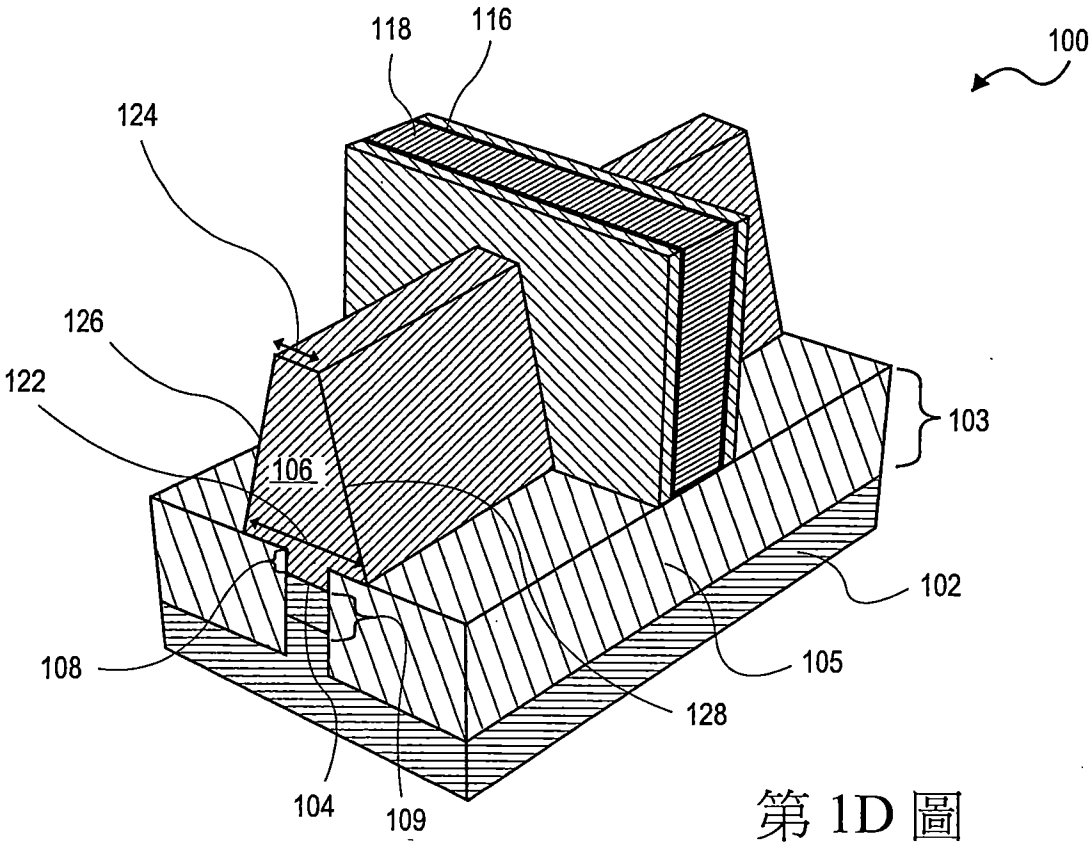
第 1A 圖

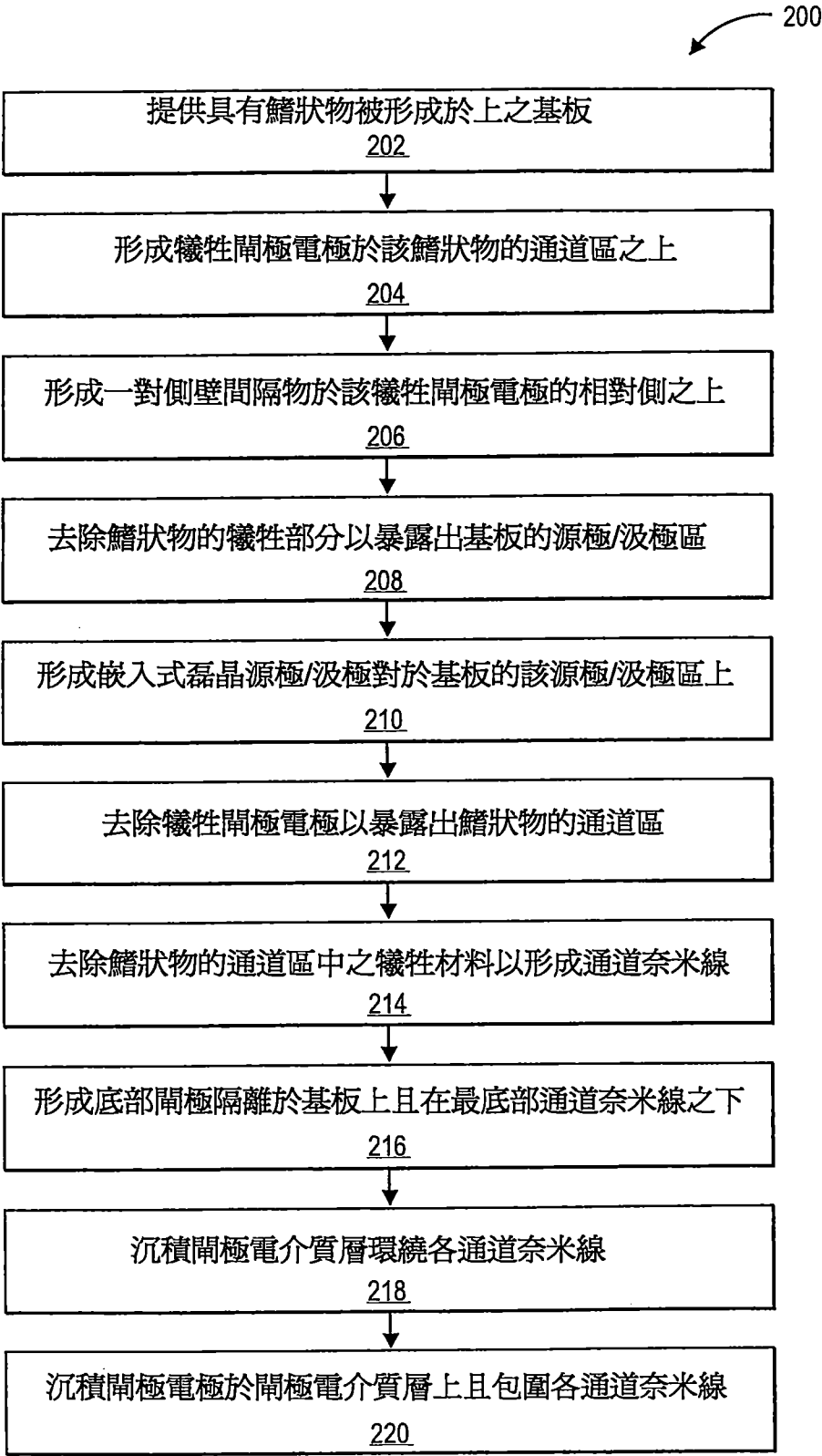


第 1B 圖

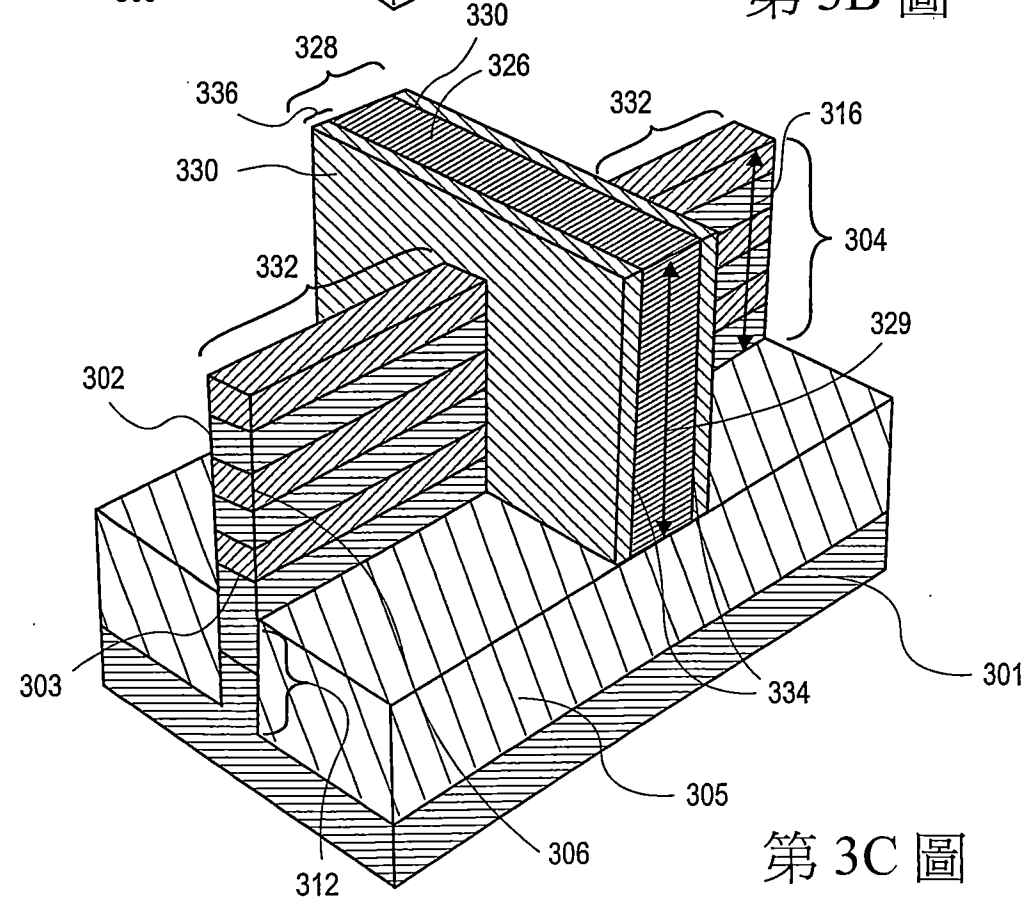
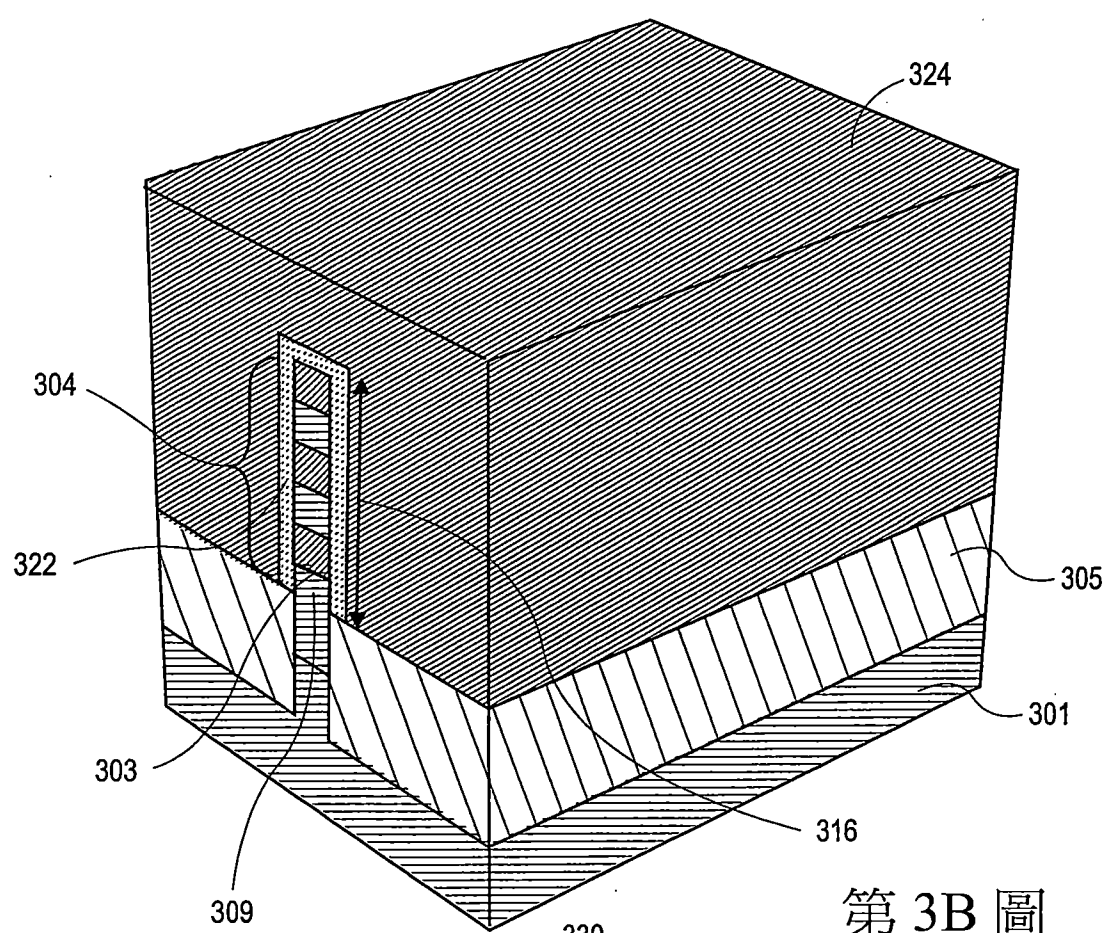


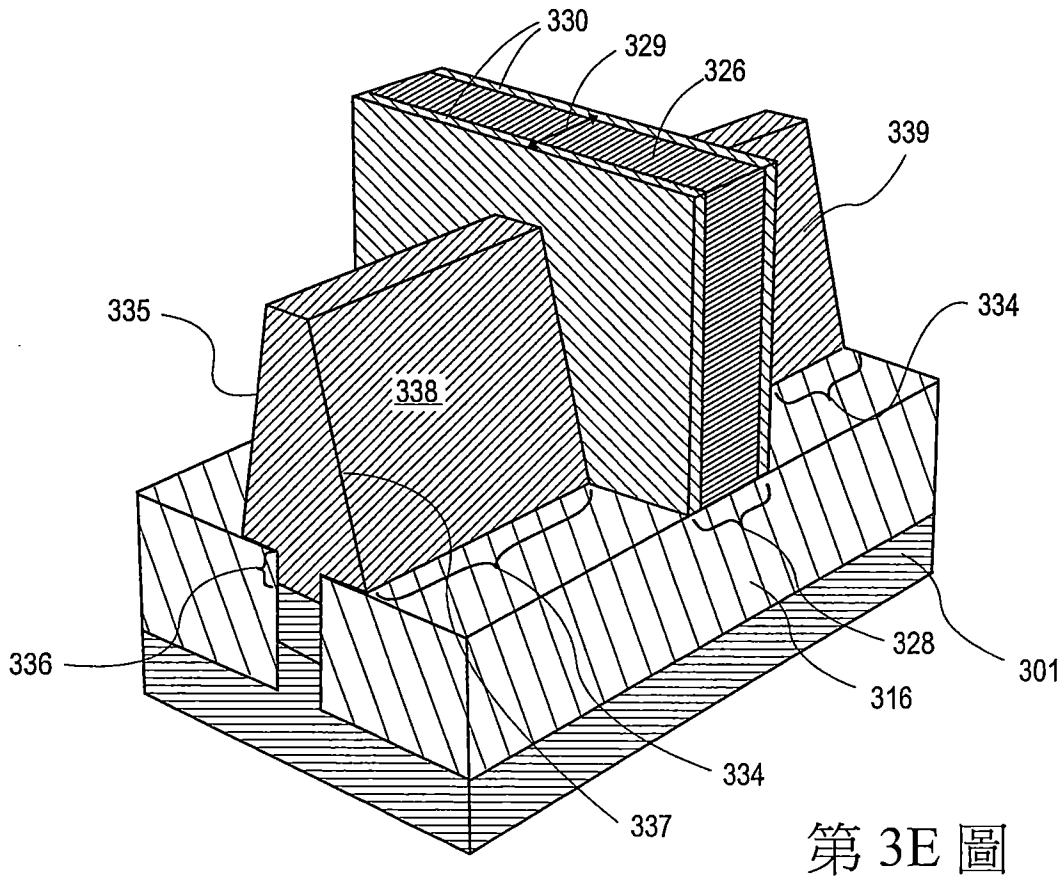
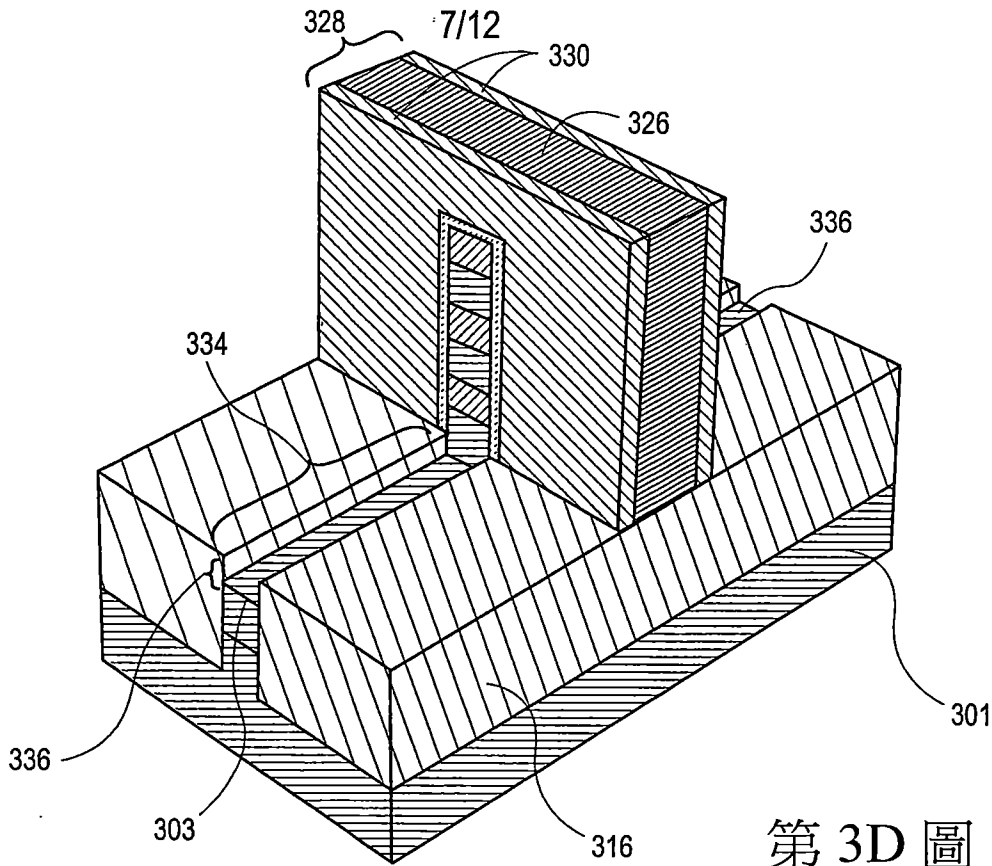
第 1C 圖

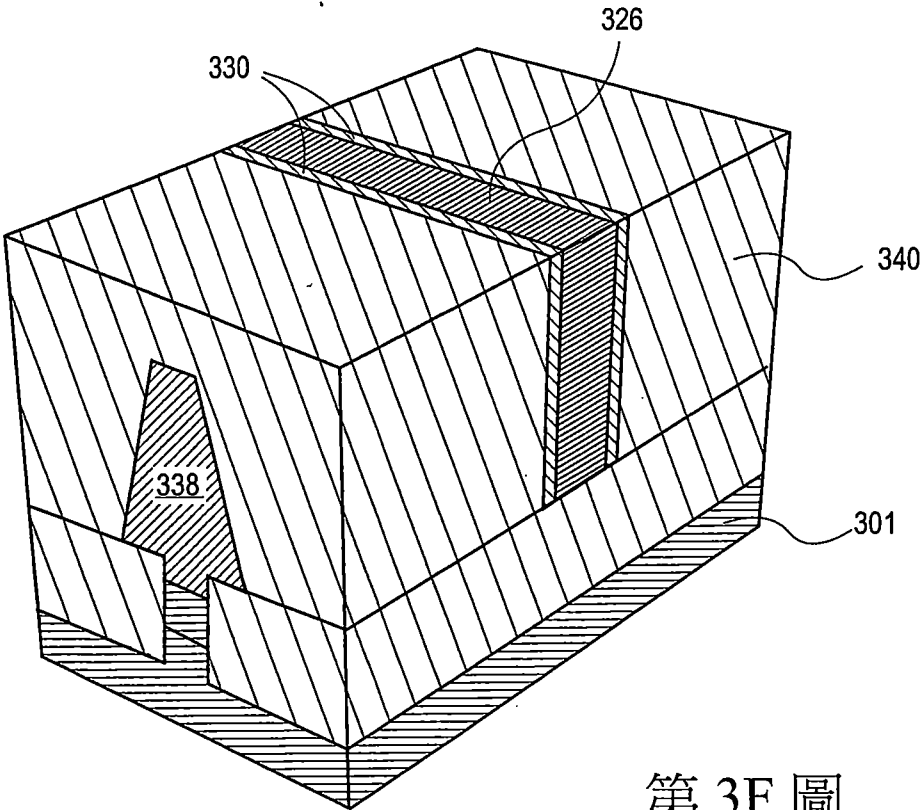




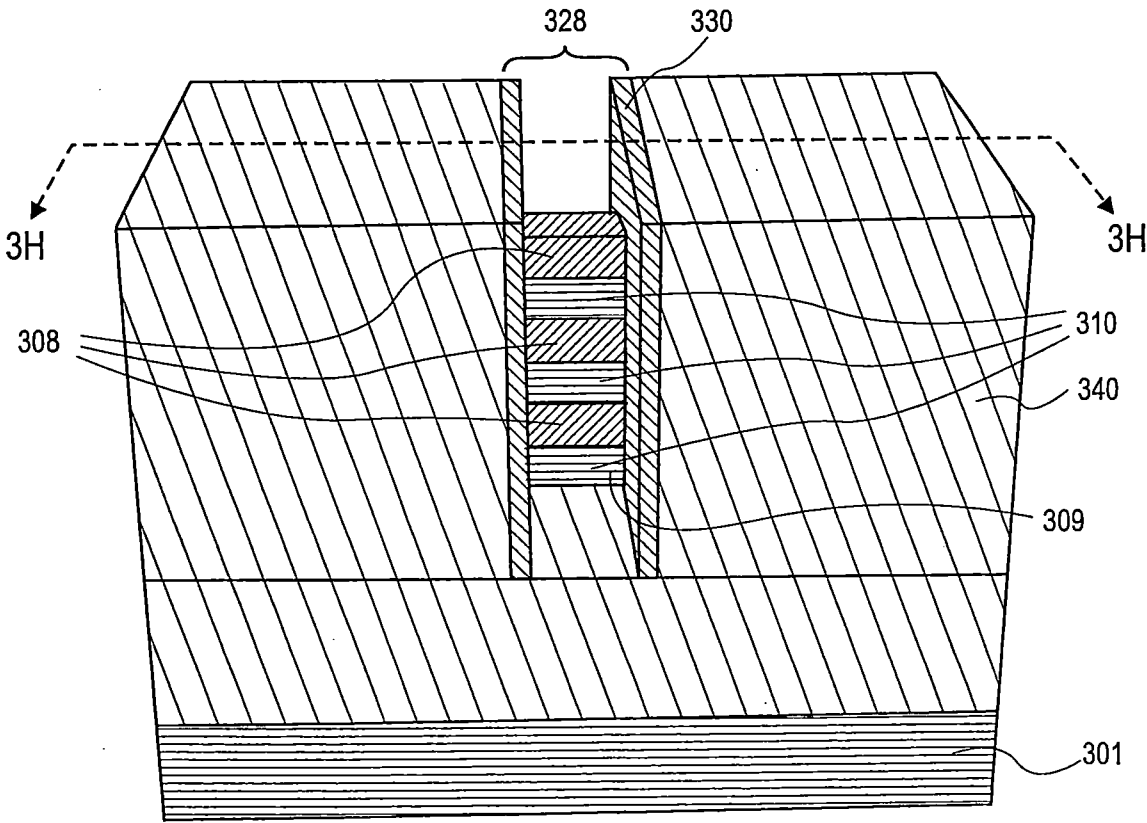
第 2 圖



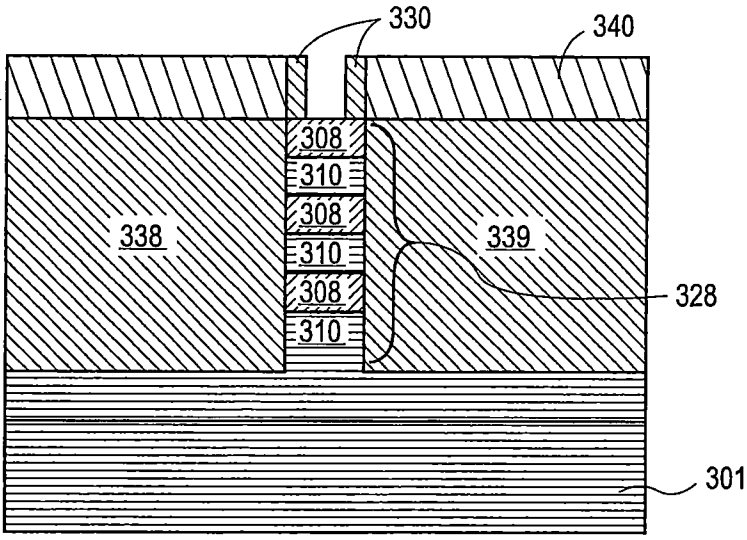




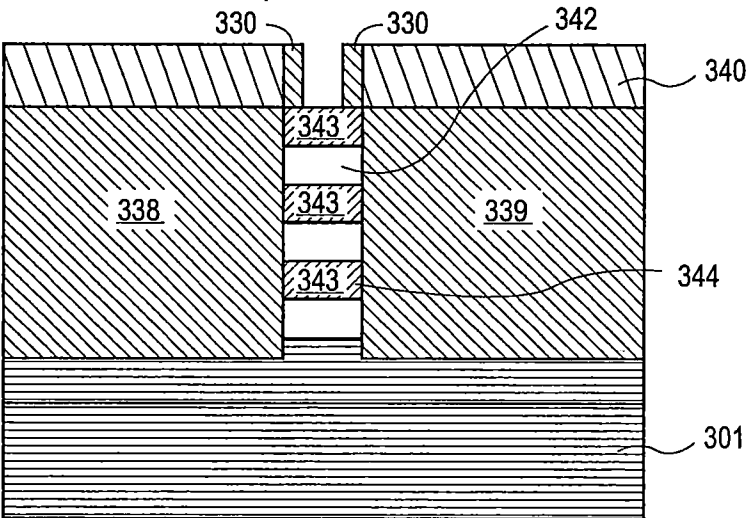
第 3F 圖



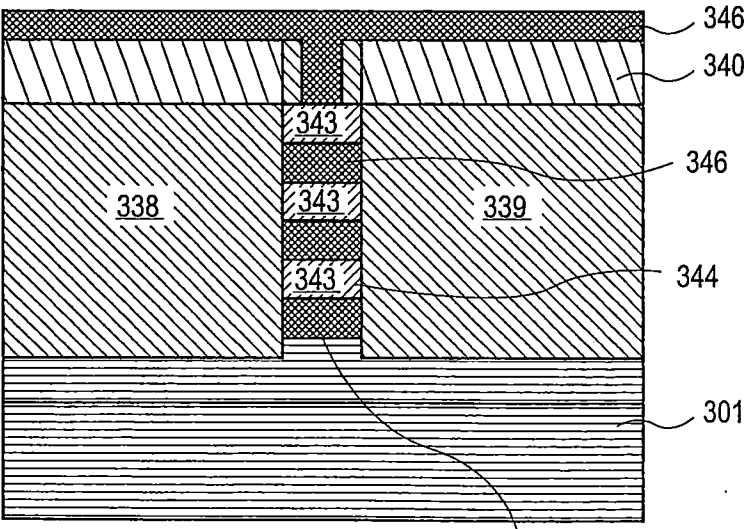
第 3G 圖



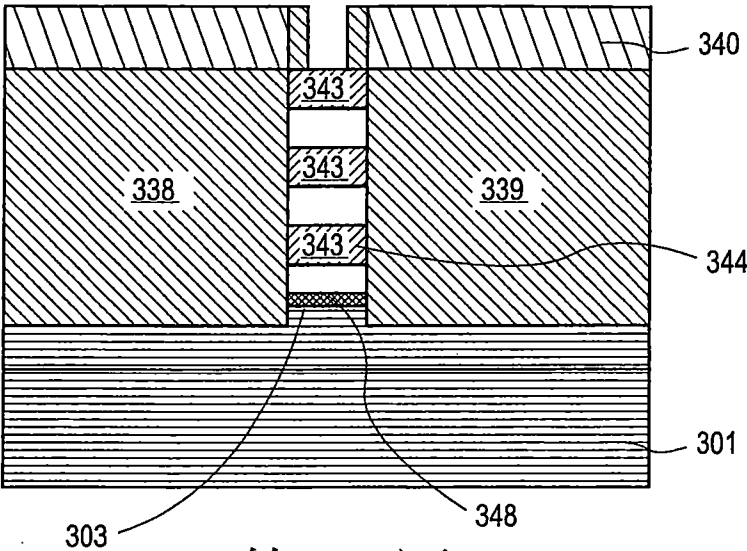
第 3H 圖



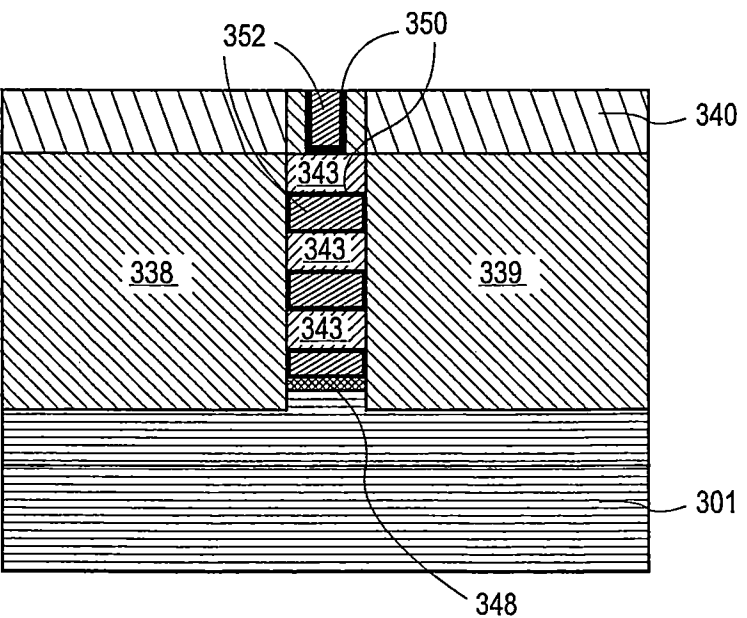
第 3I 圖



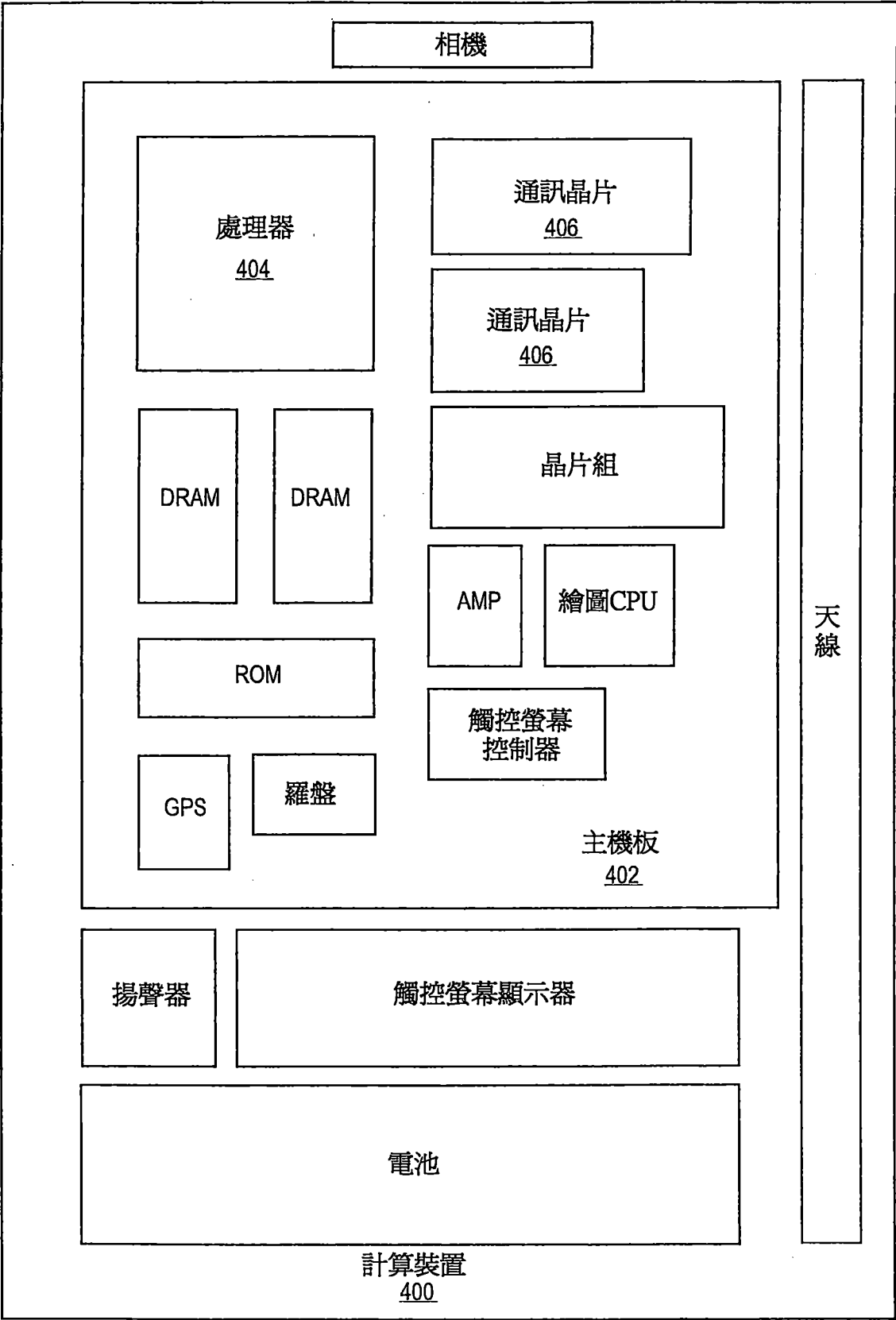
第 3J 圖



第 3K 圖



第 3L 圖



第 4 圖