

公告本

申請日期	90 - 03 - 22
案 號	90106784
類 別	H03B 1/00, H03K 3/60

A4
C4

525343

(以上各欄由本局填註)

發明專利說明書

一、發明 名稱	中 文	具有控制電路之積體電路
	英 文	Integrated circuit with control-circuit to control a drive-circuit
二、發明 創作人	姓 名	1. 拉夫屈耐德 (Ralf SCHNEIDER) 2. 史帝芬屈羅德 (Dr. Stephan SCHROEDER)
	國 籍	1. 德國 2. 德國
	住、居所	1. 德國慕尼黑 81925 艾夫納街 70 號 2. 德國慕尼黑 81543 裘恩街 61A 號
三、申請人	姓 名 (名稱)	印芬龍科技股份有限公司 (Infineon Technologies AG)
	國 籍	德 國
	住、居所 (事務所)	德國慕尼黑 D-81669 聖馬丁街 53 號
	代 表 人 姓 名	1. 麥可勾威什 (Michael Gollwitzer) 2. 荷斯特卻佛 (Dr. Horst Schäfer)

裝

訂

線

(由本局填寫)

承辦人代碼：
大 類：
I P C 分類：

A6
B6

本案已向：

德 國 (地 區) 申請專利，申請日期： 案號： , ☒ 有 ☐ 無主張優先權
2000 年 3 月 23 日 申請案號 10014386.5

有關微生物已寄存於： , 寄存日期： , 寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部智慧財產局員工消費合作社印製

五、發明說明(1)

本發明涉及一種積體電路,其包含:一種數位信號用之接點;一種可控制之驅動電路,其具有一個輸入端,此輸入端是與該位號之接點相連;一個輸出端,用來輸出該數位信號;一種控制電路,其具有時脈信號之輸入端,以便依據時脈信號來控制該驅動電路。

在操作積體電路時,通常須產生或設定一種數位信號,使此數位信號之功換邊緣之時間點可適應於(adaptive to)時脈信號之切換邊緣之時間點。此數位信號例如可由振盪器電路所產生。由振盪器路所產生之信號之頻率因此須調整,使其與時脈信號之頻率相一致以作為參考頻率,特別是須很準確,使現有之相位偏移保持相同。

積體電路因此除了數位信號用之接點之外例如亦具有一種可控制之驅動電路,其是與數位信號用之接點相連且用來輸出該數位信號,此驅動電路是由控制電路所控制,其具有一種時脈信號用之輸入端。

此控制電路例如可依據一種參考值而在某種範圍中調整,以便特別可補償該製程變動及溫度變動所造成之影響。這表示:就此種積體電路之製造而言,各別之參考值對每一積體電路而言各別地調整及設定。因此,須以適當之方式改變各參考值,使各種不同之影響可被補償。此控制電路因此由參考值開始而進行修整,以便設定所需之信號同步作用。

爲了調整此控制電路,則積體電路(其例如是積體記

五、發明說明(2)

憶體之一部份)須受到一種與此有關之測試。此種測試例如由外部藉由測試系統來進行。依據測試結果而定義一些指標以調整該控制電路。相對應之數位信號和時脈信號之切換邊緣因此須互相比較且藉由控制電路之調整而在時間上對準。可達成之準確度通常會受到所使用之測試系統及整個測試配置之容許度(tolerance)所限制,其結果是:不能符合此積體電路及積體記憶體所需之產品規格。

本發明之目的是提供一種本文開頭所述形式之積體電路,其中在測試操作時在可控制之驅動電路之輸出端上可對時脈信號及數位信號之切換邊緣作時間上之比較而具有較高之準確性。

此目的藉由一種積體電路來達成,其包含:一種數位信號用之接點;一種可控制之驅動電路,其具有一個輸入端,此輸入端是與該位號之接點相連;一個輸出端,用來輸出該數位信號;一種控制電路,其具有時脈信號之輸入端,以便依據時脈信號來控制該驅動電路;其中此積體電路具有一種比較元件,其包含:第一輸入端(用於時脈信號)及第二輸入端(其是與驅動電路之輸出端相連);另有一個輸出端,用來輸出該輸出信號;其中此比較元件之輸出信號具有第一狀態,若第一輸入端上之信號之變遷(transition)是在第二輸入端上之信號之變遷(transition)之前達成;此比較元件之輸出信號具有第二狀態,若第一輸入端上之信號之變遷是在第二輸入端上

五、發明說明(3)

之信號之變遷之後才完成。

有利之其它形式敘述在申請專利範圍各附屬項中。

時脈信號及驅動電路之輸出端上之數位信號之信號變遷(或切換邊緣)之時間上之比較是藉由比較元件來達成,此比較元件是積體電路之一部份。此比較元件之輸出信號顯示:此比較元件之各輸入端上之信號中何者首先具有一種信號變遷(transition)現象。此比較元件之輸出信號例如施加至外部分析元件用之接點。此比較元件之已測出之輸出信號之狀態在分析元件中進行分析,這樣可依據此分析結果以必要之方式來調整此控制電路。

由於在對該數位信號和時脈信號進行時間上之比較信號變遷不是由外部測試系統直接測得及分析,則此種測量可達成較高之準確度。由於此種測量值直接在積體路之晶片上進行,則測量準確度不會受到外部測試系統及整個測試部配置之容許度(tolerance)所限制。

此比較元件之輸出信號之相對應之狀態以有利之方式儲存在此比較元件中。此比較元件之輸出信號在較長之時段中例如可藉由外部之分析元件來測知。此比較元件之輸出信號另外具有一種靜止狀態,使干擾所造成之影響在測知該輸出信號時不會大大地造成比較結果之失真。

此控制電路之控制功能例如可由一種參考值開始來進行調整。此參考值因此只須調整一次,此參考值儲存

五、發明說明(4)

在該控制電路之記憶單元中此記憶單元例如具有雷射熔絲形式或電性可程式化熔絲形式之可程式化元件。由所謂雷射切割器來對此種雷射熔絲進行程式化以調整此參考值。

此積體電路例如是積體記憶體(例如,所謂 SDRAMs)之一部份。特別是所謂 DDR(Double-Data-Rate)SDRAM 具有較高之切換速率及存取(access)速率。此種積體記憶體除了時脈信號(其通常由外部輸入)之外通常還具有資料有效信號或資料時脈信號(資料-選通(strobe)”),其施加至外部接點,以便讀取此積體記憶體之資料。此種資料選通信號在讀出過程期間一起與即將輸出之資料信號由積體記憶體向外傳送。

資料選通信號之切換邊緣藉由所謂 DLL(“Delay-Loakced-Loop”)電路而與時脈信號之切換邊緣同步。資料選通信號同時與時脈信號具有一種切換邊緣。此 DLL 電路用作此驅動電路之控制電路,其發出資料選通信號,此信號是由振盪器電路所產生且施加至驅動電路之輸入端。藉由此 DLL 電路,則內部時脈信號之形式可由外部時脈信號所產生,外部時脈信號施加至驅動電路。因此可相對於外部所施加之時脈信號來對內部時脈信號或資料選通信號之指定之相位偏移進行設定。

在本發明之實施形式中,該比較元件之第一輸入端是與掃描器之第一設定(set)輸入端相連,該比較元件之第二輸入端是與掃描器之第二設定輸入端相連。此比較

五、發明說明(5)

元件之輸出端是與掃描器之輸出端相連。掃描器之輸出信號指出：各設定輸入端上之信號中何者首先具有一種信號變遷現象。

在本發明之其它形式中，此積體電路具有一種功能單元，其是與比較元件之輸出端相連且與控制電路相連。此功能單元之依據該比較元件之輸出信號之狀態來調整該控制信號。因此，可藉由電性信號來調整該控制電路。由於此功能單元是積體電路之一部份則在對此控制電路進行電性調整時此積體電路不必設置外部接點。

此外，測試時間可較短，這是因為可同時對多個電路進行修整。利用此種功能單元，則可使電性可程式化之熔絲（其包含在控制電路中）被程式化。

在本發明之其它形式中，此功能單元具有一種自我測試單元，藉此可分析該比較元件之輸出信號之前後依序之各狀態。此自我測試單元另外可依據分析結果逐步地調整該控制電路。因此藉由此種自我測試單元，則可完全獨立地對此控制電路進行修整。此自我測試單元因此是依據“預燒自我測試(Burn-In-Self-Test)(BIST)”原理而製成。許多待測試之積體電路之測試時間因此可大大地縮短。各控制電路可同時由多個積體電路進行修整。

本發明以下將依據圖式來詳述。圖式簡單說明：

第 1 圖 本發明之實施形式。

五、發明說明(6)

第 2 圖該比較元件之實施形式。

第 1 圖顯示本發明積體電路之實施形式,其配置在半導體晶片 1 上。此積體電路包含在 DRAM 型式之記憶體電路中,例如,包含在 DDR SDRAM 中。此積體記憶體具有一種時脈信號 CK 或一種與 $\overline{\text{CK}}$ 互補之時脈信號 CD,其經由外部接點而與此記憶體之即將發出之資料信號一起向外傳送。資料選通信號 DQS 因此用作此記憶體之資料有效信號或資料時脈信號以讀出此記憶體之資料。

此積體電路另具有一種控制電路 3,其稱為 DLL 電路。信號 DQS 用之接點 10 連接至振盪器電路 9。此控制電路 3 具有一種時脈信號 CK 或 $\overline{\text{CK}}$ 用之輸入端 31。此控制電路 3 用來控制一種可控制之驅動電路 2,其具有:一個輸入端 21,其是與信號 DQS 用之接點 10 相連;及一個輸出端 22,用來輸出此信號 DQS。此控制電路 3 由外部時脈信號 CK 或 $\overline{\text{CK}}$ 產生一種內部時脈信號(其對 CK 或 $\overline{\text{CK}}$ 具有一種固定之相位偏移)。此驅動電路 2 因此由內部時脈信號所控制。藉由控制電路 3 或 DLL 電路,則信號 DQS 之信號遷移可對準此時脈信號 CK 或 $\overline{\text{CK}}$ 之信號遷移或這些信號遷移可互相同步。此信號 DQS 相對於外部傳送而來之時脈信號 CK 或 $\overline{\text{CK}}$ 所形成之指定之相位偏移是可調整的。此信號 DQS 在讀出過程中可與即將讀出之資料信號一起由積體記憶體向外傳送。

五、發明說明(7)

第 1 圖之積體電路另具有一種比較元件 4,其具有第一輸入端 41(用於時脈信號 CK 或 $\overline{\text{CK}}$)及第二輸入端 42,具是與驅動電路 2 之輸出端 22 相連。比較元件 4 之輸出端 43 用來輸出一種輸出信號 A。當輸入端 41 上之信號之信號遷移發生在輸入端 42 上之信號之信號遷移之前,則此輸出信號 A 具有第一狀態 "H"。同理,若輸入端 41 上之信號之信號遷移發生在輸入端 42 上之信號之信號遷移之後,則此輸出信號具有第二狀態 "L"。此比較元件 4 具有另一輸出端 44,其上之信號藉由相對應之狀態而顯示相反序列之信號遷移。可以接點 45 上之適當之信號使比較元件 4 被重置 (Reset)。

時脈信號 CK 或 $\overline{\text{CK}}$ 經由差動放大器 11 而與比較元件 4 之輸入端 41 相連。此信號 DQS 同樣經由差動放大器 12(其上施加一種參考電位 V_{ref})而連接於該比較元件 4 之輸入端 42。

此積體電路另外具有一種功能單元 5,其是與比較元件 4 之輸出端 43 相連且與控制電路 3 相連。此功能單元 5 依據該比較元件 4 之輸出信號 A 之狀態來調整該控制電路 3。藉由此功能單元 5,則利用一種電信號來調整此控制電路 3 是可能的。

在控制電路 3 中一種參考值儲存在記憶單元 8 中。控制電路 3 之控制功能可由所儲存之參考值來調整。此記憶單元 8 具有可程式化熔絲形式之可程式化元件 F。若此記憶單元 8 之程式化藉由功能單元 5 來進行,

五、發明說明(8)

則可程式化之熔絲 F 可適當地以電性可程式化之熔絲構成。

在此種積體電路之其它形式中,此功能單元 5 具有一種自我測試單元 6 以便分析比較元件 4 之輸出信號 A 之前後依序之各種狀態。藉由此種自我測試單元 6,則此控制電路 3 獨立地進行修整是可能的。”經由外部接點以取得該比較結果”已不需要,或”經由外部接點來對此控制電路 3 進行調整”亦已不需要。自我測試單元 6 適合依據一種分析結果而以逐步之方式來調整此控制電路 3。

第 2 圖顯示此比較元件 4 之實施形式。其具有一種掃描器 7,其第一設定-輸入端是 71 且第二設定-輸入端是 72。設定-輸入端 71 是與比較元件 4 之輸入端 41 相連,設定-輸入端 72 是與比較元件 4 之輸入端 42 相連。掃描器 7 具有一輸出端 73,其是與比較元件 4 之輸出端 43 相連。比較元件 4 之另一輸出端 44 是與掃描器 7 之輸出端 74 相連。掃描器 7 之重置-輸入端 75 是與比較元件 4 之接點 45 相連。掃描器 7 之輸出端 73 上之輸出信號顯示:各重置-輸入端 71 或 72 上之信號何者首先達到一種信號變遷。輸出端 73 上各別之輸出信號須儲存至掃描器 7 重置為止。

符號說明

1...半導體晶片

2...驅動電路

五、發明說明(9)

3...控制電路

4...比較元件

5...功能單元

6...自我測試單元

7...掃描器

8...記憶單元

F...熔絲

31,41,42...輸入端

43,73...輸出端

71,72...設定-輸入端

四、中文發明摘要(發明之名稱： 具有控制電路之積體電路)

一種積體電路具有數位信號(DQS)用之接點(10),此積體電路另有一可控制之驅動電路(2),其上施加此數位信號(DQS),此驅動電路(2)用來輸出數位信號(DQS)。藉由一種可調整之控制電路(3)(其具有一種時脈信號(CK)用之輸入端(31)),則可依據時脈信號(CK)來控制此驅動電路(2)。此積體電路另外包含一種比較元件(4),使時脈信號(CK)之信號遷移在時間上與數位信號(DQS)之信號遷移相比較。比較元件(4)之輸出端(43)上可測得一種輸出信號(A)。因此,在測試操作時可以較高之準確性在可控制之驅動電路(2)之輸出端上對此時脈信號(CK)及數位信號(DQS)之信號遷移作時間上之比較。

四、英文發明摘要（發明之名稱：

**Integrated circuit with control-circuit
to control a drive-circuit**

An integrated circuit with a terminal (10) for a digital signal (DQS) has a controllable drive-circuit (2), on which the digital signal (DQS) is applied, and which is serviced to output the digital signal (DQS). By means of an adjustable control-circuit (3), which has an input (31) for a clock-signal (CK), the drive-circuit (2) is controlled according to the clock-signal (CK). The integrated circuit includes additionally a comparison-device (4) to compare in time the signal-transition of the clock-signal (CK) with the signal-transition of the digital signal (DQS). At the output (43) of the comparison-device (4) an output-signal (A) can be picked up. So in a test-operation a time comparison of the signal-transition of the clock-signal (CK) and of the digital signal (DQS) on the output of the controllable drive-circuit (2) can be carried out with a relatively high accuracy.

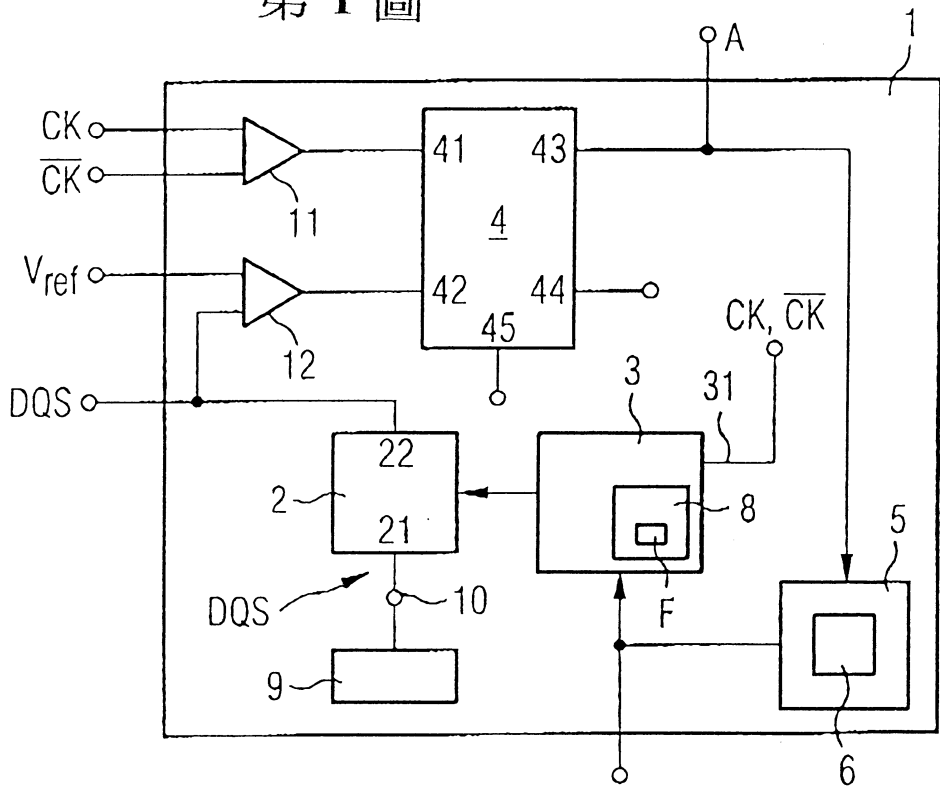
(請先閱讀背面之注意事項再填寫本頁各欄)

裝

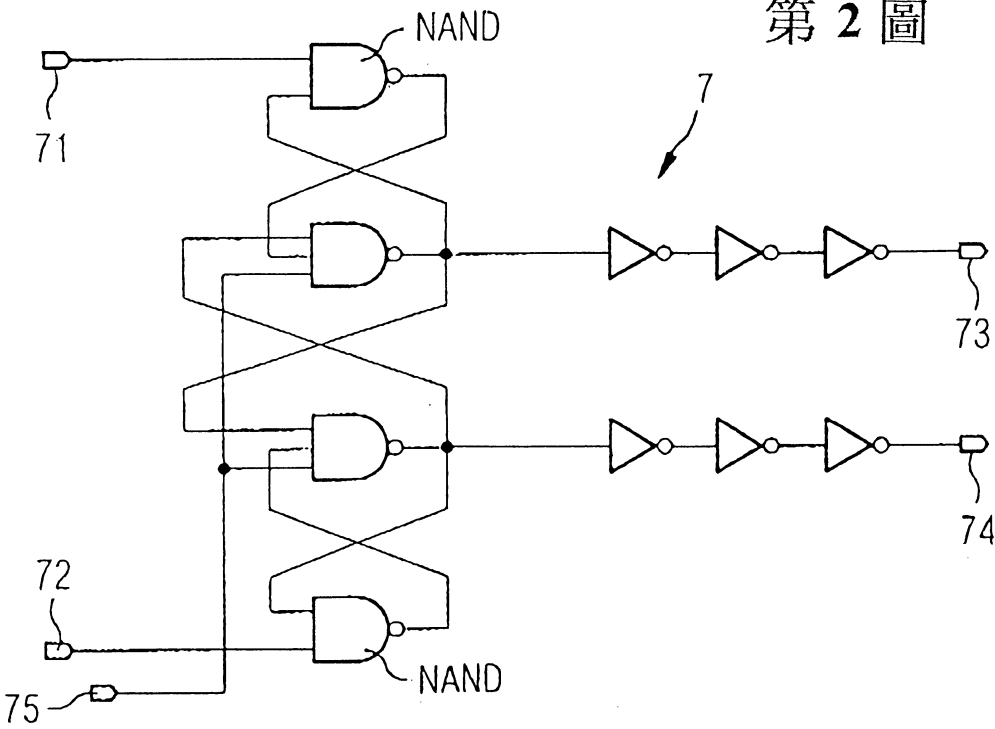
訂

線

第 1 圖



第 2 圖





六、申請專利範圍

第 90106784 號「具有控制電路之積體電路」專利案

(91 年 10 月修正)

六 申請專利範圍：

1. 一種積體電路，其包括：

- 一個接點(10)，用於數位信號(DQS)，
- 一種可控制之驅動電路(2)，其具有：輸入端(21)，其是與數位信號(DQS)用之接點(10)相連；及一個輸出端(22)，用來輸出該數位信號(DQS)，
- 一種控制電路(3)，其具有時脈信號(CK)用之輸入端(31)，以便依據時脈信號(CK)來控制該驅動電路(2)，

其特徵為：

- 此積體電路具有一種比較元件(4)，其具有第一輸入端(41)(用於時脈信號(CK))及第二輸入端(42)，其是與驅動電路(2)之輸出端(22)相連；另有一個輸出端(43)，以便輸出該輸出信號(A)，
- 此比較元件(4)之輸出信號(A)具有第一狀態，若第一輸入端(41)上之信號(CK)之信號變遷發生於第二輸入端(42)上之信號(DQS)之信號變遷之前，
- 此比較元件(4)之輸出信號(A)具有第二狀態，若信號變遷發生於第二輸入端(42)上之信號(DQS)之信號變遷之後。

2. 如申請專利範圍第 1 項之積體電路，其中此比較元件

六、申請專利範圍

(4)之輸出信號(A)之狀態儲存在該比較元件(4)中。

3. 如申請專利範圍第 1 或第 2 項之積體電路，其中

- 該比較元件(4)之第一輸入端(41)是與掃描器(7)之第一設定-輸入端(71)相連，該比較元件(4)之第二輸入端(42)是與掃描器(7)之第二設定-輸入端(72)相連，

- 該比較元件(4)之輸出端(43)是與掃描器(7)之輸出端(73)相連，

- 該比較元件(4)之輸出信號(A)顯示：各設定-輸入端(41, 42)上之信號中哪一個信號首先達成一種信號遷移。

4. 如申請專利範圍第 1 項之積體電路，其中此積體電路具有一種功能單元(5)，其是與該比較元件(4)之輸出端(43)相連且與控制電路(3)相連，以便依據此比較元件(4)之輸出信號(A)之狀態來調整該控制電路(3)之控制功能。

5. 如申請專利範圍第 4 項之積體電路，其中此功能單元(5)具有一種自我測試單元(6)，以便分析此比較元件(4)之輸出信號(A)之前後依序之各狀態，且依據此分析結果逐步地調整此控制電路(3)。

6. 如申請專利範圍第 1 或 4 項之積體電路，

- 該控制電路(3)之控制功能可由一種參考值來調整，

六、申請專利範圍

- 該控制電路(3)具有一種記憶單元(8)以儲存該參考值。
- 7. 如申請專利範圍第 6 項之積體電路,其中此記憶單元(8)具有可程式化熔絲形式之可程式化元件(F)。
- 8. 如申請專利範圍第 1 項之積體電路,其中在該數位信號(DQS)用之接點(10)上連接一種振盪器電路(9)。
- 9. 如申請專利範圍第 1 項之積體電路,其中此積體電路包含在 DRAM 型式之記憶體電路中。
- 10. 如申請專利範圍第 8 項之積體電路,其中此數位信號(DQS)是一種資料有效信號或一種資料時脈信號,以便讀出該記憶體電路之資料。