



MINISTERIE VAN ECONOMISCHE ZAKEN

PUBLIKATIENUMMER : 1007768A3
INDIENINGSNUMMER : 09301245
Internat. klassif. : H01L
Datum van verlening : 17 Oktober 1995

De Minister van Economische Zaken,

Gelet op de wet van 28 Maart 1984 op de uitvindingsoctrooien
inzonderheid artikel 22;
Gelet op het Koninklijk Besluit van 2 December 1986, betreffende het aanvragen,
verlenen en in stand houden van uitvindingsoctrooien, inzonderheid artikel 28;

Gelet op het proces-verbaal opgesteld door de Dienst voor Industriële Eigendom op
10 November 1993 te 10u00

BESLUIT :

ARTIKEL 1.- Er wordt toegekend aan : PHILIPS ELECTRONICS N.V.
Groenewoudseweg 1, NL-5621 BA EINDHOVEN(NEDERLAND)

vertegenwoordigd door : STEENBEEK L., INTERNATIONAAL OCTROOIBUREAU, P.O. Box 220 -
NL 5600 AE EINDHOVEN.

een uitvindingsoctrooi voor de duur van 20 jaar, onder voorbehoud van de betaling van
de jaartaksen voor : WERKWIJZE TER VERVAARDIGING VAN EEN HALFGELEIDERINRICHTING EN
HALFGELEIDERINRICHTING VERVAARDIGD MET EEN DERGELIJKE WERKWIJZE.

UITVINDER(S) : Peek Hermanus L., Groenewoudseweg 1, NL-5621 BA Eindhoven (NL)

ARTIKEL 2.- Dit octrooi is toegekend zonder voorafgaand onderzoek van zijn
octrooieerbaarheid, zonder waarborg voor zijn waarde of van de juistheid van
de beschrijving der uitvinding en op eigen risico van de aanvrager(s).

Brussel, 17 Oktober 1995
BIJ SPECIALE MACHTIGING :

WUYTS L
Directeur.

Werkwijze ter vervaardiging van een halfgeleiderinrichting en halfgeleiderinrichting vervaardigd met een dergelijke werkwijze.

De uitvinding heeft betrekking op een werkwijze ter vervaardiging van een halfgeleiderinrichting waarbij een oppervlak van een halfgeleiderlichaam met een elektrisch isolerende laag wordt bedekt en op de isolerende laag tenminste twee naast elkaar gelegen elektrische geleiders worden aangebracht, onderling gescheiden door een
5 tussenliggende dielektrische laag, waarbij een van de geleiders uit een eerste geleiderlaag die op de isolerende laag is gedeponneerd, wordt gevormd waarna het bovenvlak en althans de, naar de andere geleider gekeerde, flank van deze geleider worden bedekt met de dielektrische laag, waarna een tweede geleiderlaag over het gehele oppervlak wordt gedeponneerd die een stap vertoont, corresponderend met de
10 genoemde flank van de eerste geleider, waarna een masker wordt gevormd dat de tweede geleider definieert en door etsen de tweede geleider uit de tweede geleiderlaag wordt gevormd die aanligt tegen de dielektrische laag op de flank van de eerste geleider. De uitvinding betreft bovendien een halfgeleiderinrichting die met een dergelijke werkwijze is vervaardigd.

15

De uitvinding is in het bijzonder van belang voor ladingsgekoppelde inrichtingen waarin de elektrische geleiders de poorten of klokelektroden vormen die zeer dicht naast elkaar boven het CCD kanaal zijn aangebracht en die dienen voor het sturen van de ladingsopslag en het ladingstransport door het kanaal. Het aantal
20 elektroden is in dit geval in het algemeen veel groter dan twee. Behalve voor CCD 's kan de uitvinding ook met voordeel worden toegepast in andere typen halfgeleiderinrichtingen, zoals bijvoorbeeld geheugens, waarin geleidersporen op zeer kleine afstanden van elkaar voorkomen. Derhalve dient, hoewel in het hierna volgende de uitvinding in het bijzonder toegelicht wordt aan de hand van een ladingsgekoppelde
25 inrichting, hierbij bedacht te worden dat de toepasbaarheid van de uitvinding niet tot ladingsgekoppelde inrichtingen is beperkt.

Bij het vervaardigen van ladingsgekoppelde inrichtingen is het algemeen gebruikelijk de poorten aan te brengen in een meer-laagsbedrading waarbij de poorten in

een hogere bedradingslaag (of geleiderlaag) overlappend tot boven de poorten in een lagere bedradingslaag worden aangebracht. Hierdoor wordt bereikt dat de afstanden tussen de poorten niet groter is dan de dikte van een oxidelaag op de flanken van de poorten in de lagere bedradingslaag. Een groot bezwaar van deze methode is dat de capaciteiten ten gevolge van deze overlap zeer groot zijn en daarmee ook de RC tijden van de elektroden waardoor het transport traag is. Bovendien is ook het energie verbruik of dissipatie tijdens bedrijf hoog door de grote capaciteiten. Om aan deze bezwaren tegemoet te komen is al voorgesteld de poorten in een niet-overlappende configuratie aan te brengen. Om een dergelijke configuratie te maken zijn diverse methoden al bekend, die echter het bezwaar hebben dat ze vrij ingewikkeld zijn. Zo wordt in het Europese octrooi 0.209.425 een methode beschreven waarbij de tweede bedradingslaag overlappend boven de poorten in de eerste bedradingslaag wordt aangebracht. Dan worden in de tweede bedradingslaag vensters gevormd boven de onderste poorten, waarna via deze vensters de oxide laag die het bovenvlak van de onderste poorten bedekt wordt verwijderd. Vervolgens wordt voor het vormen van de poorten in de tweede bedradingslaag, de tweede bedradingslaag aan een isotrope etsstap onderworpen waarbij deze, tegelijk met de poorten in de onderste bedradingslaag, over de helft van zijn dikte wordt verwijderd. De overlappende delen van de bovenste bedradingslaag worden aan twee zijden geetst en over hun gehele dikte verwijderd.

De uitvinding beoogt onder meer een werkwijze aan te geven waarmee op een eenvoudige wijze die geen extra processtappen vereist poorten op zeer korte afstanden van elkaar zonder overlap worden aangebracht. Daartoe is een werkwijze van de in de aanhef beschreven soort volgens de uitvinding daardoor gekenmerkt dat het masker zodanig ten opzichte van de eerste geleider wordt uitgericht dat de naar de flank gekeerde rand van het masker gelegen is boven of althans praktisch boven de dielektrische laag op de flank van de eerste geleider, en dat het etsen isotroop is en zolang wordt voortgezet nadat de tweede geleiderlaag boven de eerste geleider geheel verwijderd is dat de genoemde stap in de tweede geleiderlaag ten gevolge van onderetsen onder het masker, althans ten dele is verwijderd.

Zoals in de bijgaande figuurbeschrijving zal worden toegelicht, kan van het onderetsen onder het masker gebruik worden gemaakt dank zij het feit dat de bovenste bedradingslaag ter plaatse van de stapbedekking voornamelijk in verticale richting wordt geetst. Door de relatief grote dikte van de bovenste geleiderlaag ter plaatse

van de stapbedekking is het mogelijk de tweede bedradingslaag te etsen op de stap onder vermijding van het gevaar dat door te ver etsen ongewenste openingen tussen de poorten ontstaan.

Een belangrijke uitvoeringsvorm van een werwijze volgens de uitvinding, is daardoor gekenmerkt dat de tweede geleiderlaag wordt aangebracht met een dikte die van dezelfde grootteorde is als de uitrichttolerantie waarmee het masker wordt aangebracht.

De uitvinding zal nader worden toegelicht aan de hand van een uitvoeringsvoorbeeld en de bijbehorende schematische tekening waarin:

Fig.1 een doorsnede geeft van een CCD met een conventionele elektrodenconfiguratie;

Fig.2-4 doorsneden vertonen van een inrichting tijdens enkele productiestadia, vervaardigd met een werkwijze volgens de uitvinding;

Fig.5 een doorsnede geeft van een ladingsgekoppelde inrichting vervaardigd met een werkwijze volgens de uitvinding.

Opgemerkt wordt dat de tekening schematisch is en niet op schaal is getekend.

Fig.1 geeft een doorsnede van een ladingsgekoppelde inrichting die op een gebruikelijke manier is vervaardigd. De inrichting omvat een halfgeleiderlichaam 1, bijvoorbeeld van silicium, met een oppervlak 2. Aan of nabij dit oppervlak is op een gebruikelijke wijze een ladingstransportkanaal gedefinieerd. De ladingsopslag- en transport worden gestuurd door klokspanningen ϕ_1 , ϕ_2 , enz, die aangelegd worden aan poorten of klokelektroden. Hiervan zijn er in de tekening slechts vijf, n.l. de elektroden 3-7, weergegeven, in werkelijkheid zal het aantal uiteraard meestal veel hoger zijn. De elektroden zijn van het oppervlak 2 geïsoleerd door het poortdielektricum 8, bijvoorbeeld een oxidelaag en/of een siliciumnitride laag.

Voor een goede werking van de inrichting is het van groot belang dat de elektroden zeer dicht bij elkaar zijn gelegen, d.w.z. op afstanden die kleiner zijn dan de minimum dimensies die met de gebruikelijke apparatuur kunnen worden gehaald.

Daartoe worden de elektroden gewoonlijk in een meer-laags bedrading aangebracht. Bij wijze van voorbeeld is in Fig.1 een uitvoering getoond met twee, door een elektrisch isolerende laag gescheiden, geleidende lagen waarbij de elektroden 4 en 6 in een eerste geleiderlaag van polykristallijn silicium, verder poly genoemd, of van een geschikt metaal, en de elektroden 3, 5 en 7 in een tweede poly of metaallaag worden gevormd. De afstanden tussen de elektroden wordt bepaald door de dikte van de oxidelaag 9 die de flanken 10 van de elektroden 4 en 6 bedekt. Een specifieke waarde voor de oxidedikte is bijvoorbeeld $0,2\ \mu\text{m}$. Zoals in de tekening is weergegeven, overlappen de elektroden 3, 5, 7 de elektroden 4, 6 enz., waardoor kritische uitrichtstappen worden vermeden. Deze overlap veroorzaakt een grote capaciteit tussen de elektroden en daarmee een vergroting van het energie verbruik. Bovendien resulteert de hier beschreven overlappende elektrodenconfiguratie in een sterk geprofileerd, d.w.z. niet-vlak oppervlak wat vaak nadelig is bij verdere processtappen.

Fig. 2-4 geven, in doorsnede, een deel met twee naast liggende elektroden van een inrichting vervaardigd met een werkwijze volgens de uitvinding. Uitgegaan wordt weer van een halfgeleiderlichaam 1 waarvan het oppervlak 2 bedekt is met een poortdielektricum 8 met een dubbellaag van siliciumoxide en siliciumnitride. Na depositie van poly, met een dikte van bijvoorbeeld ongeveer $0,5\ \mu\text{m}$, wordt op een gebruikelijke wijze met fotomaskering en etsen de elektrode 20 gevormd. Uiteraard worden, in het geval van een CCD, behalve de getekende elektrode, ook andere elektroden uit deze poly laag gevormd. In een volgende stap (Fig.3) wordt een elektrisch isolerende laag 21 aangebracht, in dit voorbeeld een oxidelaag met een dikte van ongeveer $0,2\ \mu\text{m}$, verkregen door thermische oxidatie. Daarna wordt de tweede poly laag 22, zie Fig.4, aangebracht met een dikte van ongeveer $0,4\ \mu\text{m}$. De naast de elektrode 20 gelegen elektrode 23 wordt gedefinieerd door het fotomasker 24 dat op de poly laag 22 wordt gevormd.

In tegenstelling tot gebruikelijke methoden, waarbij het masker ruim de elektrode 20 overlapt, wordt volgens de uitvinding het masker uitgericht ten opzichte van de flank 25 van de elektrode 20 zodat de rand 26 van het fotomasker boven de oxidelaag 21 tussen de flank 25 en de stap in de poly laag 22 is gelegen, waardoor er geen of althans praktisch geen overlap tussen het masker 24 en de elektrode 20 is. Bij voorkeur wordt het masker 24 zodanig aangebracht dat de rand 26 praktisch samenvalt met de flank van de oxidelaag 21. In Fig.4 is de ideale uitrichting van het masker 24

met ononderbroken lijnen weergegeven.

De poly laag 22 wordt dan isotroop geetst, bijvoorbeeld in een plasma van een CF_4 en O_2 mengsel. waarbij het vrij liggende deel van de poly laag 22 boven de elektrode 20 wordt verwijderd. Op het ogenblik waarop de oxidelaag 21 is bereikt en
5 derhalve alle poly boven de elektrode 20 weg is, wordt het etsen nog niet gestopt, maar voortgezet waardoor ook het poly materiaal in de stap onder het fotomasker 24 wordt verwijderd. In een specifieke uitvoering bedraagt de mate van overetsen ongeveer 40%. Dit overetsen is mogelijk zonder vorming van een opening tussen de oxidelaag 21 en de elektrode 23 dank zij de stap in de poly laag 22 waar bij het etsen het materiaal
10 voornamelijk in verticale richting wordt verwijderd. Bij de genoemde 40% overetsen wordt het poly verwijderd tot de lijn 27. Zoals uit de tekening blijkt, kan de laag nog zonder bezwaar verder geetst worden indien dit, bijvoorbeeld ter verlaging van de capaciteit langs de flank 25, gewenst is.

Bij het ontwerpen van geïntegreerde schakelingen dient men steeds
15 rekening te houden met uitrichtfouten waardoor de rand 26 van het masker in werkelijkheid iets naar links of naar rechts is verschoven. In Fig.4 is de rand van het masker 24 met de onderbroken lijnen 26' resp. 26'' voor beide situaties aangegeven, waarbij uitgegaan is van een uitrichttolerantie van ongeveer $0,4 \mu\text{m}$ (d.w.z. $0,2 \mu\text{m}$ in beide richtingen), wat in moderne uitrichtapparatuur gemakkelijk haalbaar is. Door het
20 overetsen wordt ook wanneer het masker te ver naar rechts is verschoven en daarbij zelfs mogelijkerwijs de elektrode 20 iets overlapt, het poly 22 boven de elektrode 20 geheel verwijderd waardoor er toch geen overlap is tussen de elektroden 20 en 23. De grens 27 van elektrode 23 verschuift dan naar 27'' bij ongeveer 40% overetsen. Wanneer het masker 24 ongeveer $0,2 \mu\text{m}$ te ver naar links is verschoven waardoor de
25 rand 26 bij 26' ligt, wordt de grens 27 verschoven naar 27'. Ten gevolge van de stap in het poly, vindt in deze situatie het etsen voornamelijk plaats in verticale richting waarbij de stap voldoende hoog is om te voorkomen dat het poly in de stap over de hele dikte wordt verwijderd.

Fig 5 geeft een doorsnede van een ladingsgekoppelde inrichting na de hier
30 beschreven etsstap, waarbij het masker 24, gebruikt voor het definieren van de elektroden 23, iets naar links is verschoven in vergelijking met het ontwerp. De elektroden die in de eerste poly laag zijn gevormd zijn aangeduid met het verwijzingscijfer 20 (wat niet betekent dat ze dan ook noodzakelijk tot een zelfde fase van de CCD beho-

ren). De elektroden 23 zijn de elektroden in de tweede poly laag. Deze elektroden overlappen niet de elektroden 20 waardoor de parasitaire capaciteiten gering zijn. Bovendien is de structuur veel vlakker dan de structuur in Fig. 1 met overlappende elektroden, wat voordelig is in verband met verdere bewerkingsstappen, zoals bijvoorbeeld het aanbrengen van kontakten, kleurenfilters enz. De inrichting is vervaardigd op een eenvoudige wijze die in vergelijking met conventionele processen geen extra processtappen vereist.

Het zal duidelijk zijn dat de uitvinding niet is beperkt tot het hier gegeven uitvoeringsvoorbeeld, maar dat binnen het kader van de uitvinding voor de vakman nog veel variaties mogelijk zijn. Zo kunnen voor de elektroden ook andere materialen dan poly, zoals een geschikt metaal, worden gebruikt. De isolerende laag 21, die de elektroden 20 bedekt, kan behalve, of in plaats van, oxide ook een laag van nitride bevatten. Behalve in CCD's, kan de uitvinding ook met voordeel in andere typen van halfgeleiderinrichtingen worden toegepast.

Conclusies:

1. Werkwijze ter vervaardiging van een halfgeleiderinrichting waarbij een oppervlak van een halfgeleiderlichaam met een elektrisch isolerende laag wordt bedekt en op de isolerende laag tenminste twee naast elkaar gelegen elektrische geleiders worden aangebracht, onderling gescheiden door een tussenliggende dielektrische laag,
5 waarbij een van de geleiders uit een eerste geleiderlaag die op de isolerende laag is gedeponereerd, wordt gevormd waarna het bovenzijde en althans de, naar de andere geleider gekeerde, flank van deze geleider worden bedekt met de dielektrische laag, waarna een tweede geleiderlaag over het gehele oppervlak wordt gedeponereerd die een stap vertoont, corresponderend met de genoemde flank van de eerste geleider, waarna
10 een masker wordt gevormd dat de tweede geleider definieert en door etsen de tweede geleider uit de tweede geleiderlaag wordt gevormd die aanligt tegen de dielektrische laag op de flank van de eerste geleider, met het kenmerk dat het masker zodanig ten opzichte van de eerste geleider wordt uitgericht dat de naar de flank gekeerde rand van het masker gelegen is boven of althans praktisch boven de dielektrische laag op de flank
15 van de eerste geleider, en dat het etsen isotroop is en zolang wordt voortgezet nadat de tweede geleiderlaag boven de eerste geleider geheel verwijderd is dat de genoemde stap in de tweede geleiderlaag ten gevolge van onderetsen onder het masker, althans ten dele is verwijderd.
2. Werkwijze volgens conclusie 1, met het kenmerk dat de tweede
20 geleiderlaag wordt aangebracht met een dikte die van dezelfde grootteorde is als de uitrichttolerantie waarmee het masker wordt aangebracht.
3. Werkwijze volgens conclusie 1 of 2, met het kenmerk dat de geleiders klokelektroden van een ladingsgekoppelde inrichting vormen.
4. Werkwijze volgens een van de voorgaande conclusies, met het kenmerk
25 dat de eerste geleiderlaag wordt aangebracht als een siliciumlaag en de dielektrische laag wordt gevormd door oxidatie van de silicium laag.
5. Werkwijze volgens een van de voorgaande conclusies, met het kenmerk dat het etsen van de tweede geleiderlaag zolang wordt voortgezet dat de stap in de tweede geleiderlaag althans nagenoeg geheel is verdwenen.
- 30 6. Halfgeleiderinrichting vervaardigd met een werkwijze volgens een van de voorgaande conclusies.

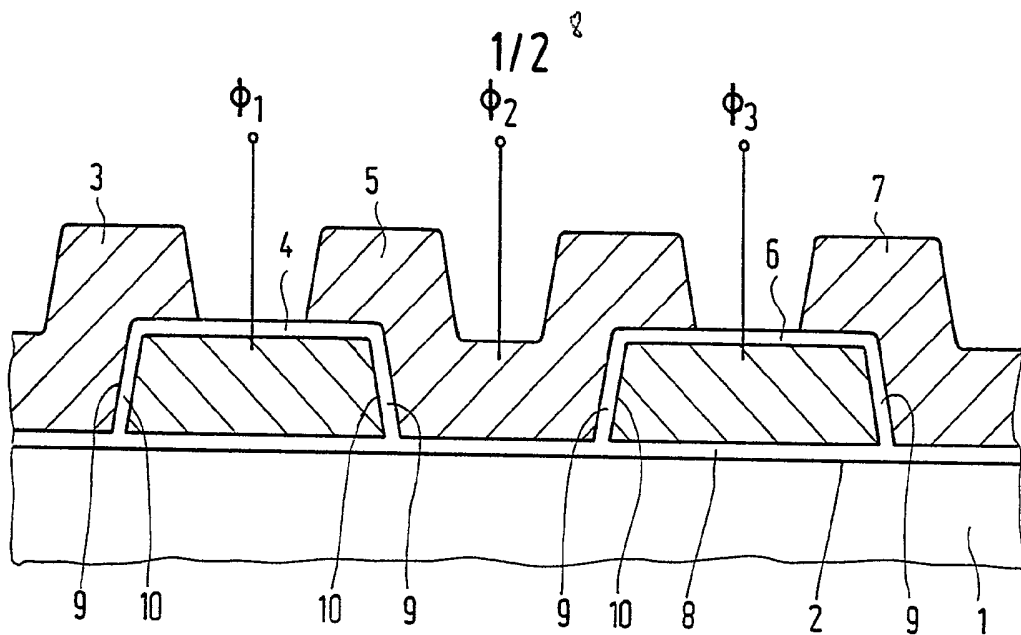


FIG.1

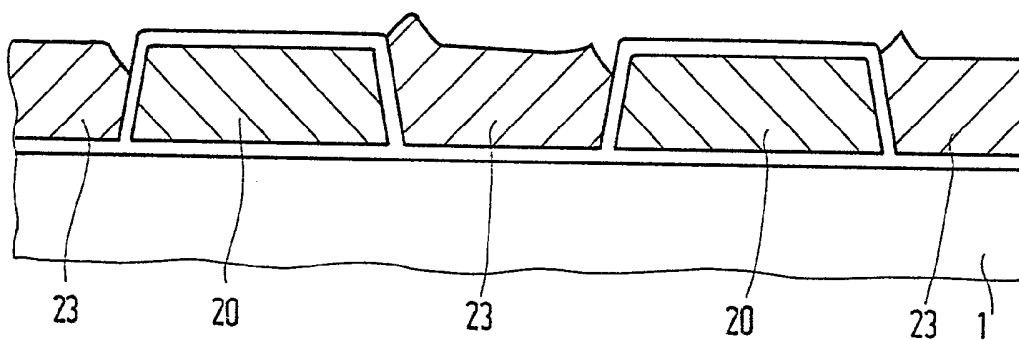


FIG.5

2/2^g

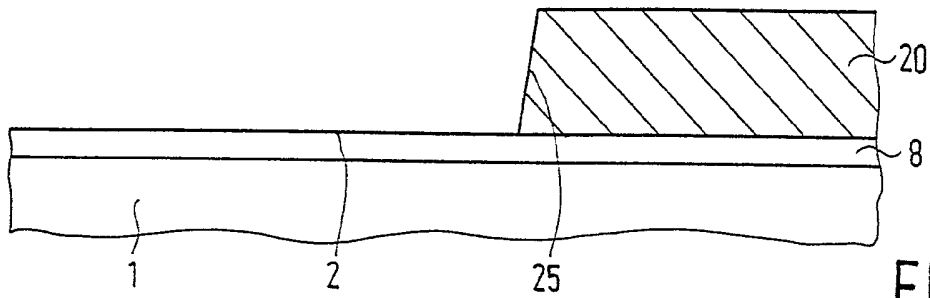


FIG. 2

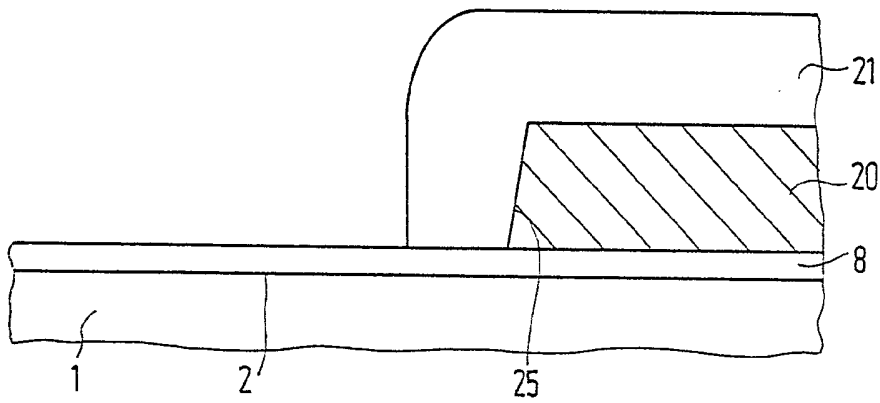


FIG. 3

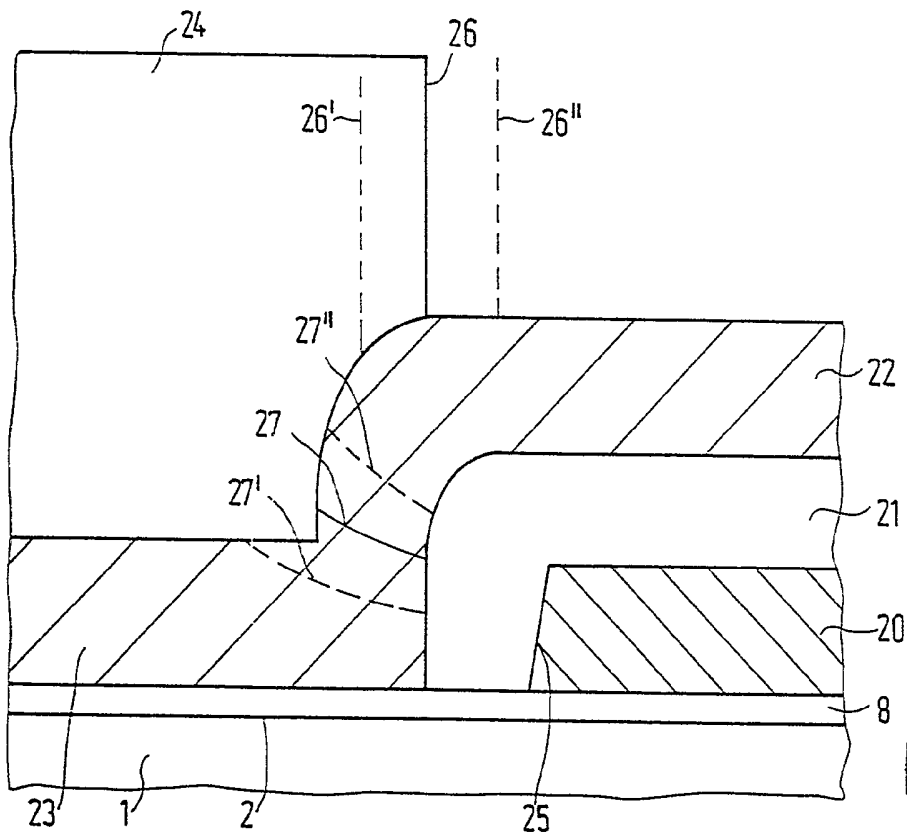


FIG. 4



Europees
Octrooibureau

VERSLAG BETREFFENDE HET ONDERZOEK

opgesteld krachtens artikel 21 § 1 en 2
van de Belgische wet op de uitvindingsoctrooien
van 28 maart 1984

Nummer van de
nationale aanvraag:

BO 4786
BE 9301245

VAN BELANG ZIJNDE LITERATUUR			
Categorie	Vermelding van literatuur met aanduiding voor zover nodig, van speciaal van belang zijnde tekstgedeelten of tekeningen	Van belang voor conclusie(s)Nr.:	CLASSIFICATIE VAN DE AANVRAAG (Int.Cl.5)
A	US-A-4 193 183 (T.KLEIN) * kolom 1, regel 7 - regel 15 * * kolom 3, regel 3 - regel 20 * * kolom 3, regel 40 - kolom 4, regel 49 * ---	1,3,4,6	H01L21/28 H01L29/60
A	EP-A-0 246 555 (TEKTRONIX INC.) * kolom 4, regel 17 - kolom 6, regel 51 * * figuur 4 * ---	1,3-6	
A,D	EP-A-0 209 425 (THOMSON-CSF) ---		
A	IBM TECHNICAL DISCLOSURE BULLETIN. deel 20, nr. 1, Juli 1977, NEW YORK US bladzijden 131 - 132 P.L.GARBARINO ET AL 'APPLICATION OF REACTIVE ION ETCH IN FABRICATION OF HIGH PERFORMANCE CHARGED-COUPLED SHIFT REGISTERS' -----		
			ONDERZOCHETE GEBIEDEN VAN DE TECHNIEK (Int.Cl.5)
			H01L
Datum waarop het onderzoek werd voltooid		Vooronderzoeker	
19 Juli 1994		Schuermans, N	
CATEGORIE VAN DE VERMEDELDE LITERATUUR			
X : op zichzelf van bijzonder belang Y : van bijzonder belang in samenhang met andere documenten van dezelfde categorie A : achtergrond van de stand van de techniek O : verwijzend naar niet op schrift gestelde stand van de techniek P : literatuur gepubliceerd tussen voorrangs- en indieningsdatum			
T : niet tijdig gepubliceerde literatuur over theorie of principe ten grondslag liggend aan de uitvinding E : eerdere octrooipublicatie maar gepubliceerd op of na indieningsdatum D : in de aanvraag genoemd L : om andere redenen vermelde literatuur & : lid van dezelfde octrooifamilie, corresponderende literatuur			

**AANHANGSEL BEHORENDE BIJ HET RAPPORT BETREFFENDE
HET ONDERZOEK NAAR DE STAND VAN DE TECHNIEK,
UITGEVOERD IN DE BELGISCHE OCTROOIAANVRAGE NR.**

BO 4786
BE 9301245

Het aanhangsel bevat een opgave van elders gepubliceerde octrooiaanvragen of octrooien (zogenaamde leden van dezelfde octrooifamilie), die overeenkomen met octrooischriften genoemd in het rapport.

De opgave is samengesteld aan de hand van gegevens uit het computerbestand van het Europees Octrooibureau per

De juistheid en volledigheid van deze opgave wordt noch door het Europees Octrooibureau, noch door de Octrooiraad gegarandeerd ; de gegevens worden verstrekt voor informatiedoeleinden.

19-07-1994

In het rapport genoemd octrooigescrift	Datum van publicatie	Overeenkomend(e) geschrift(en)	Datum van publicatie
US-A-4193183	18-03-80	GEEN	
EP-A-0246555	25-11-87	US-A- 4677737 JP-A- 62286280	07-07-87 12-12-87
EP-A-0209425	21-01-87	FR-A- 2583573 JP-A- 61294867 US-A- 4724218	19-12-86 25-12-86 09-02-88