



(12) 发明专利申请

(10) 申请公布号 CN 104081366 A

(43) 申请公布日 2014. 10. 01

(21) 申请号 201380006769. 8

代理人 鄧迅 陈颖

(22) 申请日 2013. 01. 02

(51) Int. Cl.

(30) 优先权数据

G06F 12/08 (2006. 01)

13/358, 806 2012. 01. 26 US

G06F 12/02 (2006. 01)

G06F 3/06 (2006. 01)

(85) PCT国际申请进入国家阶段日

G11C 7/10 (2006. 01)

2014. 07. 25

G11C 16/02 (2006. 01)

(86) PCT国际申请的申请数据

PCT/FI2013/050001 2013. 01. 02

(87) PCT国际申请的公布数据

W02013/110847 EN 2013. 08. 01

(71) 申请人 内存技术有限责任公司

地址 美国内华达州

(72) 发明人 K·J·米利 J·J·克林特

J·伊沃南 T·伊尔 J-P·维马洛

M·弗洛芒

(74) 专利代理机构 北京市金杜律师事务所

11256

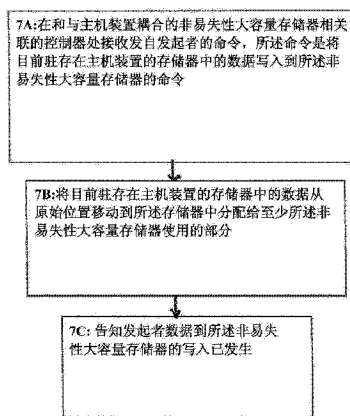
权利要求书3页 说明书14页 附图7页

(54) 发明名称

借助非易失性大容量存储器系统提供高速缓冲存储器移动的设备和方法

(57) 摘要

在一个非限制性实施例中,一种方法包括:在和与主机装置耦合的非易失性大容量存储器相关联的控制器处接收自发起者的命令,所述命令是将目前驻存在所述主机装置的存储器中的数据写入到所述非易失性大容量存储器的命令;将目前驻存在所述主机装置的所述存储器中的所述数据从原始位置移动到所述存储器中分配给至少所述非易失性大容量存储器使用的部分;以及告知所述发起者数据到所述非易失性大容量存储器的所述命令已被执行。也描述了一种被配置用于执行该方法的设备。



1. 一种方法,包括:

在和与主机装置耦合的非易失性大容量存储器相关联的控制器处接收发自发起者的命令,所述命令是将目前驻存在所述主机装置的存储器中的数据写入到所述非易失性大容量存储器的命令;

将目前驻存在所述主机装置的所述存储器中的所述数据从原始位置移动到所述存储器中分配给至少所述非易失性大容量存储器使用的部分;以及

告知所述发起者将所述数据写入到所述非易失性大容量存储器的所述命令已被执行。

2. 根据权利要求1所述的方法,进一步包括在告知之后,将所述数据从所述主机装置的所述存储器移动到所述非易失性大容量存储器。

3. 根据权利要求1所述的方法,其中所述数据是在物理上移动到所述存储器中分配给至少所述非易失性大容量存储器使用的所述部分。

4. 根据权利要求1所述的方法,其中所述数据是通过改变指向所述数据的存储器地址指针的值或所述数据的标头的值而在逻辑上移动到所述存储器中分配给至少所述非易失性大容量存储器使用的所述部分。

5. 根据权利要求1到4中任一权利要求所述的方法,其中所述数据发自所述发起者且其中所述发起者驻存在所述主机装置中。

6. 根据权利要求5所述的方法,其中所述发起者包括应用程序、文件系统、驱动程序和操作系统实用程序中的至少一者。

7. 根据权利要求1到4中任一权利要求所述的方法,其中所述数据发自所述发起者且其中所述发起者在所述主机装置外部。

8. 根据权利要求7所述的方法,其中所述发起者体现为与所述主机装置连接的外围装置。

9. 根据权利要求1所述的方法,其中所述主机装置的所述存储器包括动态随机存取存储器,且进一步包括:

在所述主机装置的所述存储器中自主地执行基本的存储器操作。

10. 根据权利要求9所述的方法,其中所述基本的存储器操作是将指定的多个存储位置设置到指定值的数据填充操作。

11. 根据权利要求9所述的方法,其中所述基本的存储器操作是将数据从第一指定的多个存储位置移动到第二指定的多个存储位置的数据移动操作。

12. 根据权利要求11所述的方法,其中所述数据移动操作进一步包括将所述第一指定的多个存储位置设置到预定值。

13. 根据权利要求1所述的方法,进一步包括在所述数据驻存在所述存储器中分配给至少所述非易失性大容量存储器使用的所述部分中时,响应于对所述数据的读取命令来读取驻存在所述存储器中分配给所述非易失性大容量存储器使用的所述部分中的所述数据,以及将所述所读取的数据复制给所述读取命令的发起者。

14. 根据权利要求1所述的方法,其中将目前驻存在所述主机装置的所述存储器中的所述数据从原始位置移动到所述存储器中分配给至少所述非易失性大容量存储器使用的部分是由与所述非易失性大容量存储器相关联的所述控制器发起。

15. 根据前述权利要求中任一权利要求所述的方法,其至少部分是由于所述控制器执

行了计算机程序指令而执行。

16. 一种设备,包括:

控制器,其和与主机装置耦合的非易失性存储器模块相关联;以及到所述非易失性大容量存储器模块的接口;

所述控制器可配置以处理发自发起者的命令,所述命令是将目前驻存在所述主机装置的存储器中的数据写入到所述非易失性大容量存储器模块的命令;所述控制器进一步可配置以将目前驻存在所述主机装置的所述存储器中的所述数据从原始位置移动到所述存储器中分配给至少所述非易失性大容量存储器模块使用的部分;以及告知所述发起者将所述数据写入到所述非易失性大容量存储器的所述命令已被执行。

17. 根据权利要求 16 所述的设备,其中所述控制器经进一步配置以在告知将所述数据写入到所述非易失性大容量存储器模块的所述命令已被执行之后,将所述数据从所述主机装置的所述存储器移动到所述非易失性大容量存储器模块。

18. 根据权利要求 16 所述的设备,其中所述数据是在物理上移动到所述存储器中分配给至少所述非易失性大容量存储器模块使用的所述部分。

19. 根据权利要求 16 所述的设备,其中所述数据是通过改变指向所述数据的存储器地址指针的值或所述数据的标头的值而在逻辑上移动到所述存储器中分配给至少所述非易失性大容量存储器模块使用的所述部分。

20. 根据权利要求 16 到 19 中任一权利要求所述的设备,其中所述数据发自所述发起者且其中所述发起者驻存在所述主机装置中。

21. 根据权利要求 20 所述的设备,其中所述发起者包括应用程序、文件系统、驱动程序和操作系统实用程序中的至少一者。

22. 根据权利要求 16 到 19 中任一权利要求所述的设备,其中所述数据发自所述发起者且其中所述发起者在所述主机装置外部。

23. 根据权利要求 22 所述的设备,其中所述发起者体现为与所述主机装置连接的外围装置。

24. 根据权利要求 16 所述的设备,其中所述主机装置的所述存储器包括动态随机存取存储器,且进一步包括与所述主机装置的所述存储器相关联以在所述主机装置的所述存储器中自主地执行基本的存储器操作的功能。

25. 根据权利要求 24 所述的设备,其中所述基本的存储器操作是将指定的多个存储位置设置到指定值的数据填充操作。

26. 根据权利要求 24 所述的设备,其中所述基本的存储器操作是将数据从指定的第一多个存储位置移动到指定的第二多个存储位置的数据移动操作。

27. 根据权利要求 26 所述的设备,其中所述数据移动操作进一步包括将所述第一指定的多个存储位置设置到预定值。

28. 根据权利要求 16 所述的设备,进一步包括在所述数据驻存在所述存储器中分配给至少所述非易失性大容量存储器模块使用的所述部分中时,响应于对所述数据的读取命令来读取驻存在所述存储器中分配给所述非易失性大容量存储器模块使用的所述部分中的所述数据,将所述所读取的数据复制给所述读取命令的发起者。

29. 根据权利要求 16 所述的设备,其中将目前驻存在所述主机装置的所述存储器中的

所述数据从原始位置移动到所述存储器中分配给至少所述非易失性大容量存储器使用的部分是由所述非易失性大容量存储器模块起始。

30. 根据权利要求 16 到 29 中任一权利要求所述的设备,其中所述主机装置包括经配置以执行双向无线通信的移动装置。

31. 一种方法,包括:

提供数据处理系统,所述数据处理系统包括至少一个数据处理器和至少一个存储器,所述至少一个存储器包括动态随机存取存储器,以及

在所述存储器中自主地执行基本的存储器操作。

32. 根据权利要求 31 所述的方法,其中所述基本的存储器操作是将指定的多个存储位置设置到指定值的数据填充操作。

33. 根据权利要求 31 所述的方法,其中所述基本的存储器操作是将数据从第一指定的多个存储位置移动到第二指定的多个存储位置的数据移动操作。

34. 根据权利要求 33 所述的方法,其中所述数据移动操作进一步包括将所述第一指定的多个存储位置设置到预定值。

35. 一种存储器模块,包括:

控制器;

非易失性大容量存储器,其是可由所述控制器读取和可写入的;以及

用于将所述存储器模块连接到主机装置的接口;

所述控制器可配置以接收发自发起者的命令,所述命令是将目前驻存在所述主机装置的存储器中的数据写入到所述非易失性大容量存储器模块的命令;发起将目前驻存在所述主机装置的所述存储器中的所述数据从原始位置移动到所述存储器中分配给至少所述非易失性大容量存储器模块使用的部分;以及告知所述发起者将所述数据写入到所述非易失性大容量存储器的所述命令已被执行。

36. 根据权利要求 35 所述的存储器模块,其中所述控制器经进一步配置以在告知将所述数据写入到所述非易失性大容量存储器模块的所述命令已被执行之后,将所述数据从所述主机装置的所述存储器移动到所述非易失性大容量存储器模块。

借助非易失性大容量存储器系统提供高速缓冲存储器移动 的设备和方法

技术领域

[0001] 本发明的示例性和非限制性实施例一般来说涉及存储器存储系统、方法、装置和计算机程序,且更具体来说,涉及大容量存储装置,例如含有非易失性快闪存储器的那些存储装置。

背景技术

[0002] 本部分意在提供在权利要求书中叙述的发明的背景或上下文。此处的描述可包含可探求的概念,但不一定是先前已经构想、实施或描述的一些概念。因此,除非此处另有指示,否则本部分中描述的内容不是本申请中的说明书和权利要求书的现有技术且并不因为包含在本部分中就被承认是现有技术。

[0003] 可在说明书和 / 或图式中找到以下缩写被定义如下:

[0004] ASIC 专用集成电路 (application specific integrated circuit)

[0005] CPU 中央处理单元 (central processing unit)

[0006] DMA 直接存储器存取 (direct memory access)

[0007] eMMC 嵌入式多媒体卡 (embedded multimedia card)

[0008] exFAT 扩展文件分配表 (extended file allocation table)

[0009] HW 硬件 (hardware)

[0010] JEDEC 联合电子设备工程委员会 (Joint Electron Device Engineering Council)

[0011] LBA 逻辑块地址 (logical block address)

[0012] MMC 多媒体卡 (MultiMediaCard)

[0013] MRAM 磁随机存取存储器 (magnetic random access memory)

[0014] RAM 随机存取存储器 (random access memory)

[0015] SCSI 小型计算机系统接口 (small computer system interface)

[0016] SD 安全数字卡 (secure digital)

[0017] SW 软件 (software)

[0018] UFS 通用快闪存储装置 (universal flash storage)

[0019] 目前存在各种类型的基于快闪的大容量存储存储器。大容量存储存储器的基本前提是对主机系统隐藏快闪技术复杂性。例如 eMMC 等技术为一个实例。管理型的 NAND 型存储器可为 (例如) eMMC、SSD、UFS 或微型 SD。

[0020] 图 1A 复制了 JEDEC 标准、嵌入式多媒体卡 (eMMC) 产品标准、大容量 JESD84-A42 (JEDEC Standard, Embedded MultiMediaCard (eMMC) Product Standard, High Capacity, JESD84-A42) (2007 年 6 月, JEDEC 固态技术协会) 中的图 2, 且示出了 eMMC 的功能框图。除了快闪存储器自身之外, JEDEC eMMC 还包含管理 MMC 通信协议的智能板载控制器。所述控制器还处置块管理功能, 例如逻辑块分配和磨损平衡。接口包含时钟 (CLK) 输入。还

包含命令 (CMD),它是用于装置初始化和命令传说的双向命令信道。将命令从总线主控装置发送到所述装置,且将响应从所述装置发送到主机。还包含双向数据总线 (DAT[7:0])。DAT 信号以推-拉模式操作。默认的是,在上电或复位之后,仅 DAT0 用于数据传送。存储器控制器可配置较宽数据总线以便使用 DAT[3:0] (4 位模式) 或 DAT[7:0] (8 位模式) 来进行数据传送。

[0021] 快闪存储器控制器构造的一个非限制性实例描述于林川胜 (Chuan-Sheng Lin) 和董兰荣 (Lan-Rong Dung) 发表在 2007 年 2 月 IEEE 磁学报 (Transactions of Magnetics) 第 43 卷第 2 期第 933 到 935 页上的“用于 SD/MMC 快闪存储卡的 NAND 快闪存储器控制器 (A NAND Flash Memory Controller for SD/MMC Flash Memory Card)”(下文中被称作林等人) 中。图 1B 复制了林等人中的图 1 且示出了用于 SD/MMC 卡的 NAND 快闪控制器架构的总体框图。所图示的特定控制器碰巧结合代码分页机制来使用被设计成校正快闪存储器的随机位误差的 w 位并行博斯-查德胡里-霍昆格姆 (BCH) 纠错码 (ECC)。

发明内容

[0022] 在本发明的第一方面中,本发明的示例性实施例提供一种方法,所述方法包括在和与主机装置耦合的非易失性大容量存储器相关联的控制器处接收发自发起者的命令,所述命令是将目前驻存在所述主机装置的存储器中的数据写入到所述非易失性大容量存储器的命令;将目前驻存在所述主机装置的所述存储器中的所述数据从原始位置移动到所述存储器中分配给至少所述非易失性大容量存储器使用的部分;以及告知所述发起者将所述数据写入到所述非易失性大容量存储器的所述命令已被执行。

[0023] 在本发明的另一方面中,本发明的示例性实施例提供一种设备,所述设备包括和与主机装置连接的非易失性存储器模块相关联的控制器以及到所述非易失性大容量存储器模块的接口。所述控制器可配置以处理发自发起者的命令,其中所述命令是将目前驻存在所述主机装置的存储器中的数据写入到所述非易失性大容量存储器模块的命令。所述控制器进一步可配置以将目前驻存在所述主机装置的所述存储器中的所述数据从原始位置移动到所述存储器中分配给至少所述非易失性大容量存储器模块使用的部分;以及告知所述发起者将所述数据写入到所述非易失性大容量存储器的所述命令已被执行。

[0024] 在本发明的另一方面中,本发明的示例性实施例提供一种方法,所述方法包括:提供数据处理系统,所述数据处理系统包括至少一个数据处理器和至少一个存储器,所述至少一个存储器包括动态随机存取存储器;以及在所述存储器中自主地执行基本的存储器操作。

[0025] 在本发明的又一方面中,本发明的示例性实施例提供一种存储器模块,所述存储器模块包括:控制器;所述控制器可读取和可写入的非易失性大容量存储器;以及用于将所述存储器模块连接到主机装置的接口。所述控制器可配置以接收发自发起者的命令,其中所述命令是将目前驻存在所述主机装置的存储器中的数据写入到所述非易失性大容量存储器模块的命令。所述控制器进一步可配置以开始将目前驻存在所述主机装置的所述存储器中的所述数据从原始位置移动到所述存储器中分配给至少所述非易失性大容量存储器模块使用的部分;以及告知所述发起者将所述数据写入到所述非易失性大容量存储器的所述命令已被执行。

附图说明

[0026] 在附图中：

[0027] 图 1A 复制了 JEDEC 标准、嵌入式多媒体卡 (eMMC) 产品标准、大容量 JESD84-A42 (JEDEC Standard, Embedded MultiMediaCard (eMMC) Product Standard, High Capacity, JESD84-A42) (2007 年 6 月, JEDEC 固态技术协会) 中的图 2, 且示出了 eMMC 的功能框图。

[0028] 图 1B 复制了林等人中的图 1 且示出了用于 SD/MMC 卡的 NAND 快闪控制器架构的总体框图的实例。

[0029] 图 2 是与大容量存储存储装置连接的主机装置的简化框图且有助于描述本发明的示例性实施例。

[0030] 图 3 是描述了描述于共同转让的美国专利申请 No. 12/455, 763 号中的发明的一实施例的信号 / 消息流程图, 其中图 2 中的大容量存储存储装置可分配、使用和撤销分配主机装置的 RAM。

[0031] 图 4 是描述了描述于共同转让的美国专利申请 NO. 12/455, 763 中的发明的另一实施例的信号 / 消息流程图, 其中图 2 中的大容量存储存储装置具有内置文件系统。

[0032] 图 5A、图 5B 和图 5C (统称为图 5) 示出了根据本发明的实施例的图 2 中的主机装置和大容量存储存储装置的实施例。

[0033] 图 6 示出了体现为无线通信装置时的主机装置的一个示例性实施例的框图。

[0034] 图 7 是图示了根据本发明的示例性实施例的一种方法的操作以及体现在计算机可读存储器上的计算机程序指令的执行结果的逻辑流程图。

[0035] 图 8 是图示了进一步根据本发明的示例性实施例的一种方法的操作以及体现在计算机可读存储器上的计算机程序指令的执行结果的逻辑流程图。

具体实施方式

[0036] 与随后对本发明的示例性实施例的描述相关的是 2009 年 6 月 4 日提交的 011i Luukkainen、Kimmo Mylly 和 Jani Hyvonen 的共同转让的美国专利申请 No. 12/455, 763“与大容量存储存储器 RAM 共享主机系统 RAM 的设备和方法 (Apparatus and Method to Share Host System RAM with Mass Storage Memory RAM)” (US 2010/0312947 A1), 所述美国专利申请以引用方式并入本文中。在详细描述本发明的示例性实施例之前, 查看此共同转让的美国专利申请 No. 12/455, 763 中的至少一部分描述将是有用的。

[0037] 如所述, 目前大多数大容量存储存储器提供基于 LBA 的存取, 例如 eMMC 和不同类型的外部存储卡 (例如 SD)。然而, 情况也可能是整个文件系统 (FS) SW 嵌入于大容量存储存储装置中。

[0038] 当大容量存储存储器用在大容量消费装置 (例如移动无线通信装置) 中时, 一个重要的考虑是成本, 且影响成本的一个因素是大容量存储存储装置自身中的 RAM 的量。

[0039] 另一个重要的考虑是性能。总体性能取决于许多因素。举例来说, 对于冗长 (费时) 操作 (特别是假如大容量存储存储装置含有整个文件系统 SW), 将大量 RAM 包含在大容量存储存储装置中将是有利的。然而, 这可能会对成本有负面影响。

[0040] 情况可能是系统上下文（元数据）将存储在大容量存储装置的快闪存储器中。然而，这种方法具有若干相关联的缺点。举例来说，重复地将系统上下文（元数据）写入到大容量存储装置会引起磨损问题，而这可能会影响大容量存储装置的可用寿命。并且，将数据写入到快闪存储器可能是相对较慢的过程。

[0041] 另一个重要的考虑是功率效率。为了提供良好的功率效率，大容量存储装置优选地在不需要时关闭（断开电源）（也表示所述装置的内部 RAM 优选地也关闭）。然而，假定 RAM 本质上是易失性的，那么在从 RAM 移除电源时，无论什么数据存储在 RAM 中都会丢失。因此为了在上电之后执行重新初始化，需要恢复所有需要的信息（例如，逻辑到物理映射信息和 / 或文件系统结构）。对 LBA 大容量存储装置的完全重新初始化可能需要大量（并且是用户可察觉到的）时间（例如，就 SD 卡来说高达 1 秒），且整个文件系统初始化（假如所述文件系统驻存在大容量存储装置中）可能会花费甚至更长的时间。因此，希望在断开电源 / 接通电源循环内留存内部装置上下文。

[0042] 图 2 所示为经由大容量存储装置总线 (MSMB) 18 与大容量存储装置 20 连接的主机系统或装置 10 的简化框图。MSMB 18 可与任何合适的大容量存储装置接口标准（作为两个非限制性实例，例如 MMC 或 UFS）兼容。MSMB 18 可包含信号线，例如图 1A 中针对 eMMC 实施例所示的那些信号线。主机装置 10 包含至少一个控制器，例如根据所存储的程序指令操作的 CPU 12。所述程序指令可存储在 RAM 14 中或存储在另外一个存储器或多个存储器中。CPU 12 经由至少一个内部总线 17 与 RAM 14 和 MSMB 接口 (I/F) 16 连接。MSMB 接口 16 可包含存储装置控制器 (MC)，或可与和 CPU 12 相关联的 MC 单元耦合。主机装置 10 可为计算机、移动电话、数码相机、游戏装置或 PDA（作为若干非限制性实例）。注意，RAM 14 可为任何读取 / 写入存储器或存储装置，例如半导体存储器或基于盘片的存储器。

[0043] 大容量存储装置 20 包含微控制器或更简单地说是控制器 22，所述控制器经由至少一个内部总线 27 与易失性 RAM 24、非易失性大容量存储装置 26（例如，多千兆字节快闪存储器大容量存储装置）和 MSMB 接口 (I/F) 28 连接。控制器 22 根据所存储的程序指令而操作。所述程序指令可存储在 RAM 24 或 ROM 或大容量存储装置 26 中。大容量存储装置 20 可体现为 MMC、eMMC 或 SD 装置（作为非限制性实例），且可在主机装置 10 外部（插入到主机装置 10 中）或安装在主机装置 10 内。注意，在一些实施例中，大容量存储装置 26 可存储文件系统 (FS) 26A。因此，在这种情况下，RAM 24 可存储 FS 相关元数据 24A，例如包括位图、文件分配表数据和 / 或其他 FS 相关联信息的一个或多个数据结构。

[0044] 描述于共同转让的美国专利申请 No. 12/455, 763 中的发明的实施例提供一种用以与大容量存储装置 20 共享主机装置 10 的 RAM 14 的技术。可假定，主机装置 10（例如，移动计算机、移动电话、数码相机、游戏装置、PDA 等）具有分配和撤销分配 RAM 14 的能力。对 RAM 14 的分配可动态地执行或它可静态地执行。对 RAM 的一部分的分配可响应于主机装置 10 处接收到的请求来执行或由主机装置 10 发起而执行。

[0045] 在描述于共同转让的美国专利申请 No. 12/455, 763 中的发明的实施例中，假如大容量存储装置 20 需要扩展它自己的 RAM 24 空间和 / 或假如大容量存储装置 20 需要非易失性 RAM（其中的内容在大容量存储装置 20 断开电源时不会丢失），那么为大容量存储装置 20（经由 MSMB 18 连接到主机 CPU 12）提供 RAM 14 分配。大容量存储装置 20 也可对主机装置 10 中的所分配 RAM 14 进行读取和 / 或写入 (R/W)。分配 / 撤销分配和 R/

W 存取方法可通过对用以经由适用的大容量存储存储器协议与大容量存储存储器 20 通信的命令集的扩展来实施。

[0046] 根据描述于共同转让的美国专利申请 No. 12/455, 763 中的发明的某些实施例, 大容量存储存储器装置 20 具备用以中断 / 发送消息到主机装置 10 以起始对 RAM 14 中的空间的分配的机构。中断 / 消息是经由 MSMB 18 来发送, 且可被视为对当前命令集的扩展。参看图 3, 在操作 3-1 期间发送分配存储器命令。如果分配请求成功 (在操作 3-2 期间指示), 那么启用控制器 22 以用主机装置 10 的 RAM 14 来扩展它自己的 RAM 24。举例来说, 大容量存储存储器装置 20 可使用 RAM WRITE 命令将大表格存储到 RAM 14 中, 或者它可使用 RAM READ 命令从主机装置的 RAM 14 提取数据。读取或写入操作示出为交错操作 3-3、3-4、3-5、3-6、3-(N-1)、3-N。当大容量存储存储器装置 20 用 RAM 14 完成了操作时, 它可使用另一命令来释放主机装置的 RAM 14, 所述命令请求撤销分配主机 10 的 RAM 存储器 (操作 3-(N+1))。

[0047] 图 4 图示了描述于共同转让的美国专利申请 No. 12/455, 763 中的另一示例性实施例, 所述实施例将主机系统的 RAM 14 用于具有内置文件系统 (例如图 2 中所示的 FS 26A) 的大容量存储存储器 26。首先, 主机系统 10 将 SHUTDOWN 命令发送到大容量存储存储器装置 20 (操作 4-1)。接下来, 大容量存储存储器装置 20 分配主机 10 的 RAM 14, 且接着将所有重要的 '静态' 文件系统相关数据 (元数据 24A) 载入 (使用 RAM WRITE 命令来存储) 到主机 RAM 14 中 (操作 4-2)。在此上下文中, '静态' 数据可为 (例如) 各种位图, 例如 exFAT 或 ext3 文件系统分配位图。此数据可通过主机装置的 CPU 12 (控制器) 来处理 (例如, 排序、排列和筛选中的至少一者) 且可包含来自大容量存储存储器 26 中的大量扇区的数据。大容量存储存储器装置 20 可接着发送关闭 OK 指示 (操作 4-3)。主机 10 可将电源从大容量存储存储器装置 20 移除, 且装置 20 可在物理上从 MSMB18 移除。当主机装置 10 需要从大容量存储存储器装置 20 获取某些数据 / 将某些数据放入大容量存储存储器装置 20 中时, 执行对大容量存储存储器装置 20 的重新初始化 (操作 4-4、4-5、4-6)。大容量存储存储器 26 (和文件系统 26A) 的重新初始化可通过使用来自 RAM 14 的经排序 / 排列 / 筛选的读取数据来加速。当重新初始化操作完成时, 大容量存储存储器装置 20 可撤销分配主机装置 10 中的已用 RAM 14, 或者可不撤销分配 RAM 14, 由此预留所述 RAM 空间以供大容量存储存储器装置 20 将来使用。

[0048] 主机 RAM 14 的分配在一些实施例中可以不同方式来进行。举例来说, 主机装置 10 可动态地分配 RAM 14 且将指向所分配 RAM 的 '指针' 传递给大容量存储存储器装置 20。之后, 如何利用所分配的主机 RAM 14 则由大容量存储存储器装置 20 的控制器 22 决定。注意, 在此实施例中, 可不将来自大容量存储存储器装置 20 的明确分配请求发送给主机装置 10。而是, 主机装置 10 可自发地分配 RAM 14 的一部分, 例如当它第一次检测到大容量存储存储器装置 20 的存在时。当然, 假如初始分配不能满足控制器 22 的需要, 那么可使用大容量存储存储器装置 20 与主机装置 10 之间的后续传信来改变所分配 RAM 14 的大小。作为 RAM 14 分配的另一实例, 主机 10 可以静态方式分配 RAM 14 的一部分, 且之后每当大容量存储存储器装置 20 需要扩展 RAM 24 时, 它只是使用 RAM 14 的同一部分。在这种情况下, 大容量存储存储器装置 20 可能已经知道了所分配 RAM 14 的位置 / 大小, 且不需要从主机装置 10 发送指针。

[0049] 注意, 虽然情况通常可能是大容量存储存储器装置 20 将接收主机存储器的分配以存储易失性 RAM 24 中的内容, 但一般来说所述分配可用于为大容量存储存储器装置 20 内所

含的任何读取 / 写入存储器存储数据。

[0050] 如此已提供了对描述于共同转让的美国专利申请 No. 12/455, 763 中的发明的各种非限制性和示例性实施例的概述, 现在将描述本发明的示例性实施例。

[0051] 在管理型 NAND 存储器 (例如 eMMC、SSD、UFS、微型 SD) 中, 存储器控制器 (例如图 2 中所示的控制器 22) 负责快闪管理功能, 例如坏块管理和磨损平衡。在典型低成本实施方案中, 在管理型 NAND 中仅存在小的输入 / 输出 (IO) 缓冲 SRAM。数十到数百兆位的离散 DRAM 可嵌入于较高端管理型 NAND (例如 SSD) 中的控制器中作为高速缓冲存储器。在将来, 一些新的存储器技术 (例如 MRAM) 也可充当非常快速的非易失性高速缓冲存储器。

[0052] 在现代的多任务移动装置环境中, 在同一时间可能存在来自不同发起者的在排队的对大容量存储装置的许多不同类型的存取。在 eMMC 情况中, 将逐个服务所述排队的存取, 因为 eMMC 装置一次仅可以处置单个线程。在 UFS 情况中, 可以将存取 / 命令发送到 UFS 装置队列。然而, 尽管所述命令可被排队, 但这并不确保在 UFS 装置处一定存在足够的资源 (尤其是在成本优化模型下) 来即刻容纳与所述排队的存取有关的所有数据。

[0053] 上述共同转让的美国专利申请 No. 12/455, 763 提供了一种模型, 其中大容量存储存储器 20 提供了对系统 DRAM 14 的读 / 写访问。此概念通过本发明的示例性实施例扩展成使得大容量存储存储器 20 能够将数据移动到系统 DRAM 内 (在逻辑上 (通过使用指针) 或在物理上)。实际移动可在 DRAM 14 内发生或数据可在系统 DRAM 总线 17 上来回行进 (例如, 在系统 DRAM 14 与大容量存储器主机控制器 13 DMA 缓冲器之间)。就此来说, 可认为大容量存储器主机控制器 13 (图 5A 中所示且在下文中详细描述) 充当 DMA 主控装置且因此可包含它自己的关联 DAM 数据缓冲器以便实现此目的。

[0054] 可经由使用若干实施例来实现前述特征。

[0055] 在第一实施例中, 为大容量存储存储器 20 预留系统 DRAM 14 中的分离的物理地址空间, 或者假如系统 DRAM 14 在逻辑地址空间中操作, 那么预留逻辑空间。大容量存储存储器 (例如 UFS 大容量存储存储器 20) 可自由地利用此地址空间, 且负责此地址空间的管理功能, 例如分配 / 撤销分配功能和其他功能。

[0056] 可参看图 5, 其中对参看图 2 描述的那些组件相应地编号。在图 5A、图 5B 和图 5C 中, 系统 DRAM 14 的一部分 14G 被分配给大容量存储器模块 20 (在非限制性实施例中此处被描述为 UFS 存储器模块) 使用。主机装置 10 包含可体现为 CPU 12 的应用处理器。DRAM 控制器 11 可包含在应用处理器 12 内或耦合到应用处理器 12。还存在上述大容量存储器模块 (例如 UFS) 主机控制器 13。主机控制器 13 可体现为 CPU 12, 或者它可体现为分离的装置。图 5B 示出系统 DRAM 14 存储操作系统 (OS) 14A 和应用程序 (应用) 14B。应用 14B 中的至少一些产生数据 14B'。系统 DRAM 14 通常还存储与文件系统 (OS 14A 的一部分) 相关联的文件系统高速缓冲存储器 14C。在图 5B 的实施例中, 系统 DRAM 14 的一部分被分配作为传送缓冲器 14D, 应用数据 14B' 可移动到所述传送缓冲器以变成传送缓冲器数据 14E。系统 DRAM 14 的另一部分被分配来存储存取列表 14F。还包含 DRAM 部分 14G, 该 DRAM 部分被分配用于 UFS 存储器模块 20 且传送缓冲器数据 14E 可移动到其中以变成数据 14E'。现在更详细地描述图 5A、图 5B 和图 5C 中所示的这些组件的操作。

[0057] 假定数据源 (例如应用 14B) 或文件系统高速缓冲存储器或文件高速缓冲存储器实体 (作为非限制性实例) 具有将存储到大容量存储器模块 20 中的数据 14B'。通过文件

系统 / 驱动程序将数据 14B' 移动到传送缓冲器 14D 成为传送数据 14E 以便随后递送到大容量存储器模块 20。任选地,如图 5C 中所示以及下文中更详细地论述,数据 14B' 可从其原始位置直接移动,由此绕过传送缓冲器 14D。例如通过 OS 实用程序 (utility) 在系统 DRAM 14 中针对应用 14B 创建存取列表 14F 且将所述存取列表指向数据 14E 的位置。注意,就此来说,“应用”(假如此处从常规意义上来说被理解为第三方应用)自身不能创建任何存取列表。而是,应用创建读取 / 写入存取且充当发起者。存取列表通常是基于经由文件系统层进入的存取通过一些 OS 服务 / 存储器子系统(例如,一些驱动程序层或一些 OS 实用程序)来创建。实际上,存取列表是针对应用而构造或建置的。作为非限制性实例,发起者可作为应用、文件系统、驱动程序或 OS 实用程序。

[0058] 根据本发明的一方面,如下所述,数据 14E 可移动到为大容量存储器 (UFS) 分配的部分 14G 以变成数据 14E'。

[0059] 存取可通过主机装置 10 如下进行(假定主机装置 10 已经正确地启动大容量存储存储器 20)。

[0060] (1) 发起者(例如正由 CPU 12 执行的驻存在系统 DRAM 14 中的应用程序 14B)已在系统 DRAM 14 中为自身建置了(例如,通过 OS 实用程序)对 UFS 存储器模块 20 的存取的表格(存取列表 14F)。对于此实例,假定这些存取的执行将会耗用 UFS 存储器模块 20 的资源一段时间。

[0061] (2) 发起者(例如,应用程序 14B 或 OS 实用程序)向 UFS 主机控制器 13 告知存取表(存取列表 14F)的存在,且主机控制器 13 开始将命令和任何相关数据递送到 UFS 存储器模块 20。

[0062] (3) 同一或另一发起者(例如相同或不同应用程序 14B)已在系统 DRAM 14 中为自身建置了对 UFS 存储器模块 20 的写入存取的另一表格(另一存取列表 14F),且向 UFS 主机控制器 13 告知所述存取表的存在。

[0063] (4) UFS 主机控制器 13 将此(写入)命令集合传送到 UFS 存储器模块 20。假定 UFS 存储器模块 20 确定它目前不能在 UFS 存储器模块 20 本地处置与写入命令有关的数据。注意,就此来说,可存在(例如)与所述命令有关的由发起者进行的队列头指示以强调执行写入命令的紧迫性,且 UFS 存储器模块 20 确定它目前不能满足所指示的紧迫等级。

[0064] (5) 替代接收与写入命令有关的数据, UFS 存储器模块 20 将数据(例如)从传送缓冲器 14D(或 14B/14C)移动到系统 DRAM 14 中的预留的分离的物理地址空间(所分配部分 14G)。系统 DRAM 14 的所述移动操作和所分配部分 14G 由 UFS 存储器模块 20 经 UFS 主机控制器 13 来控制。UFS 主机控制器 13 控制系统 DRAM 14 或系统 DRAM 控制器 11 以执行数据 14E 从(例如)传送缓冲器 14D 到所分配部分 14G 的移动以变成数据 14E'。可假定 UFS 主机控制器 13(例如)借助操作为(专用 UFS DMA 或系统 DMA 的)DMA 主控装置来直接执行此操作且可绕过主机 CPU 12。

[0065] (6) 在数据 14E 在物理上移动到所分配部分 14G 之后, UFS 存储器模块 20 可对原始(写入)命令作出响应,仿佛它实际上已将数据移动到非易失性存储器 (NVM),即,移动到大容量存储器 26。因此,第二发起者可认为对大容量存储器 20 的写入命令已被执行且可继续其处理操作,即便写入数据目前是作为数据 14E' 驻存在系统 DRAM 14 的所分配部分 14G 中也如此。

[0066] (7) 在将来某一时间, UFS 存储器模块 20 具有足够的资源来处理来自第二发起者的写入命令。此时, 它独立地从系统 DRAM 14(从系统 DRAM 14 的所分配部分 14G) 提取数据且将其存储在 NVM 大容量存储器 26 中。从发起者或 OS 14A 的文件系统层的观点来看, 此操作是透明的, 且看起来好像是在 UFS 存储器模块 20 内存在物理 DRAM/SRAM 高速缓冲存储器。就是说, 系统 DRAM 14 的外部所分配部分 14G 可以以与 UFS 存储器模块 20 的虚拟 DRAM/SRAM 高速缓冲存储器类似的方式来起作用。

[0067] 注意, UFS 存储器模块 20 无需按顺序地处理所接收到的存取命令。举例来说, 在处理来自第二发起者的写入命令之前, 如果具有较高的被指示优先级的另一写入命令从第三发起者到达, 那么在写入数据也已存储在所分配部分 14G 中的情况下, UFS 存储器模块 20 可以先处理来自第三发起者的写入命令, 之后再处理来自第二发起者的写入命令。

[0068] 在另一实施例中, 不需要在系统 DRAM 14 中为大容量存储器模块 20 预留特定的分离的存储器地址。而是, 大容量存储器模块 20 可以存取系统 DRAM 14 中的任何(或几乎任何)位置。在这种情况下, 替代在系统 DRAM 14 中物理上移动数据, 大容量存储器模块 20 可控制由主机 CPU 12 创建的存储器指针的列表。通过修改指针列表(一个指针列表用于主机且另一指针列表用于大容量存储器模块 20), 大容量存储器模块 20 可虚拟地将数据从由主机 CPU 控制的逻辑存储器空间“移动”到由大容量存储器模块 20 控制的空间。注意, 在这种情况下, 传送缓冲器 14D 将会/可能仍存在, 然而, 不需要为大容量存储器模块 20 分配物理部分 14G。

[0069] 或者, 大容量存储器模块 20 可使用由主机 CPU 12 创建的标头信息。所述标头信息可使用单独的位用于主机有效/无效、预留和大容量存储器有效/无效分配且可存储在系统 DRAM 14 中。在这种情况下, 通过修改标头信息(例如, 已分配/空闲), 大容量存储器模块 20 可将数据从由主机 CPU 12 控制的地址“移动”到由大容量存储器模块 20 控制的地址。

[0070] 这些操作中的一者或两者可通过主机控制器 13 来调停促成。

[0071] 可存在来自应用的对地址的读取命令, 其中数据仍位于系统 DRAM14 中为非易失性模块 14G 预留的区域中, 即, 早先存储的数据尚未由非易失性存储器模块 20 移动到非易失性存储器 26。在此种情况中, 存储器控制器 22 将检测到此读取命令且(替代在服务所述读取命令之前真正将数据移动并存储到非易失性存储器 26 中)将会把数据从存储器区域 14G 复制(而非移动)到文件高速缓冲存储器/文件系统高速缓冲存储器 14C/传送缓冲器 14D 或应用区域 14B 中为它预留的位置。预留位置中的目标地址可包含在存取列表 14F 中, 使得它至少为主机控制器 13 所知。

[0072] 在与指针列表及相应标头的修改有关的替代实施例中, 上述读取情况将实现为将数据(与读取请求有关)复制到新的目标位置且通过存储器模块/主机控制器准备指针/标头, 使得所复制的数据将是可即刻存取的且受到主机系统 10 的控制。

[0073] 在所有这些读取相关实施例中, 应了解, 读取数据被复制, 并且数据 14E' 仍存在且只要存储器控制器 22 具有资源来执行写入操作便被写入到存储器模块 20 的非易失性存储器 26。

[0074] 图 5C 示出了本发明的实施例, 如上文所论述, 其中存取列表 14F 引用数据 14B', 且所引用的数据接着直接移动到所分配部分(作为数据 14E') 由此绕过传送缓冲器 14D(即,

数据 14B' 在直接移动之后变成数据 14E')。

[0075] 数据发自主机 CPU 12 以外的源 (例如,除了来自应用处理器之外) 也在示例性实施例的范围内。举例来说,数据可发自体现为外围装置 60 的发起者,所述外围装置通过有线连接或无线连接而连接到主机装置 10。在这种情况下,替代将数据从外围装置 60 直接移动到大容量存储器模块 20,大容量存储器模块 20 使数据存储存储在系统 DRAM 14 中,例如在所分配部分 14G 中。发自主机装置 60 的数据因此暂时地 (且对外围装置 60 来说是透明地) 高速缓存在系统 DRAM 14 中。

[0076] 另外,根据本发明的示例性实施例,通过提供额外功能性以在 DRAM14 中本地执行操作来增强 DRAM 14 的操作。

[0077] 作为介绍,无线终端 (例如智能电话) 的处理容量瓶颈之一是执行存储器,尤其是存储器总线。在执行存储器 (也被称作工作存储器) 是分离的组件 (例如,外部 DRAM) 时,它通过具有有限传送容量 (带宽) 的总线连接到主机 ASIC。

[0078] 改善存储器带宽的手段是有限的。在大多数情况中,若干存储器总线和存储器装置的成本分别过高。并且,总线自身占用了主机 ASIC 的引脚 / 焊盘预算的大部分,意味着在给定焊盘间距的情况下,含有主机 ASIC 硅片的封装将因为具有多个总线而变得过大,这是不必要的且给小型化努力造成问题。

[0079] 常见的问题是存储器带宽或处理容量对于许多所要使用情况来说不足够。主机 ASIC 可含有若干存储器主控装置 (例如,处理器、加速器和 DMA 引擎) 和一个提供外部存储器总线的 DRAM 控制器 11。在此总线的另一端处的是存储装置 (DRAM 组件)。存储器主控装置发出对存储器的读取和写入请求。DRAM 由可并行操作的若干存储体 (通常是 4 到 8 个) 建置而成。因此,虽然在存储器总线的两端处存在并行性,但存储器总线自身是单线程布置。

[0080] 本发明的示例性方面包含提供用以通过使得内部操作能够在本地执行而充分利用存储器装置的构件。这改善了总体存储器子系统性能、通过从 CPU 卸载一些操作而增强 CPU 容量、以及减小功率消耗。本发明的示例性方面使得经由使用增强型命令集由存储装置进行一些基本操作。

[0081] 请注意,虽然本发明的示例性实施例的这些方面是在增强系统 DRAM 14 的操作的上下文中进行描述,但本发明的这些方面也可应用于增强大容量存储存储装置 20 的操作。举例来说,存储器模块 20 的常驻存储器控制器 22 可经修改以在大容量存储器 26 内提供本地自主操作。

[0082] 另外,根据本发明的示例性实施例,一些基础的基本功能 (例如存储器填充和存储器移动) 是在系统 DRAM 14 内部进行处置。这些操作可 (例如) 通过系统 DRAM 存储器控制器和 / 或通过嵌入于系统 DRAM 14 中的控制模块或函数 15 (图 5A 中所示) 来处置。

[0083] 在此实施例中,系统 DRAM 14 (在有或没有系统 DRAM 存储器控制器 11 的辅助下) 可在没有 CPU 12 的主动干预 / 控制的情况下独立地且自主地执行 (例如) 存储器填充和移动功能。这减少了 CPU 12 和系统 DRAM 总线 17 的负载,这至少归因于大容量存储器模块 / 大容量存储器主机控制 13 控制数据在物理上从缓冲器 14B/14D 到所分配部分 14G 的移动。

[0084] 可示出,许多存储器事务是用数据 (例如,零) 对存储器地址空间的简单填充或将

数据块从一个存储位置移动到另一存储位置,其中所述位置可以在同一物理存储装置内部或在两个不同存储装置内部。常规上,这要求 CPU 级的活动性,这表示系统处理效率和功率消耗低于最佳。

[0085] 根据本发明的这些其他方面,将至少一些基本的存储器内操作从 CPU 12 的责任范围内移除且将其转移给系统 DRAM 14,例如给可嵌入于系统 DRAM 14 内的控制器 15。

[0086] 在此示例性实施例中,控制器 15 功能性包含“智能存储器”特征。或者,这些智能存储器特征可包含在图 5A 中所示的主机控制器 13 中。或者且如上所述,这些智能存储器特征还可包含在用于主机装置 10 的系统 DRAM 14 的系统 DRAM 存储器控制器 11 功能性中。

[0087] 在这些实施例中,系统 DRAM 控制器 11 或系统 DRAM 模块(控制器 15)可分析针对其而发出的命令且起始例如存储器填充或存储器移动操作等“智能存储器”操作。

[0088] 给(例如)控制器 15 增添的额外功能性可至少包含数据填充特征和数据移动特征。所述额外功能性任选地包含用于系统 DRAM 14 的安全功能、系统 DRAM 14 与大容量存储器 26 之间的包装/拆包功能、DRAM 14 与大容量存储器 26 之间的数据处理功能以及(例如)大容量存储器相关错误检测和校正以及磨损平衡功能。

[0089] 作为智能存储器特征的使用的实例,通常通过将零写入到存储器中来执行存储块复位。根据本发明,“数据填充”功能至少支持使用任何指定位模式的填充操作(例如,填充:数据),其中数据可为任何指定位模式,例如‘0000’、‘1111’、‘0101’等。

[0090] 数据移动操作可为读取/写入(复制)序列,被针对从中移动(读取)数据的系统 DRAM 14 的区域的填充操作所跟随。所述填充操作可将存储位置设置到某一预定值(例如,零),或设置到由数据移动操作命令以与上述填充操作类似的方式指定的值。填充操作可为任选的,使得数据移动操作充当数据复制操作(即,将数据复制到另一位置,同时原始数据不变)。

[0091] 在命令级处的智能存储器功能性的实施方案的非限制性实例如下。

[0092] 如由 JEDEC(例如,参见 JEDEC 标准、低功率双数据速率(LPDDR)SDRAM 标准, JESD209B, 2010 年 2 月)指定的低功率双数据速率(LPDDR1(LP1))不提供增添这些类型的智能特征的便捷方法。示例性实施方案可以是使用多个常规模式寄存器设置(MRS)命令的序列(组地址 BA0 = BA1 = 1’的 MRS 可用),所述命令使用地址插脚 A0 - Ax 将以下信息递送给存储装置:

[0093] 1) 命令类型(移动、填充);

[0094] 2) 填充数据(全 0、全 1、01 序列...),为任选的;

[0095] 3) 目标地址(填充、移动)和源地址(移动),地址取决于实施方案;

[0096] 4) 操作大小,粒度取决于实施方案。

[0097] 所述序列中所需的 MRS 命令的数目取决于寻址、数据粒度和操作大小,这些是实施方案相依因素。在 LPDDR2 和 LPDDR3 中,模式寄存器写入命令可以以类似方式来使用。应理解,常规 LPDDR_x 解决方案允许仅来自 DRAM 闲置状态的 MRS 和 MRW 操作,但其他解决方案在技术上也是可能的。一个这样的实施方案可以是要求为移动或填充操作的源或目标的数据位于打开的 DRAM 页中。

[0098] 还应理解,借助将来的 DRAM 接口,新的专用命令可以用于这些操作——且可使这些操作更有效。根本上,从系统观点来看,以下操作中的一些或全部可递送给存储器:

- [0099] 1) 递送命令 (填充 0、填充 1、...、fill_pattern、移动) ;
- [0100] 2) 递送目标地址 (组、行、列、字节) ;
- [0101] 3) 递送源地址 (组、行、列、字节) ;
- [0102] 4) 递送操作大小。

[0103] 完全命令和地址递送可发生在单命令或多命令序列中 -- 某一命令代码可 (例如) 指示适合于实施方案的经由 cmd/ 地址 / 数据总线的多循环递送。特定实施方案决定了对数据和地址粒度的要求、对智能存储器特征操作前后的存储器状态的要求、存储器在内部是否使用一些中间缓冲器来移动或填充数据或在整个操作期间是否预留打开的行 (DRAM 感应放大器)、任何定时要求等。

[0104] 所述命令可由 (例如) CPU 12 (例如, 由 OS 或文件系统实用程序) 或由大容量存储器主机控制器 13 发出且接着由与系统 DRAM 14 相关联的控制器 15 或由 DRAM 存储器控制器 11 自主地执行。

[0105] 存在可通过使用如上所述的本发明的示例性实施例实现的许多优点和技术效果。举例来说, 可在已服务了存取 (实际上是进入管理型 NAND 侧以进行进一步处理) 之后提供对发起者 (主机 CPU 12、进程、发起程序、应用) 的较快速响应。这增强了用户体验。另外, 不需要对上层软件 (例如, 文件系统和 / 或应用) 进行改变, 因为移动数据是在较低层的硬件 / 软件处进行。另外, 用于管理型 NAND 功能性的系统 DRAM 14 的所分配部分 14G 无需过大。举例来说, 对于许多相关使用, 数百千字节可为足够的, 因为在许多情况中最有利的将会是暂时高速缓存仅小的随机存取且将较大的顺序存取直接存储到非易失性大容量存储器 26。另外, 本发明的其他方面的使用使得能够在 CPU 12 没有主动参与的情况下在本地 (例如, 在系统 DRAM 模块 14 内) 完成某些基本的存储器操作 (例如, 填充、移动)。

[0106] 图 6 图示了与大容量存储存储装置 20 (在图 6 中被简称为存储卡 20) 一起使用的主机装置 10 的一个非限制性实施例。大容量存储存储装置 20 可以是可卸除的或者它可以嵌入于装置 10 中。在此示例性实施例中, 主机装置 10 体现为用户设备 (UE), 其以平面图 (左边) 和剖面图 (右边) 示出。在图 6 中, 主机装置 (UE) 10 具有图形显示接口 120 和用户接口 122, 所述用户接口图示为小键盘但应理解还包含图形显示接口 120 处的触摸屏技术和麦克风 124 处接收到的语音辨识技术。电源致动器 126 控制装置被用户打开和关闭。示例性 UE 10 可具有相机 128, 所述相机如图示是朝前的 (例如, 用于视频电话), 但可备选地或另外地是朝后的 (例如, 用于捕获图像和视频以便进行本地存储)。相机 128 通过关闭致动器 30 且任选地通过变焦致动器 32 来控制, 在相机 128 不处于活动模式下时, 所述变焦致动器 32 可备选地充当扬声器 34 的音量调整装置。

[0107] 作为一实例, 由相机 128 捕获的图像数据可在相机应用的控制之下存储在大容量存储存储装置 20 中且因此可得益于本发明的实施例的使用。作为另一实例, 由麦克风 124 捕获的音频数据可在音频应用的控制之下存储在大容量存储存储装置 20 中且因此也可得益于本发明的实施例的使用。

[0108] 在图 6 的剖面图内可看到通常用于蜂窝式通信的多个发射 / 接收天线 36。天线 36 可为多频段的以与 UE 中的其他无线电一起使用。天线 36 的可操作接地平面通过阴影示出为跨越由 UE 壳体围起的整个空间, 但在一些实施例中, 所述接地平面可限于较小区域, 例如安置在电源芯片 38 形成于其上的印刷布线板上。电源芯片 38 控制进行发射的信道上和

/或同时进行发射的(其中使用空间分集)多个天线上的功率放大,且放大所接收的信号。电源芯片 38 将经放大的所接收信号输出到射频(RF)芯片 40,所述 RF 芯片对所述信号解调制和下变频转换以便进行基带处理。基带(BB)芯片 42 检测所述信号,所述信号接着被转换成位流且最后经解码。对在主机装置 10 中产生以及自其发射的信号倒着进行类似处理。

[0109] 进出相机 128 的信号可经过图像/视频处理器 44,所述处理器对各种图像帧进行编码和解码。分离的音频处理器 46 也可存在,其控制进出扬声器 34 和麦克风 124 的信号。图形显示接口 120 根据如由用户接口芯片 50 控制的帧存储器 48 而刷新,所述用户接口芯片可处理进出显示接口 20 的信号和/或另外处理来自小键盘 22 和别处的用户输入。

[0110] UE 10 的某些实施例还可包含一个或多个辅助无线电,例如无线局域网无线电 WLAN 37 和蓝牙 7 无线电 39,所述无线电可结合芯片上的天线或耦合到芯片外的天线。遍及全文,设备是各种程序和数据可存储于其上的各种存储器,例如随机存取存储器 RAM,其可包含系统 DRAM14、只读存储器 ROM 45 和在一些实施例中包含可卸除式存储器(例如所图示的存储卡 20)。UE 10 内的所有这些组件通常是通过便携式电源(例如电池 49)来供电。

[0111] 假如处理器 38、40、42、44、46、50 体现为 UE 10 中的分离的实体,那么它们可以按相对于主处理器(CPU)12 成从属关系来操作,主处理器则可相对于它们成主控关系。某些实施例可如所示安置在各种芯片和存储器上,或者安置在将上文针对图 6 所述的功能中的一些组合起来的另一处理器内。图 6 中的这些各种处理器中的任一者或全部存取各种存储器中的一者或多者,所述存储器可以在具有处理器的芯片上或与具有处理器的芯片分离。注意,上述的各种集成电路(例如,芯片 38、40、42 等)可组合成比所述更少的数目,且在最紧凑的情况中,可以在物理上全部体现在单个芯片内。

[0112] 在此示例性实施例中,如上文参看图 5A、图 5B 和图 5C 所描述,UE 10(主机装置)的 CPU 12 与存储卡 20(大容量存储存储装置)一起操作,使得存储卡 20 可扩展成如上所述使用 UE 10 的系统动态 RAM 14 的至少一部分。

[0113] 本发明的示例性实施例的一个方面是图 7 中所示的方法,其包含(7A)在和与主机装置耦合的非易失性大容量存储器相关联的控制器(例如,存储器控制器)处接收发自发起者(例如应用、文件系统、驱动程序或 OS 实用程序)的命令(所述命令可(例如)经由文件系统层(SW)和驱动程序层(SW)和主机控制器(HW)而到达)。所述命令是将目前驻存在主机装置的存储器中的数据写入到非易失性大容量存储器的命令。主机装置的存储器可包括(作为非限制性实例)DRAM、MRAM、PCM(相变存储器)、RRAM(阻变随机存取存储器)、磁随机存取存储器、铁电随机存取存储器以及类似者。所述方法进一步包含(7B)将目前驻存在主机装置的存储器中的数据从原始位置移动到所述存储器中分配给至少所述非易失性大容量存储器使用的部分。所述方法进一步包含(7C)告知发起者将数据写入到所述非易失性大容量存储器的命令已被执行。

[0114] 在图 7 和前面段落中所描述的方法中,进一步包括在告知之后,将所述数据从主机装置的存储器移动到所述非易失性大容量存储器。

[0115] 在图 7 和前面段落中所描述的方法中,其中所述数据是在物理上移动到所述存储器中分配给至少所述非易失性大容量存储器使用的部分。

[0116] 在图 7 和前面段落中所描述的方法中,其中所述数据是通过改变指向所述数据的存储器地址指针的值或所述数据的标头的值而在逻辑上移动到所述存储器中分配给至少

所述非易失性大容量存储器使用的部分。

[0117] 在图 7 和前面段落中所描述的方法中,其中所述数据发自主发起者且其中所述发起者驻存在主机装置中。

[0118] 在图 7 和前面段落中所描述的方法中,其中所述发起者包括应用程序、文件系统、驱动程序和操作系统实用程序中的至少一者。

[0119] 在图 7 和前面段落中所描述的方法中,其中所述数据发自主发起者且其中所述发起者在主机装置外部。

[0120] 在图 7 和前面段落中所描述的方法中,其中所述发起者体现为与主机装置连接的外围装置。

[0121] 在图 7 和前面段落中所描述的方法中,其中主机装置的存储器包括动态随机存取存储器,且进一步包括在主机装置的存储器中自主地执行基本的存储器操作。

[0122] 在图 7 和前面段落中所描述的方法中,其中所述基本的存储器操作是将指定的多个存储位置设置到指定值的数据填充操作。

[0123] 在图 7 和前面段落中所描述的方法中,其中所述基本的存储器操作是将数据从第一指定的多个存储位置移动到第二指定的多个存储位置的数据移动操作。

[0124] 在图 7 和前面段落中所描述的方法中,其中所述数据移动操作进一步包括将所述第一指定的多个存储位置设置到预定值。

[0125] 在图 7 和前面段落中所描述的方法中,进一步包括在所述数据驻存在所述存储器中分配给至少所述非易失性大容量存储器使用的部分中时,响应于对所述数据的读取命令来读取驻存在所述存储器中分配给所述非易失性大容量存储器使用的部分中的数据,以及将所读取的数据复制给所述读取命令的发起者。

[0126] 在图 7 和前面段落中所描述的方法中,其中将目前驻存在主机装置的存储器中的数据从原始位置移动到所述存储器中分配给至少所述非易失性大容量存储器使用的部分是由与所述非易失性大容量存储器相关联的控制器起始。

[0127] 在图 7 和前面段落中所描述的方法中,其中所述方法是由于控制器执行了计算机程序指令而执行。

[0128] 图 8 是图示了进一步根据本发明的示例性实施例的一种方法的操作以及体现在计算机可读存储器上的计算机程序指令的执行结果的逻辑流程图。根据这些示例性实施例,一种方法在框 8A 处执行了提供数据处理系统这个事情,所述数据处理系统包括至少一个数据处理器和至少一个存储器,所述至少一个存储器包括动态随机存取存储器。在框 8B 处,存在在存储器中自主地执行基本的存储器操作的步骤。

[0129] 在图 8 和前面段落中所描述的方法中,其中所述基本的存储器操作是将指定的多个存储位置设置到指定值的数据填充操作。

[0130] 在图 8 和前面段落中所描述的方法中,其中所述基本的存储器操作是将数据从第一指定的多个存储位置移动到第二指定的多个存储位置的数据移动操作。

[0131] 在图 8 和前面段落中所描述的方法中,其中所述数据移动操作进一步包括将所述第一指定的多个存储位置设置到预定值。

[0132] 图 7 和图 8 中所述的各种框可被视为方法步骤,和 / 或被视为由计算机程序代码的操作导致的操作,和 / 或被视为经构造以实现相关联功能的多个经耦合的逻辑电路元

件。

[0133] 一般来说,各种示例性实施例可以用硬件或专用电路、软件、逻辑或其任何组合来实施。举例来说,一些方面可用硬件来实施,而其他方面可用固件或软件来实施,所述固件或软件可由控制器、微处理器或其他计算装置来执行,但本发明不限于此。虽然本发明的示例性实施例的各种方面可以图示和描述为框图、流程图或使用某其他图示表示来图示和描述,但很容易理解到本文中描述的这些框、设备、系统、技术或方法可以用(作为非限制性实例)硬件、软件、固件、专用电路或逻辑、通用硬件或控制器或其他计算装置或其某一组合来实施。

[0134] 因此,应了解,本发明的示例性实施例的至少一些方面可用各种组件(例如集成电路芯片和模块)来实践,且本发明的示例性实施例可用体现为集成电路的设备来实现。集成电路(或电路)可包括用于体现可配置以根据本发明的示例性实施例来操作的一个(或一些)数据处理器、一个(或一些)数字信号处理器、基带电路和射频电路中的至少一者或多者的电路(以及可能是固件)。

[0135] 根据示例性实施例的一种设备包含用于将命令从主机装置发送到和与所述主机装置耦合的非易失性大容量存储器相关联的控制器,所述命令是将目前驻存在主机装置的存储器中的数据写入到非易失性大容量存储器的命令;用于将目前驻存在主机装置的存储器中的数据从原始位置移动到所述存储器中分配给所述非易失性大容量存储器使用的部分的构件;以及用于告知主机装置将数据写入到非易失性大容量存储器的命令已被执行的构件。

[0136] 相关领域的技术人员结合附图阅读前文的描述可以显而易见对本发明的前述示例性实施例的各种修改和改动。然而,任何和全部的修改仍将属于本发明的非限制性和示例性实施例的范围内。

[0137] 应注意,术语“连接”、“耦合”或其任何变体表示两个或两个以上元件之间的任何连接或耦合(直接或间接的)且可包含在“连接”或“耦合”在一起的两个元件之间的一个或多个中间元件的存在。元件之间的耦合或连接可为物理的、逻辑的或其组合。如本文中采用,可认为两个元件通过使用一个或多个导线、电缆和/或印刷电连接以及通过使用电磁能(例如,作为若干非限制性和非详尽实例,波长在射频范围、微波范围和光(可见和不可见)范围中的电磁能)来“连接”或“耦合”在一起。

[0138] 此外,可使用本发明的各种非限制性和示例性实施例的一些特征来在没有相应地使用其他特征的情况来发挥优势。因而,应认为前文的描述仅说明本发明的原理、教示和示例性实施例而非对其进行限制。

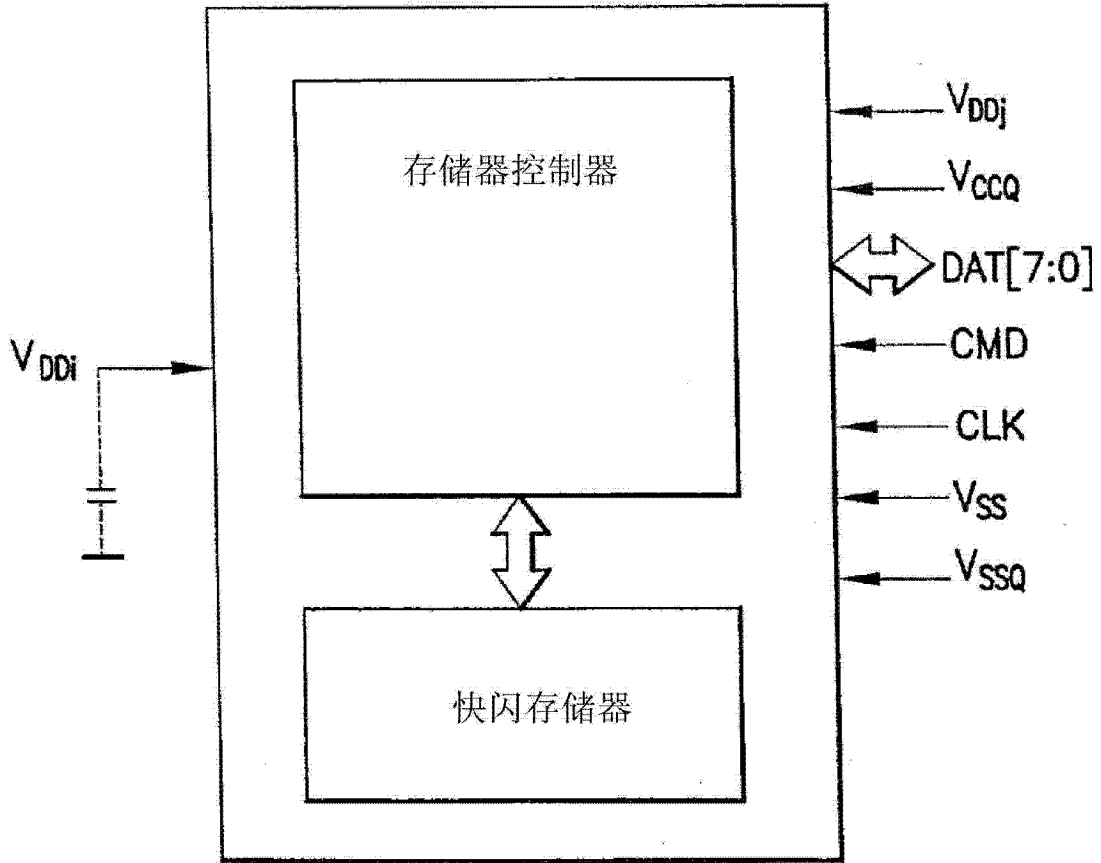


图 1A

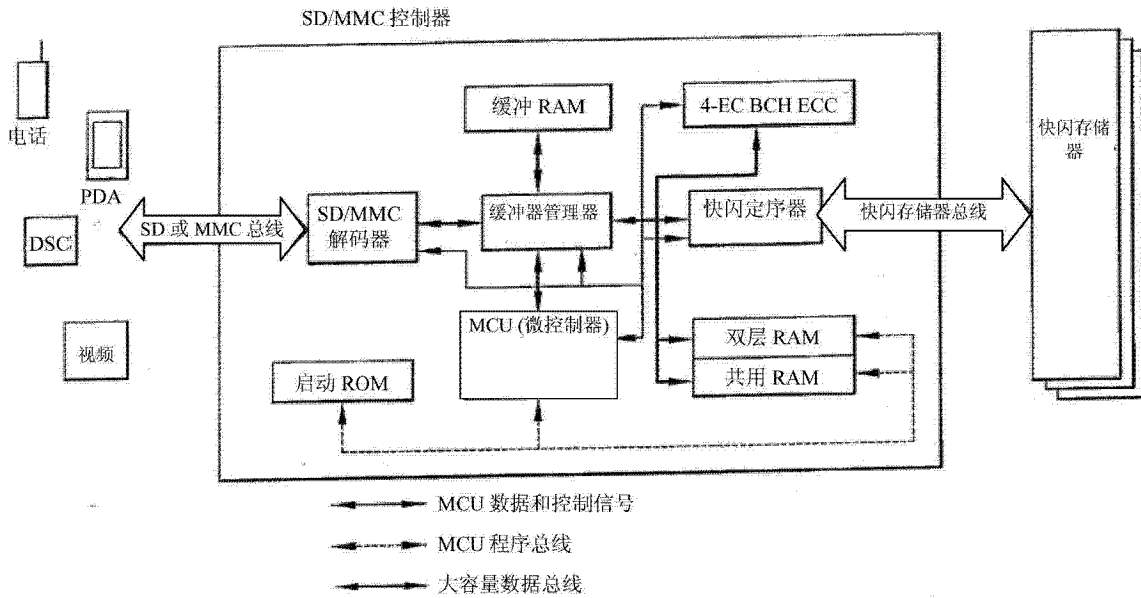


图 1B

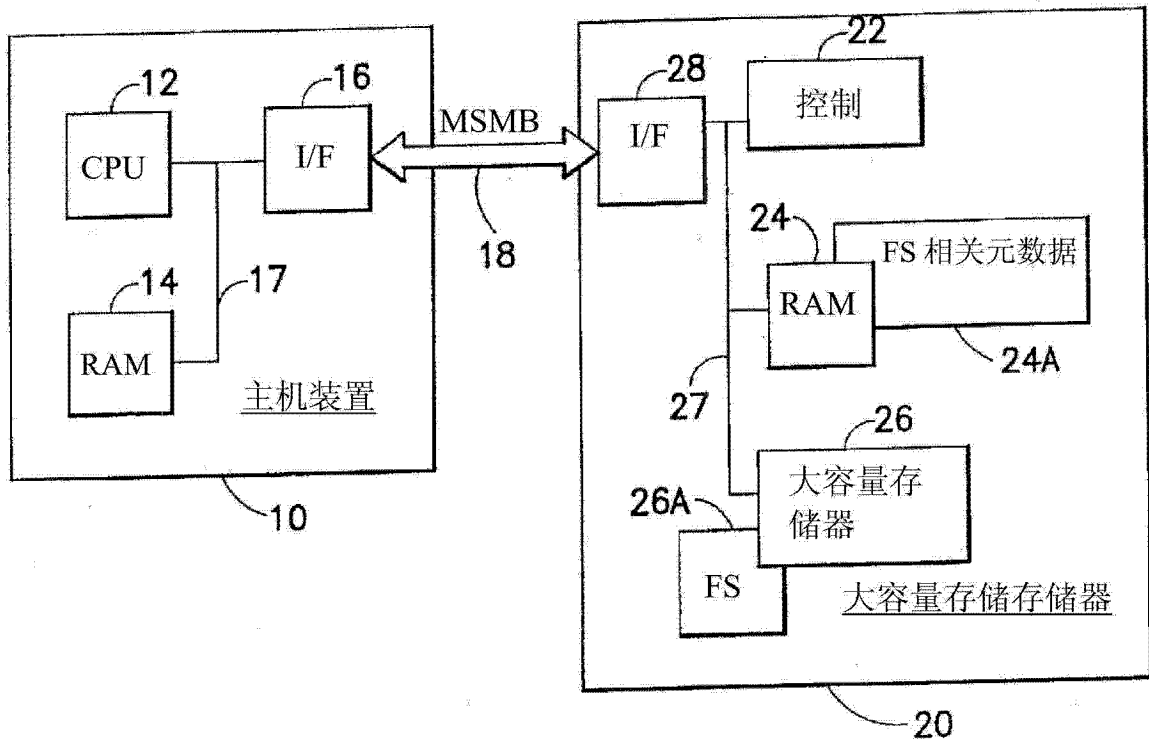


图 2

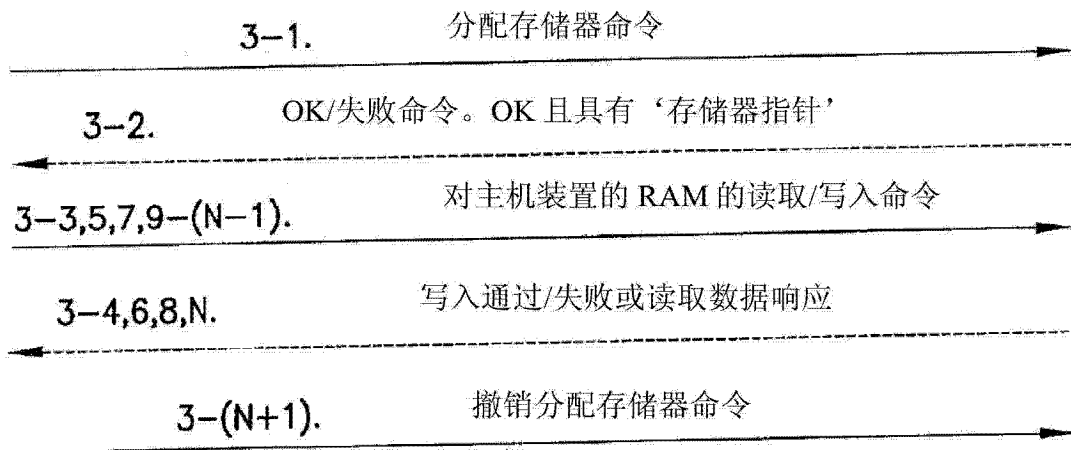


图 3

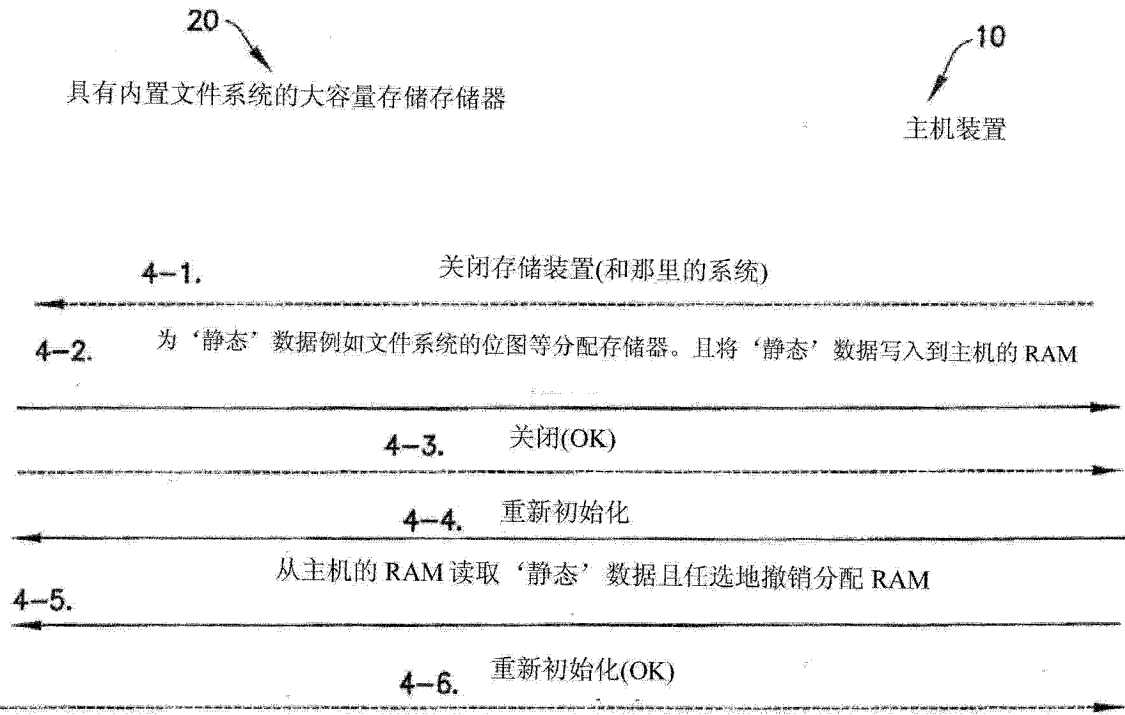


图 4

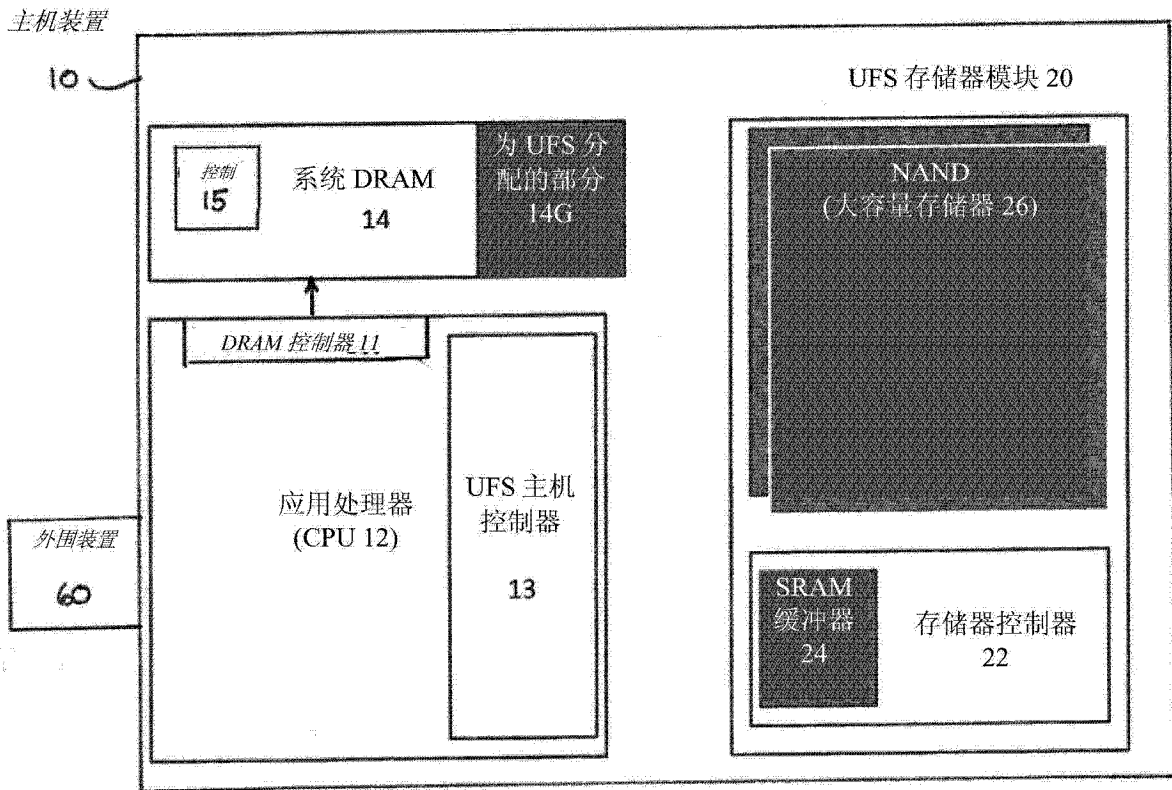


图 5A

系统 DRAM 14

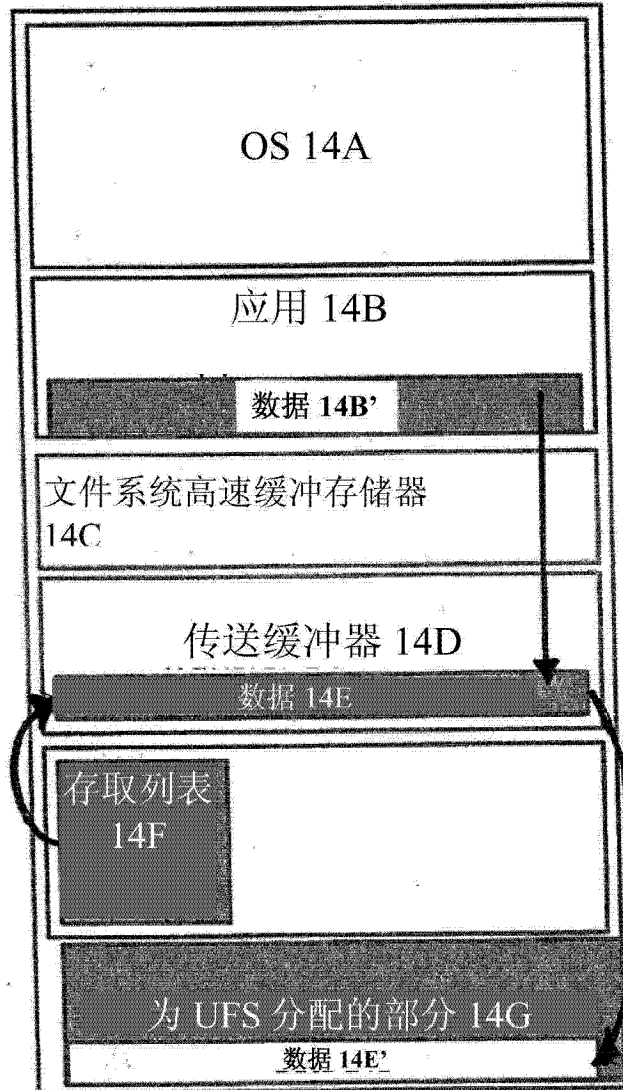


图 5B

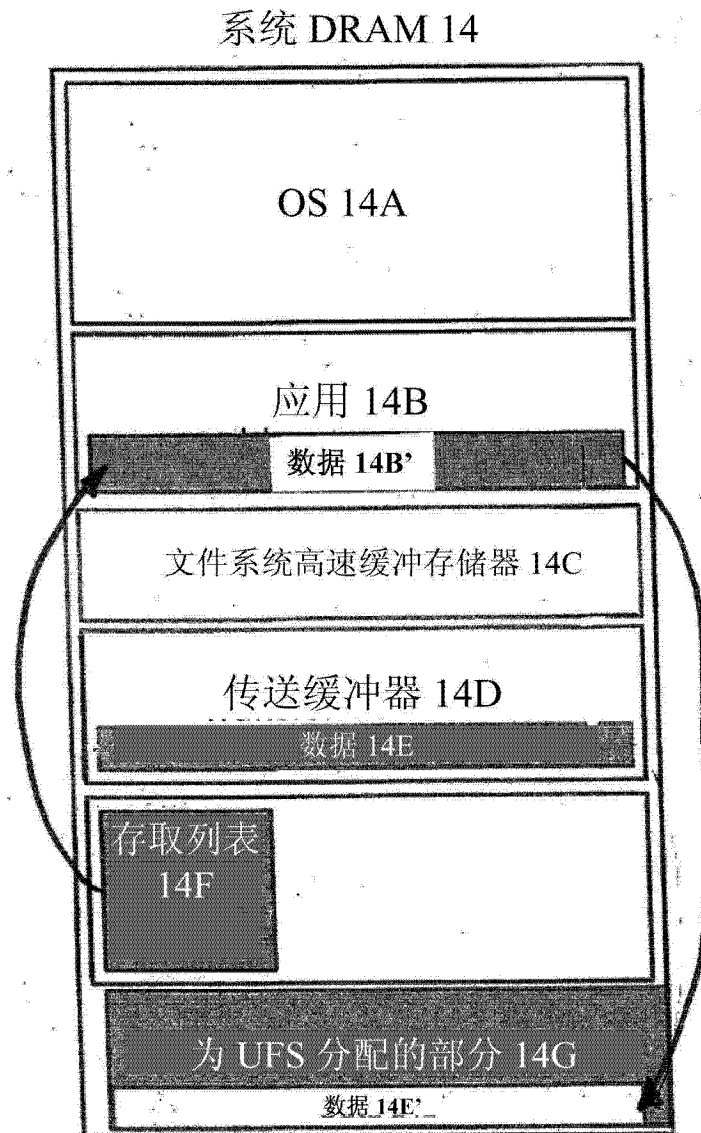


图 5C

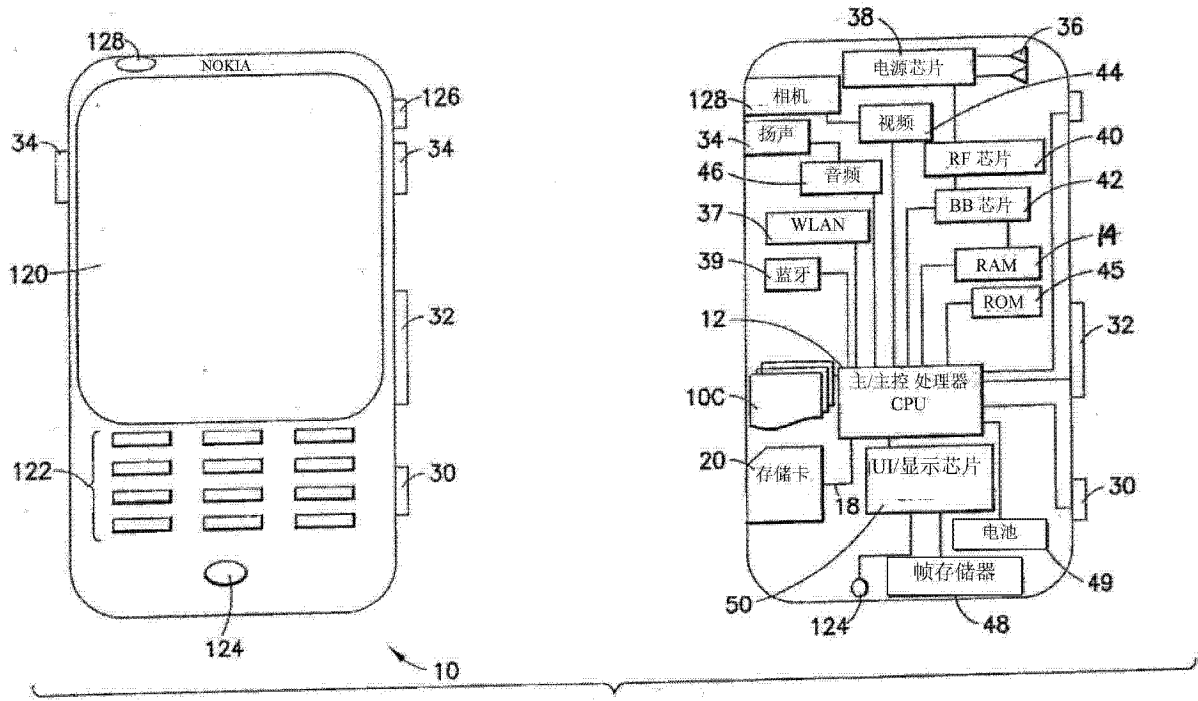


图 6

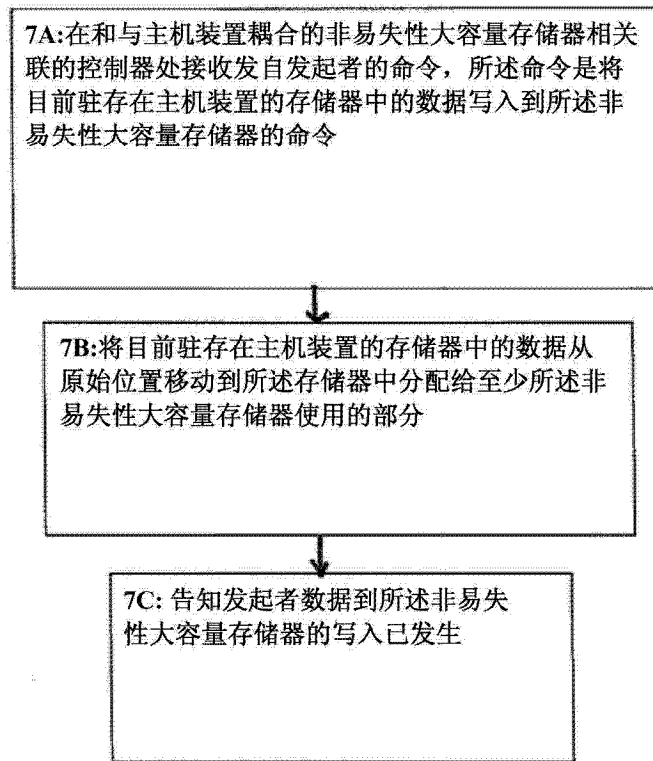


图 7

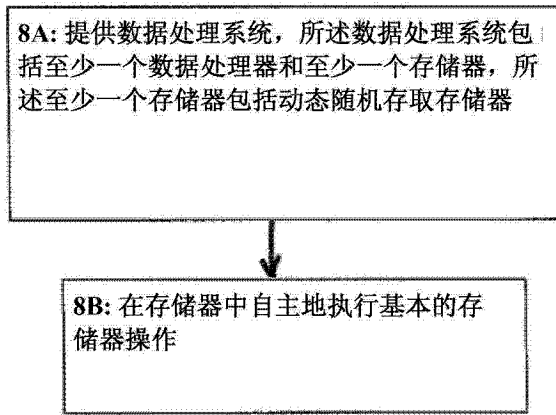


图 8