

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-294571

(P2005-294571A)

(43) 公開日 平成17年10月20日(2005.10.20)

(51) Int.Cl.⁷

H O 1 L 29/786

H O 1 L 51/00

F I

H O 1 L 29/78

H O 1 L 29/78

H O 1 L 29/78

H O 1 L 29/78

H O 1 L 29/28

6 2 6 A

6 1 8 B

6 1 7 T

6 1 6 V

テーマコード (参考)

5 F 1 1 O

審査請求 未請求 請求項の数 12 O L (全 14 頁)

(21) 出願番号 特願2004-108140 (P2004-108140)

(22) 出願日 平成16年3月31日 (2004.3.31)

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(74) 代理人 100106264

弁理士 石田 耕治

(72) 発明者 水崎 真伸

大阪府大阪市阿倍野区長池町22番22号

シャープ株式会社内

(72) 発明者 好本 芳和

大阪府大阪市阿倍野区長池町22番22号

シャープ株式会社内

最終頁に続く

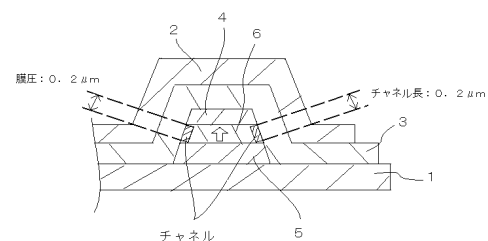
(54) 【発明の名称】 電界効果型トランジスタ

(57) 【要約】

【課題】本発明は、新たな素子構造によってチャネル長を短くして短チャネル化するとともに、実行的電界移動度を向上させた半導体素子を、低コスト製造プロセスで製造することのできるトランジスタ素子を提供することを目的としている。

【課題手段】本発明に係る電界効果型トランジスタ素子は、基板1に、第1電極5、半導体層6、及び、第2電極4が順次積層され、この多層部位の周囲を取り囲むように電気絶縁層3が形成され、該電気絶縁層3の上面に、ゲート電極2が形成されていることを特徴とする。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

基板には、第1電極、半導体層、及び、第2電極が順次積層されており、この多層部位の周囲を取り囲むように電気絶縁層が形成され、該電気絶縁層の上面には、ゲート電極が形成されていることを特徴とする電界効果型トランジスタ素子。

【請求項 2】

請求項1記載の電界効果型トランジスタ素子であって、半導体層のチャネル領域が半導体層積層方向に沿って左右2箇所が存在するように形成されていることを特徴とする電界効果型トランジスタ素子。

10

【請求項 3】

請求項1又は2記載の電界効果型トランジスタ素子であって、前記第1電極または第2電極の何れか一方が、表面表示装置の画素電極に接続されていることを特徴する電界効果型トランジスタ素子。

【請求項 4】

請求項1乃至3の何れかに記載の電界効果型トランジスタ素子であって、前記電気絶縁層が、ゲート絶縁層であることを特徴する電界効果型トランジスタ素子。

20

【請求項 5】

請求項1乃至4の何れかに記載の電界効果型トランジスタ素子であって、前記半導体層が、無機材料より形成されていることを特徴とする電界効果型トランジスタ素子。

【請求項 6】

請求項1乃至4の何れかに記載の電界効果型トランジスタ素子であって、前記半導体層が、低分子及び高分子有機材料より形成されていることを特徴とする電界効果型トランジスタ素子。

【請求項 7】

請求項1乃至6の何れかに記載の電界効果型トランジスタ素子であって、前記電気絶縁層が、無機材料より形成されていることを特徴とする電界効果型トランジスタ素子。

30

【請求項 8】

請求項1乃至6の何れかに記載の電界効果型トランジスタ素子であって、前記電気絶縁層が、低分子及び高分子有機材料より形成されていることを特徴とする電界効果型トランジスタ素子。

【請求項 9】

請求項1乃至8の何れかに記載の電界効果型トランジスタ素子であって、前記第1電極、第2電極、及び、ドレイン電極の少なくとも一つが、無機材料より形成されていることを特徴とする電界効果型トランジスタ素子。

40

【請求項 10】

請求項1乃至8の何れかに記載の電界効果型トランジスタ素子であって、前記第1電極、第2電極、及び、ドレイン電極の少なくとも一つが、低分子及び高分子有機材料と、適切なドーパントとなる添加剤より形成されていることを特徴とする電界効果型トランジスタ素子。

【請求項 11】

請求項1乃至11の何れかに記載のトランジスタ素子を備えることを特徴とするアクティブマトリクス型ディスプレイ。

【請求項 12】

50

基板に、第1電極、半導体層、及び、第2電極を順次積層し、この三層の周囲を取り囲むように電気絶縁層を形成し、該電気絶縁層の上面に、ゲート電極が形成することを特徴とする電界効果型トランジスタ素子の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、電界効果型トランジスタに関し、更に詳しくは、ドレイン電極、半導体層、ソース電極、ゲート絶縁層及びゲート電極が積層され、ゲート電極の電気信号によって電流値を制御する電界効果型トランジスタに関し、特に、シートディスプレイ等のコンピュータ用駆動演算回路として用いられる電界効果型トランジスタに適したものである。 10

【背景技術】

【0002】

半導体層にアモルファスシリコン(a-Si)或いはポリシリコン(p-Si)を用いた電界効果型トランジスタは、既にアクティブマトリクス型液晶ディスプレイ用、或いは有機EL表示装置用として実用化されている。図4はa-Si或いはp-Siを用いた電界効果型トランジスタの構造の一例である。図4に示す電界効果型トランジスタは基板11に対してソース電極15及びドレイン14が横方向に配置されている。つまり、ソース電極15及びドレイン電極14は、電気的に中性であるシリコン半導体層(チャンネル層領域)16により分離されて設けられている。ゲート電極12は、ゲート絶縁層13により 20 シリコン半導体層16と電気的に分離されて、基板11の上に配置している。

【0003】

近年、印刷法のような低コスト製造プロセスへの関心の高まりから、半導体層の形成に有機材料を用いた電界効果トランジスタが注目されている。図5及び図6は、有機半導体材料を用いた電界効果トランジスタの素子構造例である。図5に示すように、有機材料を用いた場合でも、前記シリコン材料を用いたトランジスタと同様に、ソース電極105及びドレイン電極104は、ドーブしたシリコン基板101に対し横方向に配置されている構造が一般的である。ゲート電極(図示省略)は、ゲート絶縁層103により有機半導体層106と電気的に絶縁されて、基板101の上に配置している。

【0004】

一方、特許文献1所載のトランジスタ構造が存在し、この特許文献1のトランジスタ構造は、図6に示すように、ドレイン電極114、半導体層116、ソース電極115が、基板111上に縦に順次積層されたものである。ここで、ゲート電極112及びゲート絶縁層113は、共に基板111上に形成されており、具体的には、ドレイン電極114、半導体層116及びソース電極115の三層の横方向に隣接してゲート絶縁層113が配置され、該ゲート絶縁層113の横方向に隣接してゲート電極112が配置されている。このような積層型の素子構造を用いることにより、チャンネル長を横型素子に比べ短くできるので、有機半導体材料のような比較的高抵抗半導体材料を用いても、十分なドレイン電流が得られる。なお、このような有機半導体層を構成する半導体材料としては、電子共役系の高分子化合物、芳香族化合物等の有機材料が一般に用いられる。 30 40

【特許文献1】特開2003-110110号公報

【0005】

既述の電界効果トランジスタは、それぞれゲート絶縁層を介してゲート電極より印加された電界が半導体層(チャンネル部)に作用して、ソース電極とドレイン電極との間に流れる電流を制御することによりトランジスタ動作を実現している。

【0006】

半導体層に有機材料を用いた電界効果トランジスタは、半導体層にa-Si或いはp-Siを用いた電界効果型トランジスタと比べて、化学気相蒸着法(CVD)のような真空プロセスを必要とせず、印刷法のような簡便なプロセスのみで素子を作製できるため、製造方法が簡便になり、製造コストを低減できるという利点を持っている。しかしながら、 50

半導体層に有機材料を用いた電界効果トランジスタは、半導体層に a - S i 或いは p - S i を用いた電界効果型トランジスタと比べて、キャリア移動度が低く、大電流を流すことができない。従って高速動作ができないという問題があった。

【 0 0 0 7 】

従来、このような問題を解決するために、一つとしては有機材料の改善が試みられている。

【 0 0 0 8 】

つまり、有機材料面からの改善として、例えば、共役系高分子の共役状態を制御する技術、分子電気伝導異方性を用いる技術等の分子設計面に關わる技術、及び、蒸着法にて有機高分子膜を得る際に高い結晶性を実現させる技術が提案されている。

10

【 0 0 0 9 】

一方、素子構造の改善により上記問題を解決することも提案されている。つまり、図 4 及び図 5 に示される電界効果型トランジスタは、ソース電極とドレイン電極との間に電圧を印加した状態でゲート電極に電圧を印加して、ゲート絶縁層と半導体層との界面にチャネルを誘起させることにより、ソース電極とドレイン電極との間に電流を流すものであるが、このときのソース電極とドレイン電極との間の電流 (I d) は、一般に次式で表すことができる。

$$I d = [W \cdot C o x \cdot \mu \cdot (V g - V t h) ^ 2] / (2 \cdot L) \quad (1) \text{式}$$

なお、数式中における C o x 、 μ 、 V g 及び V t h は次の通りである。

C o x : ゲート容量 (F / m ²)

20

μ : キャリア移動度 (c m ² / V s)

V g : ゲート電圧 (V)

V t h : しきい値電圧 (V)

【 0 0 1 0 】

上記式 (1) を参照すると、限られたトランジスタ寸法 (L : チャネル長、 W : チャネル幅) 内でトランジスタ性能を向上させるには、より高い I d 値を実現させなければならない。また、 I d 値を向上させるための他の因子 (チャネル長 L やチャネル幅 W 以外の因子) として、 C o x 、 μ の増加が考えられる。従来においては比誘電率の高い材料を用いて実効的な C o x を向上させたもの (特許文献 2) 、共役系高分子材料の開発により μ を向上させたもの (特許文献 3) 等が提案されているが、これらは材料開発が行われて初めて実現され得る。また、チャネル長 L を減少させることにより高い I d を得るためには、素子構造の改善が課題となる。ここでチャネル長 L は、リソグラフィ加工の限界に依存しており、前記図 4 及び図 5 に示される電界効果トランジスタでは、チャネル長 L の値は 5 ~ 1 0 μ m 程度が限界であった。一方、図 6 のような、積層型の素子構造にすることにより、 L 値を数百 n m レベルまで小さくすることができ、式 (1) より、数百倍にもおよぶ I d 値を得られるようになった。しかしながら、有機材料の移動度の平均値が 1 0 ⁻³ ~ 1 0 ⁻⁴ (c m ² / V s) (ベストデータ : 1 0 ⁻² (c m ² / V s)) であり、 a - S i の場合 0 . 5 ~ 2 (c m ² / V s) 、 p - S i の場合 1 0 ~ 1 0 0 (c m ² / V s) であることから、有機材料の移動度は a - S i に比べ数十倍から数百倍小さく、 p - S i と比べれば数千倍以上小さくなり、図 6 のような、縦型素子構造でも、まだ不十分である。

30

40

【特許文献 2】特開平 1 0 - 2 7 0 7 1 2 号公報

【特許文献 3】特開平 1 0 - 1 9 0 0 0 1 号公報

【 0 0 1 1 】

さらに、液晶表示装置においては、前述のようなトランジスタ素子が、前記ソース電極が画素透明電極に接続され、各画素ごとの液晶駆動を行っている。ここで、各画素においては、画素透明電極の占める領域が視認者に視認される透過領域として使用され、ゲート電極やドレイン電極等の存在領域は不透過領域となっている。このため、図 4 及び図 5 に示すような横型にソース電極及びドレイン電極が横方向に配置されたトランジスタ素子を用いた場合には液晶表示装置の透過領域の占める割合 (開口率) が低くなり、また、特許文献 1 所載のものにあっても、ドレイン電極 1 1 4、半導体層 1 1 6 及びソース電極 1 1

50

5 の三層と、ゲート絶縁層 1 1 3 と、該ゲート絶縁層 1 1 3 とが横方向に配置されているため、開口率が低いという問題を有している。

【発明の開示】

【発明が解決しようとする課題】

【0012】

本発明は、かかる問題を鑑みてなされてものであり、新たな素子構造によってチャネル長を短くして短チャネル化するとともに、実行的電界移動度を向上させた半導体素子を、低コスト製造プロセスで製造することのできるトランジスタ素子を提供することを目的としている。さらには、TFT液晶表示装置等のアクティブマトリクス型ディスプレイに用いた際に、その開口率を高めることのできるトランジスタ素子を提供することを目的とする。

10

【課題を解決するための手段】

【0013】

本発明は、上記目的を解決すべく、本発明に係る電界効果型トランジスタ素子は、基板に、第1電極、半導体層、及び、第2電極が順次積層され、この多層部位の周囲を取り囲むように電気絶縁層が形成され、該電気絶縁層の上面に、ゲート電極が形成されていることを特徴とする。

【0014】

上記構成を採用することにより、有機半導体材料のように電界移動度が α -Si 或いは p -Si より低い材料を用いても、TFT液晶表示装置或いは有機EL表示装置を駆動するのに十分なドレイン電流(I_d)が得られるようになった。すなわち、第一電極、半導体層、第二電極、ゲート絶縁膜、ゲート電極を基板に順次積層した構造により、チャネル長をナノメートルのオーダーにまで下げることができる。なお、前記絶縁層は、ゲート電極と他の電極とが短絡することを防ぐ範囲に形成されていれば足り、必ずしも多層部位の周囲全面を覆うことは必須ではない。

20

【0015】

また、上記構造により、半導体層のチャネル領域を、半導体層積層方向に沿って左右2箇所が存在するように形成することができ、このため、実行的ドレイン電流を向上させることができる。

【0016】

また、第一電極、半導体層、第二電極、ゲート絶縁膜、ゲート電極を基板に順次積層した構造であるため、表示装置に用いた場合にあっては、不透過領域を少なくすることができる。このように表示装置に用いた場合には、第1電極または第2電極の何れか一方が、表面表示装置の画素電極に接続されていることが好ましい。特に、ゲート電極およびゲート絶縁膜にはピンホールが形成され、該ピンホールを介して前記第1電極または第2電極と画素電極とが電氣的に接続されている構成を採用することが好ましい。

30

【0017】

なお、前記電気絶縁層はゲート絶縁層とすることが可能である。さらに、前記半導体層を、無機材料や、低分子及び高分子有機材料より形成することが可能である。また、前記電気絶縁層を、無機材料や、低分子及び高分子有機材料より形成することも可能である。

40

【0018】

また、前記第1電極、第2電極、及び、ドレイン電極は、無機材料や、低分子及び高分子有機材料と適切なドーパントとなる添加剤より形成することが可能である。なお、各電極は同一の材料から構成されても良いし、異なる材料、つまりは、一つの電極が無機材料で構成され、他の材料が上記低分子及び高分子有機材料と適切なドーパントとなる添加剤で構成されていることも可能である。

【0019】

また、第1電極および第2電極は、それぞれ、ソース電極およびドレイン電極から構成することが可能である。

50

【0020】

ここで、前記ソース電極は、従来のCVD法で成膜し、フォトリソグラフィーにより加工して形成する方法と、インクジェット法のような印刷法によって形成する方法がある。ここで、ソース電極は、複数本が平行に基板上に形成することが好ましい。

【0021】

また、前記半導体層は、前記ソース電極と同様にCVD法とフォトリソグラフィーを用いても良いが、印刷法を用いた方が低コストである。ここで、半導体層の厚みは、チャンネル長に相当するため、特に目的のチャンネル長に応じて、正確な制御が必要となる。ドレイン電流値を大きくするためには、膜圧を小さくする程良いが、あまり小さくし過ぎると、ソース電極とドレイン電極が接触する可能性があるので、注意が必要である。なお、半導体層は、一つのソース電極層に複数積層され、つまり、各画素ごとに該半導体層が設けられることが好ましい。

【0022】

また、前記ドレイン電極は、前記ソース電極と同様の方法により形成することができる。なお、ドレイン電極は、各半導体層ごとにそれぞれ設けられ、つまり、各画素ごとに該ドレイン電極層が設けられていることが好ましい。また、該ドレイン電極層は、各画素の画素電極（透明電極）に電氣的に接続されることが好ましい。

【0023】

また、前記ゲート絶縁膜は、CVD法とフォトリソグラフィー法の組み合わせで形成することができるが、印刷法によっても形成することができる。ここで、ゲート絶縁膜は、前記ソース電極、半導体層、及び、ドレイン電極が積層されてなる三層の周囲を取り囲むように形成されている。該ゲート絶縁膜は、前記半導体層及びドレイン電極層と同様に各画素ごとに設けられ、つまり、該ゲート絶縁膜は、ゲート電極層を他の電極層と電氣的に接続しないように設けられていることが好ましい。

【0024】

また、ゲート電極も、CVD法による成膜とフォトリソグラフィーによる加工で形成する方法と、印刷法のような溶液プロセスにより形成する方法との二通りによって形成することができる。また、CVD及びフォトリソグラフィーを用いたプロセスと、溶液プロセスの両方が含まれる工程を用いて、デュアル・サイド・ゲート電界効果型トランジスタを作製してもよい。なお、該ゲート電極は、前記ゲート絶縁膜が存在する位置において、前記ソース電極と平面視交差するように複数形成されることが好ましい。

【0025】

なお、上述しているトランジスタ素子は縦型構造であり、半導体層中に形成されるチャンネルは、基板面に対して上下方向である。したがって、半導体層として、芳香族化合物系有機材料の電子雲が上下方向に形成される環状化合物を採用すると、かかる環状化合物にとって特に有効な素子構造である

【0026】

また、本発明に係る電界効果型トランジスタ素子の製造方法は、基板に、第1電極、半導体層、及び、第2電極を順次積層し、この三層の周囲を取り囲むように電気絶縁層を形成し、該電気絶縁層の上面に、ゲート電極が形成することを特徴とする。これにより、既述の利点を有する電界効果型トランジスタ素子を製造することができる。

【0027】

なお、液晶表示装置等の表示装置の基板に上記電界効果型トランジスタ素子を形成する場合には、前記ゲート電極及び電気絶縁膜にピンホールを形成し、該ピンホールを介して前記第1電極または第2電極と画素電極とを電氣的に接続する構成を採用することが好ましい。

【0028】

以上のような本発明にあつては、基板に対して垂直方向にチャンネル領域が形成される縦型の電界効果型トランジスタであるため、チャンネル長が、従来の横型素子に比べてオーダーで小さくなるため、移動度の低い半導体材料を用いても、充分大きいドレイン電流が得

10

20

30

40

50

られる。また、本発明のデュアル・サイド・ゲート電界効果トランジスタは、半導体層一層中に、二箇所チャンネル領域が形成されるため、より効果的にドレイン電流が得られる。また、素子構造が容易であるため、従来の製造技術と精度でもって、トランジスタを製造することができる。

【発明を実施するための最良の形態】

【0029】

以下、本発明を実施する最良の形態について図面に基づいて説明する。

なお、図1は、本発明の一実施の形態の素子構造の模式的断面図を示す。図2は、本発明の一実施の形態の製造工程に関して、CVD法及びフォトリソグラフィ法を用いた場合の様子を説明する図である。図3は、本発明の一実施の形態の製造工程に関して、インクジェット法或いはマイクロコンタクトプリンティング法等の溶液プロセスを用いて製造する工程図である。

10

【0030】

本発明の実施形態のトランジスタ素子は、デュアル・サイド・ゲートトランジスタとして有効に活用されるTFT素子であり、該TFT素子は、図1に示すように、基板上に、ソース電極5（第1電極）、半導体層6（半導体領域）、ドレイン電極（第2電極）、ゲート絶縁膜、及び、ゲート電極2を順次積層してなるものである。

【0031】

前記ソース電極5は、複数本が平行に同一ピッチで基板1に形成されており、この複数本のソース電極5は、各画素領域の間に配置されている。また、前記ゲート電極層2は、前記ソース電極5と平面視直交するように複数本が平行に同一ピッチで形成されており、この複数本のゲート電極層2も、各画素領域の間に配置されている。そして、前記ソース電極5、半導体層6、ドレイン電極4及びゲート絶縁膜3は、平面視において前記ゲート電極層2と前記ソース電極5とが直交する箇所で、且つ、ゲート電極層2とソース電極5との間に形成されている。

20

【0032】

上記構成からなる本実施形態のTFT素子は、ドレイン電流 I_d を基板1の面に直交する方向に流し、活性領域（ソース電極5、半導体層6及びドレイン電極4）の周囲に設けられたゲート電極2からゲート絶縁層3を介して半導体層6に電界が印加する構造となっている。ここで、ソース電極5に積層される半導体層6の膜厚 L は薄くすることができるので、従来のようにフォトリソグラフィの加工精度に依存するものに比して、チャンネル長 L を飛躍的に短くした構造を実現できる。その結果、トランジスタ性能、すなわち、実効的なドレイン電流値を向上させることができる。また、半導体素子の構造がシンプルであるので、製造工程を簡略化することができ、そのために、半導体素子の製造コストを低減することができる。

30

【0033】

また、本実施形態のTFT素子は、前記第一電極（ソース電極5）、半導体層6及び第二電極（ドレイン電極4）の活性領域の周囲にゲート絶縁層3が形成され、更にゲート絶縁層3の周囲に第三電極（ゲート電極2）が設けられている。つまり、半導体層6のチャンネル領域が半導体層積層方向に沿って左右2箇所に存在している。このように、半導体層6のチャンネル領域は、半導体層6の左右両方に形成されているため、チャンネル長 L を短くできる効果に加え、チャンネル領域も二箇所形成されるため、より効果的にドレイン電流を流すことができる。

40

【0034】

また、平面位置においてソース電極5とゲート電極2とが交差する位置に、前記ソース電極5、半導体層6及びドレイン電極4が配置されることにより、画素電極を大きくとることができる。このため、表示装置の開口率を向上することができる。

【0035】

なお、本発明の半導体素子は、特許文献1で開示されているように、第一電極5と半導体層6との間、又は、半導体層6と第二電極7との間にバッファ層を設けることも適宜

50

設計変更可能な事項である。このようにバッファ層を設けることにより、第一電極 5 と半導体層 6 と第二電極 7 との間に良好な電氣的コンタクトを得ることができる。なお、このバッファ層は、例えば、印刷法、インクジェット法等の溶液プロセスで形成可能な導電性高分子材料で形成され、また、ポリチオフェンやポリフェニレン等の他、有機 EL 用途でよく用いられる低分子系導電性材料を真空蒸着法にて形成してもよい。このように、バッファ層を挿入した素子においては、キャリアは、半導体層とバッファ層の界面に形成された僅かな電位差障壁を越えて伝道するので、特にオフ電流の低減に効果的である。

【0036】

前記半導体としては、好ましくは、ナフタレン、アントラセン、テトラセン、ペンタセン、及びそれらの誘導体よりなるアセン分子材料や、フタロシアニン系化合物、アゾ系化合物、ペリレン系化合物よりなる顔料及びその誘導体や、ヒドラゾン化合物、ジフェニルメタン化合物、トリフェニルメタン化合物、スチルベン化合物、アリールビニル化合物、ピラゾリン化合物、トリフェニルアミン化合物、フェニレン誘導体及びトリアリールアミン化合物よりなる低分子化合物並びにそれらの誘導体や、ポリ-N-ビニルカルバゾール、ポリチオフェン、ポリフェニレン、ポリフェニレンビニレン、ポリアルキルフルオレン、ポリチオナフテン、ポリアニリン、ポリピロール等の高分子化合物等からなる有機半導体材料で構成することができる。このように、半導体を構成する材料が有機半導体材料とすることにより、高分子有機半導体材料を採用した場合には、その溶液をインクジェット法、マイクロコンタクトプリンティング法のような印刷法により成膜することができる。また、低分子有機半導体材料を採用した場合には、これを真空蒸着法等の手段により成膜することができるので、極めて薄い有機半導体層を低コストで形成することができる。

【0037】

また、前記半導体層は、a-Si、p-Si等のシリコン、酸化亜鉛、酸化スズ等の金属酸化物のような無機半導体材料で構成されてもかまわない。このように、無機半導体材料を真空蒸着法等の手段により成膜できるので、極めて薄い無機半導体層を製造することができる。

【0038】

前記ゲート絶縁層の材料としては、ポリビニルアルコール、ポリビニルブチラール、フェノール樹脂、ノボラック樹脂等のヒドロキシル基を有するポリマー、ポリアクリロニトリル等のシアノ基を有するポリマー、さらには、ポリクロロピレンポリエチレンテレフタレート、ポリオキシメチレン、ポリビニルクロライド、ポリ弗化ビニリデン、ポリメチルメタクリレート、ポリカーボネート、ポリイミド、ポリサルフォン、ポリオルガノシロキサン等のポリマー材料が挙げられる。また、ポリマーだけでなく、SiO₂、SiN、Al₂O₃、等の無機材料を用いても良い。また、ゲート絶縁膜として二層以上の膜を積層することも可能である。また蒸着法やスパッタリング法、塗布法、印刷法またはインクジェット法等材料に応じた公知の成膜方法を用いて膜を堆積した後、フォトリソグラフィ工程及びエッチング工程によって所望の配置のゲート絶縁膜を形成することが可能である。

【0039】

前記第一電極（ソース電極）、第二電極（ドレイン電極）及びゲート電極は、Cr、Al、Ta、Mo、Nb、Cu、Ag、Au、Pt、Pd、In、Ni、Ndおよびこれらの合金や、ポリシリコン、非晶質シリコン、錫酸化物、酸化インジウム、インジウム錫酸化物（ITO; Indium Tin Oxide）等の無機材料や、ドーパされた導電性高分子（例えば、ポリエチレンジオキシチオフェン（PEDOT）とポリスチレンスルホン酸ナトリウムとの混合物等）等の有機材料から構成することができる。また二層以上の層から前記電極を形成することも可能である。電極もまた、蒸着法やスパッタリング法、塗布法、印刷法またはインクジェット法等材料に応じた公知の成膜方法を用いて膜を堆積した後、フォトリソグラフィ工程及びエッチング工程によって所望の配置に形成することができる。

【0040】

10

20

30

40

50

なお、本発明のトランジスタ素子の製造方法の一実施態様を説明すると、まず基板 1 に第 1 電極 5 となる電極膜、半導体層 6 となる半導体膜及び第 2 電極 4 となる電極膜を例えば蒸着法等により順次積層する（図 2（1）参照）。そして、エッチング処理により所望の形状の第 1 電極 5、半導体層 6 及び第 2 電極 4 を得る（図 2（2）参照）。次に、該第 1 電極 5、半導体層 6 及び第 2 電極 4 の周囲にゲート絶縁膜 3 を例えば印刷法等により形成する（図 2（3）参照）。そして、このゲート絶縁膜 3 の上面にゲート電極 2 を、例えば蒸着により成膜した後に、フォトリソグラフィ工程及びエッチング工程によって所望の形状に形成する（図 2（4）参照）。

【0041】

また、本発明のトランジスタ素子の製造方法の他の実施態様を説明すると、まず基板 1 にレジストからなるバンクを筒状に形成する（図 3（1）参照）。そして、この筒状のバンク内に、第 1 電極 5、半導体層 6 及び第 2 電極 4 を順次積層する（図 3（2）参照）。次に、第 2 電極 4 の上面に、前記バンクと同様の材料によってゲート絶縁膜 3 を形成する（図 3（3）参照）。そして、このゲート絶縁膜 3 の上面にゲート電極 2 を形成する（図 3（4）参照）。

【実施例 1】

【0042】

（実施例 1）

次に、本発明の具体的な実施例として、以下のデュアル・サイド・ゲートトランジスタをその製造手順とともに図 7 及び図 8 を参酌しつつ以下説明する。

【0043】

まず、本実施例においては、ガラス基板 1 上に Cr 層 5 を膜厚 50 nm で成膜し（図 7（1）参照）、該 Cr 層 5 の上面に Au 層を膜厚 150 nm の厚みで成膜する。

【0044】

次に、前記 Au 膜上にフォトレジストをスピンコートにより塗布し、続いて所定のパターンのマスクを用いて露光、現像する。続いて、Au 層及び Cr 層 5 を剥離し、最後に NaOH 溶液に浸してレジストを剥離し、所望形状のソース電極 5 を形成する（図 7（2）参照）。

【0045】

そして、ソース電極 5 の全てのサイドに、バンク形成を行った（図 7（3）参照）。ここではボラック樹脂を含有するフォトレジストを前記基板 1 上にスピンコート法により成膜して、このレジスト膜を所望のパターンに露光、現像することにより、前記ソース電極 5 のサイドにレジストによるゲート絶縁層となるバンク 3 を形成している。バンク 3 の幅方向の厚みは 200 nm としている。

【0046】

次にソース電極 5 の上部に、インクジェット法により、ポリヘキシルチオフェン膜を作成し、半導体層 6 を形成する。半導体層 6 の厚みは 200 nm になるようにした。また、チャネル幅は 20 μ m とした。さらに、半導体層 6 の上部に、PEDOT/PSS（ポリエチレンジオキシチオフェン/ポリスチレンスルホン酸塩）による膜をインクジェット法により作成して、ドレイン電極 4 を形成する（図 8（1）参照）。

【0047】

そして、ドレイン電極 4 の上部に、ドレイン電極 4 とゲート電極 2 の接触を避けるための絶縁層として、ノボラック樹脂を含有するフォトレジストをインクジェット法により塗布し、ゲート絶縁層 3 を形成する（図 8（2）参照）。

【0048】

ゲート絶縁層の周囲に、ゲート電極 2 として Ta 膜を形成する。Ta 膜形成は CVD 法とドライエッチング法により形成した（図 8（3）参照）。

【0049】

以上の工程で作製したデュアル・サイド・ゲートトランジスタの特性評価を行った。ソース/ドレイン電圧を -20 V から 0 V の範囲で変化させ、ゲート電圧を -20 V から 0

10

20

30

40

50

Vの範囲で変化させた。この場合のドレイン電流は $150\text{ }\mu\text{A}$ だった。ここから既述の式(1)式を用いて得られる移動度は $1\times 10^{-2}\text{ cm}^2/\text{Vs}$ である。またオン/オフ比は 10^6 であり、従来のa-Siを用いたトランジスタと同レベルだった。

【0050】

(比較例1)

実施例1の比較例として、図6で示される、従来構造のいわゆる横型電界効果型トランジスタの製造に関する比較例1を以下に示す。

高濃度にリンをドーブしたSiウエハよりなる基板を 1100°C で熱酸化処理して、 200 nm の熱酸化膜を形成する。そして、ソース/ドレイン電極としてAu/Cr膜を積層し、これらの膜にフォトリソグラフィ・エッチングにより、パターンを形成した。チャンネル長を $5\text{ }\mu\text{m}$ 、チャンネル幅を $20\text{ }\mu\text{m}$ とした。最後にポリヘキシルチオフェン溶液をスピンコート法により成膜して、横型電界効果トランジスタを作製した。

10

【0051】

以上の工程で作製した横型電界効果トランジスタの特性評価を行った。ソース/ドレイン電圧を -20 V から 0 V の範囲で変化させ、ゲート電圧を -20 V から 0 V の範囲で変化させた。この場合のドレイン電流は $6\text{ }\mu\text{A}$ だった。ここから既述の式(1)を用いて得られる移動度は $2\times 10^{-2}\text{ cm}^2/\text{Vs}$ である。またオン/オフ比は 10^6 であり、従来のa-Siを用いたトランジスタと同レベルだった。

【0052】

以上の実施例1及び比較例1の結果を比較したところ、キャリア移動度は、同じポリヘキシルチオフェンを用いているにも関わらず、異なった値を示した。これについては、実施例1では、ドレイン電極にPEDOT/PSSを用いており、一方、比較例1では、ソース/ドレイン電極ともAu/Crを用いていること、及び、ゲート絶縁膜に関して実施例1では、有機系高分子材料を用いており、比較例1ではシリコン熱酸化膜を用いているためである。このような要因から、実施例1では、移動度が比較例1に比べて約半分の値であるにも関わらず、ドレイン電流値は、実施例1は、比較例1に比べて2.5倍ある。一方、オン/オフ比に関して、実施例1と比較例1で違いは見られなかった。

20

【0053】

これらの結果より、実施例1のデュアル・サイド・ゲート電界効果トランジスタを用いることにより、移動度の遅い半導体材料を用いても、充分大きいドレイン電流を得ることができ、特に、高分子系有機半導体用素子として有効であることが、確認された。

30

【0054】

(実施例2)

次に、本発明の具体的な実施例として、以下のLCDパネルに用いられるTFE素子とその製造手順とともに図9及び図10を参酌しつつ以下説明する。

【0055】

まず、実施例2にあつては、基板1上にソース電極5を形成する(図9(1)参照)。ソース電極5はCr及びAuをCVD法により成膜し、フォトリソグラフィ及びドライエッチングにより形成している。ここで、ソース電極5は複数本形成されている。

【0056】

次に、半導体層6を、ポリチオフェンをインクジェット法により成膜して形成する(図9(2)参照)。ここでは、半導体層6は、前記ソース電極5の上に複数形成している。

40

【0057】

そして、前記半導体層6の上面に、ドレイン電極4を形成する(図9(3)参照)。ここで、ソース電極5と同様に、AuをCVD法により成膜し、フォトリソグラフィ及びドライエッチングにより形成した。

【0058】

次に、前記積層された三層の周囲にゲート絶縁膜3を形成する(図9(4)参照)。ここでは、ポリビニルフェノールを用い、インクジェット法により成膜してゲート絶縁膜3を形成した(図8(4)参照)。

50

【 0 0 5 9 】

そして、前記三層の上面を通るようなゲート電極 2 を形成する（図 1 0（1）参照）。ここでは、A 1 を C V D 法により成膜形成して、前記ゲート電極 2 を形成した。

【 0 0 6 0 】

次に、パッシベーション膜形成を行う。窒化シリコンを C V D 法により成膜する（図 1 0（2）参照）。この際、マスク蒸着をおこなうことにより、ドレイン電極上にドレイン電極 4 まで貫通するピンホールを形成した。

【 0 0 6 1 】

そして、前記パッシベーション膜の上面に、画素電極として、I T O 膜を形成する（図 1 0（3）参照）。ここでは、透明電極は、C V D 法により成膜し、フォトリソグラフィおよびウエットエッチングにより形成した。

【図面の簡単な説明】

【 0 0 6 2 】

【図 1】本発明の、デュアル・サイド・ゲート電界効果トランジスタ素子の構造

【図 2】本発明の、デュアル・サイド・ゲート電界効果トランジスタ素子を C V D 法で作製する場合の工程図

【図 3】本発明の、デュアル・サイド・ゲート電界効果トランジスタ素子を印刷法で作製する場合の工程図

【図 4】アモルファスシリコンを半導体層に用いた場合の、横型電界効果トランジスタの素子構造

【図 5】有機半導体材料を半導体層に用いた場合の、一般的な電界効果トランジスタの素子構造

【図 6】縦型電界効果トランジスタ素子の構造

【図 7】実施例 1 で記されている、デュアル・サイド・ゲート電界効果トランジスタ素子作製の工程図（断面図：右、上面図：左）

【図 8】実施例 1 で記されている、デュアル・サイド・ゲート電界効果トランジスタ素子作製の工程図（断面図：右、上面図：左）

【図 9】実施例 2 で記されている、デュアル・サイド・ゲート電界効果トランジスタを含む、液晶ディスプレイ用 TFT 基板作製の工程図（断面図：右、上面図：左）

【図 1 0】実施例 2 で記されている、デュアル・サイド・ゲート電界効果トランジスタを含む、液晶ディスプレイ用 TFT 基板作製の工程図（断面図：右、上面図：左）

【符号の説明】

【 0 0 6 3 】

1、1 1、1 0 1、1 1 1 ... 絶縁性基板、ガラス基板、透明性基板

2、1 2、1 0 2、1 1 2 ... ゲート電極

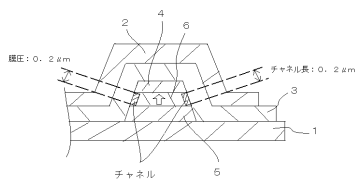
3、1 3、1 0 3、1 1 3 ... ゲート絶縁層

4、1 4、1 0 4、1 1 4 ... ドレイン電極

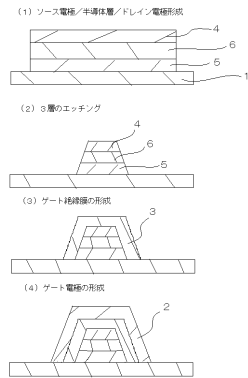
5、1 5、1 0 5、1 1 5 ... ソース電極

6、1 6、1 0 6、1 1 6 ... 半導体層

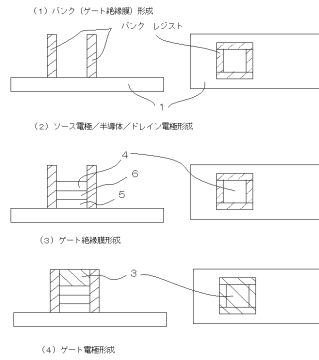
【図 1】



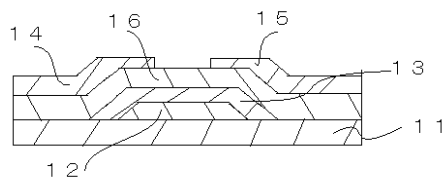
【図 2】



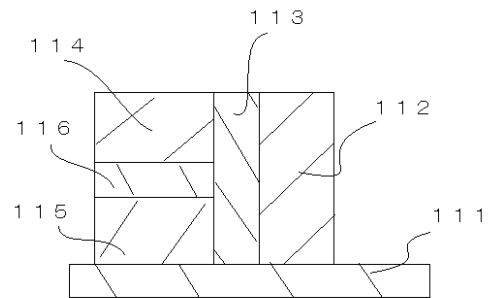
【図 3】



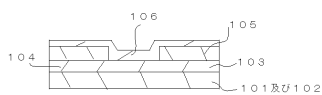
【図 4】



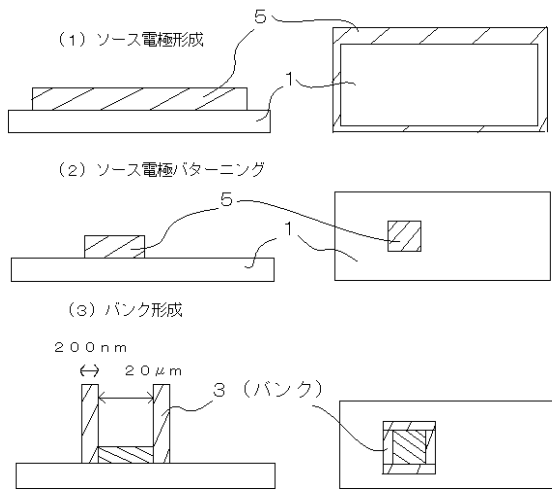
【図 6】



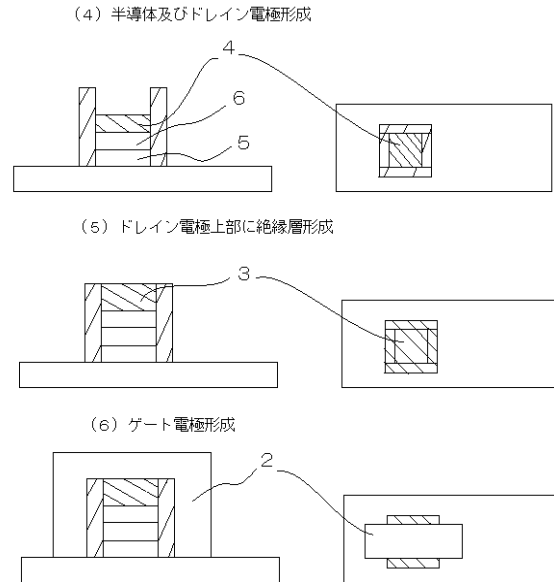
【図 5】



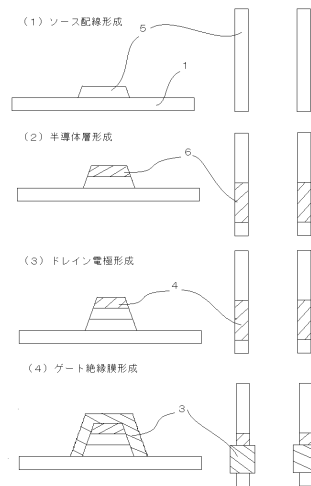
【図 7】



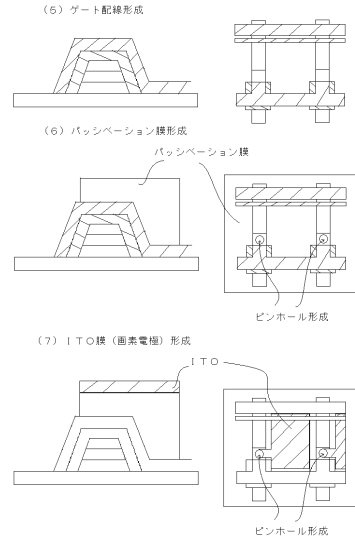
【図 8】



【図 9】



【図 10】



フロントページの続き

F ターム(参考) 5F110 AA01 AA07 BB01 CC09 DD02 EE01 EE03 EE04 EE22 EE42
EE43 EE45 FF01 FF02 FF03 FF09 FF27 FF28 FF29 FF35
GG01 GG02 GG05 GG06 GG13 GG15 GG22 GG24 GG28 GG29
GG30 GG42 GG44 GG57 HK01 HK02 HK03 HK04 HK06 HK07
HK09 HK21 HK32 HK34 HL07 HL14 HL26 NN24 NN35 NN71
NN72 QQ01