

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-217618

(P2006-217618A)

(43) 公開日 平成18年8月17日(2006.8.17)

(51) Int.Cl.

H03K 19/0175 (2006.01)

F I

H03K 19/00

1 O 1 F

テーマコード (参考)

5 J O 5 6

H03K 19/00

1 O 1 Q

審査請求 未請求 請求項の数 36 O L (全 15 頁)

(21) 出願番号 特願2006-24716 (P2006-24716)  
 (22) 出願日 平成18年2月1日(2006.2.1)  
 (31) 優先権主張番号 10-2005-0009103  
 (32) 優先日 平成17年2月1日(2005.2.1)  
 (33) 優先権主張国 韓国 (KR)

(71) 出願人 390019839  
 三星電子株式会社  
 Samsung Electronics  
 Co., Ltd.  
 大韓民国 443-742 京畿道水原市靈通  
 区梅灘洞 416  
 (74) 代理人 100076428  
 弁理士 大塚 康德  
 (74) 代理人 100112508  
 弁理士 高柳 司郎  
 (74) 代理人 100115071  
 弁理士 大塚 康弘  
 (74) 代理人 100116894  
 弁理士 木村 秀二

最終頁に続く

(54) 【発明の名称】 出力インピーダンス回路及びこれを適用した出力バッファ回路

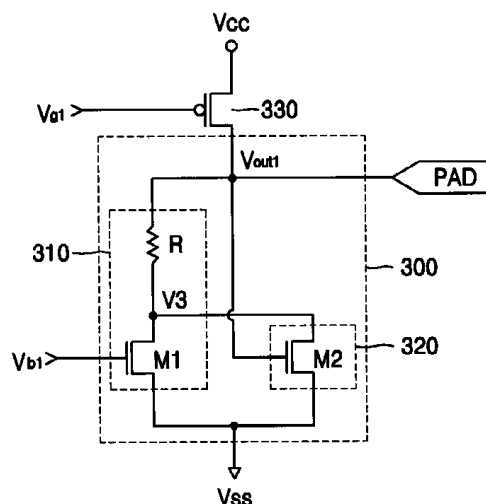
(57) 【要約】

【課題】 出力インピーダンス回路及びこれを適用した出力バッファ回路を提供すること。

【解決手段】 出力インピーダンス回路は、出力ステージ及びインピーダンス制御ステージを備える。出力ステージは、DCバイアス電圧に対応する出力信号を出力端子を通じて出力し、インピーダンス制御ステージは、出力信号にตอบสนองして前記出力ステージに流れる電流を制御する。出力ステージは、抵抗素子及び第1 MOS トランジスタを備える。抵抗素子は、一端が出力端子に接続される。第1 MOS トランジスタは、一端が抵抗素子の他端に接続され、他端が電源電圧に接続され、ゲートに入力信号が印加される。

【選択図】 図3

【図 3】



## 【特許請求の範囲】

## 【請求項 1】

出力信号の電圧レベルが変わっても、前記出力信号が出力される出力端子でのインピーダンス成分が一定である出力インピーダンス回路において、

DC バイアス電圧に対応する電流を前記出力端子に供給する出力ステージと、

前記出力信号に 응답して前記出力ステージに流れる電流を制御するインピーダンス制御ステージとを備えることを特徴とする出力インピーダンス回路。

## 【請求項 2】

前記出力ステージは、

一端が前記出力端子に接続された抵抗素子と、

一端が前記抵抗素子の他端に接続され、他端が第 1 電源電圧に接続され、ゲートに前記 DC バイアス電圧が印加される第 1 MOS トランジスタとを備えることを特徴とする請求項 1 に記載の出力インピーダンス回路。

## 【請求項 3】

前記インピーダンス制御ステージは、

一端が前記抵抗素子及び前記第 1 MOS トランジスタの共通端子に接続され、他端が前記第 1 電源電圧に接続され、ゲートに前記出力信号が印加される第 2 MOS トランジスタを備えることを特徴とする請求項 2 に記載の出力インピーダンス回路。

## 【請求項 4】

前記第 1 電源電圧は、

前記出力インピーダンス回路を含むシステムで用いられる電源電圧よりも低い電圧レベルを有する電圧であることを特徴とする請求項 3 に記載の出力インピーダンス回路。

## 【請求項 5】

前記第 1 MOS トランジスタ及び前記第 2 MOS トランジスタは、

N 型 MOS トランジスタであることを特徴とする請求項 4 に記載の出力インピーダンス回路。

## 【請求項 6】

前記出力端子は、

半導体装置のパッドであることを特徴とする請求項 5 に記載の出力インピーダンス回路。

## 【請求項 7】

前記抵抗素子は、

多結晶シリコン、PSG、及び拡散された活性層のうち一つを利用して形成された抵抗であることを特徴とする請求項 2 に記載の出力インピーダンス回路。

## 【請求項 8】

前記出力ステージは、

一端が前記出力端子に接続された抵抗素子と、

一端が前記抵抗素子の他端に接続され、他端が第 2 電源電圧に接続され、ゲートに前記 DC バイアス電圧が印加される第 3 MOS トランジスタとを備えることを特徴とする請求項 1 に記載の出力インピーダンス回路。

## 【請求項 9】

前記インピーダンス制御ステージは、

一端が前記抵抗素子及び前記第 3 MOS トランジスタの共通端子に接続され、他端が前記第 2 電源電圧に接続され、ゲートに前記出力信号が印加される第 4 MOS トランジスタを備えることを特徴とする請求項 8 に記載の出力インピーダンス回路。

## 【請求項 10】

前記第 2 電源電圧は、

前記出力インピーダンス回路を含むシステムで用いられる電源電圧よりも高い電圧レベルを有する電圧であることを特徴とする請求項 9 に記載の出力インピーダンス回路。

## 【請求項 11】

前記第 3 MOS トランジスタ及び前記第 4 MOS トランジスタは、  
P 型 MOS トランジスタであることを特徴とする請求項 10 に記載の出力インピーダンス回路。

【請求項 12】

前記出力端子は、  
半導体装置のパッドであることを特徴とする請求項 11 に記載の出力インピーダンス回路。

【請求項 13】

前記抵抗素子は、  
多結晶シリコン、PSG、及び拡散された活性層のうち一つを利用して形成された抵抗 10  
であることを特徴とする請求項 8 に記載の出力インピーダンス回路。

【請求項 14】

入力信号に 응답して出力信号の電圧レベルが変わっても、前記出力信号が出力される出力端子でのインピーダンス成分が一定であるインピーダンス回路を備える出力バッファ回路において、

一端が前記出力端子に接続され、他端が高電源電圧に接続され、ゲートに前記入力信号が印加される駆動トランジスタと、

DC 電圧を受信して動作し、一端が低電源電圧に接続され、他端が前記出力端子に接続されたインピーダンス回路とを備え、

前記インピーダンス回路は、

20

前記 DC バイアス電圧に対応する電流を前記出力端子に供給する出力ステージと、

前記出力信号に 응답して前記出力ステージに流れる電流を制御するインピーダンス制御ステージとを備えることを特徴とする出力バッファ回路。

【請求項 15】

前記出力ステージは、

一端が前記出力端子に接続された抵抗素子と、

一端が前記抵抗素子の他端に接続され、他端が前記低電源電圧に接続され、ゲートに前記 DC バイアス電圧が印加される第 1 MOS トランジスタとを備えることを特徴とする請求項 14 に記載の出力バッファ回路。

【請求項 16】

30

前記インピーダンス制御ステージは、

一端が前記抵抗素子及び前記第 1 MOS トランジスタの共通端子に接続され、他端が前記低電源電圧に接続され、ゲートに前記出力信号が印加される第 2 MOS トランジスタを備えることを特徴とする請求項 15 に記載の出力バッファ回路。

【請求項 17】

前記第 1 MOS トランジスタ及び前記第 2 MOS トランジスタは、

N 型 MOS トランジスタであることを特徴とする請求項 16 に記載の出力バッファ回路。

【請求項 18】

前記駆動トランジスタは、

40

P 型 MOS トランジスタであることを特徴とする請求項 17 に記載の出力バッファ回路。

【請求項 19】

前記出力端子は、

半導体装置のパッドであることを特徴とする請求項 18 に記載の出力バッファ回路。

【請求項 20】

前記抵抗素子は、

多結晶シリコン、PSG、及び拡散された活性層のうち一つを利用して形成された抵抗 50  
であることを特徴とする請求項 15 に記載の出力バッファ回路。

【請求項 21】

50

入力信号に応答して出力信号の電圧レベルが変わっても、前記出力信号が出力される出力端子でのインピーダンス成分が一定であるインピーダンス回路を備える出力バッファ回路において、

DC電圧を受信して動作し、一端が高電源電圧に接続され、他端が前記出力端子に接続されたインピーダンス回路と、

一端が前記出力端子に接続され、他端が低電源電圧に接続され、ゲートに前記入力信号が印加される駆動トランジスタとを備え、

前記インピーダンス回路は、

前記DCバイアス電圧に対応する電流を前記出力端子に供給する出力ステージと、

前記出力信号に応答して前記出力ステージに流れる電流を制御するインピーダンス制御ステージとを備えることを特徴とする出力バッファ回路。 10

【請求項22】

前記出力ステージは、

一端が前記出力端子に接続された抵抗素子と、

一端が前記抵抗素子の他端に接続され、他端が前記低電源電圧に接続され、ゲートに前記DCバイアス電圧が印加される第1MOSトランジスタとを備えることを特徴とする請求項21に記載の出力バッファ回路。

【請求項23】

前記インピーダンス制御ステージは、

一端が前記抵抗素子及び前記第1MOSトランジスタの共通端子に接続され、他端が前記低電源電圧に接続され、ゲートに前記出力信号が印加される第2MOSトランジスタを備えることを特徴とする請求項22に記載の出力バッファ回路。 20

【請求項24】

前記第1MOSトランジスタ及び前記第2MOSトランジスタは、

N型MOSトランジスタであることを特徴とする請求項23に記載の出力バッファ回路。

【請求項25】

前記駆動トランジスタは、

P型MOSトランジスタであることを特徴とする請求項24に記載の出力バッファ回路。

【請求項26】

前記出力端子は、

半導体装置のパッドであることを特徴とする請求項25に記載の出力バッファ回路。

【請求項27】

前記抵抗素子は、

多結晶シリコン、PSG、及び拡散された活性層のうち一つを利用して形成された抵抗であることを特徴とする請求項22に記載の出力バッファ回路。

【請求項28】

出力信号の電圧レベルが変わっても、前記出力信号が出力される出力端子でのインピーダンス成分が一定であり、正常動作状態及びハイインピーダンス状態を選択できる出力インピーダンス回路において、 40

制御信号及び逆制御信号に응答して動作し、前記出力信号を利用して前記出力インピーダンス回路の動作状態を選択するオンオフ信号を出力するオンオフ選択器と、

前記逆制御信号に対応する電流を前記出力端子に供給する出力ステージと、

前記オンオフ信号に응答して前記出力ステージに流れる電流を制御するインピーダンス制御ステージとを備えることを特徴とする出力インピーダンス回路。

【請求項29】

前記出力ステージは、

一端が前記出力端子に接続された抵抗素子と、

一端が前記抵抗素子の他端に接続され、他端が電源電圧に接続され、ゲートに前記逆制 50

御信号が印加される第1 MOS トランジスタとを備えることを特徴とする請求項28に記載の出力インピーダンス回路。

【請求項30】

前記インピーダンス制御ステージは、

一端が前記抵抗素子及び前記第1 MOS トランジスタの共通端子に接続され、他端が前記電源電圧に接続され、ゲートに前記オンオフ信号が印加される第2 MOS トランジスタを備えることを特徴とする請求項29に記載の出力インピーダンス回路。

【請求項31】

前記オンオフ選択器は、

一端に接続された前記出力信号を前記制御信号及び逆制御信号にตอบสนองしてスイッチングするスイッチと、

一端が前記スイッチの他端に接続され、他端が前記電源電圧に接続され、ゲートに前記逆制御信号が印加される第3 MOS トランジスタとを備えることを特徴とする請求項30に記載の出力インピーダンス回路。

【請求項32】

前記スイッチは、

一端が前記出力端子に接続され、他端が前記第3 MOS トランジスタの一端に接続され、前記制御信号及び前記逆制御信号によって動作し、前記制御信号が論理的にハイレベルである時にスイッチがオンになることを特徴とする請求項31に記載の出力インピーダンス回路。

【請求項33】

前記制御信号及び前記逆制御信号は、

位相が互いに逆相であることを特徴とする請求項28に記載の出力インピーダンス回路。

【請求項34】

前記出力インピーダンス回路は、

前記逆制御信号の位相を反転させて前記制御信号を出力するインバータをさらに備えることを特徴とする請求項28に記載の出力インピーダンス回路。

【請求項35】

出力信号の電圧レベルが変わっても、前記出力信号が出力される出力端子でのインピーダンス成分が一定であり、正常動作状態及びハイインピーダンス状態を選択できる出力バッファ回路において、

制御信号及び逆制御信号にตอบสนองして動作し、前記出力信号を利用して前記出力インピーダンス回路の動作状態を選択するオンオフ信号を出力するオンオフ選択器と、

前記オンオフ信号にตอบสนองして前記逆制御信号に対応する電流を一端に接続された第1電源電圧を通じて他端に接続された前記出力端子に供給する出力インピーダンス回路と、

入力信号に対応する電流を一端に接続された第2電源電圧を通じて他端に接続された出力端子に供給する駆動装置とを備えることを特徴とする出力バッファ回路。

【請求項36】

前記第1電源電圧は、

前記出力バッファ回路で用いられる電源電圧よりも低い電源電圧であり、

前記第2電源電圧は、

前記出力バッファ回路で用いられる電源電圧よりも高い電源電圧であることを特徴とする請求項35に記載の出力バッファ回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置の出力インピーダンス回路に係り、特に、接続されるシステムにかかわらず、一定の線形的な特性を有する出力インピーダンス(Output Impedance)またはTerminator Impedance)を有する負荷として用

10

20

30

40

50

いられる出力インピーダンス回路に関する。

【背景技術】

【0002】

図1は、従来の出力インピーダンス回路を示す回路図である。図1を参照すれば、出力インピーダンス回路100は、3個のP型MOSトランジスタP1～P3及び抵抗Rを備える。MOSトランジスタP4は、出力インピーダンス回路100を負荷として使用するインバータを構成するMOSトランジスタであって、ゲートに印加される入力電圧Vgを反転させる。

【0003】

前記出力インピーダンス回路の構成上の特徴は、次の通りである。第1P型MOSトランジスタP1の一端は、高電源電圧Vccに接続され、ゲートにはDCバイアス電圧Vbが印加される。第2P型MOSトランジスタP2の一端は、高電源電圧Vccに接続され、ゲートにはDCバイアス電圧Vbが印加される。第3P型MOSトランジスタP3の一端は、第2P型MOSトランジスタP2の他端に接続され、他端及びゲート電極はパッド(PAD)に接続される。抵抗Rは、一端が第1P型MOSトランジスタの他端に接続され、他端はパッドに接続される。

【0004】

第1P型MOSトランジスタP1の他端と抵抗Rの一端とが接続されるノード電圧はV1であり、第2P型MOSトランジスタP2の他端と第3P型MOSトランジスタP3の一端が接続されるノード電圧はV2であると仮定し、図1に示された従来の出力インピーダンス回路の動作を説明する。

【0005】

数式1は、高電源電圧Vcc及びパッド間の電圧Vo、インピーダンスZo、及び高電源電圧Vccとパッドとの間を流れる電流Ioに対するオームの法則を表す。

【0006】

$$Z_o = V_o / I_o \quad \dots (\text{数式1})$$

【0007】

最も理想的な場合は、Vo及びIoが変わってもZoが変わらず、パッドにいかなるシステムが接続されても前記出力インピーダンス回路及びシステムのインピーダンス差に誤動作が発生しない。ここで、インピーダンス差による誤動作は、例えば、伝送されずに反射される信号による誤動作を含む。

【0008】

まず、第1P型MOSトランジスタP1及び抵抗Rのみを備える抵抗回路について説明する。

【0009】

第4MOSトランジスタP4のゲートに印加される入力電圧Vgの値に応答してパッド電圧が低くなると、高電源電圧Vccとパッド間の電圧Voが増加する。高電源電圧Vccとパッド間のインピーダンス成分Zoが一定であると、高電源電圧Vccとパッドとの間に流れる電流Ioは増加する。ここで、インピーダンス成分Zoは、抵抗R及び第1MOSトランジスタP1のオン抵抗Zonの和となる。MOSトランジスタのオン抵抗を数式2で示す。

【0010】

$$Z_{on} = V_{ds} / I_{ds} \quad \dots (\text{数式2})$$

【0011】

ここで、Vdsは、MOSトランジスタのドレイン及びソース間の電圧を示し、Idsは、MOSトランジスタのドレインとソースとの間を流れる電流を意味する。

【0012】

電圧Voが増加するが、まだ電流Ioが増加していないと仮定すると、抵抗Rで降下する電圧が一定になるので、結果として、第1ノード電圧V1がパッドの電圧が低くなる場合と同じ電圧に低くなる。すなわち、第1MOSトランジスタP1のドレインとソース間

10

20

30

40

50

の電圧  $V_{ds}$  が増加し、第 1 MOS トランジスタ P 1 のゲート及びソース間の電圧  $V_{gs}$  は変わらないが、ドレイン及びソース間の電圧  $V_{ds}$  が増加するので、ドレイン及びソース間の電流  $I_{ds}$  も増加する。

【 0 0 1 3 】

図 2 は、MOS トランジスタの電圧 - 電圧特性曲線である。図 2 を参照すれば、ゲートとソースとの間の電圧  $V_{gs} - V_t$  が一定の場合、ドレインとソースとの間の電圧  $V_{ds}$  が増加するときに、ドレインとソースとの間に流れる電流  $I_{ds}$  が急増する領域(線形領域)と緩やかに増加する領域(飽和領域)に区分される。点線が前記 2 領域を区分するが、前記点線の左側にある領域が線形領域であり、右側にある領域が飽和領域である。

【 0 0 1 4 】

第 1 MOS トランジスタ P 1 は、飽和領域で動作するが、上述のように飽和領域では、ドレインとソースとの間の電圧  $V_{ds}$  の増加と同じ割合でドレインとソースとの間の電流  $I_{ds}$  が増加しないので、オン抵抗  $Z_{on}$  が増加し、パッドに適当な電流を供給できなくなるという問題がある。これは、パッドから見たインピーダンス成分 ( $Z_{o1} = R + Z_{on}$ ) が増加するということと同じ意味である。

【 0 0 1 5 】

このような問題を解決するために、直列接続された第 2 MOS トランジスタ P 2 及び第 3 MOS トランジスタ P 3 を、直列接続された第 1 MOS トランジスタ P 1 及び抵抗 R に並列に接続することが提案された。

【 0 0 1 6 】

この場合、第 1 MOS トランジスタ P 1 のドレイン及びソース間の電圧  $V_{ds}$  の変化に追いつけない電流を、第 2 MOS トランジスタ P 2 及び第 3 MOS トランジスタ P 3 を通じてパッドに供給する。また、第 2 MOS トランジスタ P 2 及び第 3 MOS トランジスタ P 3 のインピーダンス成分  $Z_{o2}$  が、第 1 MOS トランジスタ P 1 及び抵抗 R によるインピーダンス成分  $Z_{o1}$  と並列に接続されるので、パッドから見たインピーダンス成分 ( $Z_o = Z_{o1} // Z_{o2}$ ) は減少する。ここで、 $//$  は  $Z_{o1}$  と  $Z_{o2}$  とが相互に並列に接続されていることを意味する。

【 0 0 1 7 】

上述のように、従来の出力インピーダンス回路は、パッド電圧が低くなっても、インピーダンス成分を安定させうるという利点がある。

【 0 0 1 8 】

しかしながら、パッドに接続された出力インピーダンス回路のインピーダンス成分の値を一定に維持させるために使用する第 2 MOS トランジスタ P 2 及び第 3 MOS トランジスタ P 3 は、工程によってそのサイズ及び抵抗が敏感に変わるという問題がある。また、第 2 MOS トランジスタ P 2 及び第 3 MOS トランジスタ P 3 が飽和領域で動作するので、パッド電圧によって電流量が急増し、低いパッド電圧ではインピーダンス成分を必要以上に減少させてしまうという問題がある。

【 発明の開示 】

【 発明が解決しようとする課題 】

【 0 0 1 9 】

本発明が達成しようとする技術的課題は、工程の変化に対し安定的であり、パッド電圧に関係なく一定の出力インピーダンスを有する出力インピーダンス回路を提供することである。

【 0 0 2 0 】

本発明が達成しようとする他の技術的課題は、工程の変化に対し安定的であり、パッド電圧に関係なく一定の出力インピーダンスを有する出力バッファ回路を提供することである。

【 課題を解決するための手段 】

【 0 0 2 1 】

前記技術的課題を達成するための本発明による出力インピーダンス回路は、出力ステー

10

20

30

40

50

ジ及びインピーダンス制御ステージを備える。

【0022】

前記出力ステージは、DCバイアス電圧に対応する前記出力信号を出力端子を通じて出力し、前記インピーダンス制御ステージは、前記出力信号にตอบสนองして前記出力ステージに流れる電流を制御する。

【0023】

前記出力ステージは、抵抗素子及び第1MOSトランジスタを備える。前記抵抗素子は、一端が前記出力端子に接続される。前記第1MOSトランジスタは、一端が前記抵抗素子の他端に接続され、他端が電源電圧に接続され、ゲートに前記入力信号が印加される。

【0024】

前記インピーダンス制御ステージは、一端が前記抵抗素子及び前記第1MOSトランジスタの共通端子に接続され、他端が前記電源電圧に接続され、ゲートに前記出力信号が印加される第2MOSトランジスタを備える。

【0025】

前記他の技術的課題を達成するための本発明による出力バッファ回路は、入力信号にตอบสนองして出力信号の電圧レベルが変わっても、前記出力信号が出力される出力端子でのインピーダンス成分が一定であり、駆動トランジスタ及びインピーダンス回路を備える。

【0026】

前記駆動トランジスタは、一端が前記出力端子に接続され、他端が高電源電圧に接続され、ゲートに前記入力信号が印加される。

【0027】

前記インピーダンス回路は、DC電圧を受信して動作し、一端が低電源電圧に接続され、他端が前記出力端子に接続される。前記インピーダンス回路は、出力ステージ及びインピーダンス制御ステージを備える。前記出力ステージは、前記DCバイアス電圧に対応する電流を前記出力端子に供給する。前記インピーダンス制御ステージは、前記出力信号にตอบสนองして前記出力ステージに流れる電流を制御する。

【発明の効果】

【0028】

本発明による出力インピーダンス回路は、工程の変化に対し安定的であり、パッド電圧に関係なく一定の出力インピーダンスを有するという利点がある。

【発明を実施するための最良の形態】

【0029】

本発明と本発明の動作上の利点及び本発明の実施によって達成される目的を十分に理解するためには、本発明の望ましい実施形態を例示する添付図面及び図面に記載された内容を参照しなければならない。

【0030】

以下、添付した図面を参照して本発明の望ましい実施形態を説明することによって、本発明を詳細に説明する。各図面に付された同一の参照符号は、同様の構成要素を示す。

【0031】

図3は、本発明の好適な一実施形態の一側面による出力インピーダンス回路300を備える出力バッファ回路の回路図である。

【0032】

図3を参照すれば、前記出力バッファ回路は、駆動トランジスタ330及び出力インピーダンス回路300を備える。

【0033】

駆動トランジスタ330は、入力信号Vg1にตอบสนองして出力端子の出力電圧Vout1を決定する機能を持ち、そのために前記出力インピーダンス回路を負荷として使用する。駆動トランジスタ330の一端は、高電源電圧Vccに接続され、他端が出力端子に接続され、ゲートに入力信号Vg1が印加される。

【0034】

10

20

30

40

50



出力インピーダンス回路 300 は、出力ステージ 310 及びインピーダンス制御ステージ 320 を備え、入力信号  $V_{g1}$  の電圧レベルに対応して出力信号  $V_{out1}$  の電圧レベルが変わっても、出力端子でのインピーダンス成分が一定である。

【0035】

出力ステージ 310 は、抵抗  $R$  及び第 1 MOS トランジスタ  $M1$  を備える。抵抗または抵抗素子  $R$  は、一端が前記出力端子に接続される。第 1 MOS トランジスタ  $M1$  は、一端が抵抗  $R$  の他端  $V3$  に接続され、他端が低電源電圧  $V_{ss}$  に接続され、ゲートに DC バイアス電圧  $V_{b1}$  が印加される。ここで、DC バイアス電圧  $V_{b1}$  は、第 1 MOS トランジスタ  $M1$  をターンオンさせる電圧であって、高電源電圧  $V_{cc}$  に接続させても良い。

【0036】

インピーダンス制御ステージ 320 は、一端が抵抗  $R$  及び第 1 MOS トランジスタ  $M1$  の共通端子  $V3$  に接続され、他端が電源電圧  $V_{ss}$  に接続され、ゲートに出力信号が印加される第 2 MOS トランジスタを備える。

【0037】

第 1 電源電圧  $V_{cc}$  は、前記出力インピーダンス回路を備える出力バッファ回路で用いられる電源電圧よりも高い電源電圧であり、第 2 電源電圧  $V_{ss}$  は、前記出力インピーダンス回路を備える出力バッファ回路で用いられる電源電圧よりも低い電源電圧である。第 1 MOS トランジスタ  $M1$  及び第 2 MOS トランジスタ  $M2$  は、N 型 MOS トランジスタであることが望ましい。

【0038】

出力端子は、半導体装置のパッドであり、抵抗  $R$  は、多結晶シリコン (Poly-Silicon)、PSG (Phospho Silicate Glass)、及び拡散された活性層 (Diffused Active layer) のうち一つを利用して形成される。

【0039】

以下、図 3 に示された本発明の好適な一実施形態の一側面による出力インピーダンス回路の動作について説明する。

【0040】

図 3 に示された本発明の好適な一実施形態による出力インピーダンス回路がパッド電圧に関係なく一定のインピーダンスを提供するためには、ノード  $V3$  の電圧がパッドの電圧に関係なく一定であるべきである。

【0041】

入力信号  $V_{g1}$  の電圧によってパッドの電圧が上昇すれば、出力インピーダンスの両端子で降下する電圧が増加する。この時、抵抗  $R$  を通じて流れる電流量が増加しなければならない。このためにはノード  $V3$  の電圧が上昇しなければならない。しかしながら、ノード  $V3$  の電圧が上昇すれば、抵抗  $R$  の両端の電圧が減少するので、結果として、パッドから見たインピーダンスは増加する。

【0042】

本発明は、このような問題を解決するために、インピーダンス制御ステージ 320 として第 2 MOS トランジスタ  $M2$  を用いる。パッドの電圧が上昇すれば、第 2 MOS トランジスタ  $M2$  のゲートに印加される電圧が増加するので、結果として、第 2 MOS トランジスタ  $M2$  を通じて流れる電流も増加する。しかしながら、第 2 MOS トランジスタ  $M2$  のゲート電圧が増加してもノード  $V3$  の電圧は増加しない。この点が従来の出力インピーダンス回路と相異なる。

【0043】

図 2 に示された電流 - 電圧曲線を参照すれば、ゲート及びソース間の電圧  $V_{gs}$  が固定されている場合、ドレインとソースとの間の電流  $I_{ds}$  を増加させるためには、ドレインとソースとの間の電圧  $V_{ds}$  が増加しなければならない。しかしながら、ゲート及びソース間の電圧  $V_{gs}$  が増加すれば、電流  $I_{ds}$  を増加させるためにドレインとソースとの間の電圧  $V_{ds}$  が増加する必要がない。したがって、本発明の好適な一実施形態による出力

10

20

30

40

50

インピーダンス回路は、出力信号の値によって供給すべき電流が変わっても、これに対応して動作するインピーダンス制御用のトランジスタM2の役割によって、出力インピーダンスはほとんど変わらない。

【0044】

したがって、パッドの電圧が増加して第2MOSトランジスタM2のゲート及びソース間の電圧 $V_{gs}$ が増加しても、図1に示された従来の出力インピーダンス回路でのノード電圧 $V_1$ が増加する程度の電圧上昇が起こらない。

【0045】

このような構造を有することによって、パッドから見たインピーダンス値をあらゆる領域に対して一定に維持させうる。

10

【0046】

以下、前述した本発明の技術的思想を、実際の設計でどのように具現できるかを説明する。

【0047】

パッドの電圧の変化によって、第1MOSトランジスタM1及び第2MOSトランジスタM2の動作は、3つの領域に大別される。

【0048】

第1に、出力電圧 $V_{out1}$ がMOSトランジスタのしきい電圧 $V_{th}$ に比べて小さい場合であり、第1MOSトランジスタM1のみ線形領域で動作し、第2MOSトランジスタM2は動作しない場合に抵抗 $R$ を通じて流れる電流を数式3で示した。第1MOSトランジスタM1及び第2MOSトランジスタM2のしきい電圧は、いずれも $V_{th}$ とする。ここで、 $V_{b1}$ が電源電圧 $V_{cc}$ に接続され、電源電圧 $V_{ss}$ は接地電圧と同じ0Vと仮定する。

20

【0049】

$$I_{r1} = K_1 \{ (V_{cc} - V_{th}) V_{ds1} - 1/2 V_{ds1}^2 \} \\ = K_1 \{ (V_{cc} - V_{th}) a V_{out1} - 1/2 a^2 V_{out1}^2 \} \quad \dots (\text{数式3})$$

【0050】

ここで、 $V_{ds1}$ は $V_3$ で、 $V_3$ は比例定数 $a$ を含む $a V_{out1}$ であると仮定する。また、 $K_1$ は、工程パラメータによって決定される値を有する。 $V_{cc} \gg V_{out1}$ であるので、 $(V_{cc} - V_{th}) a V_{out1} \gg 1/2 a^2 V_{out1}^2$ となって $I_{r1}$ は数式4のように表される。

30

【0051】

$$I_{r1} = K_1 * (V_{cc} - V_{th}) * a V_{out1} \quad \dots (\text{数式4})$$

【0052】

第2に、第1MOSトランジスタM1は線形領域で動作し、第2MOSトランジスタM2は飽和領域で動作する場合であって、出力電圧 $V_{out1}$ がしきい電圧 $V_{th}$ よりは高いが、2倍のしきい電圧( $2 V_{th}$ )に比べて低い電圧( $V_{th} < V_{out1} < 2 V_{th}$ )を有する時の電流 $I_{r2}$ は、数式5で示される。

【0053】

$$I_{r2} = K_1 \{ (V_{cc} - V_{th}) V_{ds1} - 1/2 V_{ds1}^2 \} + 1/2 K_2 (V_{out1} - V_{th})^2 \\ = K_1 \{ (V_{cc} - V_{th}) a V_{out1} - 1/2 a^2 V_{out1}^2 \} + 1/2 K_2 (V_{out1} - V_{th})^2 \\ = V_{out1} \{ a K_1 (V_{cc} - V_{th}) - K_2 V_{th} \} - 1/2 V_{out1}^2 (a^2 K_1 - K_2) + 1/2 K_2 V_{th}^2 \quad \dots (\text{数式5})$$

40

【0054】

ここで、 $(a^2 K_1 - K_2)$ を0に収束するように設計すれば、電流 $I_{r2}$ は数式6のように示される。ここで、 $K_2$ も工程パラメータによって決定される値である。

【0055】

$$I_{r2} = V_{out1} \{ a K_1 (V_{cc} - V_{th}) - K_2 V_{th} \} + 1/2 K_2 V_{th}^2 \quad \dots (\text{数式6})$$

【0056】

最後に、出力電圧 $V_{out1}$ が2倍のしきい電圧 $2 V_{th}$ より高い電圧( $V_{out1} >$

50

2 V t h)を示す場合の電流 I r 3 を数式 7 で示す。

【 0 0 5 7 】

$$\begin{aligned} I_{r3} &= K1\{(V_{cc}-V_{th})V_{ds1}-1/2V_{ds1}^2\} + K2\{(V_{out1}-V_{th})V_{ds2}-1/2V_{ds2}^2\} \\ &= K1\{(V_{cc}-V_{th})aV_{out1}-1/2a^2V_{out1}^2\} + K2\{(V_{out1}-V_{th})aV_{out1}-1/2a^2V_{out1}^2\} \\ &= V_{out1}\{aK1(V_{cc}-V_{th}) - K2V_{th}\} - V_{out1}^2(a^2K1/K2 - aK2 + 1/2a^2) \quad \dots (数式 7) \end{aligned}$$

【 0 0 5 8 】

設計時には、第 1 M O S トランジスタ M 1 及び第 2 M O S トランジスタ M 2 のサイズを調節して K 1 及び K 2 を適切に制御すれば、数式 7 で示された電流 I r 3 は、数式 8 のように表わされる。

【 0 0 5 9 】

$$I_{r3} = V_{out1}\{aK1(V_{cc} - V_{th}) - K2V_{th}\} \quad \dots (数式 8)$$

【 0 0 6 0 】

数式 4、6 及び 8 を満足する適切な K 1 及び K 2 を考慮して設計すれば、理想的なインピーダンスを有する出力インピーダンス回路を作製することができる。

【 0 0 6 1 】

図 4 は、本発明の好適な一実施形態の他の一側面による出力インピーダンス回路 4 0 0 を備える出力バッファ回路の回路図である。

【 0 0 6 2 】

図 4 を参照すれば、前記出力バッファ回路は、駆動トランジスタ 4 3 0 及び出力インピーダンス回路 4 0 0 を備える。

【 0 0 6 3 】

駆動トランジスタ 4 3 0 は、入力信号 V g 2 に応答して出力端子の出力電圧 V o u t 2 を決定する機能を持ち、そのために前記出力インピーダンス回路を負荷として使用する。駆動トランジスタ 4 3 0 の一端は、低電源電圧 V s s に接続され、他端が出力端子に接続され、ゲートに入力信号 V g 2 が印加される。

【 0 0 6 4 】

出力インピーダンス回路 4 0 0 は、出力ステージ 4 1 0 及びインピーダンス制御ステージ 4 2 0 を備える。

【 0 0 6 5 】

出力ステージ 4 2 0 は、抵抗 R 及び第 3 M O S トランジスタ M 3 を備える。抵抗または抵抗素子 R は、一端が前記出力端子に接続される。第 3 M O S トランジスタ M 3 は、一端が抵抗 R の他端 V 4 に接続され、他端が電源電圧 V c c に接続され、ゲートに D C バイアス電圧 V b 2 が印加される。ここで、D C バイアス電圧 V b 2 は、第 3 M O S トランジスタ M 3 がターンオンできる電圧であって、低電源電圧 V s s を使用しても良い。

【 0 0 6 6 】

インピーダンス制御ステージ 4 2 0 は、一端が抵抗 R 及び第 3 M O S トランジスタ M 3 の共通端子 V 4 に接続され、他端が電源電圧 V c c に接続され、ゲートに出力信号 V o u t 2 が印加される第 4 M O S トランジスタ M 4 を備える。

【 0 0 6 7 】

ここで、電源電圧 V c c は、出力インピーダンス回路を含むシステムで用いられる電源電圧よりも高い電圧レベルを有する電圧であり、電源電圧 V s s は、出力インピーダンス回路を含むシステムで用いられる電源電圧よりも低い電源電圧である。第 3 M O S トランジスタ M 3 及び第 4 M O S トランジスタ M 4 は、P 型 M O S トランジスタであることが望ましい。

【 0 0 6 8 】

出力端子は、半導体装置のパッドであり、抵抗 R は、多結晶シリコン、P S G、及び拡散された活性層のうち一つを利用して形成された抵抗である。

【 0 0 6 9 】

図 4 に示された本発明の好適な一実施形態の他の一側面による出力インピーダンス回路の動作は、図 3 の説明と同様なので、ここでは省略する。

10

20

30

40

50

## 【 0 0 7 0 】

図 5 は、図 3 及び図 4 に示された本発明による出力インピーダンス回路を備える出力バッファ回路が最適に用いられる領域を示す図面である。

## 【 0 0 7 1 】

図 5 を参照すれば、出力バッファ回路の出力電圧の範囲が 5 1 である場合には、図 3 に示された出力バッファ回路が用いられることが好ましく、出力バッファ回路の出力電圧の範囲が 5 2 である場合には、図 4 に示された出力バッファ回路を使用することが好ましい。

## 【 0 0 7 2 】

図 6 は、本発明の好適な他の一実施形態による出力インピーダンス回路の回路図である。

## 【 0 0 7 3 】

図 6 を参照すれば、前記出力バッファ回路は、出力インピーダンス回路 6 0 0、オンオフ選択器 6 1 0、及び駆動装置 6 2 0 を備える。

## 【 0 0 7 4 】

駆動装置 6 2 0 は、図 3 及び図 4 に示された駆動トランジスタ 3 3 0 及び 4 3 0 と同じ機能を持つので、その説明を省略する。

## 【 0 0 7 5 】

出力インピーダンス回路 6 0 0 は、出力ステージ 6 0 1 及びインピーダンス制御ステージ 6 0 2 を備える。出力ステージ 6 0 1 及びインピーダンス制御ステージ 6 0 2 は、図 3 及び図 4 に示された出力ステージ 3 1 0 及び 4 1 0 及びインピーダンス制御ステージ 3 2 0 及び 4 2 0 と同様なので、その説明を省略する。

## 【 0 0 7 6 】

オンオフ選択器 6 1 0 は、スイッチとして用いられるトランسمッションゲート 6 1 1 及び MOS トランジスタ M 6 3 を備える。

## 【 0 0 7 7 】

トランسمッションゲート 6 1 1 は、制御信号 I N 及び逆制御信号 I N B によって動作する。制御信号 I N 及び逆制御信号 I N B は、位相が互いに逆相であることが好ましい。MOS トランジスタ M 6 3 のゲートには、逆制御信号 I N B が印加されるが、逆制御信号 I N B が MOS トランジスタ M 6 1 及び MOS トランジスタ M 6 3 をターンオンさせる程度に高電圧（論理的にハイレベル）である場合には、出力インピーダンス回路 6 0 0 が正常に動作してインピーダンス成分として動作する。しかしながら、逆制御信号 I N B が前記 2 つのトランジスタのしきい電圧より低い電圧である場合には、出力インピーダンス回路 6 0 0 は、正常に動作せずにハイインピーダンス状態となる。

## 【 0 0 7 8 】

制御信号 I N 及び逆制御信号 I N B は、インバータ 6 3 0 を利用して容易に生成することができる。

## 【 0 0 7 9 】

以上のように、図面と明細書とにより最適の実施形態が開示された。ここで、特定の用語が使われたが、これは、単に本発明を説明するための目的として使われただけであり、意味の限定や特許請求の範囲に記載された本発明の範囲を制限するために使われたものではない。したがって、当業者ならば、これから多様な変形及び均等な他の実施形態が可能であるという点が理解できるであろう。したがって、本発明の技術的範囲は、特許請求の範囲の記載に基づいて定められなければならない。

## 【 産業上の利用可能性 】

## 【 0 0 8 0 】

本発明による出力インピーダンス回路及び出力バッファ回路は、内部で生成した信号を出力するあらゆる電子システムに適用可能である。前記回路は、少ない消費電力を基本とする半導体装置で用いられるだけでなく、高い電源で動作するので、消費電力が非常に大きい電気システムにも使用可能である。

## 【図面の簡単な説明】

【 0 0 8 1 】

【図 1】従来の出力インピーダンス回路を示す回路図である。

【図 2】MOSトランジスタの電圧 - 電圧特性曲線を示すグラフである。

【図 3】本発明の好適な一実施形態の一側面による出力インピーダンス回路を備える出力バッファ回路の回路図である。

【図 4】本発明の好適な一実施形態の他の一側面による出力インピーダンス回路を備える出力バッファ回路の回路図である。

【図 5】図 3 及び図 4 に示された本発明の好適な実施の形態による出力インピーダンス回路を備える出力バッファ回路が最適に用いられる領域を示す図面である。

10

【図 6】本発明の好適な他の一実施形態による出力インピーダンス回路の回路図である。

## 【符号の説明】

【 0 0 8 2 】

3 0 0 出力インピーダンス回路

3 1 0 出力ステージ

3 2 0 インピーダンス制御ステージ

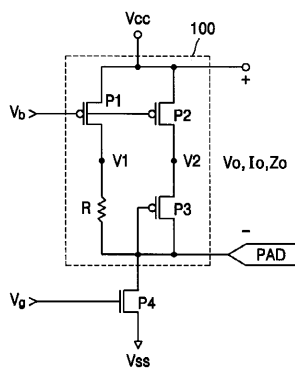
3 3 0 駆動トランジスタ

M 1 第 1 MOS トランジスタ

M 2 第 2 MOS トランジスタ

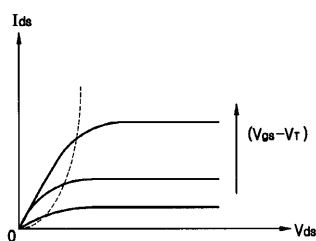
## 【図 1】

## 【図 1】（従来の技術）



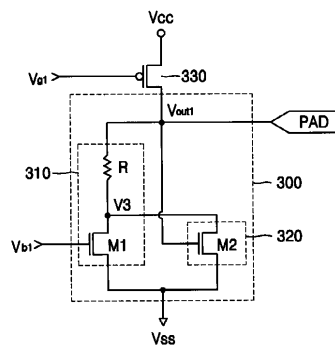
## 【図 2】

## 【図 2】（従来の技術）



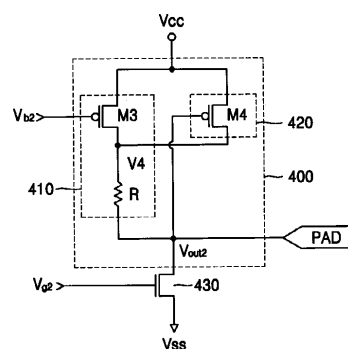
## 【図 3】

## 【図 3】



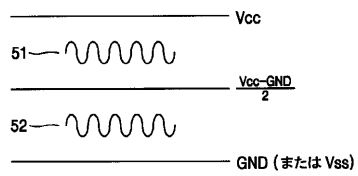
## 【図 4】

## 【図 4】



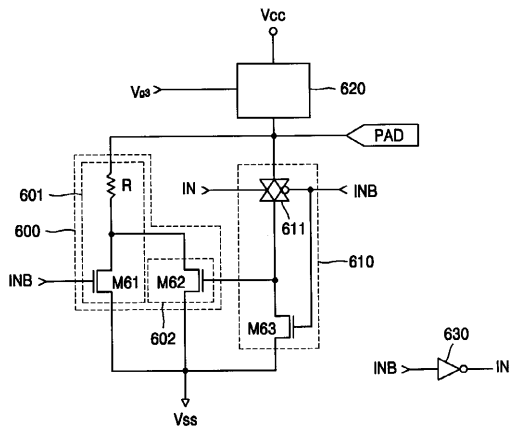
【図 5】

【図 5】



【図 6】

【図 6】



---

フロントページの続き

(72)発明者 金泰亨

大韓民国京畿道城南市盆唐区書 ヒェオン 洞 3 3 7 - 5 番地 2 0 1 号

(72)発明者 趙郁來

大韓民国京畿道水原市靈通区望浦洞 6 8 3 番地現代アイパークアパート 2 0 5 棟 1 0 5 号

F ターム(参考) 5J056 AA04 BB21 BB59 CC00 DD13 DD28 EE11 FF07 FF08 KK01