(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第5285602号
(P5285602)
(45)発行日　平成25年9月11日(2013.9.11)　(24)登録日　平成25年6月7日(2013.6.7)

(51)Int.Cl.　F I
H02M 3/28 (2006.01)　H02M 3/28 S
H02M 3/28 H

請求項の数 5　(全 10 頁)

(21)出願番号	特願2009-512738 (P2009-512738)
(86)(22)出願日	平成19年5月25日 (2007.5.25)
(65)公表番号	特表2009-539341 (P2009-539341A)
(43)公表日	平成21年11月12日 (2009.11.12)
(86)国際出願番号	PCT/IB2007/051980
(87)国際公開番号	WO2007/138537
(87)国際公開日	平成19年12月6日 (2007.12.6)
審査請求日	平成22年5月19日 (2010.5.19)
(31)優先権主張番号	06114605.6
(32)優先日	平成18年5月29日 (2006.5.29)
(33)優先権主張国	欧州特許庁 (EP)

(73)特許権者　590000248
コーニンクレッカ　フィリップス　エレクトロニクス　エヌ　ヴィ
オランダ国　５６５６　アーエー　アインドーフェン　ハイテック　キャンパス　５
(74)代理人　100087789
弁理士　津軽　進
(74)代理人　100114753
弁理士　宮崎　昭彦
(74)代理人　100122769
弁理士　笛田　秀仙
(72)発明者　ブケ　ウルリッヒ
オランダ国　５６５６　アーアー　アインドーフェン　プロフ　ホルストラーン　６

最終頁に続く

(54)【発明の名称】フライバックコンバータの同期整流スイッチに関する駆動信号の生成方法

(57)【特許請求の範囲】
【請求項１】
第１パワー半導体と、
第２パワー半導体と、
第３パワー半導体と、
第４パワー半導体と、
を有する少なくとも１つのフライバックコンバータを備え、
前記第１パワー半導体及び第３パワー半導体が変圧器ユニットの一次側に配置され、前記第２パワー半導体及び第４パワー半導体が前記変圧器ユニットの二次側に配置される回路配置において、
前記第２パワー半導体が、同期整流スイッチとして動作し、
前記同期整流スイッチに関する駆動信号が、前記同期整流スイッチを制御する発振信号の関数として生成され、
当該回路配置がさらに、前記第１パワー半導体の電圧を測定する電圧センサユニットを備え、
前記電圧センサユニットが、
前記電圧センサユニットにより感知される前記第１パワー半導体のドレイン－ソース電圧が負である場合、「１」又は「ハイ」であり、また、
前記電圧センサユニットにより感知される前記第１パワー半導体のドレイン－ソース電圧が正である場合、「０」又は「ロー」である

少なくとも１つの論理出力信号を生成することを特徴とする、回路配置。
【請求項２】
請求項１に記載の回路配置において、
前記電圧センサユニットからの前記論理出力信号及び少なくとも１つの遅延時間信号が、論理ユニットに関する入力信号であり、
前記論理ユニットの出力信号が、前記第２パワー半導体をオン及びオフにする駆動信号として作用する、
ことを特徴とする、回路配置。
【請求項３】
請求項１又は２に記載の回路配置において、前記第２パワー半導体が、少なくとも１つの可変遅延時間でオンにされる、及び／又はオフにされる、ことを特徴とする、回路配置。
【請求項４】
請求項３に記載の回路配置において、最小遅延時間は、少なくとも１つの時間遅延回路における少なくとも１つの抵抗器ユニットを用いて調節される、ことを特徴とする、回路配置。
【請求項５】
請求項４に記載の回路配置において、
前記電圧センサユニットに割り当てられる第１集積回路と、
前記時間遅延回路に割り当てられる第２集積回路と、
４つの正の２入力ＡＮＤ関数を提供する第３集積回路であって、前記第１集積回路と前記時間遅延回路の間に、且つ前記時間遅延回路の後に配置される第３集積回路と、
前記第３集積回路の後に配置される第４集積回路と、
前記変圧器ユニットの前記二次側に配置される第５集積回路と、
当該回路配置の出力段に配置される第６集積回路と、
少なくとも１つの第８集積回路の後に配置される第７集積回路と、
を特徴とする、回路配置。
【発明の詳細な説明】
【技術分野】
【０００１】
本発明は、フライバックコンバータの同期整流スイッチに関する駆動信号を生成する回路配置に関する。本発明は、更に、少なくとも１つのフライバックコンバータ、特に少なくとも１つのアクティブクランプ双方向性フライバックコンバータ、の少なくとも１つの同期整流スイッチに関する少なくとも１つの駆動信号を生成する方法に関する。
【背景技術】
【０００２】
アクティブクランプ双方向性フライバックコンバータは、Proceedings of Applied Power Electronic Conference (APEC) from March 19 to 23, 2006, in Dallas, Texasにおいて、U.Boeke、D.Itzenga、K.Rigbers及びR.W.De Donckerらによって発表された記事、"Experimental Analysis Of A Flyback Converter With Excellent Efficiency"において開示されている。
【０００３】
このアクティブクランプ双方向性フライバックコンバータは、IEEE Transactions on Industrial Electronics, volume 47, number 4, August 2000, pages 770 to 779において、Gang Chen、Yim-Shu Lee、S.Y.Ron Hui、Dehong及びXu、Yousheng Wangらによる、"Actively-Clamped Bidirectional Flyback Converter"という参考文献に基づいている。このコンバータは、いずれの電流センサも含んでいない。同期整流スイッチのオン時間は、「ターンオン遅延」サブ回路と組み合わせてパルス幅変調器から取得される。
【０００４】

欧州特許出願書類第1,148,624A1号は、同期整流器として動作するパワー金属酸化物半導体電界効果トランジスタ（ＭＯＳＦＥＴ）を駆動させる集積回路を記載する（Fabrizio Librizzi及びPietro Scaliaによる、STMicroelectronics, application note AN1288, July 2000の、"STSRx family:Mixed-signal ICs to drive synchronous rectifiers in isolated SMPSs"も参照されたい）。

【０００５】

米国特許第6,462,965B1号は、出力毎に１つの電流変圧器を用いて同期整流器としてパワーMOSFETを駆動させるサブ回路を開示する。

【０００６】

米国特許出願書類第2003/0090914A1号は、第２の電流シャントセンサを用いて同期整流器としてパワーMOSFETを駆動させる特別サブ回路を含む回路を公開する。

【０００７】

テキサス・インスツルメンツ社の集積制御回路の型式UCC2891及びUCC2897は、一次コンバータ側において２つのパワー半導体のオンタイムを制御するために２つの時間遅延機能のみを含む（Texas Instruments, UCC2891 Current Mode Active Clamp PWM Controller, data sheet, July 2004、及びTexas Instruments, UCC2897, Current Mode Active Clamp PWM Controller, data sheet, April 2005を参照されたい）。同期整流スイッチの使用は、フォワードコンバータの応用例に関して例証されるのみであり、同期整流スイッチのタイミングに関する制御回路を含まない。

【０００８】

同期整流を用いたフライバックコンバータの両方のパワー半導体をオンにするための遅延されたターンオン時間信号の使用は、I.D.Jitaruによる、Proceedings of Applied Power Electronics Conference (APEC) from March 10 to 14, 2002 in Dallas, Texas, pages 867 to 871における、"High efficiency flyback converter using synchronous rectification"という記事に開示される。このコンバータは、アクティブクランプ原理を使用しない。したがって、このコンバータの２つのスイッチは、同時には明確にオンにされない。

【０００９】

米国特許第6,888,728B2号は、変圧器の二次側においてタイミング回路を含む。タイミング回路は、パワーコンバータの二次側において追加的な供給電圧を必要とする比較器を含む。変圧器の二次側における同期整流スイッチを駆動させるサブ回路のこの全体的な労力は非常に高く、また十分な費用を発生させる。米国特許第6,888,728B2号の最大の不利な点は、高いコンポーネントの労力がより高い費用をも意味することである。

【００１０】

日本国特許出願第2005-198438A号は、同期整流を用いる負荷発振ハーフブリッジコンバータを記載している。この既知の回路のコンポーネントのカウントは、非常に高く、このこととは別に、負荷発振コンバータは、二次パワー変圧器及びシャント抵抗器を含み、これらの両方は、追加的な電力損失を発生させ、したがって、温度管理の労力を増加させる。日本国特許出願第2005-198438A号の最大の不利な点は、変圧器の二次側における負荷発振回路の入力電流を監視するために二次電力変圧器を使用することであり、このことは、二次電力変圧器における重大な損失を発生させる。

【００１１】

本発明の技術的な背景に関して、最後に、米国特許第5,057,986号及び米国特許第5,402,329号に、参照がされ得る。

【発明の開示】

【発明が解決しようとする課題】

【００１２】

本発明の目的は、特に、フライバックコンバータの同期整流スイッチに関する駆動信号の改善された生成を提供することである。本発明は、独立請求項によって規定される。有利な実施例は、従属項によって規定される。

【課題を解決するための手段】
【００１３】
特定の実施例は、相当な費用低減及びより高い効率と組み合わせられる、改善され且つより簡単な温度管理になり得る。
【００１４】
本発明の有利な実施例は、同期整流器を制御する着想、特に、同期整流スイッチを制御する発振信号を使用する、同期整流器を用い、且つ、変圧器絶縁を用い、少なくとも１つのアクティブクランプ双方向性フライバックコンバータに関する制御回路を制御する着想に原則的に基づく。
【００１５】
本発明の特定の改善態様によると、フライバックコンバータの少なくとも一部分は、可変遅延時間を用いてオフにされ得る。時間遅延の時間間隔は、パワーレベルに独立した最小遅延を有する相対的コンバータパワーレベルの関数である。
【００１６】
本発明の好ましい実施例において、少なくとも１つの電圧センサは一次側におけるロー側のスイッチの両端の電圧低下を測定し得、このことは、前記ロー側のスイッチにおける電流がソースからドレインへ流れるという事実により前記ロー側のスイッチの感知されたドレイン－ソース電圧が負である場合、デジタルの「ハイ」の出力を与える。
【００１７】
好ましくは、電圧センサのこのデジタル出力は、同期整流スイッチを駆動させるために、少なくとも１つの第２信号を用いて「ＯＲ演算」される。前記第２信号は、少なくとも１つの逆パルス幅変調（ＰＷＭ）信号の遅延された信号である。
【００１８】
本発明の有利な実施例は、電気信号を感知することに関する最小の労力という有利な点を有する。
【００１９】
本発明の特定の実施例の更なる有利な点は、同期整流ＭＯＳＦＥＴを駆動するための回路の費用がかなり低減され得、これに加えて、同期整流を用いたアクティブクランプ双方向性フライバックコンバータのパワー損失をも低減され得る。後者の有利な点は、温度管理、すなわち本発明の回路配置の好ましい閉じた筐体から外側へ熱を伝導すること、に関する労力を低減するのに使用され得る。
【００２０】
これに加えて、本発明の有利な実施例は、
－液晶表示テレビ（ＬＣＤ　ＴＶ）などに関するフラットディスプレイに関する向上された設計自由度を可能にし、
－小型の発光ダイオード（ＬＥＤ）ランプ駆動装置を低い冷却労力で可能にし、
－パワー変換モジュールの機能性を向上させる。
【００２１】
本発明の実施例は、液晶表示（ＬＣＤ）テレビ又は液晶表示（ＬＣＤ）計算機モニタなどの消費者向け製品、発光ダイオード（ＬＥＤ）ランプ駆動装置、バッテリチャージャ、及びバッテリ放電器における電気回路を改善させるために適用され得る。
【００２２】
本発明のこれら及び他の態様は、以下に説明される実施例から明らかであり、これらを参照にして説明される。
【発明を実施するための最良の形態】
【００２３】
図１は、本発明に従う回路配置１００の好ましい実施例のブロック図を示す。回路配置１００は、４つのパワー半導体Ｑ１、Ｑ２、Ｑ３、Ｑ４を含むアクティブクランプ双方向性フライバックコンバータを有し、これらのパワー半導体Ｑ１、Ｑ２、Ｑ３、Ｑ４は、トランジスタユニット、特に金属酸化物半導体（ＭＯＳ）又は金属酸化物半導体電界効果ト

ランジスタ（ＭＯＳＦＥＴ）として実施化される。

【００２４】

これらのトランジスタのうちの２つ、すなわち第１トランジスタＱ１及び第３トランジスタＱ３は、パワー変圧器Ｔｒ１の一次側に配置され、これらトランジスタのうちの残りの２つ、すなわち第２トランジスタＱ２及び第４トランジスタＱ４は、パワー変換器Ｔｒ１の二次側に配置される。第２トランジスタＱ２は、同期整流器として動作し、第４トランジスタＱ４は、同期整流スイッチＱ２の電圧負荷を能動的に規定する、すなわち能動的に区切るように設計される半導体スイッチ又はアクティブクランプスイッチである。

【００２５】

以下により詳細に説明されるように、単一の制御回路が、フライバックコンバータの全ての４つのトランジスタＱ１、Ｑ２、Ｑ３、Ｑ４をオンにする及びオフにするための駆動装置信号を生成する。この文脈において、当業者によって、フライバックコンバータのみが処理されることが理解されるが、その理由は、このような処理が応用例の主要な範囲に関する重要な特徴である最も費用効果的な回路トポロジーであるからである。

【００２６】

フライバックコンバータにおけるいわゆるパワー変圧器Ｔｒ１は、実用的には結合インダクタ（coupled inductor）であり、このこと及びいくつかの他の機能が、フライバックコンバータがフォワードベースのコンバータトポロジーから導出されるスイッチモード電源供給の不利な点を有さない理由であり、フォワードベースのトポロジーの不利な点は、２つの直列接続される同期整流スイッチにおけるスルー電流の発生を効果的に防ぐという米国特許第6,888,728号の重要な目的である。

【００２７】

これと対照的に、本発明に従う回路配置１００は、第２トランジスタＱ２及び第４トランジスタＱ４によって実施化される同期整流スイッチに関する駆動信号を生成するためにかなり低い労力のみを有する。これらは、特に、（少なくとも１つの事前接続される駆動装置ＩＣ４を有する）ゲート駆動変圧器Ｔｒ２、及び、変圧器Ｔｒ１の二次側におけるオプトカプラＩＣ５である。

【００２８】

当業者によって、何のタイミング回路も、何の比較器も、何の増幅器のいずれも、フライバックコンバータの二次側に必要とされず、全ての必要なタイミング及び論理機能は、１つの制御集積回路ＩＣに一体化され得るフライバックコンバータの一次側にあることが、理解され得る。

【００２９】

電圧センサＶＳは、第１トランジスタＱ１の電圧低下を測定する比較器として実施化される。電圧センサＶＳは、

－電圧センサＶＳが第１パワートランジスタＱ１の負のドレイン－ソース電圧を測定する場合、「１」であり、また、

－電圧センサＶＳが第１パワートランジスタＱ１の消滅する又は正のドレイン－ソース電圧を測定する場合、「０」である

論理出力信号V_{I1}を生成する。

【００３０】

このようにして、電圧センサＶＳは、第１トランジスタにおける負のドレイン－ソース電流を検出し得る。負の電流I_1（ｔ）（図２を参照）は、アクティブクランプ原理が理由により、少なくともｔ３からｔ５の時間間隔に存在する（図２を参照）。

【００３１】

図１は、第１集積回路ＩＣ１、すなわち、独立したハイ及びロー側の参照出力チャネルを有するパワー金属酸化物半導体電界効果トランジスタ（ＭＯＳＦＥＴ）又は絶縁ゲートバイポーラトランジスタ（ＩＧＢＴ）駆動装置が、前記電圧センサユニットＶＳに割り当てられているのを例示し、独自の(proprietary)高電圧インシュレータコーティング（ＨＶＩＣ）技術及びラッチ防止相補型金属酸化物半導体（ＣＭＯＳ）技術は、前記第１集積

回路ＩＣ１の高耐久化モノリシック構造を可能にする。

【００３２】

電圧センサＶＳからの論理出力信号V_{I1}、及び遅延された時間信号$V_{PWM.Q2}$は、論理ユニットＬ５の２つの入力信号であり、前記論理ユニットＬ５は、ＯＲ関数を含む。このＯＲ関数の出力信号から、正の４倍の２入力ＡＮＤ関数を提供する第３集積回路ＩＣ３の出力信号を引いた差（＝論理ユニットＬ５の出力信号の電圧と第３集積回路ＩＣ３の出力信号の電圧との差）は、第２トランジスタＱ２をオンにする及びオフにする駆動信号である信号$V_{GS.Q2}$（図２を参照）である。

【００３３】

すなわち、電圧センサＶＳは、一次側におけるロー側スイッチＱ１の両端の電圧低下を測定し得、このことは、ロー側スイッチＱ１における電流がロー側スイッチＱ１のソースからロー側スイッチＱ１のドレインへ流れるという事実が理由によりロー側スイッチＱ１の感知されたドレイン－ソース電圧が負である場合、デジタルの「ハイ」出力（V_{I1}＝「１」）を与える。

【００３４】

電圧センサＶＳのこのデジタル出力ＶＩ１は、同期整流スイッチＱ２を駆動するために第２信号を用いてＯＲ演算され、この場合、この第２信号は、逆パルス幅変調（ＰＷＭ）の遅延された信号であり、逆パルス幅変調（ＰＷＭ）信号は、第２集積回路ＩＣ２の、すなわちモノリシックタイミング回路のコンポーネントである逆パルス幅変調（ＰＷＭ）ユニットＰＷＭｉによって生成される。

【００３５】

したがって、本発明に従うコンバータ回路１００の更なる有利な点は、シャント抵抗器が、同期整流スイッチＱ２・Ｑ４のタイミング信号を生成するために必要とされないことである。代わりに、第１トランジスタＱ１の負のドレイン－ソース電圧は、整流器スイッチＱ２のオン時間を最終的に決定するために電圧センサを用いて追加的に監視される。

【００３６】

図１から更に確認され得るように、第６集積回路ＩＣ６、すなわち三端子プログラマブルシャントレギュレータダイオードは、回路配置１００の出力段において配置される。このモノリシックＩＣ６電圧参照は、少なくとも１つの外部抵抗、好ましくは２つの外部抵抗を用いて参照電圧から３６Ｖへプログラム可能な低温係数ツェナーダイオードとして動作する。

【００３７】

前記第６集積回路ＩＣ６の近くにおいて、オプトカプラを含む第７集積回路ＩＣ７が、第８集積回路ＩＣ８の後段に配置される。

【００３８】

図２を参照すると、第２トランジスタＱ２は、パルス幅変調ユニットＰＷＭｉの出力信号の降下エッジを有する時間点ｔ３においてオフにされる同期整流スイッチとして動作する。この時間点ｔ３において、第３トランジスタＱ３もオフにされ、変化電圧$V_{DS.Q1}$（図２を参照）は、第２トランジスタＱ２における電流の勾配を変化させ、前記変化電圧$V_{DS.Q1}$は、アクティブクランプ原理が理由により、ｔ４からｔ５の時間間隔の間においてわずかに負になる。

【００３９】

第２トランジスタＱ２は、可変の遅延時間を用いてオフにされる。最小遅延時間は、図１の時間遅延回路ＴＤＣにおける第２抵抗器Ｒ２を用いて調整される。この時間遅延は、期間ｔ７＝１／ｆｓ（図２を参照）の数パーセントのオーダであり、ここで、ｆｓは、スイッチング周波数である。この時間遅延は、パワーレベルとは独立している。

【００４０】

図１は、

－相補型金属酸化物半導体（ＣＭＯＳ）、トランジスター－トランジスタ・ロジック（ＴＴＬ）、及び金属酸化物半導体（ＭＯＳ）ロジックと完全な互換性を提供し、

－２メガヘルツまでの周波数で動作する、
モノリシックタイミング回路ＩＣ２が、前記時間遅延回路ＴＤＣに割り当てられているのを例示する。

【００４１】

正の４倍の２入力ＡＮＤ関数を提供する各第３集積回路ＩＣ３は、
－第１集積回路ＩＣ１及び時間遅延回路ＴＤＣ間において、且つ
－時間遅延回路ＴＤＣの後段において、
配置される。この正の４倍の２入力ＡＮＤ関数の出力は、最高ノイズ耐性に関して、また出力インピーダンスのパターン不感応性のために、完全にバッファされる。

【００４２】

上述の制御技術は、例えば、図２における時間点ｔ５から時間点ｔ６への、第２トランジスタＱ２の逆ダイオードの伝導を防ぐ。しかし、測定結果から、第２トランジスタＱ２の逆ダイオードのこのような伝導が、相対的パワーレベルが０パーセントと９０パーセントとの間にある場合、フライバックコンバータのパワー損失に影響しないことが分かっている。

【００４３】

９０パーセントと１００パーセントとの間のパワーレベルに関してのみ、第２トランジスタＱ２における損失の低減が達成される。しかし、このことは、欧州特許公報第1,148,624A1号、米国特許第6,462,965B1号、又は米国特許出願書類2003/0090914A1号において与えられるような、コンポーネントに関するより高い労力を必要とする。

【００４４】

一般的に、特別な制御技術が、本発明に従うアクティブクランプ双方向性フライバックコンバータにおいて使用されるべき同期整流器パワー半導体の駆動信号を生成する。この制御技術は、電気信号を感知するために最小の労力のみを必要とする。

【００４５】

請求項において、第１パワー半導体（Ｑ１）は、特に、少なくとも１つの第１トランジスタユニット、例えば少なくとも１つの第１金属酸化物半導体（ＭＯＳ）又は少なくとも１つの第１金属酸化物半導体電界効果トランジスタ（ＭＯＳＦＥＴ）など、であり得る。第２パワー半導体（Ｑ２）は、特に、少なくとも１つの第２トランジスタユニット、例えば少なくとも１つの第２金属酸化物半導体（ＭＯＳ）又は少なくとも１つの第２金属酸化物半導体電界効果トランジスタ（ＭＯＳＦＥＴ）など、であり得る。第３パワー半導体（Ｑ３）は、特に、少なくとも１つの第３トランジスタユニット、例えば少なくとも１つの第３金属酸化物半導体（ＭＯＳ）又は少なくとも１つの第３金属酸化物半導体電界効果トランジスタ（ＭＯＳＦＥＴ）など、であり得る。第４パワー半導体（Ｑ４）は、特に、少なくとも１つの第４トランジスタユニット、例えば少なくとも１つの第４金属酸化物半導体（ＭＯＳ）又は少なくとも１つの第４金属酸化物半導体電界効果トランジスタ（ＭＯＳＦＥＴ）など、であり得る。変圧器ユニット（Ｔｒ１）は、特に、少なくとも１つのパワー変圧器であり得る。同期整流スイッチに関する駆動信号は、同期整流スイッチを制御する少なくとも１つの発振信号の関数、少なくとも１つの一定遅延時間の関数、少なくとも１つの可変遅延時間の関数、特に、前記可変遅延時間を生成する変圧器ユニット（Ｔｒ１）の一次巻き線における電流Ｉ１（ｔ）の検出の関数、及び、特に少なくとも１つの論理ユニット（Ｌ５）によって提供される少なくとも１つのブールＯＲ関数の関数、として生成され得る。第１集積回路（ＩＣ１）は、特に、パワー金属酸化物半導体電界効果トランジスタ（ＭＯＳＦＥＴ）又は絶縁ゲートバイポーラトランジスタ（ＩＧＢＴ）駆動装置の少なくとも１つの高電圧駆動装置であり得る。第２集積回路（ＩＣ２）は、特に、例えば少なくとも１つのモノリシックタイミング回路などの、少なくとも１つのタイミング回路であり得る。第４集積回路（ＩＣ４）は、特に、例えば少なくとも１つの整流ダイオードなどによる、少なくとも１つのダイオード又は駆動装置であり得る。第５集積回路（ＩＣ５）は、特に、少なくとも１つのオプトカプラであり得る。第６集積回路（ＩＣ６）は、特に、例えば少なくとも１つの三端子プログラマブルシャントレギュレータダイオードな

どの、少なくとも１つのプログラマブルシャントレギュレータダイオードであり得る。第７集積回路（ＩＣ７）は、特に、少なくとも１つのオプトカプラであり得る。

【００４６】

上述の実施例は、本発明を制限するものよりもむしろ例証するものであり、当業者が、添付の請求の範囲から逸脱することなく、多数の代わりの実施例を設計することが可能であることを注意しなければならない。請求項における如何なる参照符号も請求項の範囲を制限するように解釈されてはならない。「有する・備える」という動詞及びその活用形の使用は、請求項に記載される以外の要素又はステップの存在を排除しない。単数形の構成要素は、複数個の斯様な構成要素の存在を排除しない。本発明は、いくつかの個別の構成要素を有するハードウェアを用いて、及び適切にプログラムされた計算機を用いて実施され得る。いくつかの手段を列挙している装置請求項において、これらの手段のいくつかは１つの同じハードウェアの項目によって、実施化することが可能である。特定の手段が、相互に異なる従属請求項において引用されているという単なる事実は、これらの手段の組み合わせが有利になるように使用されていることができないと示すものではない。

【図面の簡単な説明】

【００４７】

【図１】図１は、本発明の方法に従い動作される、本発明に従う回路配置の好ましい実施例の原理図を概略的に示す。

【図２】図２は、本発明の方法を参照にして、定常状態における量的時間関数の原理図を概略的に示す。

【符号の説明】

【００４８】

１００　アクティブクランプ双方向性フライバックコンバータを含む回路配置
ＩＣ１　第１集積回路、特に、独立したハイ及びロー側の参照出力チャネルを有するパワー金属酸化物半導体電界効果トランジスタ（ＭＯＳＦＥＴ）又は絶縁ゲートバイポーラトランジスタ（ＩＧＢＴ）駆動装置の高電圧駆動装置
ＩＣ２　第２集積回路、特に、モノリシックタイミング回路などのタイミング回路
ＩＣ３　特に正の４倍の２入力ＡＮＤ関数を提供する第３集積回路
ＩＣ４　第４集積回路、特に、例えば整流ダイオードなどのダイオード又は駆動装置
ＩＣ５　第５集積回路、特に、オプトカプラ
ＩＣ６　第６集積回路、特に、例えば三端子プログラマブルシャントレギュレータダイオードなどの、プログラマブルシャントレギュレータダイオード
ＩＣ７　第７集積回路、特に、オプトカプラ又はオプトカップリングユニット
ＩＣ８　第８集積回路
I_1（ｔ）　第１電流
I_2（ｔ）　第２電流
Ｌ１　特にＡＮＤ関数を含む、第１論理ユニット
Ｌ２　特にＡＮＤ関数を含む、第２論理ユニット
Ｌ３　特にＡＮＤ関数を含む、第３論理ユニット
Ｌ４　特にＡＮＤ関数を含む、第４論理ユニット
Ｌ５　特にＯＲ関数を含む、第５論理ユニット
ＯＳ　発振ユニット
ＰＷＭ　パルス幅変調（ＰＷＭ）ユニット
ＰＷＭｉ　逆パルス幅変調（ＰＷＭ）ユニット
Ｑ１　第１パワー半導体、特に、フライバックコンバータの第１トランジスタユニット、例えば第１金属酸化物半導体（ＭＯＳ）又は第１金属酸化物半導体電界効果トランジスタ（ＭＯＳＦＥＴ）
Ｑ２　第２パワー半導体、特に、フライバックコンバータの第２トランジスタユニット、例えば第２金属酸化物半導体（ＭＯＳ）又は第２金属酸化物半導体電界効果トランジスタ（ＭＯＳＦＥＴ）

Ｑ３　第３パワー半導体、特に、フライバックコンバータの第３トランジスタユニット、例えば第３金属酸化物半導体（ＭＯＳ）又は第３金属酸化物半導体電界効果トランジスタ（ＭＯＳＦＥＴ）
Ｑ４　第４パワー半導体、特に、フライバックコンバータの第４トランジスタユニット、例えば第４金属酸化物半導体（ＭＯＳ）又は第４金属酸化物半導体電界効果トランジスタ（ＭＯＳＦＥＴ）
Ｒ１　第１抵抗器ユニット
Ｒ１　第２抵抗器ユニット
ＴＤＣ　時間遅延回路
Ｔｒ１　第１変圧器ユニット、特にパワー変圧器
Ｔｒ２　第２変圧器ユニット、特にゲート駆動変圧器
V_{dd}　供給電圧
$V_{DS.Q1}$　第２パワー半導体Ｑ２における電流の勾配を変化させる変化電圧
$V_{GS.Q2}$　第５論理ユニットＬ５の出力信号
V_{I1}　出力信号、特に電圧センサユニットＶＳの論理出力信号
ＶＩＢ　電圧絶縁バリア
V_{in}　入力電圧
V_{out}　出力電圧
$V_{PWM.Q2}$　遅延された時間信号
ＶＳ　電圧センサユニット、特に比較器ユニット

【図１】

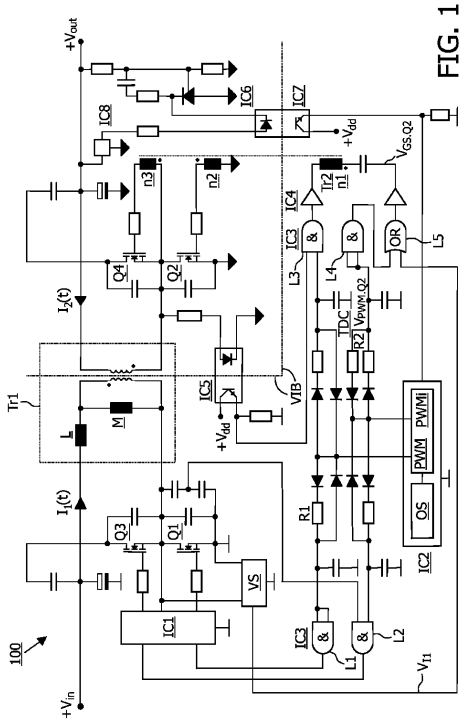


FIG. 1

【図２】

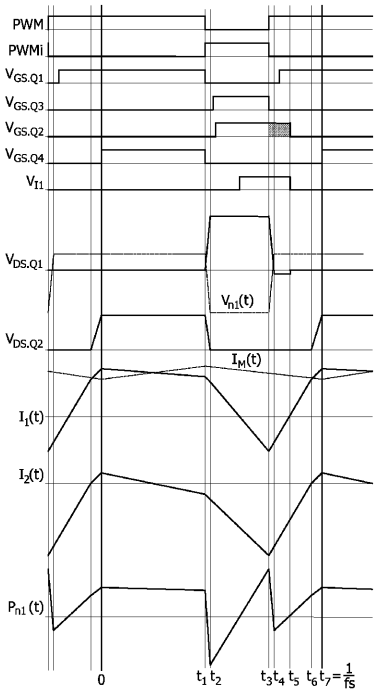


FIG. 2

フロントページの続き

審査官　塩治　雅也

(56)参考文献　特開２００４－１４０９５９（ＪＰ，Ａ）
特開２０００－０３７０７４（ＪＰ，Ａ）
米国特許第０６９６１２５３（ＵＳ，Ｂ１）

(58)調査した分野(Int.Cl.，ＤＢ名)
Ｈ０２Ｍ　　３／２８