

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2019年4月11日(11.04.2019)



(10) 国際公開番号

WO 2019/069532 A1

(51) 国際特許分類:
H04N 5/374 (2011.01) *H04N 5/345* (2011.01)

(21) 国際出願番号: PCT/JP2018/026639

(22) 国際出願日: 2018年7月17日(17.07.2018)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
15/722484 2017年10月2日(02.10.2017) US

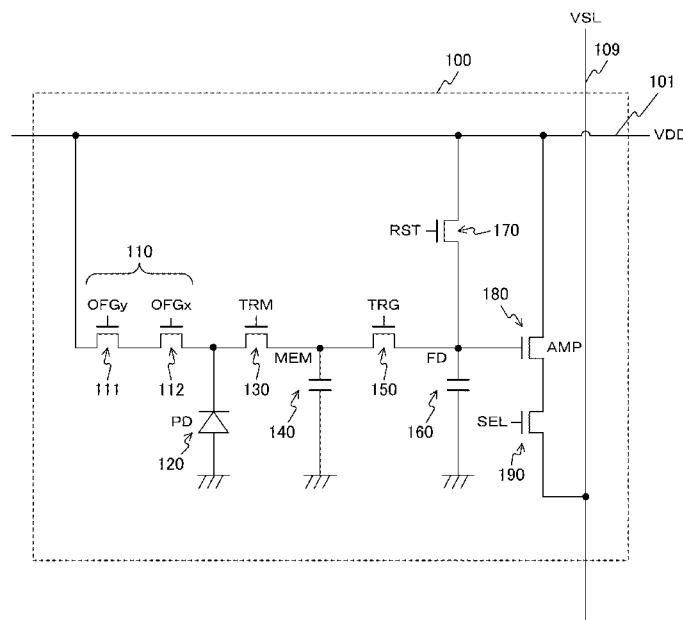
(71) 出願人: ソニーセミコンダクタソリューションズ株式会社(SONY SEMICONDUCTOR SOLUTIONS CORPORATION) [JP/JP]; 〒2430014

神奈川県厚木市旭町四丁目14番1号 Kanagawa (JP).

(72) 発明者: シリニ ソライヤ (Shirini, Soraya); 〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP). 上野 貴久 (UENO, Takahisa); 〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP). 半澤 克彦 (HANZAWA, Katsuhiko); 07656 ニュージャージー州パークリッジ、ソニードライブ 1、ソニーエレクトロニクスインク内 New Jersey (US).

(54) Title: SOLID-STATE IMAGING ELEMENT AND SOLID-STATE IMAGING DEVICE

(54) 発明の名称: 固体撮像素子および固体撮像装置



(57) Abstract: In order to perform exposure control on an arbitrarily defined region within a captured image, each solid-state imaging element in a two-dimensionally arranged pixel array is provided with a selection signal terminal, a photoelectric conversion unit, and a charge retention unit. The selection signal terminal receives a selection signal designated by a pixel address in the pixel array. The photoelectric conversion unit generates a charge corresponding to incident light, and stores the charge in accordance with the selection signal. The charge retention unit retains the charge stored in the

(74) 代理人: 丸島 敏一 (MARUSHIMA, Toshikazu);
〒1600022 東京都新宿区新宿 3-3-2 京
王 新宿三丁目第二ビル 5F クラフト
国際特許事務所 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ,
BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH,
CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO,
DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT,
HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH,
KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,
MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,
NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保
護が可能): ARIPO (BW, GH, GM, KE, LR, LS,
MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM,
ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ,
TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ,
DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT,
LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS,
SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM,
GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

photoelectric conversion unit at a predetermined timing.

(57) 要約: 撮像される画像内の任意の領域について露光制御を行う。2次元状に配置された画素アレイにおける固体撮像素子の各々は、選択信号端子と、光電変換部と、電荷保持部とを備える。選択信号端子は、画素アレイにおける画素アドレスにより指定される選択信号を受ける。光電変換部は、入射光に応じた電荷を生成して、選択信号に従って蓄積する。電荷保持部は、光電変換部に蓄積された電荷を所定のタイミングで保持する。

明 細 書

発明の名称： 固体撮像素子および固体撮像装置

技術分野

[0001] 本技術は、固体撮像素子に関する。詳しくは、入射光に応じた電荷を生成して蓄積する光電変換部を備える固体撮像素子および固体撮像装置に関する。

背景技術

[0002] 画像処理等を行う際、画像内の特定の領域に着目して処理が行われることがある。この場合の領域は関心領域（ROI：Region Of Interest）と呼ばれる。この関心領域は、画像内で複数設定されることもあり、また、それらが互いに重なり合うこともある。このとき、それら関心領域を別々に扱うため、露光量や解像度を独立して制御することが望ましい。一般に、ローリングシャッタ方式では1行単位でシャッタ動作が行われ、グローバルシャッタ方式では全画素一括でシャッタ動作が行われる。これに対し、窓読出しという駆動モードによりクロップした選択エリアに必要な領域のみを撮像する技術が提案されている（例えば、特許文献1参照。）。

先行技術文献

特許文献

[0003] 特許文献1：特開2011-101159号公報

発明の概要

発明が解決しようとする課題

[0004] 上述の従来技術では、表示枠の大きさに応じて画素データを読み出す際の間引き率を変更することにより解像度を変更している。しかしながら、この従来技術では、行単位で間引きを行うため、任意の領域について露光を制御することはできない。

[0005] 本技術はこのような状況に鑑みて生み出されたものであり、撮像される画像内の任意の領域について露光制御を行うことを目的とする。

課題を解決するための手段

- [0006] 本技術は、上述の問題点を解消するためになされたものであり、その第1の側面は、2次元状に配置された画素アレイにおける画素アドレスにより指定される選択信号を受ける選択信号端子と、入射光に応じた電荷を生成して上記選択信号に従って蓄積する光電変換部と、上記光電変換部に蓄積された上記電荷を所定のタイミングで保持する電荷保持部とを具備する固体撮像素子である。これにより、光電変換部に蓄積される電荷を選択信号に従って画素毎に制御するという作用をもたらす。
- [0007] また、この第1の側面において、上記光電変換部に蓄積された上記電荷を上記選択信号に従って排出する電荷排出部をさらに具備してもよい。これにより、光電変換部に蓄積された電荷の排出を選択信号に従って画素毎に制御するという作用をもたらす。
- [0008] また、この第1の側面において、上記選択信号は、上記画素アレイにおける水平アドレスのデコード結果を示す第1のデコード信号と、上記画素アレイにおける垂直アドレスのデコード結果を示す第2のデコード信号とを備え、上記電荷排出部は、上記第1および第2のデコード信号の両者が有効な場合に上記光電変換部に蓄積された上記電荷を排出するようにしてもよい。これにより、光電変換部に蓄積された電荷の排出を第1および第2のデコード信号に従って画素毎に制御するという作用をもたらす。
- [0009] また、この第1の側面において、上記電荷排出部は、電源を一端に接続して上記第1のデコード信号が有効な場合に導通する第1のトランジスタと、上記第1のトランジスタと上記光電変換部との間に直列に接続されて上記第2のデコード信号が有効な場合に導通する第2のトランジスタとを備えてもよい。これにより、第1および第2のデコード信号が有効な場合に光電変換部に蓄積された電荷を排出するという作用をもたらす。
- [0010] また、この第1の側面において、上記電荷排出部は、上記第1および第2のデコード信号のうち一方をゲートに接続して他方をドレインに接続して上記第1および第2のデコード信号の両者が有効な場合に有効信号をソースか

ら供給する第1のトランジスタと、電源と上記光電変換部との間に直列に接続されて上記第1のトランジスタのソースから有効信号が供給された場合に導通する第2のトランジスタとを備えてもよい。これにより、拡散層からの電荷漏れを回避しながら、第1および第2のデコード信号が有効な場合に光電変換部に蓄積された電荷を排出するという作用をもたらす。

[0011] また、この第1の側面において、上記電荷排出部は、電源と上記光電変換部との間に直列に接続されて上記第1および第2のデコード信号のうち一方を第1のゲートに接続して、他方を第2のゲートに接続して、上記第1および第2のデコード信号の両者が有効な場合に導通するトランジスタを備えてもよい。これにより、二重ゲートを利用して、第1および第2のデコード信号が有効な場合に光電変換部に蓄積された電荷を排出するという作用をもたらす。

[0012] また、この第1の側面において、上記選択信号端子と、上記光電変換部と、上記電荷保持部とを備える第1のチップと、上記電荷排出部を備えて上記第1のチップに積層される第2のチップとを具備してもよい。これにより、電荷保持部と電荷排出部を異なるチップに形成するという作用をもたらす。

[0013] また、この第1の側面において、上記電荷保持部に保持された電荷を電圧に変換するために蓄積する電荷電圧変換部と、互いに直列に接続されて上記電荷保持部に保持された電荷を上記電荷電圧変換部に転送する第1および第2の転送トランジスタとをさらに具備し、上記電荷保持部は、上記第1の転送トランジスタの拡散層と一体化して形成されていてもよい。これにより、暗電流が抑制されるという作用をもたらす。

[0014] また、この第1の側面において、上記選択信号端子と上記光電変換部と上記電荷保持部とをそれぞれが含む画素を複数備え、上記複数の画素における上記電荷保持部に保持された電荷を電圧に変換するために蓄積する電荷電圧変換部をさらに具備してもよい。これにより、電荷電圧変換部を複数の画素により共有するという作用をもたらす。

[0015] また、この第1の側面において、上記電荷電圧変換部に蓄積されている電

荷をリセットする電荷リセット部をさらに具備してもよい。また、上記電荷電圧変換部に蓄積されている電荷を増幅して当該電荷に応じたレベルの画素信号を出力する信号増幅部をさらに具備してもよい。

[0016] また、本技術の第2の側面は、入射光を画素信号に変換する複数の画素が2次元状に配置された画素アレイと、上記複数の画素の何れかを指定する選択信号を供給してその画素における露光を制御する露光制御回路と、上記複数の画素から上記画素信号を読み出す読出し回路とを具備し、上記複数の画素の各々は、上記選択信号を受ける選択信号端子と、上記入射光に応じた電荷を生成して蓄積する光電変換部と、上記光電変換部に蓄積された上記電荷を上記選択信号に従って排出する電荷排出部と、上記光電変換部に蓄積された上記電荷を所定のタイミングで保持する電荷保持部と、上記電荷保持部に保持された電荷を電圧信号である上記画素信号に変換するために蓄積する電荷電圧変換部とを備える固体撮像装置である。これにより、画素アレイにおける画素の光電変換部に蓄積された電荷の排出を選択信号に従って画素毎に制御するという作用をもたらす。

[0017] また、この第2の側面において、上記露光制御回路は、上記画素アレイにおける画素アドレスの水平方向および垂直方向の位置をデコードするデコーダを備え、そのデコード結果により上記選択信号を供給してもよい。これにより、光電変換部に蓄積された電荷の排出をデコード結果に従って画素毎に制御するという作用をもたらす。

[0018] また、この第2の側面において、上記露光制御回路は、上記画素アレイにおける特定の領域毎に上記選択信号を供給するようにしてもよい。これにより、光電変換部に蓄積された電荷の排出を領域毎に制御するという作用をもたらす。

[0019] また、この第2の側面において、上記露光制御回路は、上記特定の領域が重なる部分においては上記光電変換部への電荷蓄積時間が短い方に合わせて制御を行うようにしてもよい。これにより、領域が重なる部分において光電変換部への電荷蓄積時間が短い方に合わせて露光制御を行うという作用をも

たらず。

発明の効果

[0020] 本技術によれば、撮像される画像内の任意の領域について露光制御を行うことができるという優れた効果を奏し得る。なお、ここに記載された効果は必ずしも限定されるものではなく、本開示中に記載されたいずれかの効果であってもよい。

図面の簡単な説明

[0021] [図1]本技術の実施の形態における固体撮像装置の構成例を示す図である。

[図2]本技術の実施の形態における露光制御回路70と画素100との関係例を示す図である。

[図3]本技術の第1の実施の形態における画素100の回路構成の一例を示す図である。

[図4]本技術の第1の実施の形態における画素100の平面図の一例を示す図である。

[図5]本技術の第1の実施の形態における画素100の断面図の一例を示す図である。

[図6]本技術の実施の形態において想定する関心領域ROIの例を示す図である。

[図7]本技術の実施の形態における各領域の信号と蓄積時間との関係例を示す図である。

[図8]本技術の実施の形態における画素100からの読出しタイミングの例を示す図である。

[図9]本技術の第1の実施の形態の第1の変形例における画素100の回路構成の一例を示す図である。

[図10]本技術の第1の実施の形態の第1の変形例における画素100の平面図の一例を示す図である。

[図11]本技術の第1の実施の形態の第1の変形例における画素100の断面図の一例を示す図である。

[図12]本技術の第1の実施の形態の第2の変形例における画素100の回路構成の一例を示す図である。

[図13]本技術の第2の実施の形態における画素100の回路構成の一例を示す図である。

[図14]本技術の第2の実施の形態における画素100の平面図の一例を示す図である。

[図15]本技術の第2の実施の形態における画素100の断面図の一例を示す図である。

[図16]本技術の第2の実施の形態における画素100の平面図の他の例を示す図である。

[図17]本技術の第2の実施の形態の変形例における画素100の回路構成の一例を示す図である。

[図18]本技術の第2の実施の形態の変形例における画素100の平面図の一例を示す図である。

[図19]本技術の第3の実施の形態における画素100の回路構成の一例を示す図である。

[図20]本技術の第3の実施の形態における画素100の平面図の一例を示す図である。

[図21]本技術の第3の実施の形態における画素100の断面図の一例を示す図である。

[図22]本技術の実施の形態における固体撮像装置を1つの基板に形成した場合の外観図の一例を示す図である。

[図23]裏面照射型による固体撮像装置の断面構造の一例を示す図である。

[図24]本技術の実施の形態における固体撮像装置を2つの基板に形成した場合の外観図の一例を示す図である。

[図25]本技術の第4の実施の形態における画素100の回路構成の一例を示す図である。

[図26]本技術の第4の実施の形態における画素100の平面図の一例を示す

図である。

発明を実施するための形態

[0022] 以下、本技術を実施するための形態（以下、実施の形態と称する）について説明する。説明は以下の順序により行う。

1. 第1の実施の形態（2次元アドレスにより2つのトランジスタを導通させる例）

2. 第2の実施の形態（2次元アドレスの論理積により1つのトランジスタを導通させる例）

3. 第3の実施の形態（2次元アドレスを1つのトランジスタの別々のゲートに入力して導通させる例）

4. 第4の実施の形態（積層チップに分割する例）

[0023] <1. 第1の実施の形態>

[固体撮像装置]

図1は、本技術の実施の形態における固体撮像装置の構成例を示す図である。この固体撮像装置は、画素アレイ10および周辺回路部からなる。周辺回路部は、垂直駆動回路20と、水平駆動回路30と、システム制御回路40と、カラム信号処理回路50と、出力回路60と、露光制御回路70とを備える。なお、垂直駆動回路20、水平駆動回路30、システム制御回路40、カラム信号処理回路50および出力回路60は、特許請求の範囲に記載の読出し回路の一例である。

[0024] 画素アレイ10は、光電変換部を含む複数の画素100を、2次元アレイ状に配列した画素アレイである。画素100は、後述するように、光電変換部となる例えばフォトダイオードと、複数の画素トランジスタを含む。

[0025] 垂直駆動回路20は、行単位で画素100を駆動するものである。この垂直駆動回路20は、例えばシフトレジスタによって構成される。この垂直駆動回路20は、画素駆動配線を選択して、その選択された画素駆動配線に画素100を駆動するためのパルスを供給する。これにより、垂直駆動回路20は、画素アレイ10の画素100を行単位で順次垂直方向に選択走査し、

画素１００の光電変換部において入射光に応じて生成された信号電荷に基づく画素信号を、垂直信号線（VSL: Vertical Signal Line）１０９を介して出力する。

[0026] 水平駆動回路３０は、列単位にカラム信号処理回路５０を駆動するものである。この水平駆動回路３０は、例えばシフトレジスタによって構成される。この水平駆動回路３０は、水平走査パルスを順次出力することによって、カラム信号処理回路５０の各々を順番に選択し、カラム信号処理回路５０の各々から画素信号を水平信号線５９に出力させる。

[0027] システム制御回路４０は、固体撮像装置における読出し処理を制御するものである。このシステム制御回路４０は、入力クロックと、動作モードなどを指令するデータとを受け取り、固体撮像装置の内部情報などのデータを出力する。すなわち、このシステム制御回路４０は、垂直同期信号、水平同期信号およびマスタクロックに基づいて、垂直駆動回路２０、カラム信号処理回路５０および水平駆動回路３０などの動作の基準となるクロック信号や制御信号を生成する。そして、これらの信号を垂直駆動回路２０、カラム信号処理回路５０および水平駆動回路３０等に入力する。

[0028] カラム信号処理回路５０は、画素１００の例えば列ごとに配置され、１行分の画素１００から垂直信号線１０９を介して出力される信号に対し、画素列ごとにノイズ除去などの信号処理を行うものである。すなわち、このカラム信号処理回路５０は、画素１００固有の固定パターンノイズを除去するためのＣＤＳ（Correlated Double Sampling）や、信号増幅、Ａ／Ｄ（Analog-to-Digital）変換等の信号処理を行う。なお、カラム信号処理回路５０の出力段には、図示しない水平選択スイッチが水平信号線５９との間に接続される。

[0029] 出力回路６０は、カラム信号処理回路５０の各々から水平信号線５９を介して順次 to 供給される信号に対し、信号処理を行って出力するものである。その際、この出力回路６０は、カラム信号処理回路５０からの信号をバッファリングする。また、この出力回路６０は、カラム信号処理回路５０からの

信号に対して、黒レベル調整、列ばらつき補正、各種デジタル信号処理などを行うようにしてもよい。

[0030] 露光制御回路 70 は、画素アレイ 10 の複数の画素 100 における露光を制御するものである。この露光制御回路 70 は、画素アレイ 10 において複数の画素 100 の何れかを指定する選択信号を画素 100 のそれぞれに供給して、画素 100 を単位として露光の制御を行う。露光制御回路 70 と画素 100 との接続関係については、次図を参照して説明する。

[0031] 図 2 は、本技術の実施の形態における露光制御回路 70 と画素 100 との関係例を示す図である。

[0032] 露光制御回路 70 は、水平アドレスデコーダ 71 と、垂直アドレスデコーダ 72 とを備える。水平アドレスデコーダ 71 は、画素アレイ 10 における画素アドレスの水平方向の位置をデコードするデコーダである。この水平アドレスデコーダ 71 の出力は、水平アドレス信号 OFG_x として、画素 100 に供給される。なお、水平アドレスは、列アドレスとも呼称される。

[0033] 垂直アドレスデコーダ 72 は、画素アレイ 10 における画素アドレスの垂直方向の位置をデコードするデコーダである。この垂直アドレスデコーダ 72 の出力は、垂直アドレス信号 OFG_y として、画素 100 に供給される。なお、垂直アドレスは、行アドレスとも呼称される。

[0034] 画素 100 の各々は、水平アドレス信号 OFG_x および垂直アドレス信号 OFG_y を受けるための端子を備える。これにより、画素 100 は、露光制御回路 70 から画素単位で露光のための制御を受けることができる。なお、水平アドレス信号 OFG_x および垂直アドレス信号 OFG_y は、特許請求の範囲に記載の選択信号の一例である。

[0035] [回路構成]

図 3 は、本技術の第 1 の実施の形態における画素 100 の回路構成の一例を示す図である。

[0036] 画素 100 は、光電変換部 120、第 1 の電荷転送部 130、電荷保持部 140、第 2 の電荷転送部 150、電荷電圧変換部 160、電荷リセット部

170、信号増幅部180、画素選択部190、電荷排出部111および112を備える。また、画素100は、水平アドレス信号OFG_xおよび垂直アドレス信号OFG_yを受ける選択信号端子110を備える。

[0037] 光電変換部120は、例えばPN接合のフォトダイオード（PD：Photo Diode）であり、入射光量に応じた電荷を生成して蓄積するものである。なお、この光電変換部120は、埋め込み構造であってもよい。

[0038] 第1の電荷転送部130は、転送信号TRMに従って、光電変換部120に蓄積された電荷を電荷保持部140に転送するものである。第1の電荷転送部130に印可される転送信号TRMが有効（Hレベル）になると、第1の電荷転送部130は導通状態となり、光電変換部120に蓄積されている電荷が、電荷保持部140に転送される。なお、以下の説明においても有効を表す電位レベルをHレベルと称するが、これらは共通の信号線によって供給されるものであってもよく、また、少なくとも一部が個別に供給されるものであってもよい。

[0039] 電荷保持部140は、第1の電荷転送部130のドレインと第2の電荷転送部150のソースの間に形成される拡散領域MEMの容量である。この電荷保持部140は、第1の電荷転送部130から転送された電荷を保持する。

[0040] 第2の電荷転送部150は、転送信号TRGに従って、電荷保持部140に保持された電荷を電荷電圧変換部160に転送するものである。第2の電荷転送部150に印可される転送信号TRGが有効（Hレベル）になると、第2の電荷転送部150は導通状態となり、電荷保持部140に保持されている電荷が、電荷電圧変換部160に転送される。

[0041] 電荷電圧変換部160は、第2の電荷転送部150のドレインと電荷リセット部170のソースの間に形成される浮遊拡散（FD：Floating Diffusion）容量である。この電荷電圧変換部160は、第2の電荷転送部150から転送された電荷を蓄積する。

[0042] 電荷リセット部170は、リセット信号RSTに従って、電荷電圧変換部

１６０に蓄積される電荷をリセットするものである。電荷リセット部１７０に印可されるリセット信号ＲＳＴが有効（Ｈレベル）になると、電荷リセット部１７０は導通状態となり、電荷電圧変換部１６０に蓄積された電荷をリセットする。

[0043] 信号増幅部１８０は、電荷電圧変換部１６０に蓄積されている電荷を増幅して、その電荷に応じたレベルの画素信号を出力するものである。この信号増幅部１８０は、ゲート電極が電荷電圧変換部１６０に接続され、ドレインが電源電圧ＶＤＤに接続されており、光電変換部１２０における光電変換によって得られる電荷を増幅して読み出す。

[0044] 画素選択部１９０は、画素アレイ１０におけるいずれかの画素１００を選択するものである。この画素選択部１９０は、信号増幅部１８０のソースと垂直信号線１０９との間に接続され、そのゲート電極には選択信号ＳＥＬが供給される。選択信号ＳＥＬが有効（Ｈレベル）になると、画素選択部１９０は導通状態となって、いわゆる画素が選択状態となる。画素が選択状態とされると、信号増幅部１８０から出力される信号が垂直信号線１０９を介してカラム信号処理回路５０に読み出される。

[0045] 電荷排出部１１１および１１２は、水平アドレス信号ＯＦＧ_xおよび垂直アドレス信号ＯＦＧ_yに従って、光電変換部１２０に蓄積された電荷を排出するものである。電荷排出部１１１に印可される垂直アドレス信号ＯＦＧ_yが有効（Ｈレベル）になり、かつ、電荷排出部１１２に印可される水平アドレス信号ＯＦＧ_xが有効（Ｈレベル）になると、両者は導通状態となる。これにより、光電変換部１２０に蓄積された電荷が電源電圧ＶＤＤを介して排出される。

[0046] 上述のように、水平アドレス信号ＯＦＧ_xおよび垂直アドレス信号ＯＦＧ_yは露光制御回路７０から画素毎に供給されており、これにより、光電変換部１２０に蓄積された電荷の排出制御を画素毎に行うことができる。この電荷の排出が行われたタイミングから、転送信号ＴＲＭが有効（Ｈレベル）になって電荷保持部１４０に転送されるまでの期間が、光電変換部１２０の蓄

積時間である。電荷保持部 140 への転送タイミングは画像全体で同じであるため、電荷の排出を行うタイミングによって蓄積時間を選択的に制御することができる。

[0047] [回路レイアウト]

図 4 は、本技術の第 1 の実施の形態における画素 100 の平面図の一例を示す図である。図 5 は、本技術の第 1 の実施の形態における画素 100 の断面図の一例を示す図である。ここで、図 5 は、図 4 における点線に沿った断面を示している。

[0048] この画素 100 では、光電変換部 120 を中心として、その周囲に電荷排出部 111 および 112、第 1 の電荷転送部 130、第 2 の電荷転送部 150、電荷リセット部 170、信号増幅部 180 および画素選択部 190 が配置される。これらは例えば MOSFET (Metal-Oxide-Semiconductor Field-Effect Transistor) 型のトランジスタにより構成され、そのゲート電極の下には酸化絶縁膜が形成される。

[0049] 電荷排出部 111 のドレインには電源電圧 VDD が接続される。電荷排出部 111 と 112 とは直列に接続されており、両者の間には拡散層 119 が存在する。電荷排出部 111 に印可される垂直アドレス信号 OFG_y が有効 (Hレベル) になり、かつ、電荷排出部 112 に印可される垂直アドレス信号 OFG_x が有効 (Hレベル) になると、両者は導通状態となる。これにより、光電変換部 120 に蓄積された電荷が電源電圧 VDD を介して排出される。

[0050] 第 1 の電荷転送部 130 のドレインと第 2 の電荷転送部 150 のソースの間には電荷保持部 140 が形成される。第 1 の電荷転送部 130 に印可される転送信号 TRM が有効 (Hレベル) になると、第 1 の電荷転送部 130 は導通状態となり、光電変換部 120 に蓄積されている電荷が、電荷保持部 140 に転送される。

[0051] 第 2 の電荷転送部 150 のドレインと電荷リセット部 170 のソースの間には電荷電圧変換部 160 が形成される。第 2 の電荷転送部 150 に印可さ

れる転送信号TRGが有効（Hレベル）になると、第2の電荷転送部150は導通状態となり、電荷保持部140に保持されている電荷が、電荷電圧変換部160に転送される。

[0052] [露光制御]

図6は、本技術の実施の形態において想定する関心領域ROIの例を示す図である。

[0053] この例では、画像内の領域A（11）と領域B（12）を関心領域ROIとしており、両者が重なる部分を領域C（13）としている。領域Aは、左上の座標（ x_i, y_i ）から右下の座標（ x_m, y_m ）までの長方形領域である。領域Bは、左上の座標（ x_k, y_k ）から右下の座標（ x_r, y_r ）までの長方形領域である。左上の座標（ x_k, y_k ）から右下の座標（ x_m, y_m ）までの長方形領域である領域Cにおいて、両領域の重なりが生じている。

[0054] ここで、領域Aについては、高解像度で、露光のための蓄積時間を長くして撮像を行うものとする。一方、領域Bについては、低解像度で、露光のための蓄積時間を短くして撮像を行うものとする。このとき、両領域が重なる領域Cの蓄積時間は、領域Bの蓄積時間に律速される。

[0055] 図7は、本技術の実施の形態における各領域の信号と蓄積時間との関係例を示す図である。同図では、右方向に時間の経過を示している。

[0056] 同図におけるaは領域Aにおけるタイミングを示している。領域Aに該当する座標（ x_i, y_i ）から（ x_m, y_m ）までの画素の水平アドレス信号OFGxおよび垂直アドレス信号OFGyは、時刻T1までの期間に有効（Hレベル）になる。これにより、その時点までに光電変換部120に蓄積されていた電荷は排出される。その後、時刻T3において第1の電荷転送部130に印可される転送信号TRMが有効（Hレベル）になると、第1の電荷転送部130は導通状態となる。これにより、時刻T1から時刻T3の蓄積時間に光電変換部120に蓄積された電荷が、電荷保持部140に転送される。

[0057] 同図におけるbは領域Bにおけるタイミングを示している。まず、領域Aと重なる座標（ x_k, y_k ）から（ x_m, y_m ）までの画素の水平アドレス信号

OF G_xおよび垂直アドレス信号OF G_yは、時刻T₁までの期間に有効（Hレベル）になる。これにより、その時点までに光電変換部120に蓄積されていた電荷は排出される。また、領域B全体の座標（ x_k , y_k ）から（ x_r , y_r ）までの画素の水平アドレス信号OF G_xおよび垂直アドレス信号OF G_yは、時刻T₂までの期間に再び有効（Hレベル）になる。これにより、その時点までに光電変換部120に蓄積されていた電荷は排出される。その後、時刻T₃において第1の電荷転送部130に印可される転送信号TRMが有効（Hレベル）になると、第1の電荷転送部130は導通状態となる。これにより、時刻T₂から時刻T₃の蓄積時間に光電変換部120に蓄積された電荷が、電荷保持部140に転送される。

[0058] 同図におけるcは領域Cにおけるタイミングを示している。まず、他の領域と同様に、領域Aと重なる座標（ x_k , y_k ）から（ x_m , y_m ）までの画素の水平アドレス信号OF G_xおよび垂直アドレス信号OF G_yは、時刻T₁までの期間に有効（Hレベル）になり、光電変換部120に蓄積されていた電荷は排出される。また、領域C全体の座標（ x_k , y_k ）から（ x_m , y_m ）までの画素の水平アドレス信号OF G_xおよび垂直アドレス信号OF G_yは、時刻T₂までの期間に再び有効（Hレベル）になる。これにより、その時点までに光電変換部120に蓄積されていた電荷は排出される。その後、時刻T₃において第1の電荷転送部130に印可される転送信号TRMが有効（Hレベル）になると、第1の電荷転送部130は導通状態となる。これにより、時刻T₂から時刻T₃の蓄積時間に光電変換部120に蓄積された電荷が、電荷保持部140に転送される。

[0059] このように、転送信号TRMが有効（Hレベル）になって第1の電荷転送部130が導通状態となるタイミングは全ての画素に共通であり、一方、光電変換部120に蓄積されていた電荷が排出されるタイミングは露光制御回路70によって画素毎に制御される。

[0060] 図8は、本技術の実施の形態における画素100からの読出しタイミングの例を示す図である。同図は、水平アドレス信号OF G_xが x_k から x_m の範

囲における読出しタイミングを示しており、右方向に時間の経過を示し、下方向に垂直アドレスを示している。

[0061] 上述のように、光電変換部 120 における露光のための蓄積時間は、画素毎に制御される。この図では、最終的に電荷が排出されたタイミングを「シャッタ」として示している。一方、光電変換部 120 に蓄積されている電荷を電荷保持部 140 に転送するタイミングを「転送」として示している。

[0062] その後、電荷保持部 140 に保持された電荷は、電荷電圧変換部 160 に転送された後に、行単位で読出しが行われて垂直信号線 109 を介してコラム信号処理回路 50 に供給される。この例においては、垂直アドレス y_k までは高解像度の読出しが行われる。一方、垂直アドレス y_k 以降は低解像度を想定して、読出しを行わない行を挟みながら間引きによる読出しが行われる。同図において、垂直アドレス y_k 以降において、転送後の読出しを表す線は連続しているが、実際には間引きによる読出しのため、時間的には連続であるが、アドレス方向には非連続になる。なお、これは一例であり、領域 C については高解像度および低解像度の何れによっても読み出すことが可能である。

[0063] このように、本技術の第 1 の実施の形態によれば、垂直アドレス信号 OF Gy および水平アドレス信号 OF Gx によって電荷排出部 111 および 112 を制御することにより、画素単位で露光のための蓄積制御を行うことができる。これにより、画像内の任意の領域毎に露光制御を行うことができる。

[0064] [変形例]

図 9 は、本技術の第 1 の実施の形態の第 1 の変形例における画素 100 の回路構成の一例を示す図である。

[0065] 上述の第 1 の実施の形態においては、電荷保持部 140 が第 1 の電荷転送部 130 のドレインとは別個に形成されることを想定した。これに対し、この変形例においては、電荷保持部 140 は、第 1 の電荷転送部 130 のドレインの拡散層と一体化して形成されるものと想定する。それ以外の点については、上述の第 1 の実施の形態と同様である。

[0066] 図10は、本技術の第1の実施の形態の第1の変形例における画素100の平面図の一例を示す図である。図11は、本技術の第1の実施の形態の第1の変形例における画素100の断面図の一例を示す図である。ここで、図11は、図10における点線に沿った断面を示している。

[0067] 上述のように、電荷保持部140は、第1の電荷転送部130のドレインの拡散層と一体化して形成された、いわゆる埋め込み型メモリである。ここでは、電荷保持部140のドレインおよび電荷電圧変換部160はn型により形成されているものと想定する。この場合、第2の電荷転送部150のゲート電極に印可される転送信号TRGが有効（Hレベル）になると、p型半導体の表面にチャネル151が形成されて電荷が転送される。この構造により、暗電流が抑制されて良好な画質を得ることができる。

[0068] 図12は、本技術の第1の実施の形態の第2の変形例における画素100の回路構成の一例を示す図である。

[0069] この第2の変形例では、第1の電荷転送部130を2つの電荷転送部131および132に分けた構成となっている。この場合、2つの電荷転送部131および132のゲートに入力される転送信号TRM1およびTRM2の両者が有効（Hレベル）になると、電荷転送部131および132は導通状態となり、光電変換部120に蓄積されている電荷が、電荷保持部140に転送される。このように、2つの電荷転送部131および132のゲートに入力される転送信号TRM1およびTRM2を個々に制御することにより、効率的に電荷を転送することができる。また、1つの電荷転送部によって形成した場合と比較して、メモリの不純物濃度の均一性が保たれるため、歩留りが高くなるという効果が得られる。

[0070] <2. 第2の実施の形態>

上述の第1の実施の形態では、電荷排出部111および112を直列接続することにより、水平アドレス信号OFG_xおよび垂直アドレス信号OFG_yの状態を検出していた。上述のように、電荷排出部111と112の間には拡散層119が存在する。そのため、垂直アドレス信号OFG_yが無効

(Lレベル)のときに水平アドレス信号OFG_xが有効(Hレベル)になると、拡散層119の容量を介して電荷が漏れてしまい、S/N比(Signal-to-Noise ratio)が悪化するおそれがある。そこで、この第2の実施の形態では、第1の実施の形態における拡散層119を排除するために、水平アドレス信号OFG_xおよび垂直アドレス信号OFG_yを受けるトランジスタを1つにまとめた構成を有する。

[0071] [回路構成]

図13は、本技術の第2の実施の形態における画素100の回路構成の一例を示す図である。

[0072] この第2の実施の形態における画素100は、第1の実施の形態の電荷排出部111および112に代えて、電荷排出部113および114を備える。それ以外の構成は上述の第1の実施の形態と同様である。

[0073] 電荷排出部113は、垂直アドレス信号OFG_yをゲートに接続して、水平アドレス信号OFG_xをドレインに接続するトランジスタである。これにより、この電荷排出部113は、水平アドレス信号OFG_xおよび垂直アドレス信号OFG_yの両者が有効(Hレベル)であるときにソースを有効(Hレベル)にし、それ以外にはソースを無効(Lレベル)にする。すなわち、この電荷排出部113は、水平アドレス信号OFG_xおよび垂直アドレス信号OFG_yの論理積を生成していることになる。この電荷排出部113のソースは電荷排出部114のゲートに接続されており、この電荷排出部113のソースから供給される信号によって電荷排出部114の導通を制御する。

[0074] 電荷排出部114は、電荷排出部113のソースから供給された信号に従って、導通するトランジスタである。この電荷排出部114は、電源電圧VDDと光電変換部120との間に直列に接続されて、電荷排出部113のソースから供給された信号が有効(Hレベル)になると導通状態となる。これにより、光電変換部120に蓄積された電荷が電源電圧VDDを介して排出される。一方、この電荷排出部114は、水平アドレス信号OFG_xまたは垂直アドレス信号OFG_yの何れか一方が無効(Lレベル)であると導通状

態にはならない。

[0075] なお、上述の例では、電荷排出部 113 において垂直アドレス信号 OFG_y をゲートに接続して、水平アドレス信号 OFG_x をドレインに接続していたが、これらは逆に接続してもよい。すなわち、水平アドレス信号 OFG_x を電荷排出部 113 のゲートに接続して、垂直アドレス信号 OFG_y を電荷排出部 113 のドレインに接続してもよい。

[0076] [回路レイアウト]

図 14 は、本技術の第 2 の実施の形態における画素 100 の平面図の一例を示す図である。図 15 は、本技術の第 2 の実施の形態における画素 100 の断面図の一例を示す図である。ここで、図 15 は、図 14 における点線に沿った断面を示している。

[0077] この第 2 の実施の形態における画素 100 では、光電変換部 120 を中心として、その周囲に電荷排出部 113 および 114、第 1 の電荷転送部 130、第 2 の電荷転送部 150、電荷リセット部 170、信号増幅部 180 および画素選択部 190 が配置される。

[0078] 電荷排出部 113 には、ドレインに水平アドレス信号 OFG_x が接続され、ゲートに垂直アドレス信号 OFG_y が接続される。電荷排出部 114 の一端には電源電圧 VDD が供給される。電荷排出部 113 のソースのコンタクト 103 と、電荷排出部 114 のゲートのコンタクト 104 との間は、メタル配線 105 を介して接続される。

[0079] 図 16 は、本技術の第 2 の実施の形態における画素 100 の平面図の他の例を示す図である。

[0080] この例では、光電変換部 120 の周囲に電荷排出部 113、114、および、第 1 の電荷転送部 130 が配置される。また、光電変換部 120 とは相対する方向に、第 2 の電荷転送部 150 および電荷リセット部 170 が配置され、信号増幅部 180 および画素選択部 190 が配置される。

[0081] 上述の例と異なり、電荷リセット部 170 のドレインと信号増幅部 180 のドレインとの間はメタル配線 107 を介して接続される。なお、電荷電圧

変換部 160 と信号増幅部 180 のゲートとの間のメタル配線 106 は、他の図面において図示を省略しているものであり、特に異なるものではない。

[0082] なお、露光の蓄積時間を制御するための垂直アドレス信号 OFG_y および水平アドレス信号 OFG_x については上述の第 1 の実施の形態と同様であるため、露光制御の詳細な説明は省略する。

[0083] このように、本技術の第 2 の実施の形態によれば、垂直アドレス信号 OFG_y および水平アドレス信号 OFG_x を電荷排出部 113 によって受けることにより、第 1 の実施の形態における拡散層 119 を排除して、S/N 比を向上させることができる。

[0084] [変形例]

図 17 は、本技術の第 2 の実施の形態の変形例における画素 100 の回路構成の一例を示す図である。

[0085] この変形例では、上述の第 2 の実施の形態における 2 つの光電変換部 120 が 1 つの電荷電圧変換部 160 を共有する構造を有している。2 つの異なる第 2 の電荷転送部 150 のドレインは、同じ電荷電圧変換部 160 を共有しており、それぞれの転送信号 TRG に従って、電荷保持部 140 に保持された電荷を電荷電圧変換部 160 に転送する。

[0086] また、電荷電圧変換部 160 に接続する電荷リセット部 170、信号増幅部 180 および画素選択部 190 はそれぞれ 1 つずつであり、これらも複数の光電変換部 120 によって共有される構造になっている。

[0087] 図 18 は、本技術の第 2 の実施の形態の変形例における画素 100 の平面図の一例を示す図である。

[0088] この変形例では、上述の第 2 の実施の形態と同様に、光電変換部 120 を中心として、その周囲に電荷排出部 113 および 114、第 1 の電荷転送部 130、第 2 の電荷転送部 150、電荷リセット部 170、信号増幅部 180 および画素選択部 190 が配置される。ただし、電荷電圧変換部 160、電荷リセット部 170、信号増幅部 180 および画素選択部 190 が、2 つの光電変換部 120 の間に配置され、両者に共有される構造を有している。

[0089] このような画素共有構造を有することにより、この変形例では、回路規模を縮小して面積効率を向上させることができる。

[0090] <3. 第3の実施の形態>

[回路構成]

図19は、本技術の第3の実施の形態における画素100の回路構成の一例を示す図である。

[0091] この第3の実施の形態における画素100は、上述の第2の実施の形態と同様に、第1の実施の形態における拡散層119を排除するために、水平アドレス信号OFG_xおよび垂直アドレス信号OFG_yを受けるトランジスタを1つにまとめた構成を有する。すなわち、この第3の実施の形態における画素100は、第1の実施の形態の電荷排出部111および112に代えて、電荷排出部115および116を備える。それ以外の構成は上述の第1の実施の形態と同様である。

[0092] 電荷排出部115は、垂直アドレス信号OFG_yをゲートに接続するトランジスタである。また、電荷排出部116は、水平アドレス信号OFG_xをゲートに接続するトランジスタである。電荷排出部115および116は、ゲートが二重になっており、ゲート電極は異なるが、ソースおよびドレインは共有されている。したがって、水平アドレス信号OFG_xおよび垂直アドレス信号OFG_yの両者が有効（Hレベル）であるときに導通状態になる。水平アドレス信号OFG_xまたは垂直アドレス信号OFG_yの何れか一方が無効（Lレベル）であると導通状態にはならない。電荷排出部115および116は、電源電圧VDDと光電変換部120との間に直列に接続されており、水平アドレス信号OFG_xおよび垂直アドレス信号OFG_yの両者が有効（Hレベル）になると、光電変換部120に蓄積された電荷が電源電圧VDDを介して排出される。

[0093] [回路レイアウト]

図20は、本技術の第3の実施の形態における画素100の平面図の一例を示す図である。図21は、本技術の第3の実施の形態における画素100

の断面図の一例を示す図である。ここで、図 21 は、図 20 における点線に沿った断面を示している。

[0094] この第 2 の実施の形態における画素 100 では、光電変換部 120 を中心として、その周囲に電荷排出部 115 および 116、第 1 の電荷転送部 130、第 2 の電荷転送部 150、電荷リセット部 170、信号増幅部 180 および画素選択部 190 が配置される。

[0095] 電荷排出部 115 のゲートには、垂直アドレス信号 OFG_y が接続される。また、電荷排出部 116 のゲートには、水平アドレス信号 OFG_x が接続される。電荷排出部 115 の一端には電源電圧 VDD が供給される。水平アドレス信号 OFG_x および垂直アドレス信号 OFG_y の両者が有効（Hレベル）になると、光電変換部 120 に蓄積された電荷が電源電圧 VDD を介して排出される。

[0096] このように、本技術の第 3 の実施の形態によれば、垂直アドレス信号 OFG_y および水平アドレス信号 OFG_x を電荷排出部 115 および 116 によって受けることにより、第 1 の実施の形態における拡散層 119 を排除して、S/N 比を向上させることができる。

[0097] <4. 第 4 の実施の形態>

上述の第 1 乃至第 3 の実施の形態では、光電変換部 120 と電荷排出部が同一基板上に形成されることを想定していた。しかし、これら実施の形態における電荷排出部は、必ずしも同一基板上に形成されていなくてもよい。固体撮像装置が複数の基板を積層した構造を有する場合には、電荷排出部を光電変換部 120 とは異なる基板に形成できる可能性がある。ここでは、具体的な構造について検討する。

[0098] [基板]

図 22 は、本技術の実施の形態における固体撮像装置を 1 つの基板に形成した場合の外観図の一例を示す図である。

[0099] この例では、基板 610 の中央部分に画素アレイ 611 が配置され、その周囲に水平アドレスデコーダ 612、垂直アドレスデコーダ 613、および

、読出し回路 6 1 4 が配置されている。

[0100] 一方、複数の基板を積層した構造においては、配線層とは異なる方向から光電変換部に光を入射させる裏面照射型が採用されることが多い。その場合、以下のように遮光部を形成することによりノイズの低減を図ることが望ましい。

[0101] 図 2 3 は、裏面照射型による固体撮像装置の断面構造の一例を示す図である。この例では、下側から順に、配線層 5 6 1、酸化膜 5 6 2、半導体基板 5 6 3、遮光層 5 6 4、カラーフィルタ層 5 6 5、および、オンチップレンズ 5 6 6 が積層されている。また、半導体基板 5 6 3 に光電変換部 5 5 1 が形成されている領域が光電変換領域 5 6 7 であり、半導体基板 5 6 3 に電荷保持部 5 5 4 が形成されている領域が電荷保持領域 5 6 8 である。入射光は半導体基板 5 6 3 の表面に対して反対側となる裏面（同図における上方）から照射される。

[0102] 配線層 5 6 1 は、例えば、その下側に配置されている基板支持材により支持されており、半導体基板 5 6 3 に形成されている光電変換部 5 5 1 の電荷の読出しなどを行う複数の配線 5 7 1 が層間絶縁膜 5 7 2 に埋め込まれて構成されている。また、配線層 5 6 1 には、光電変換部 5 5 1 および電荷保持部 5 5 4 の間の領域に、半導体基板 5 6 3 に対して酸化膜 5 6 2 を介して、第 1 の電荷転送部 1 3 0 を構成するゲート電極 5 7 3 が配置されている。ゲート電極 5 7 3 に所定の電圧が印加されることにより、光電変換部 5 5 1 に蓄積されている電荷が電荷保持部 5 5 4 に転送される。酸化膜 5 6 2 は、絶縁性を備えており、半導体基板 5 6 3 の表面側を絶縁する。

[0103] 半導体基板 5 6 3 には、光電変換部 5 5 1 を構成する N 型領域と、電荷保持部 5 5 4 を構成する N 型領域とが形成されている。また、光電変換部 5 5 1 および電荷保持部 5 5 4 の裏面側および表面側にはピニング層 5 7 4 が形成されている。さらに、半導体基板 5 6 3 には、隣接する画素間を分離するための画素間分離領域 5 7 5 が、画素の外周を囲うように形成されている。

[0104] 遮光層 5 6 4 は、遮光性を有する材料により形成される遮光部 5 7 6 が、

高誘電率材料膜 577 に埋め込まれて形成されている。例えば、遮光部 576 は、タングステン (W) や、アルミ (Al)、銅 (Cu) などの材料により形成され、図示しない GND に接地されている。高誘電率材料膜 577 は、二酸化ケイ素 (SiO_2) や、酸化ハフニウム (HfO_2)、五酸化タンタル (Ta_2O_5)、二酸化ジルコニウム (ZrO_2) などの材料により形成される。

[0105] また、遮光部 576 は、半導体基板 563 を覆うように配置される蓋部と、光電変換部 551 および電荷保持部 554 の周囲を囲うように半導体基板 563 に形成される縦溝に埋め込まれるように配置される埋込み部とを有して形成される。すなわち、遮光部 576 の蓋部は、画素を構成する各層に対して略平行に形成される。一方、遮光部 576 の埋込み部は蓋部に対して略直交する方向に延在するように所定の深さまで形成される。

[0106] ここで、遮光部 576 の埋込み部は、光電変換部 551 および電荷保持部 554 の周囲を囲うように画素間分離領域 575 に形成されるようにしてもよい。また、例えば、電荷保持部 554 の周囲を形成するような構成や、光電変換部 551 および電荷保持部 554 の間に形成するような構成としてもよい。すなわち、少なくとも光電変換部 551 および電荷保持部 554 の間に埋込み部が形成され、光電変換部 551 および電荷保持部 554 が埋込み部により分離されていればよい。

[0107] また、遮光部 576 には、光電変換部 551 に光を入射するための開口部が形成されている。開口部は、光電変換部 551 に対応した領域に形成されており、それ以外の電荷保持部 554 や電荷電圧変換部 160 などが形成されている領域は、遮光部 576 により遮光されている。

[0108] カラーフィルタ層 565 では、画素ごとに、それぞれ対応する色の光を透過するフィルタが配置されており、例えば、緑色、青色、および赤色の光を透過するフィルタが、いわゆるベイヤー配列で画素毎に配置される。オンチップレンズ 566 は、画素に入射する入射光を光電変換部 551 に集光するためのレンズである。

[0109] この例の画素は、少なくとも光電変換部 551 および電荷保持部 554 の

間に埋込み部が形成された遮光部 5 7 6 を有して構成されている。これにより、斜め方向から光が入射して光電変換部 5 5 1 を通過したとしても、埋込み部により遮光されるため、電荷保持領域 5 6 8 に光が漏れ込むことを防止することができる。したがって、電荷保持領域 5 6 8 に光が漏れ込むような場合に発生することが想定される光学的なノイズの発生を防止することができる。

[0110] 図 2 4 は、本技術の実施の形態における固体撮像装置を 2 つの基板に形成した場合の外観図の一例を示す図である。

[0111] この例では、基板 6 1 0 と 6 2 0 とが積層されており、基板 6 1 0 に画素アレイ 6 1 1 が配置されている。また、基板 6 2 0 には、読出し回路 6 2 4 の周囲に水平アドレスデコーダ 6 2 2 および垂直アドレスデコーダ 6 2 3 が配置されている。この例においては、上述の裏面照射型の固体撮像装置を想定しており、基板 6 1 0 の上方から入射光が照射される。

[0112] このような積層構造を想定した本技術の第 4 の実施の形態について、以下に説明する。なお、ここでは 2 つの基板を積層した例について説明するが、3 層以上の積層構造に適用してもよい。

[0113] [回路構成]

図 2 5 は、本技術の第 4 の実施の形態における画素 1 0 0 の回路構成の一例を示す図である。

[0114] この第 4 の実施の形態における画素 1 0 0 は、上述の第 2 の実施の形態を基本として、第 2 の実施の形態の電荷排出部 1 1 3 を別の基板に配置することを想定して、電荷排出部 1 1 7 としている。すなわち、電荷排出部 1 1 7 には、ドレインに水平アドレス信号 OFG_x が接続され、ゲートに垂直アドレス信号 OFG_y が接続される。

[0115] [回路レイアウト]

図 2 6 は、本技術の第 4 の実施の形態における画素 1 0 0 の平面図の一例を示す図である。

[0116] この第 4 の実施の形態における画素 1 0 0 では、光電変換部 1 2 0 を中心

として、その周囲に電荷排出部 114、第 1 の電荷転送部 130、第 2 の電荷転送部 150、電荷リセット部 170、信号増幅部 180 および画素選択部 190 が配置される。電荷排出部 117 は別の基板に配置され、基板間の接続は、例えば、銅（Cu）同士の接続や、マイクロボンディング等を用いることができる。他の基板へのコンタクトと電荷排出部 114 のゲートのコンタクトとの間は、メタル配線 108 を介して接続される。

[0117] このように、本技術の第 4 の実施の形態によれば、積層基板において電荷排出部 117 を画素アレイ 10 とは別の基板に配置することができ、設置面積を小さくすることができる。

[0118] なお、上述の実施の形態は本技術を具現化するための一例を示したものであり、実施の形態における事項と、特許請求の範囲における発明特定事項とはそれぞれ対応関係を有する。同様に、特許請求の範囲における発明特定事項と、これと同一名称を付した本技術の実施の形態における事項とはそれぞれ対応関係を有する。ただし、本技術は実施の形態に限定されるものではなく、その要旨を逸脱しない範囲において実施の形態に種々の変形を施すことにより具現化することができる。

[0119] なお、本明細書に記載された効果はあくまで例示であって、限定されるものではなく、また、他の効果があってもよい。

[0120] なお、本技術は以下のような構成もとることができる。

（１）２次元状に配置された画素アレイにおける画素アドレスにより指定される選択信号を受ける選択信号端子と、

入射光に応じた電荷を生成して前記選択信号に従って蓄積する光電変換部と、

前記光電変換部に蓄積された前記電荷を所定のタイミングで保持する電荷保持部と

を具備する固体撮像素子。

（２）前記光電変換部に蓄積された前記電荷を前記選択信号に従って排出する電荷排出部をさらに具備する前記（１）に記載の固体撮像素子。

(3) 前記選択信号は、前記画素アレイにおける水平アドレスのデコード結果を示す第1のデコード信号と、前記画素アレイにおける垂直アドレスのデコード結果を示す第2のデコード信号とを備え、

前記電荷排出部は、前記第1および第2のデコード信号の両者が有効な場合に前記光電変換部に蓄積された前記電荷を排出する
前記(2)に記載の固体撮像素子。

(4) 前記電荷排出部は、

電源を一端に接続して、前記第1のデコード信号が有効な場合に導通する第1のトランジスタと、

前記第1のトランジスタと前記光電変換部との間に直列に接続されて、前記第2のデコード信号が有効な場合に導通する第2のトランジスタとを備える

前記(3)に記載の固体撮像素子。

(5) 前記電荷排出部は、

前記第1および第2のデコード信号のうち一方をゲートに接続して、他方をドレインに接続して、前記第1および第2のデコード信号の両者が有効な場合に有効信号をソースから供給する第1のトランジスタと、

電源と前記光電変換部との間に直列に接続されて、前記第1のトランジスタのソースから有効信号が供給された場合に導通する第2のトランジスタとを備える

前記(3)に記載の固体撮像素子。

(6) 前記電荷排出部は、電源と前記光電変換部との間に直列に接続されて前記第1および第2のデコード信号のうち一方を第1のゲートに接続して、他方を第2のゲートに接続して、前記第1および第2のデコード信号の両者が有効な場合に導通するトランジスタを備える

前記(3)に記載の固体撮像素子。

(7) 前記選択信号端子と、前記光電変換部と、前記電荷保持部とを備える第1のチップと、

前記電荷排出部を備えて前記第１のチップに積層される第２のチップとを具備する前記（３）に記載の固体撮像素子。

（８）前記電荷保持部に保持された電荷を電圧に変換するために蓄積する電荷電圧変換部と、

互いに直列に接続されて前記電荷保持部に保持された電荷を前記電荷電圧変換部に転送する第１および第２の転送トランジスタとをさらに具備し、

前記電荷保持部は、前記第１の転送トランジスタの拡散層と一体化して形成されている

前記（１）から（７）のいずれかに記載の固体撮像素子。

（９）前記選択信号端子と、前記光電変換部と、前記電荷保持部とをそれぞれが含む画素を複数備え、

前記複数の画素における前記電荷保持部に保持された電荷を電圧に変換するために蓄積する電荷電圧変換部をさらに具備する

前記（１）から（８）のいずれかに記載の固体撮像素子。

（１０）前記電荷電圧変換部に蓄積されている電荷をリセットする電荷リセット部をさらに具備する

前記（９）に記載の固体撮像素子。

（１１）前記電荷電圧変換部に蓄積されている電荷を増幅して当該電荷に応じたレベルの画素信号を出力する信号増幅部をさらに具備する

前記（９）または（１０）に記載の固体撮像素子。

（１２）入射光を画素信号に変換する複数の画素が２次元状に配置された画素アレイと、

前記複数の画素の何れかを指定する選択信号を供給してその画素における露光を制御する露光制御回路と、

前記複数の画素から前記画素信号を読み出す読出し回路とを具備し、

前記複数の画素の各々は、前記選択信号を受ける選択信号端子と、前記入射光に応じた電荷を生成して蓄積する光電変換部と、前記光電変換部に蓄積

された前記電荷を前記選択信号に従って排出する電荷排出部と、前記光電変換部に蓄積された前記電荷を所定のタイミングで保持する電荷保持部と、前記電荷保持部に保持された電荷を電圧信号である前記画素信号に変換するために蓄積する電荷電圧変換部とを備える

固体撮像装置。

(13) 前記露光制御回路は、前記画素アレイにおける画素アドレスの水平方向および垂直方向の位置をデコードするデコーダを備え、そのデコード結果により前記選択信号を供給する

前記(12)に記載の固体撮像装置。

(14) 前記露光制御回路は、前記画素アレイにおける特定の領域毎に前記選択信号を供給する

前記(12)または(13)に記載の固体撮像装置。

(15) 前記露光制御回路は、前記特定の領域が重なる部分においては前記光電変換部への電荷蓄積時間が短い方に合わせて制御を行う

前記(13)に記載の固体撮像装置。

符号の説明

- [0121] 10 画素アレイ
 20 垂直駆動回路
 30 水平駆動回路
 40 システム制御回路
 50 カラム信号処理回路
 59 水平信号線
 60 出力回路
 70 露光制御回路
 71 水平アドレスデコーダ
 72 垂直アドレスデコーダ
 100 画素
 103、104 コンタクト

- 105～108 メタル配線
- 109 垂直信号線（VSL: Vertical Signal Line）
- 111～117 電荷排出部
- 119 拡散層
- 120 光電変換部
- 130～132 第1の電荷転送部
- 140 電荷保持部
- 150 第2の電荷転送部
- 160 電荷電圧変換部
- 170 電荷リセット部
- 180 信号増幅部
- 190 画素選択部
- 610、620 基板
- 611 画素アレイ
- 612、622 水平アドレスデコーダ
- 613、623 垂直アドレスデコーダ
- 614、624 読出し回路

請求の範囲

- [請求項1] 2次元状に配置された画素アレイにおける画素アドレスにより指定される選択信号を受ける選択信号端子と、
- 入射光に応じた電荷を生成して前記選択信号に従って蓄積する光電変換部と、
- 前記光電変換部に蓄積された前記電荷を所定のタイミングで保持する電荷保持部と
- を具備する固体撮像素子。
- [請求項2] 前記光電変換部に蓄積された前記電荷を前記選択信号に従って排出する電荷排出部をさらに具備する請求項1記載の固体撮像素子。
- [請求項3] 前記選択信号は、前記画素アレイにおける水平アドレスのデコード結果を示す第1のデコード信号と、前記画素アレイにおける垂直アドレスのデコード結果を示す第2のデコード信号とを備え、
- 前記電荷排出部は、前記第1および第2のデコード信号の両者が有効な場合に前記光電変換部に蓄積された前記電荷を排出する
- 請求項2記載の固体撮像素子。
- [請求項4] 前記電荷排出部は、
- 電源を一端に接続して、前記第1のデコード信号が有効な場合に導通する第1のトランジスタと、
- 前記第1のトランジスタと前記光電変換部との間に直列に接続されて、前記第2のデコード信号が有効な場合に導通する第2のトランジスタとを備える
- 請求項3記載の固体撮像素子。
- [請求項5] 前記電荷排出部は、
- 前記第1および第2のデコード信号のうち一方をゲートに接続して、他方をドレインに接続して、前記第1および第2のデコード信号の両者が有効な場合に有効信号をソースから供給する第1のトランジスタと、

電源と前記光電変換部との間に直列に接続されて、前記第1のトランジスタのソースから有効信号が供給された場合に導通する第2のトランジスタとを備える

請求項3記載の固体撮像素子。

[請求項6] 前記電荷排出部は、電源と前記光電変換部との間に直列に接続されて前記第1および第2のデコード信号のうち一方を第1のゲートに接続して、他方を第2のゲートに接続して、前記第1および第2のデコード信号の両者が有効な場合に導通するトランジスタを備える
請求項3記載の固体撮像素子。

[請求項7] 前記選択信号端子と、前記光電変換部と、前記電荷保持部とを備える第1のチップと、

前記電荷排出部を備えて前記第1のチップに積層される第2のチップと

を具備する請求項3記載の固体撮像素子。

[請求項8] 前記電荷保持部に保持された電荷を電圧に変換するために蓄積する電荷電圧変換部と、

互いに直列に接続されて前記電荷保持部に保持された電荷を前記電荷電圧変換部に転送する第1および第2の転送トランジスタとをさらに具備し、

前記電荷保持部は、前記第1の転送トランジスタの拡散層と一体化して形成されている

請求項1記載の固体撮像素子。

[請求項9] 前記選択信号端子と、前記光電変換部と、前記電荷保持部とをそれぞれが含む画素を複数備え、

前記複数の画素における前記電荷保持部に保持された電荷を電圧に変換するために蓄積する電荷電圧変換部をさらに具備する

請求項1記載の固体撮像素子。

[請求項10] 前記電荷電圧変換部に蓄積されている電荷をリセットする電荷リセ

ット部をさらに具備する

請求項 9 記載の固体撮像素子。

[請求項11] 前記電荷電圧変換部に蓄積されている電荷を増幅して当該電荷に応じたレベルの画素信号を出力する信号増幅部をさらに具備する
請求項 9 記載の固体撮像素子。

[請求項12] 入射光を画素信号に変換する複数の画素が 2 次元状に配置された画素アレイと、

前記複数の画素の何れかを指定する選択信号を供給してその画素における露光を制御する露光制御回路と、

前記複数の画素から前記画素信号を読み出す読出し回路とを具備し、

前記複数の画素の各々は、前記選択信号を受ける選択信号端子と、前記入射光に応じた電荷を生成して蓄積する光電変換部と、前記光電変換部に蓄積された前記電荷を前記選択信号に従って排出する電荷排出部と、前記光電変換部に蓄積された前記電荷を所定のタイミングで保持する電荷保持部と、前記電荷保持部に保持された電荷を電圧信号である前記画素信号に変換するために蓄積する電荷電圧変換部とを備える

固体撮像装置。

[請求項13] 前記露光制御回路は、前記画素アレイにおける画素アドレスの水平方向および垂直方向の位置をデコードするデコーダを備え、そのデコード結果により前記選択信号を供給する

請求項 1 2 記載の固体撮像装置。

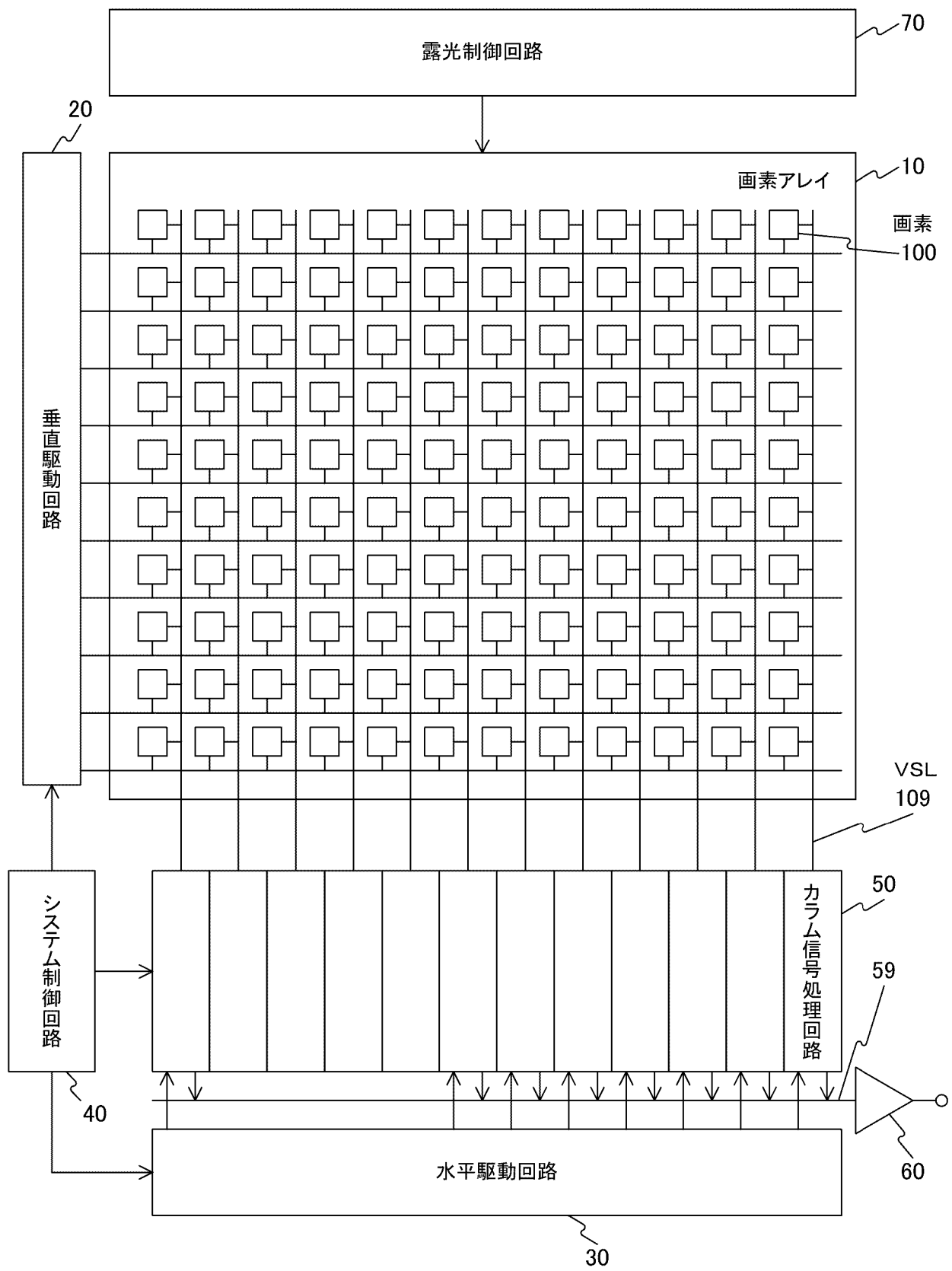
[請求項14] 前記露光制御回路は、前記画素アレイにおける特定の領域毎に前記選択信号を供給する

請求項 1 2 記載の固体撮像装置。

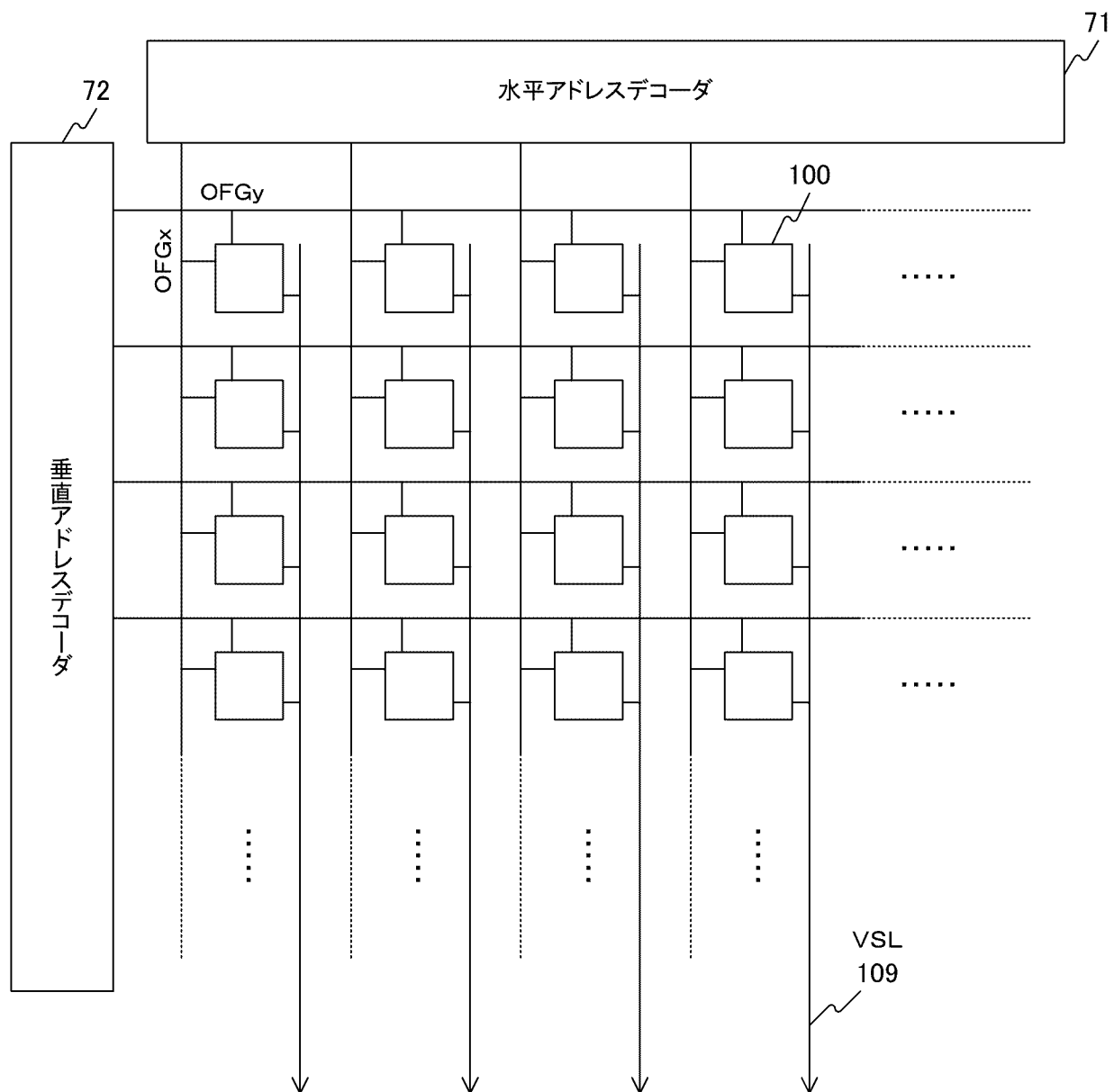
[請求項15] 前記露光制御回路は、前記特定の領域が重なる部分においては前記光電変換部への電荷蓄積時間が短い方に合わせて制御を行う

請求項 1 3 記載の固体撮像装置。

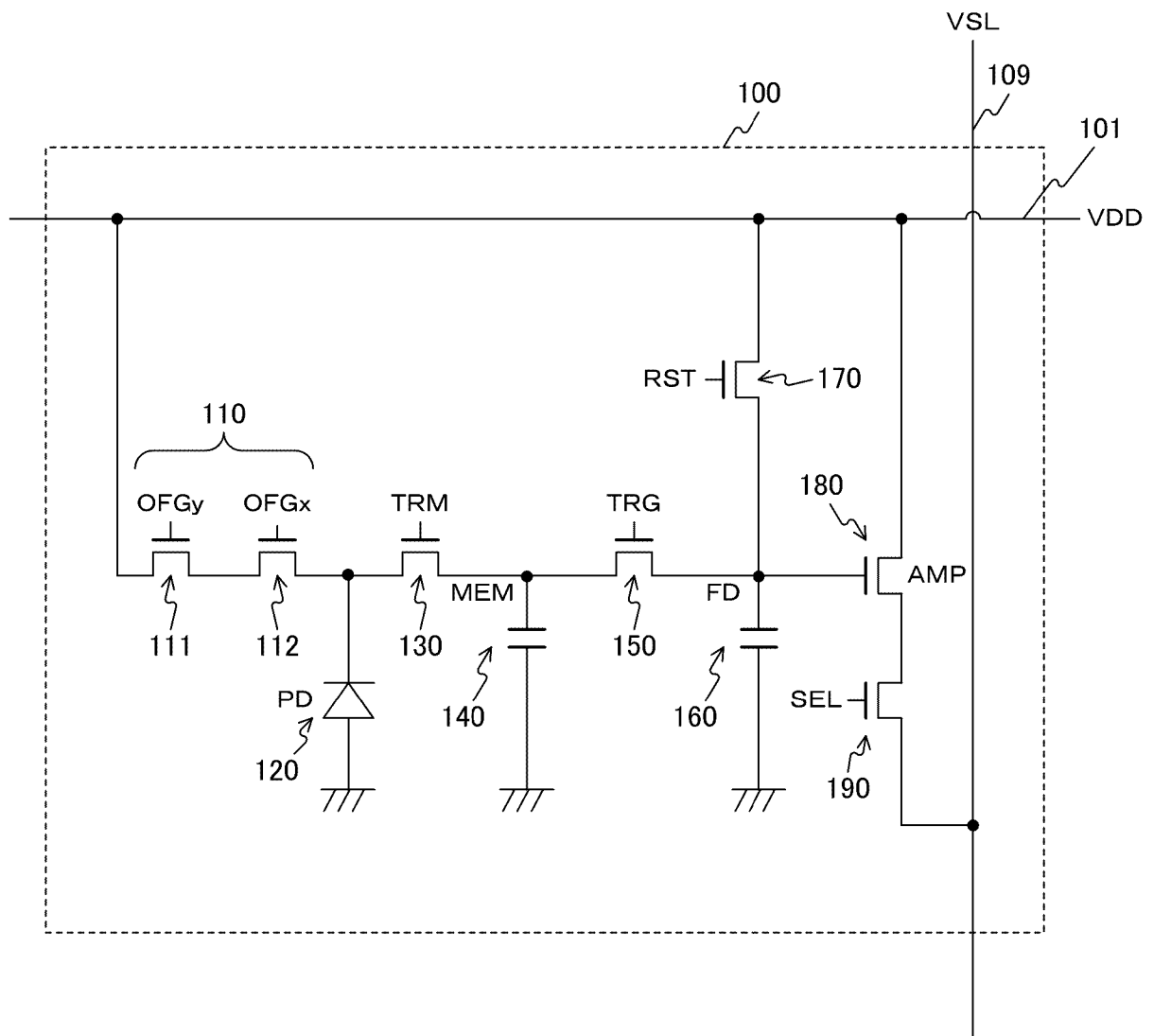
[図1]



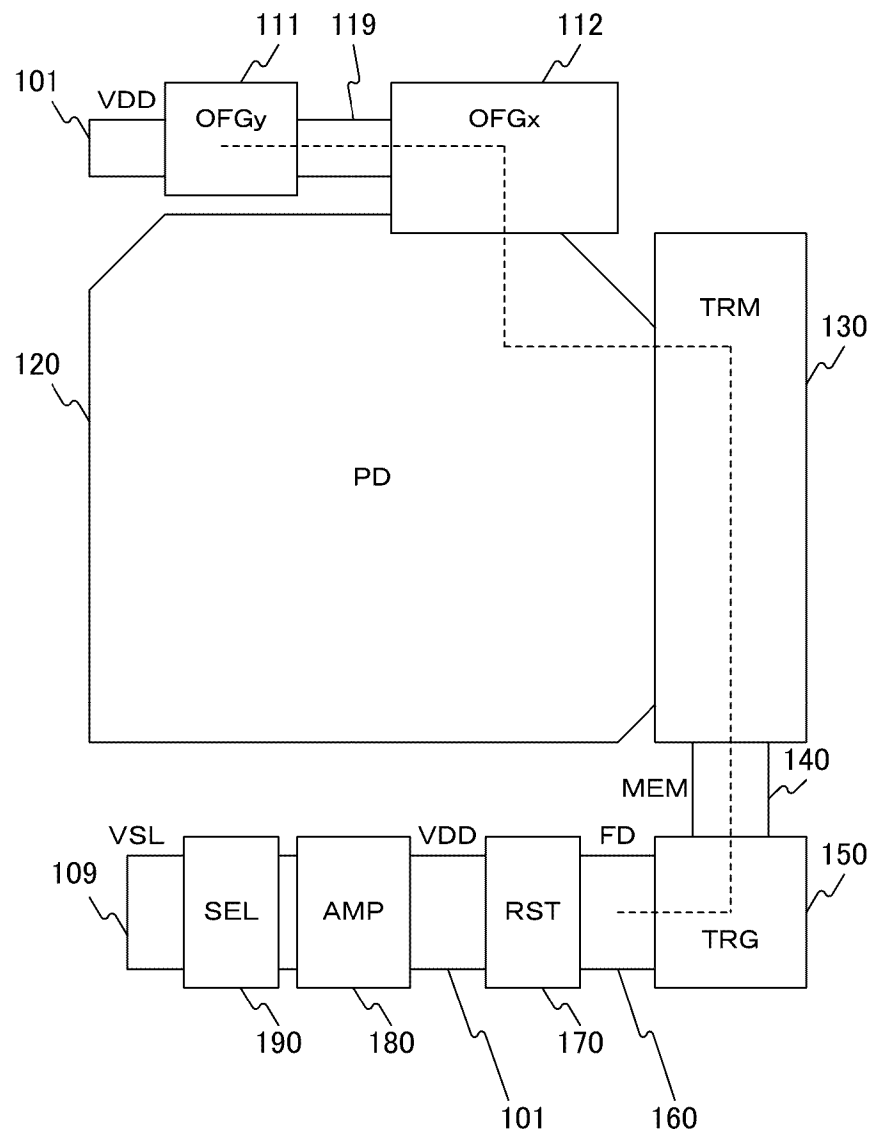
[図2]



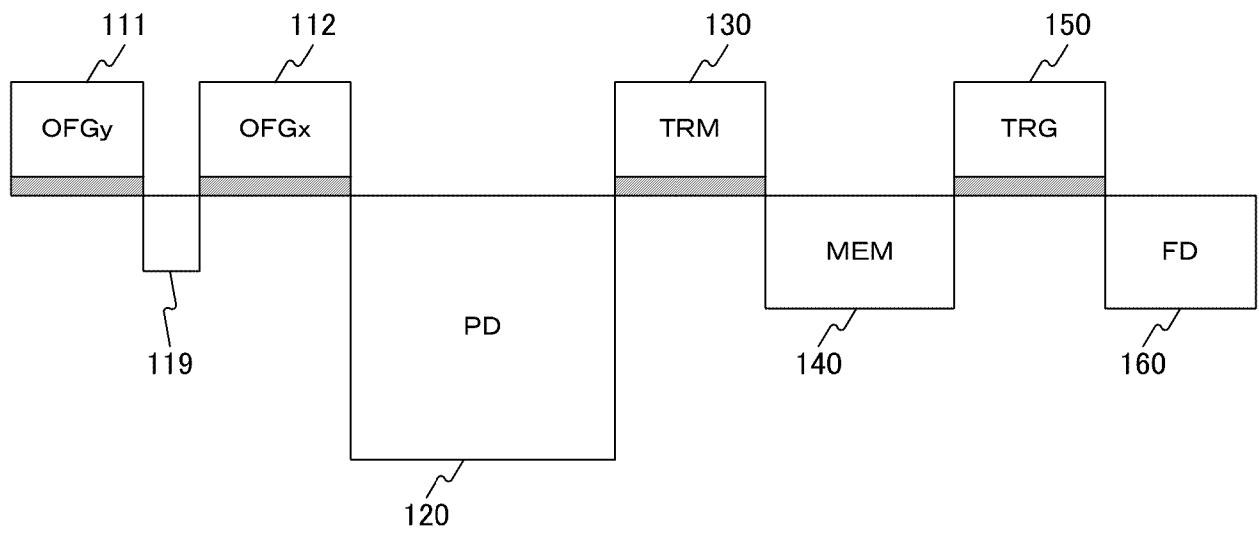
[図3]



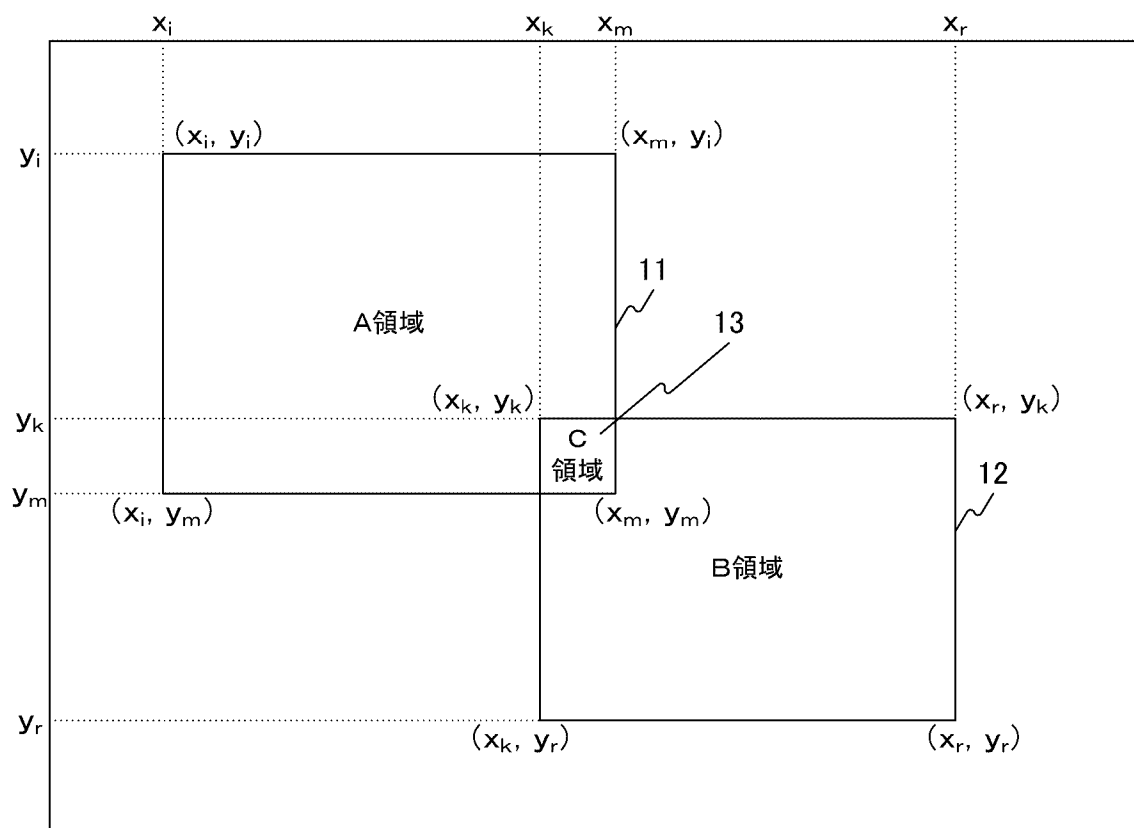
[図4]



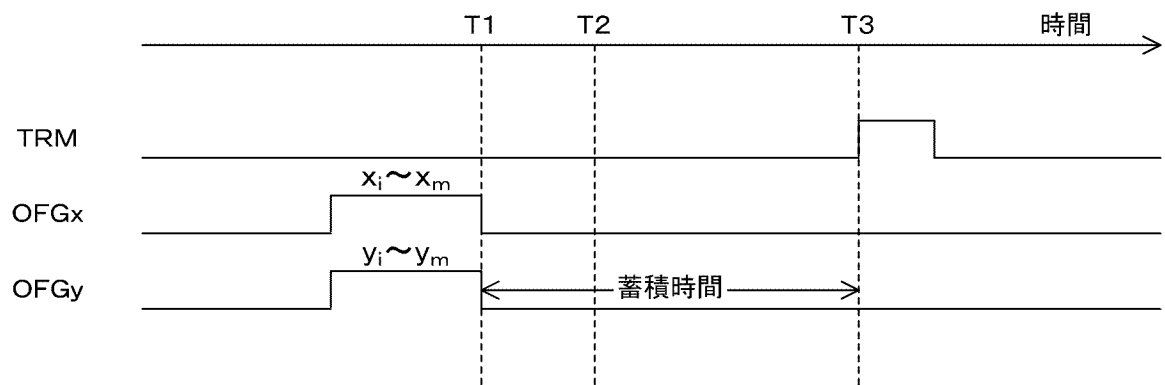
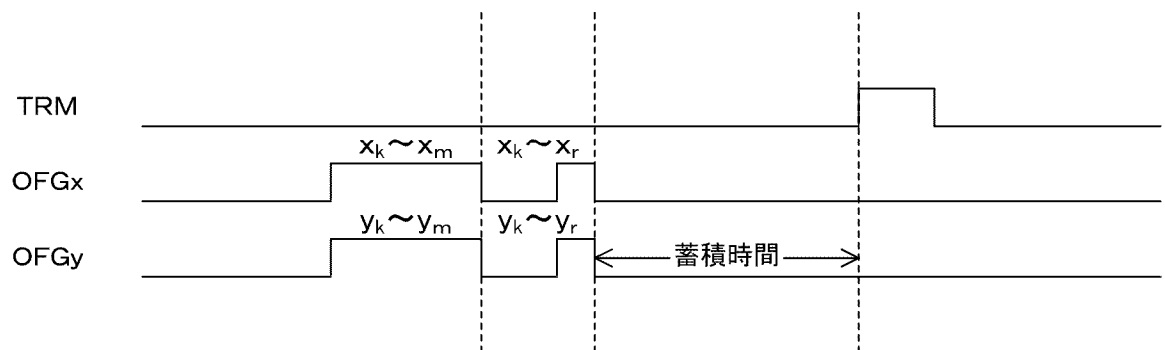
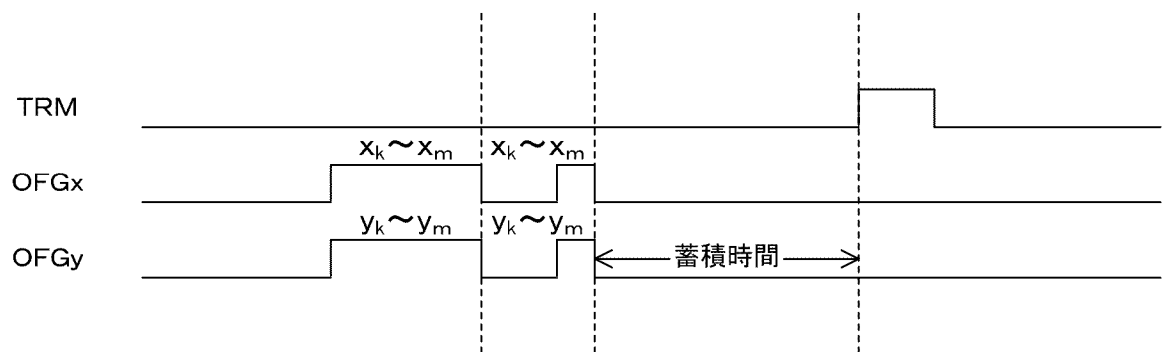
[図5]



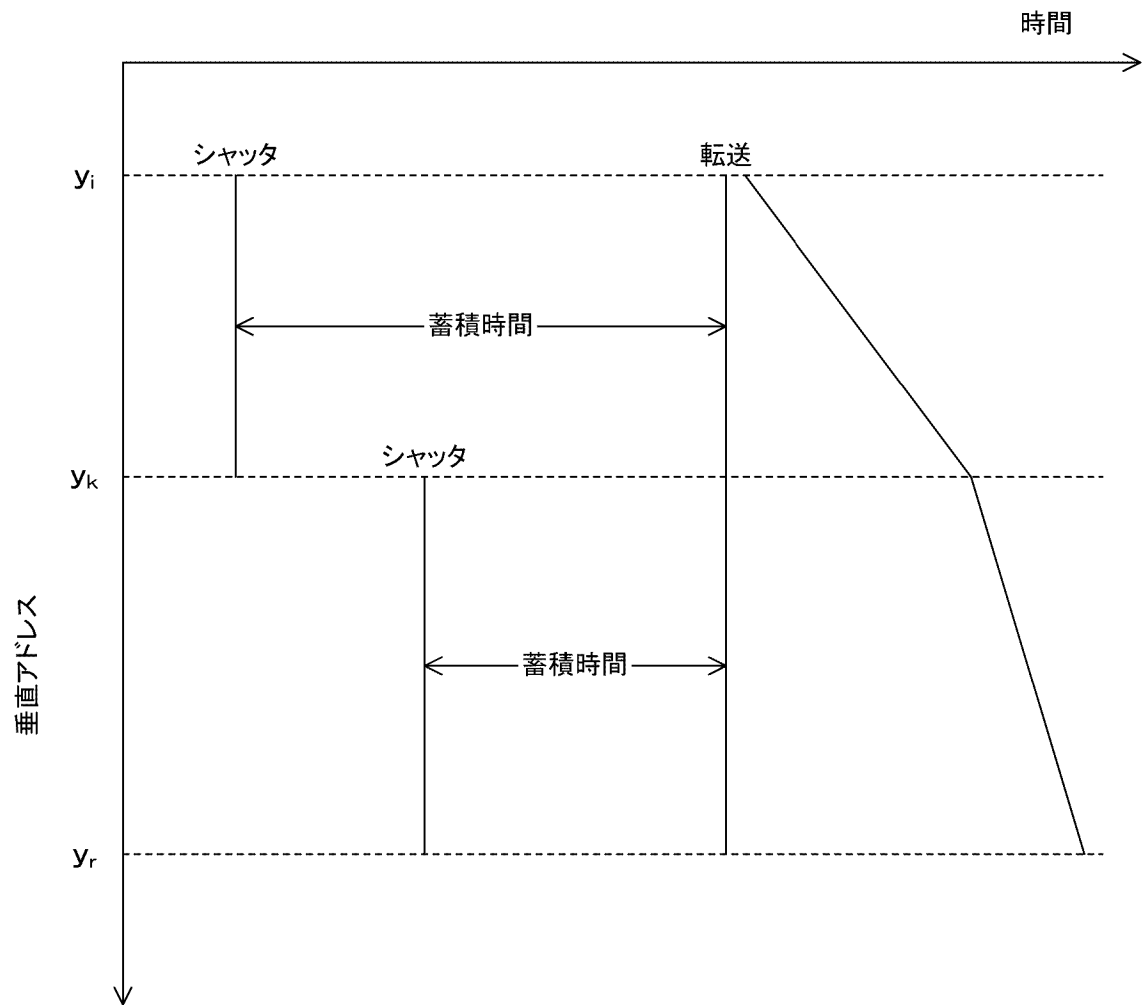
[図6]



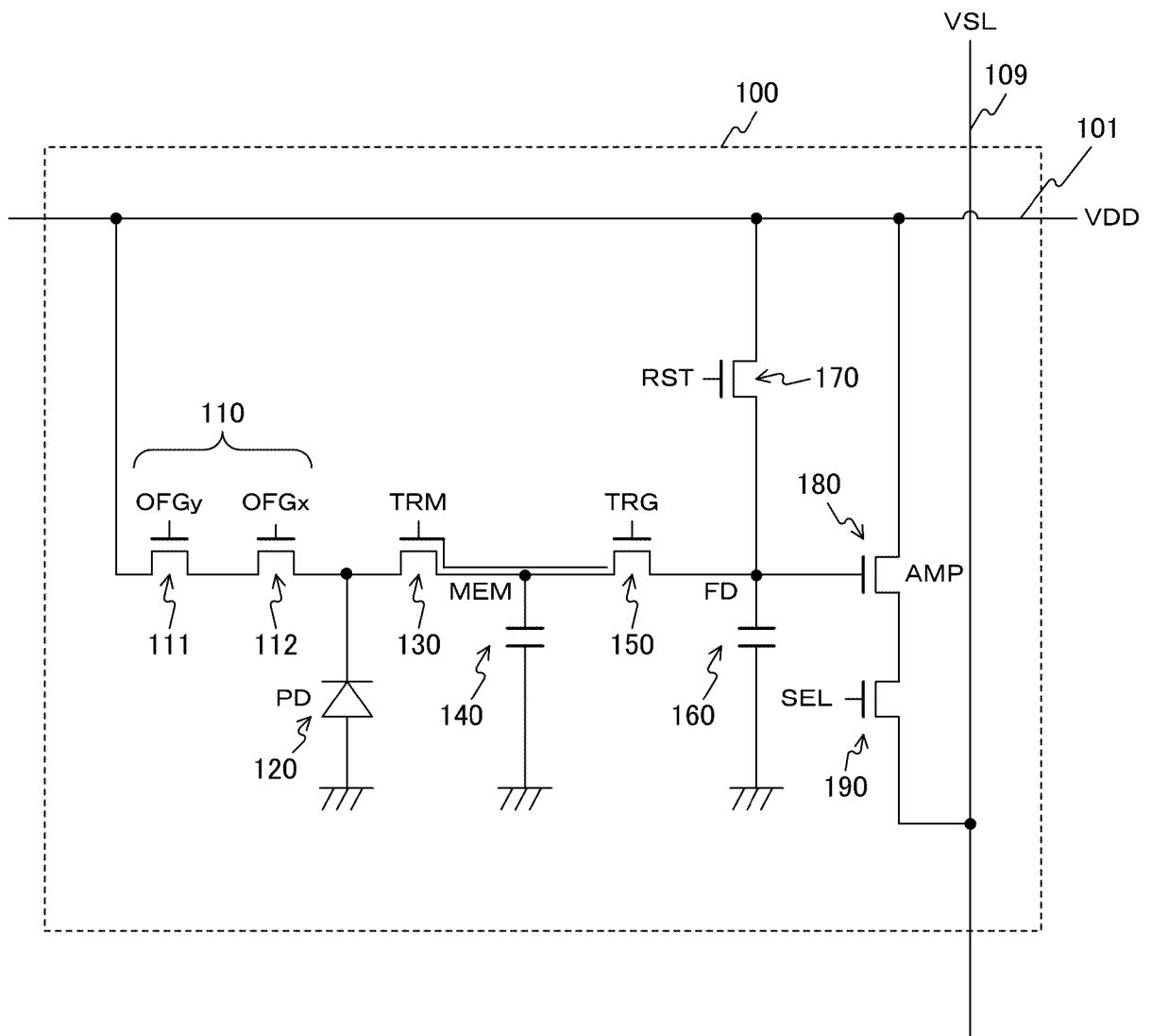
[図7]

abc

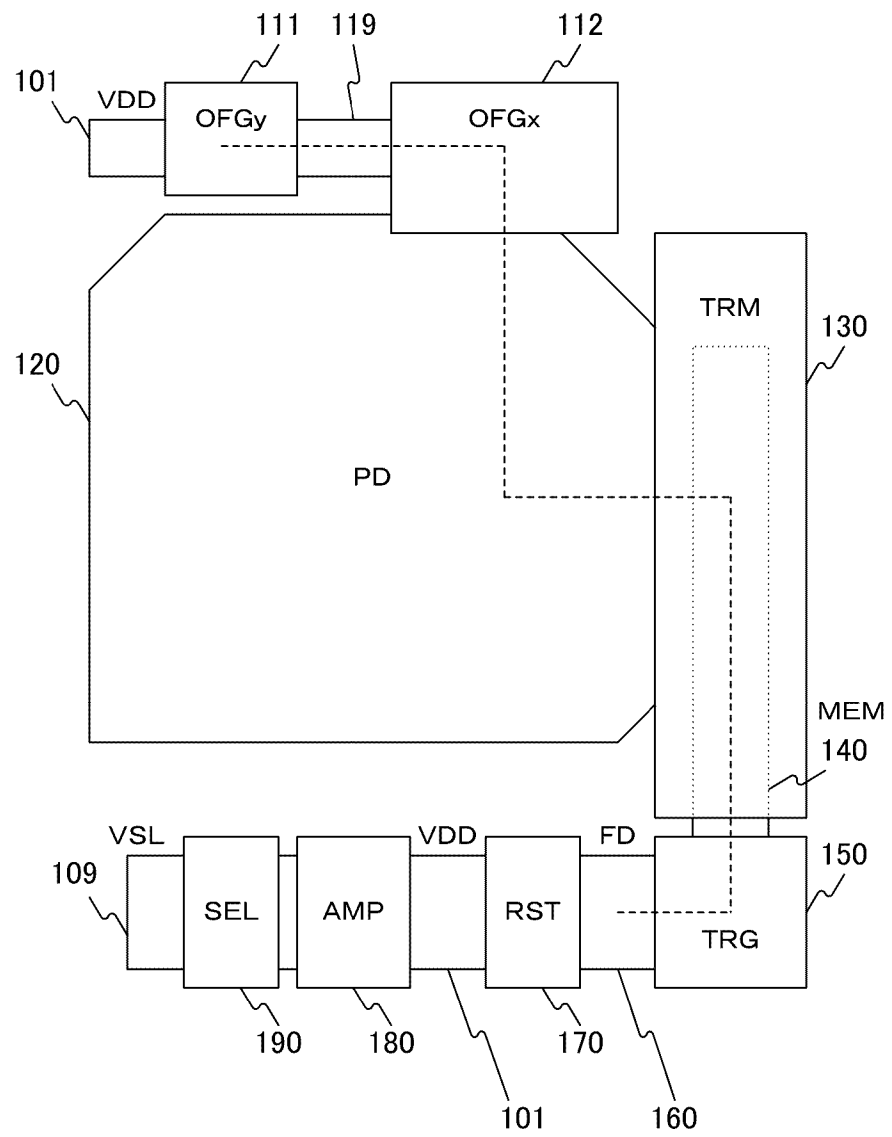
[図8]



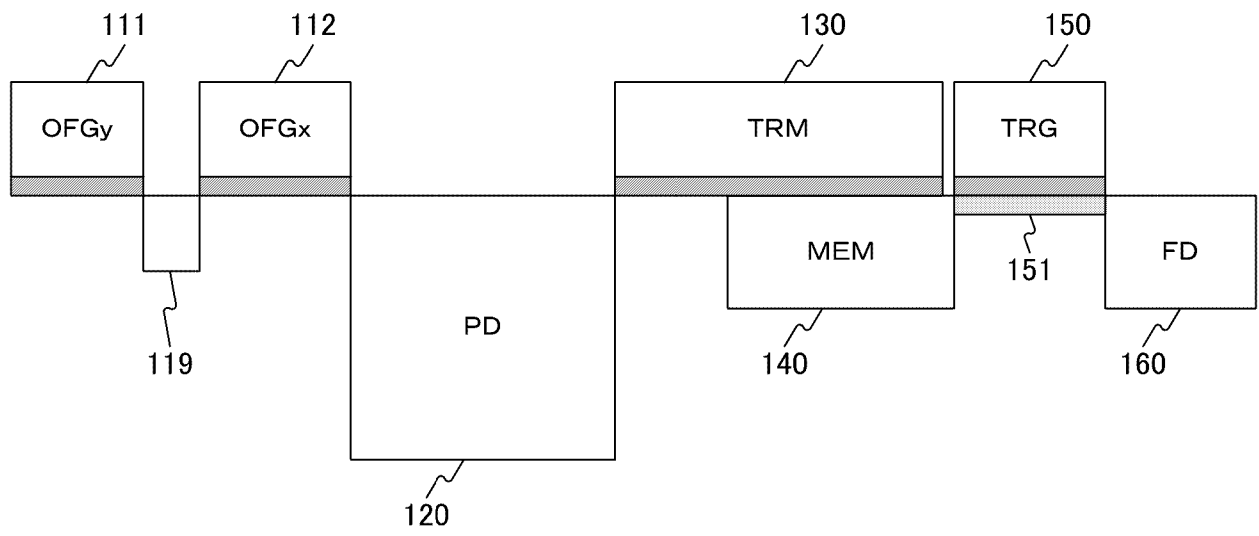
[図9]



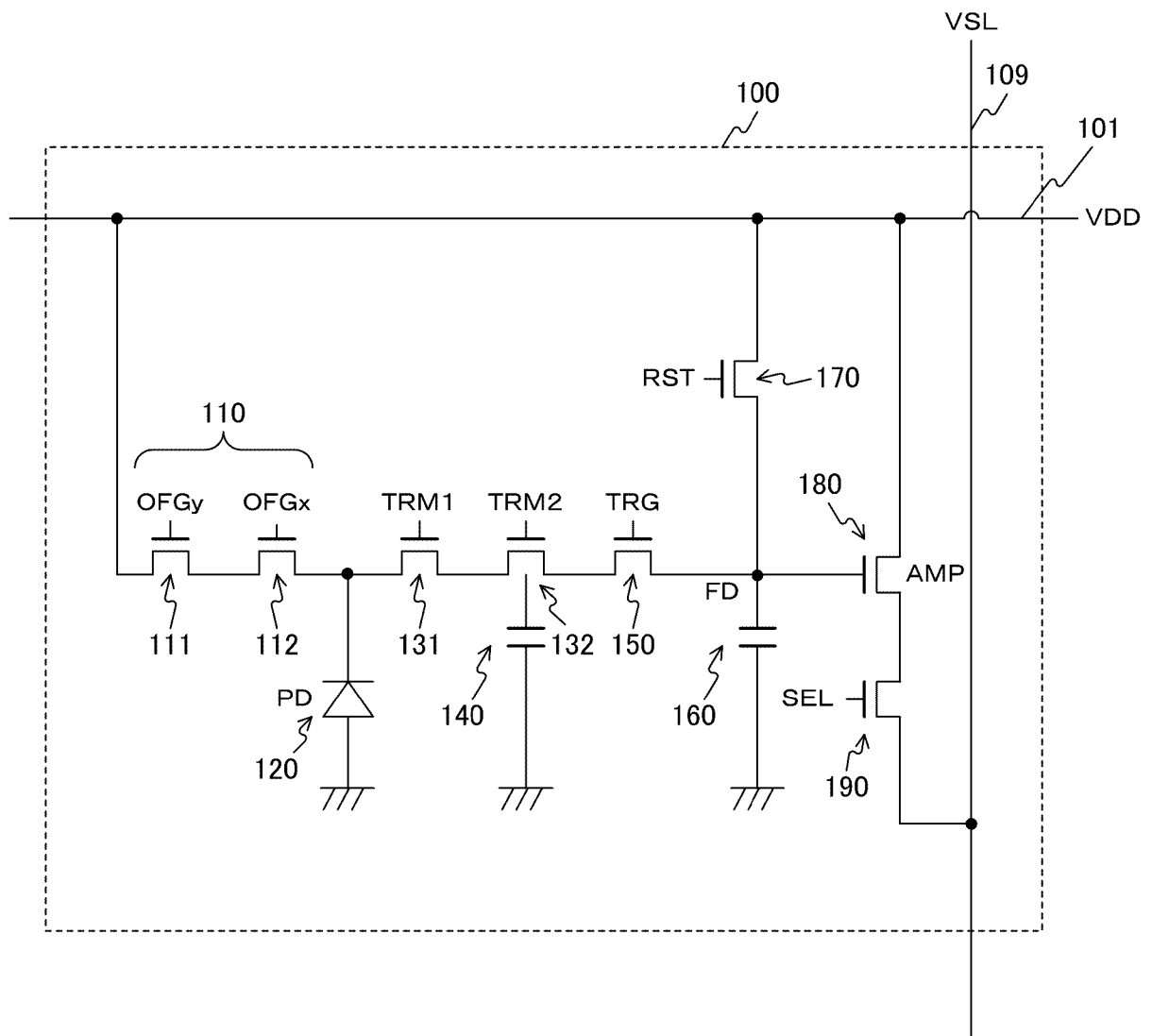
[図10]



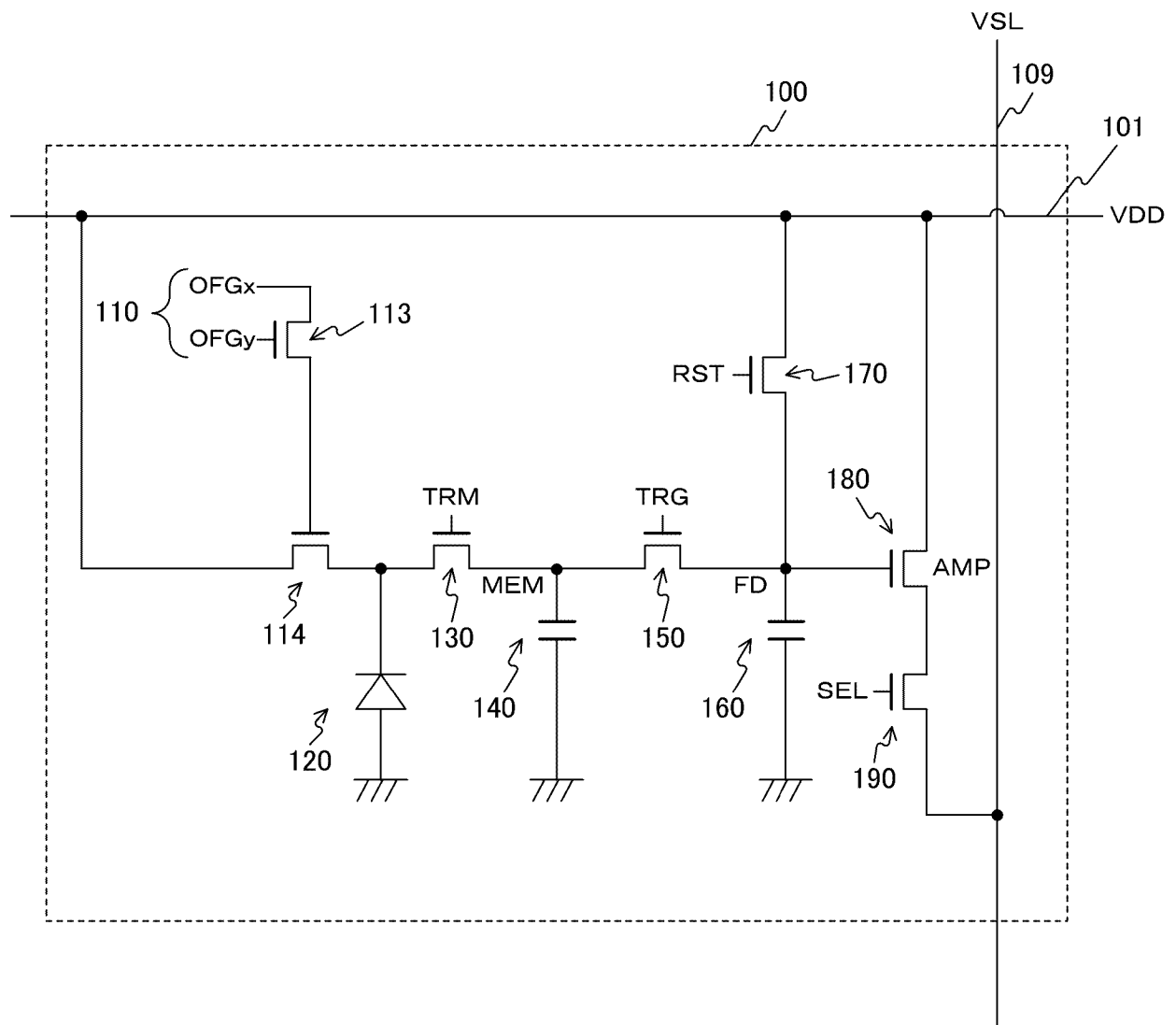
[図11]

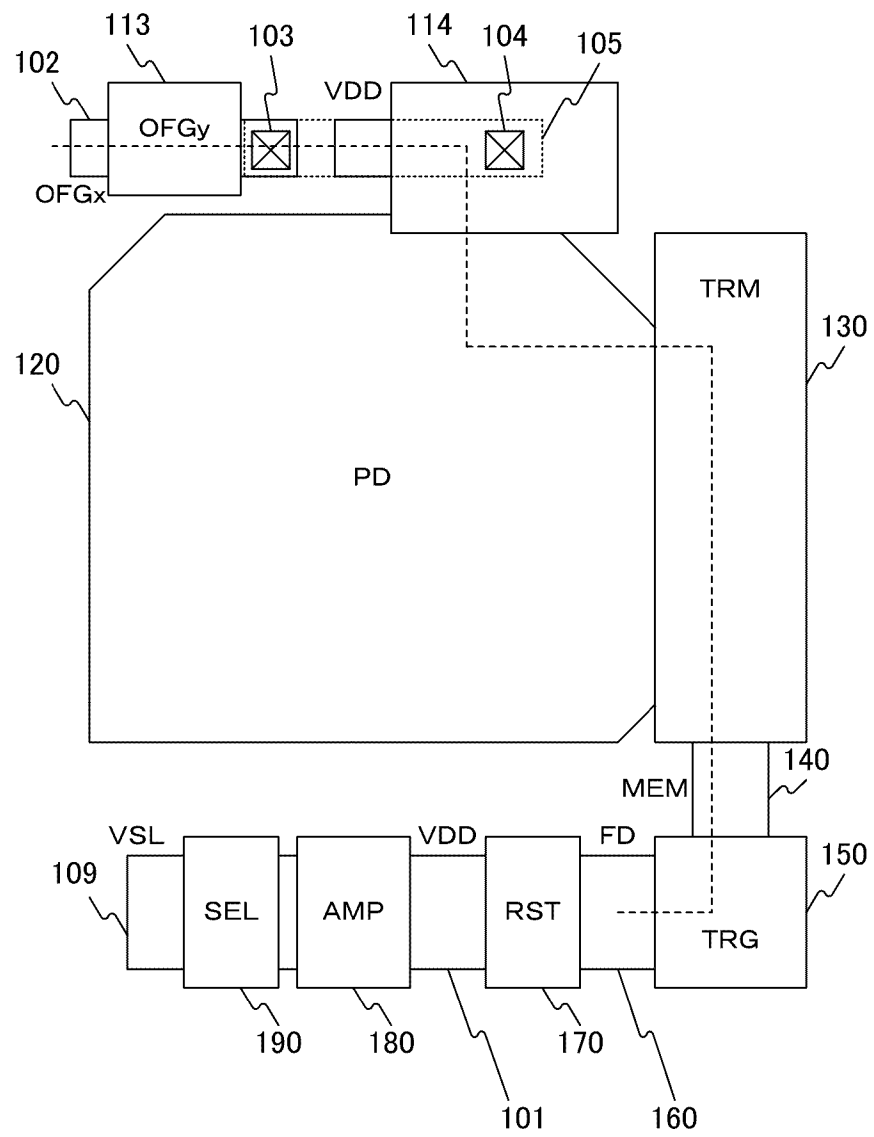


[図12]

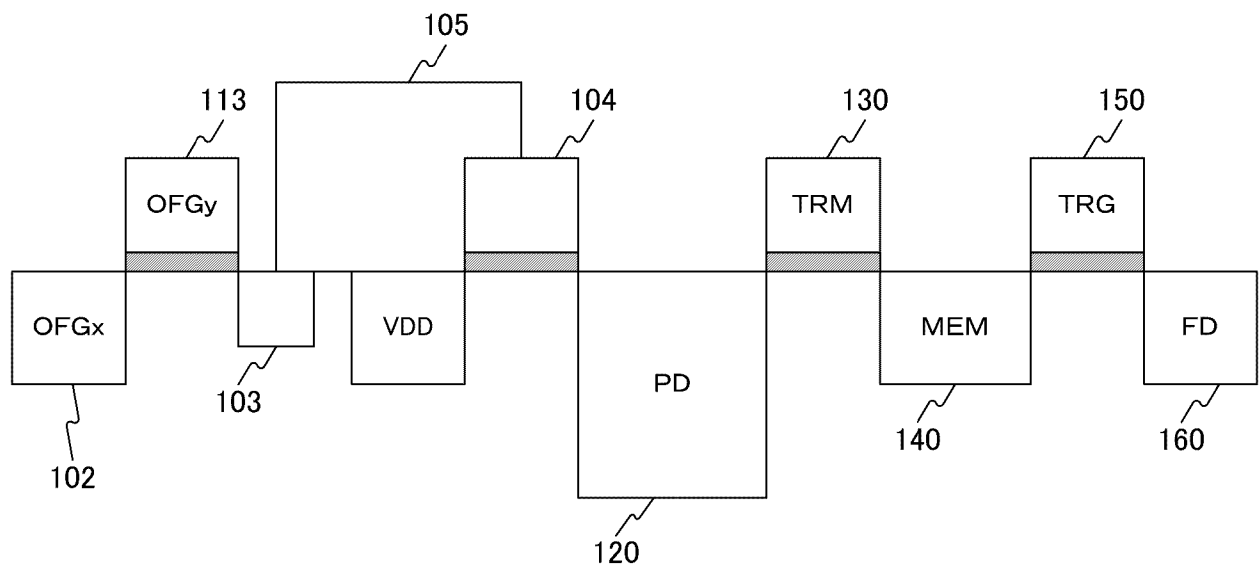


[図13]

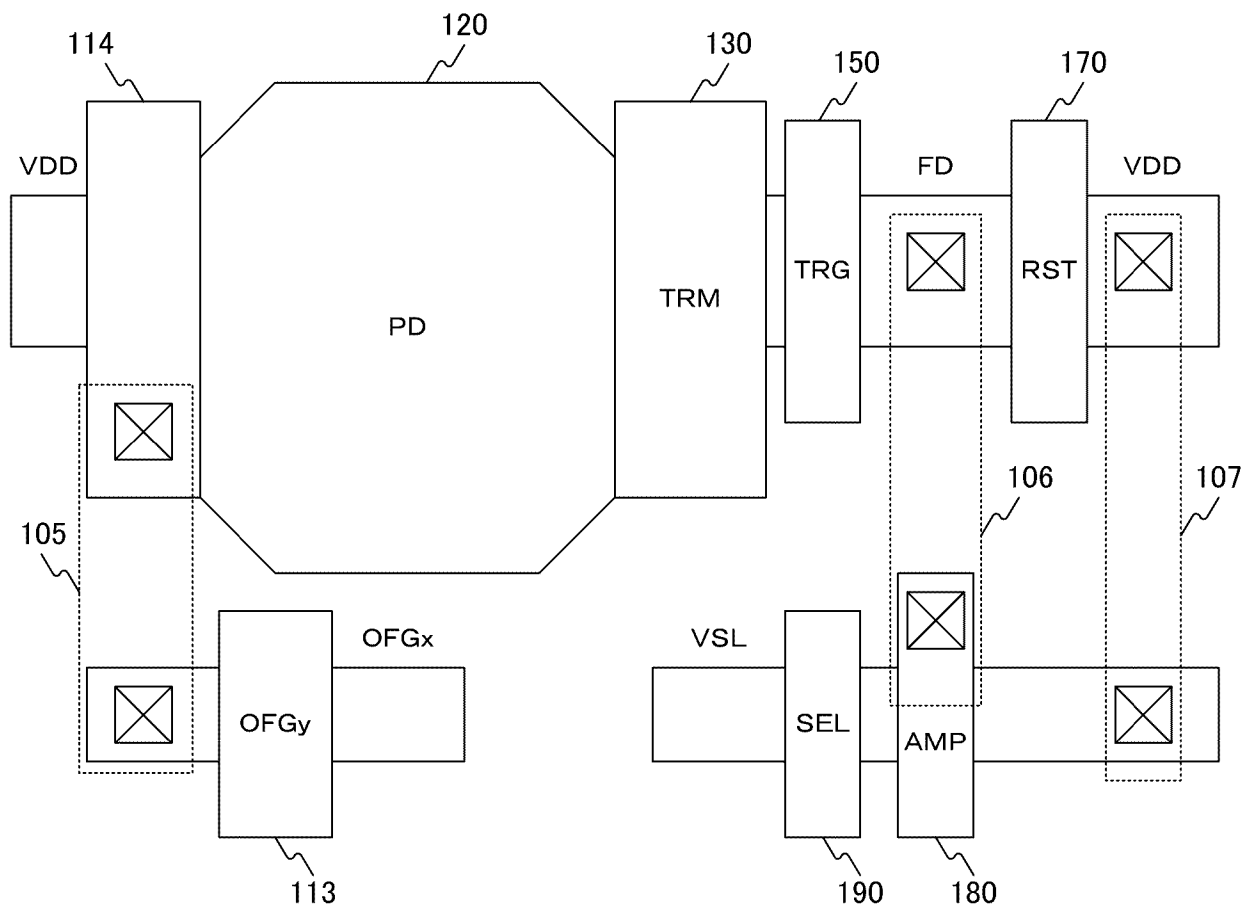




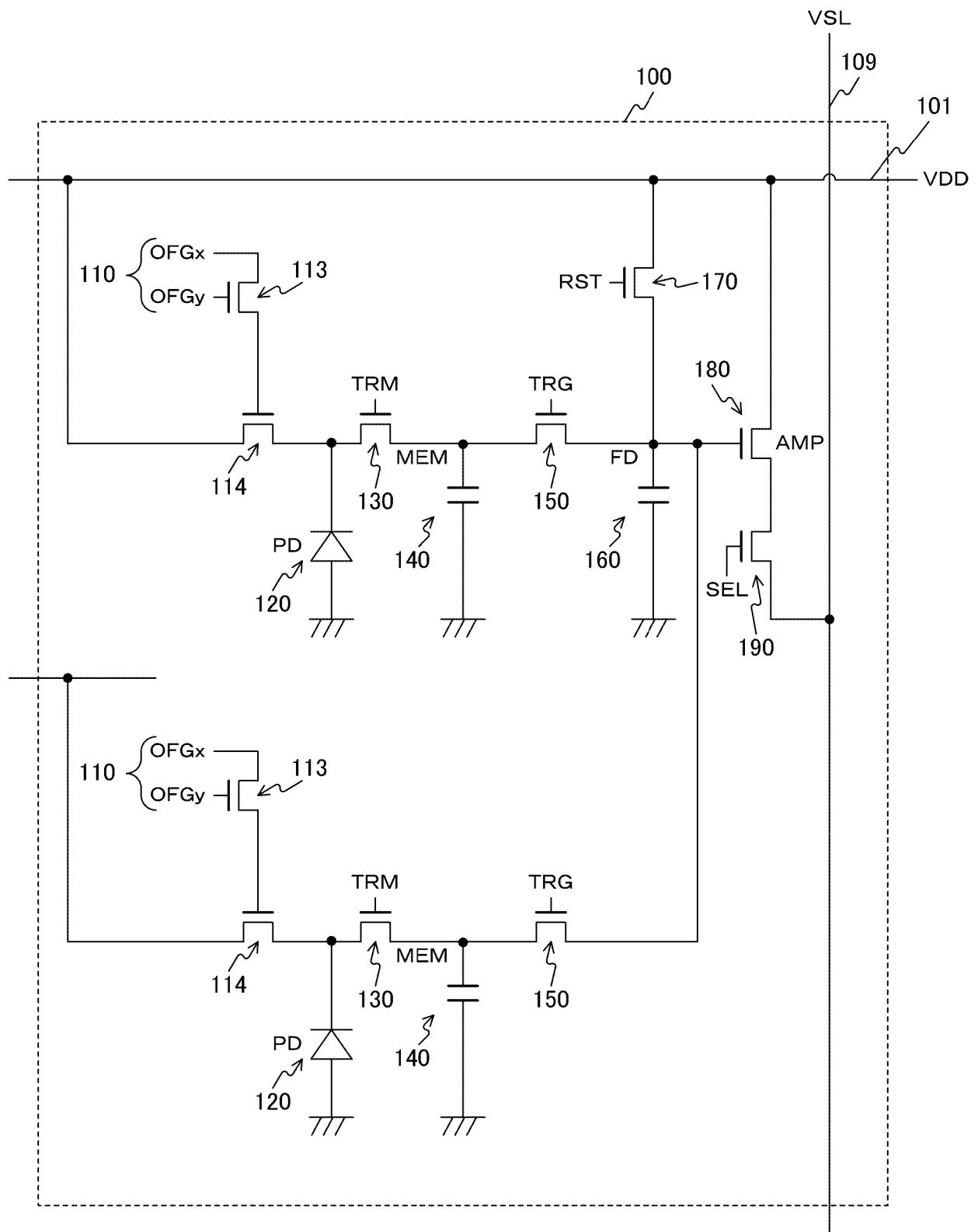
[図15]



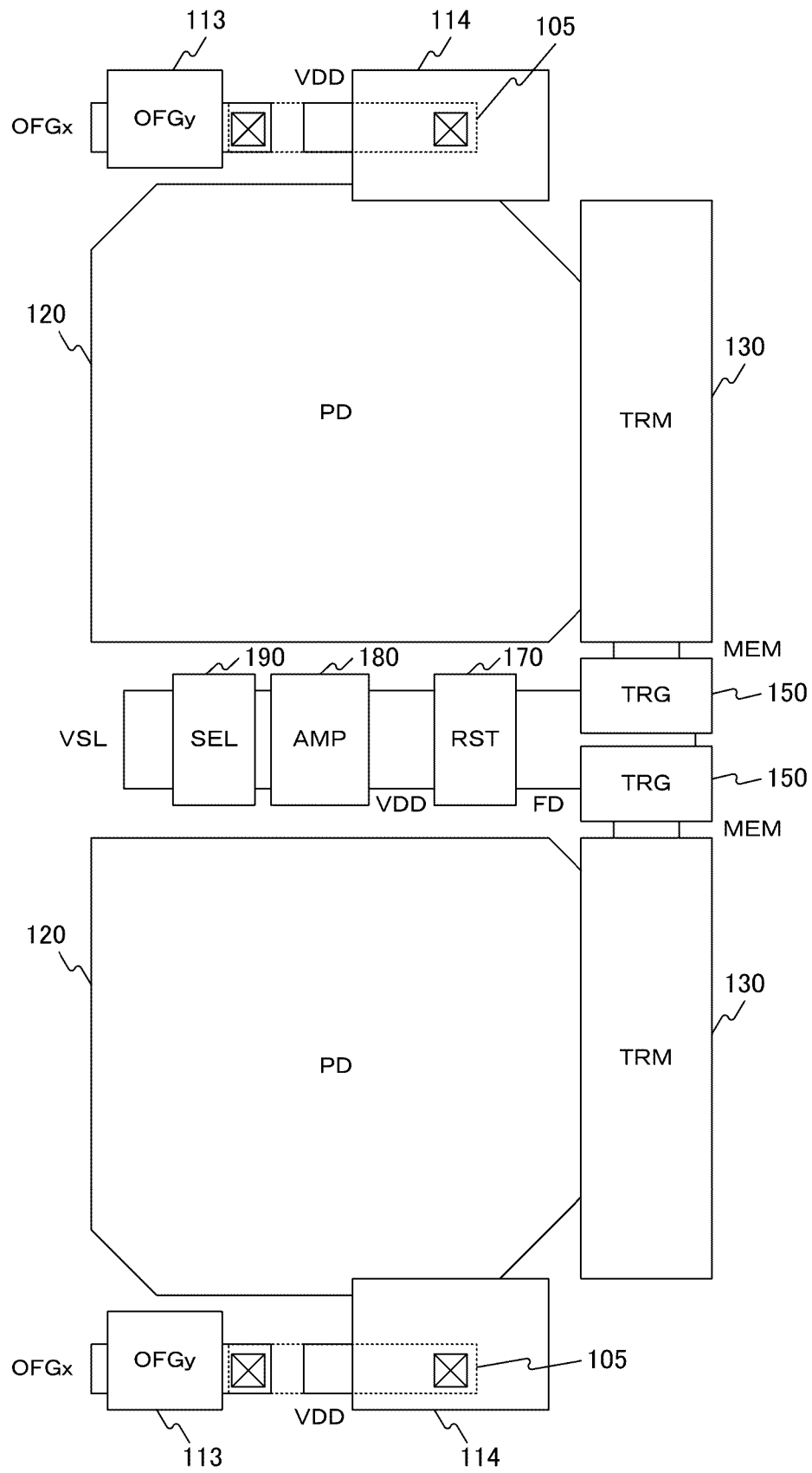
[図16]



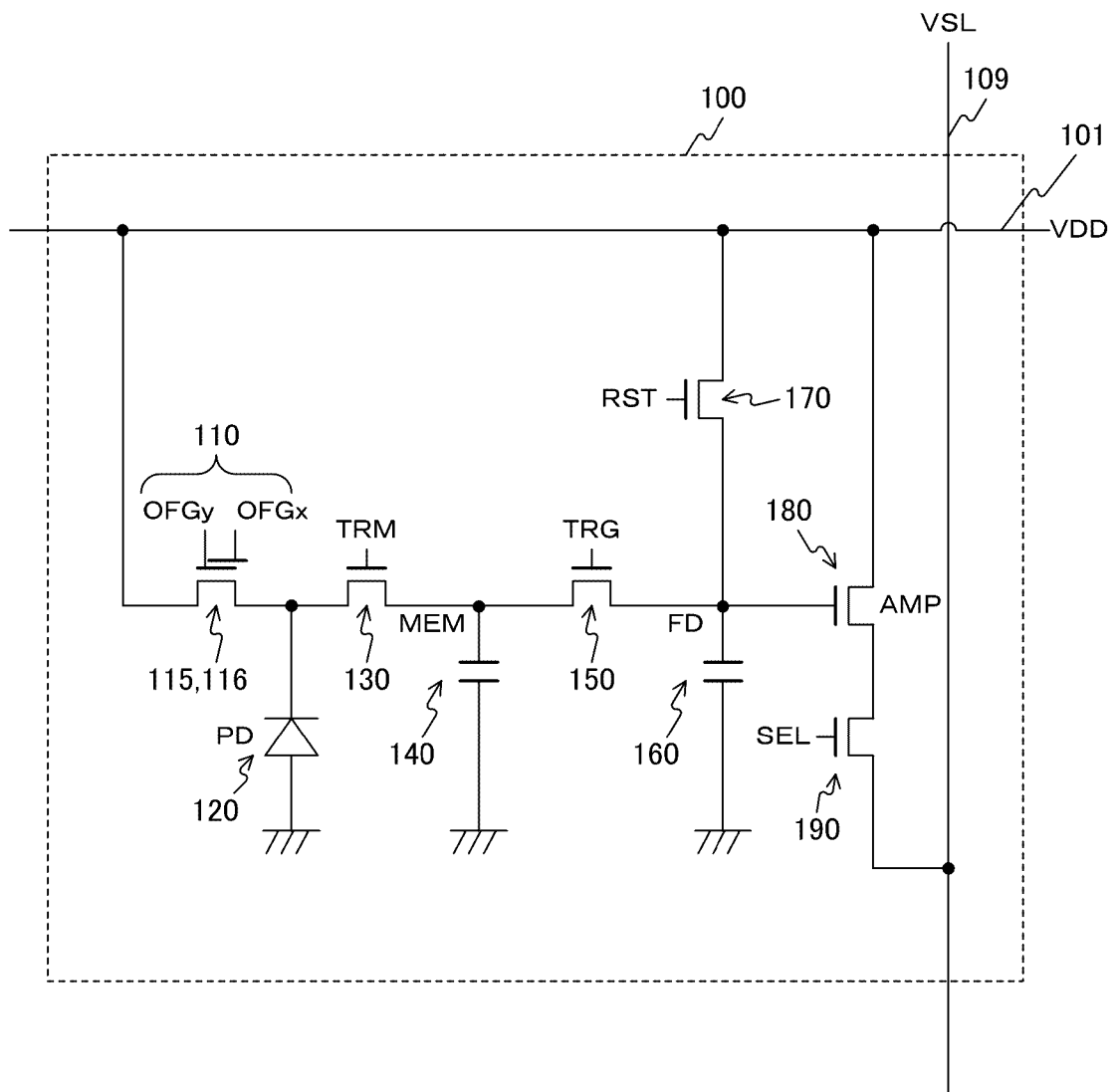
[図17]



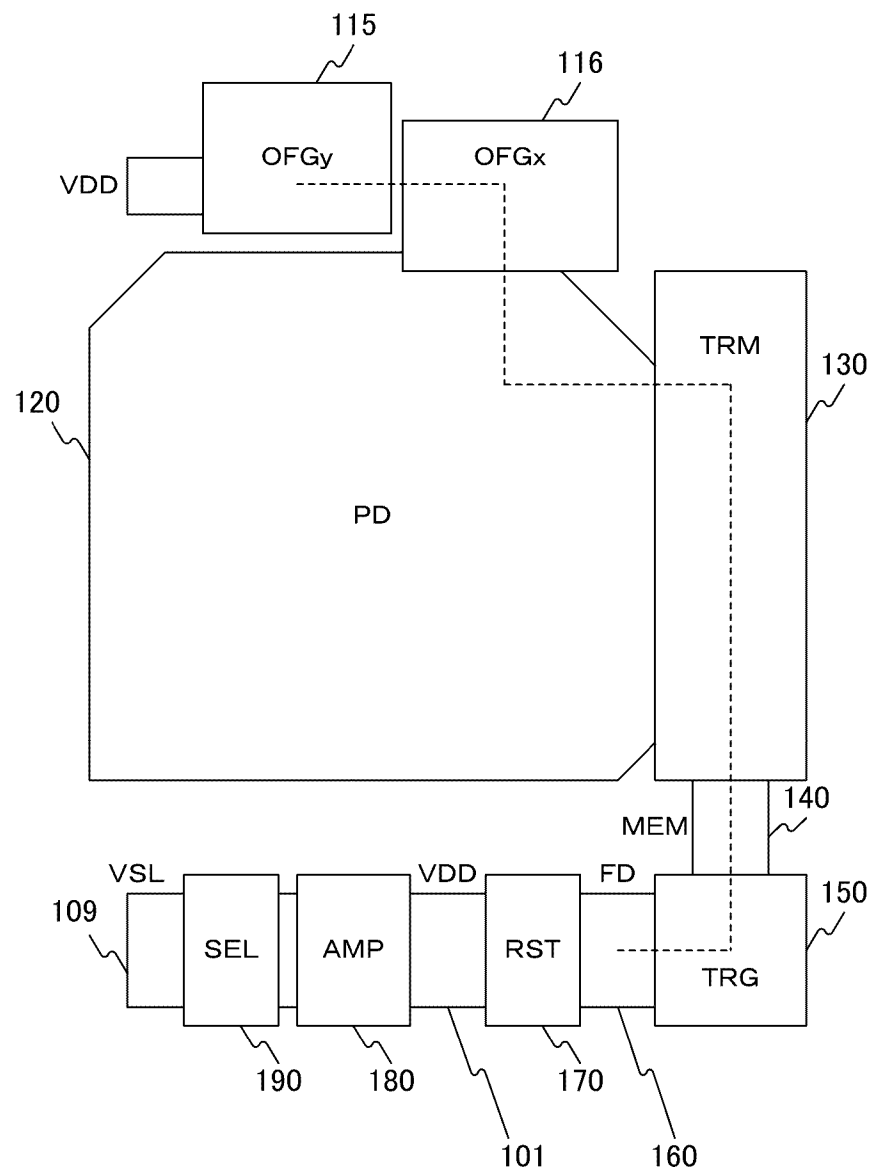
[図18]



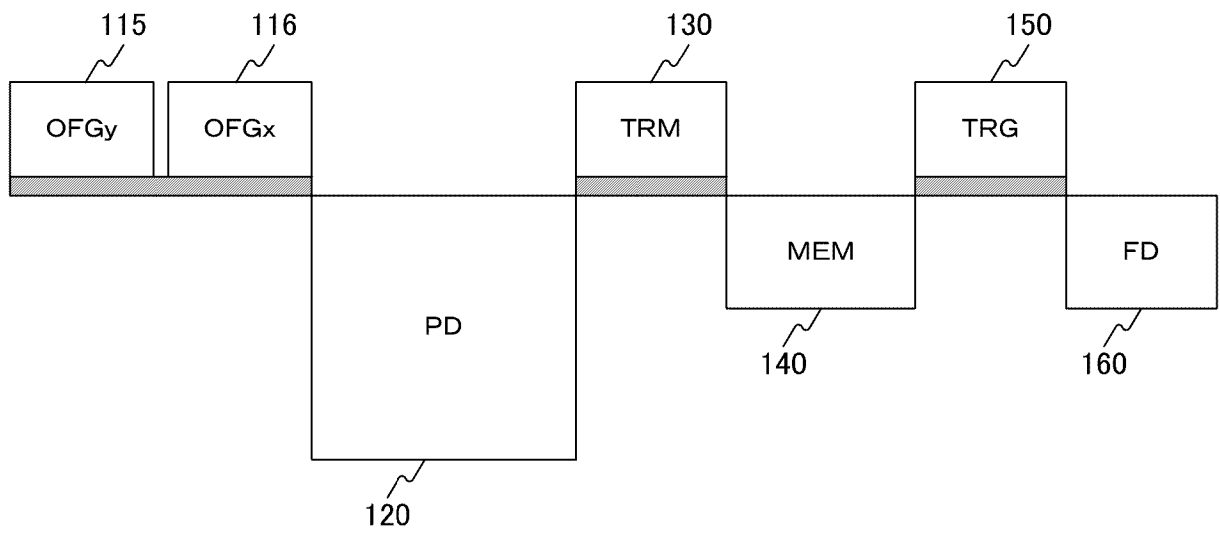
[図19]



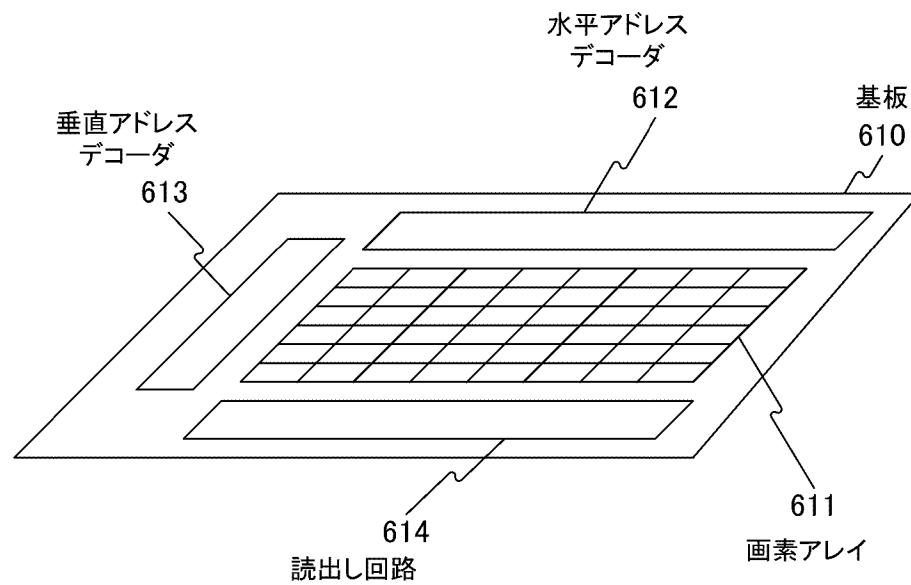
[図20]



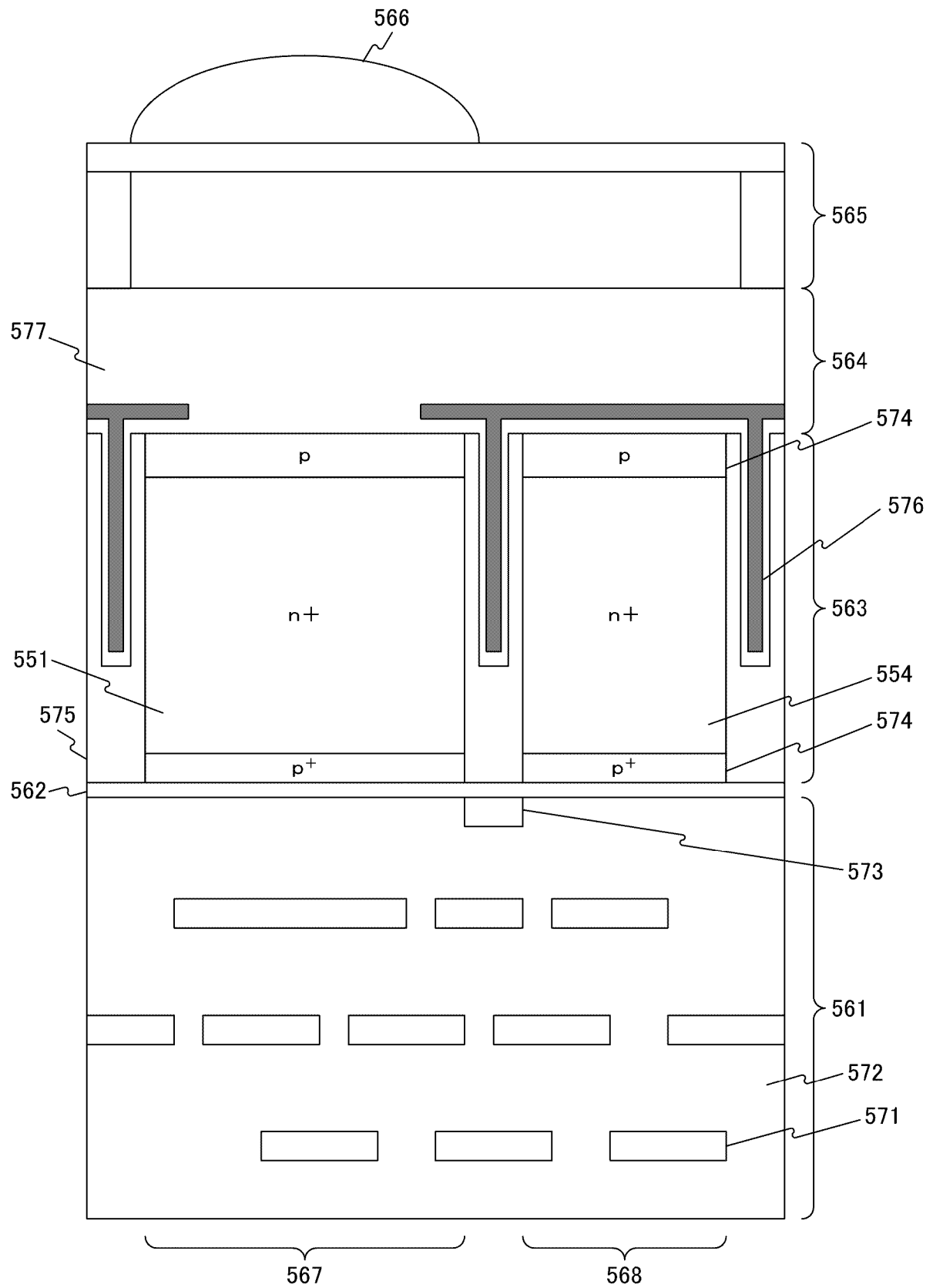
[図21]



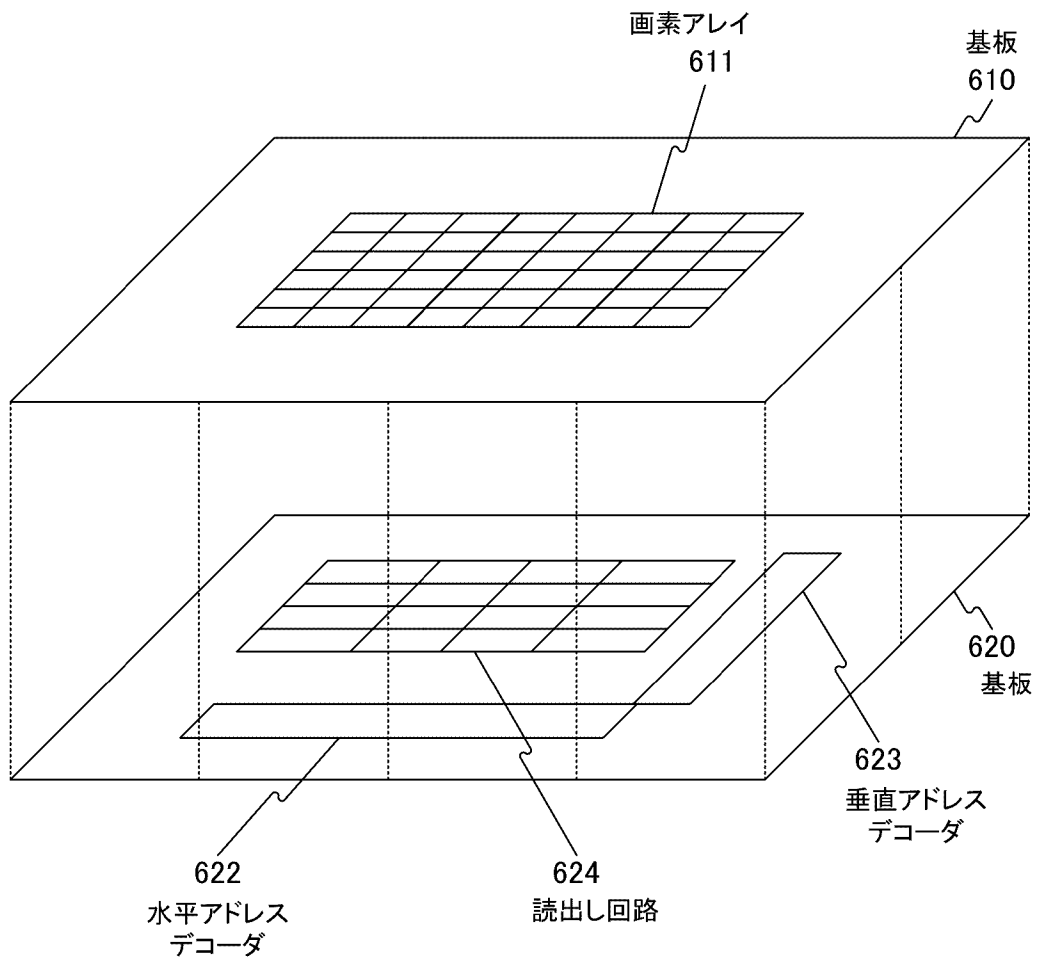
[図22]



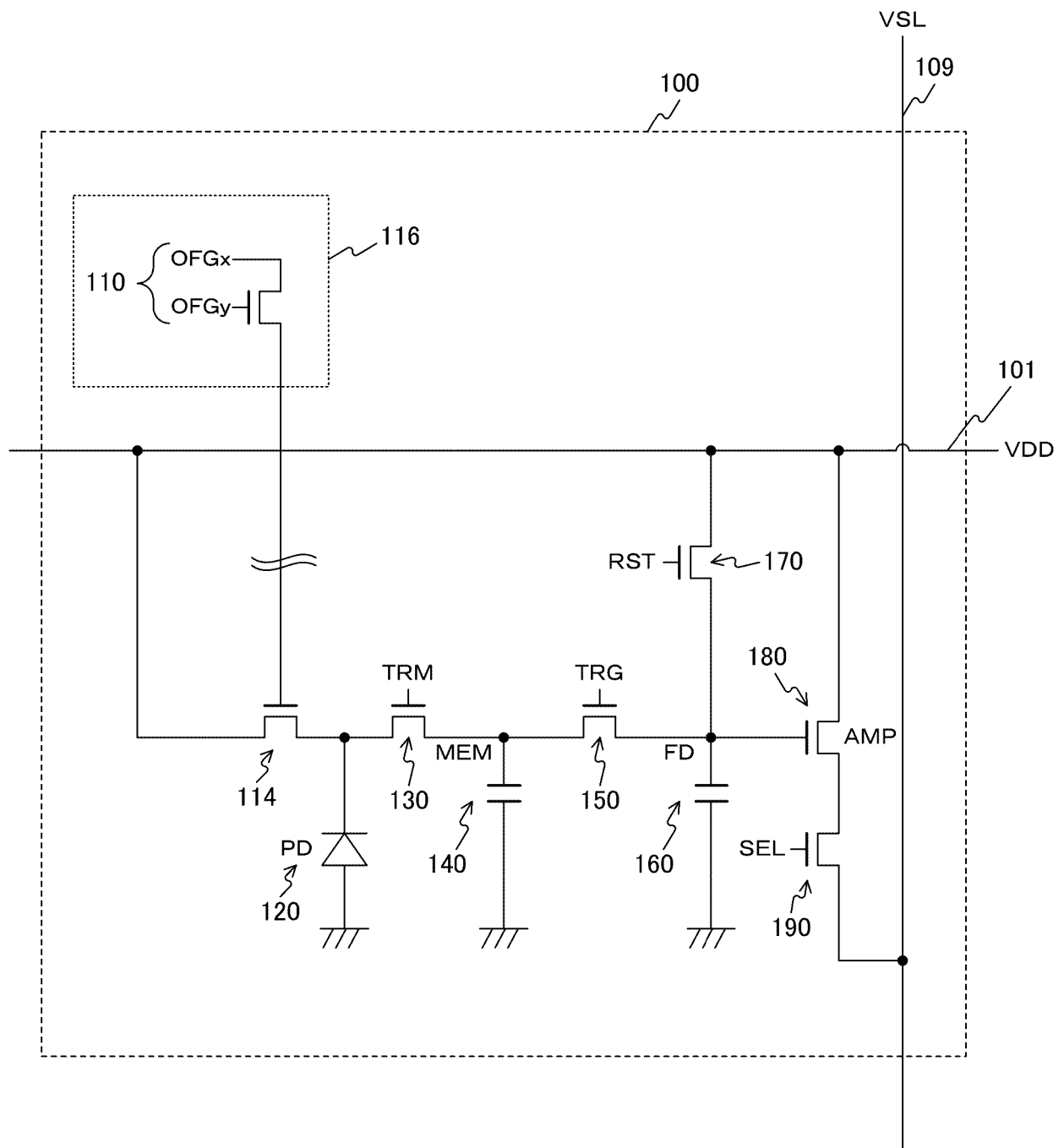
[図23]



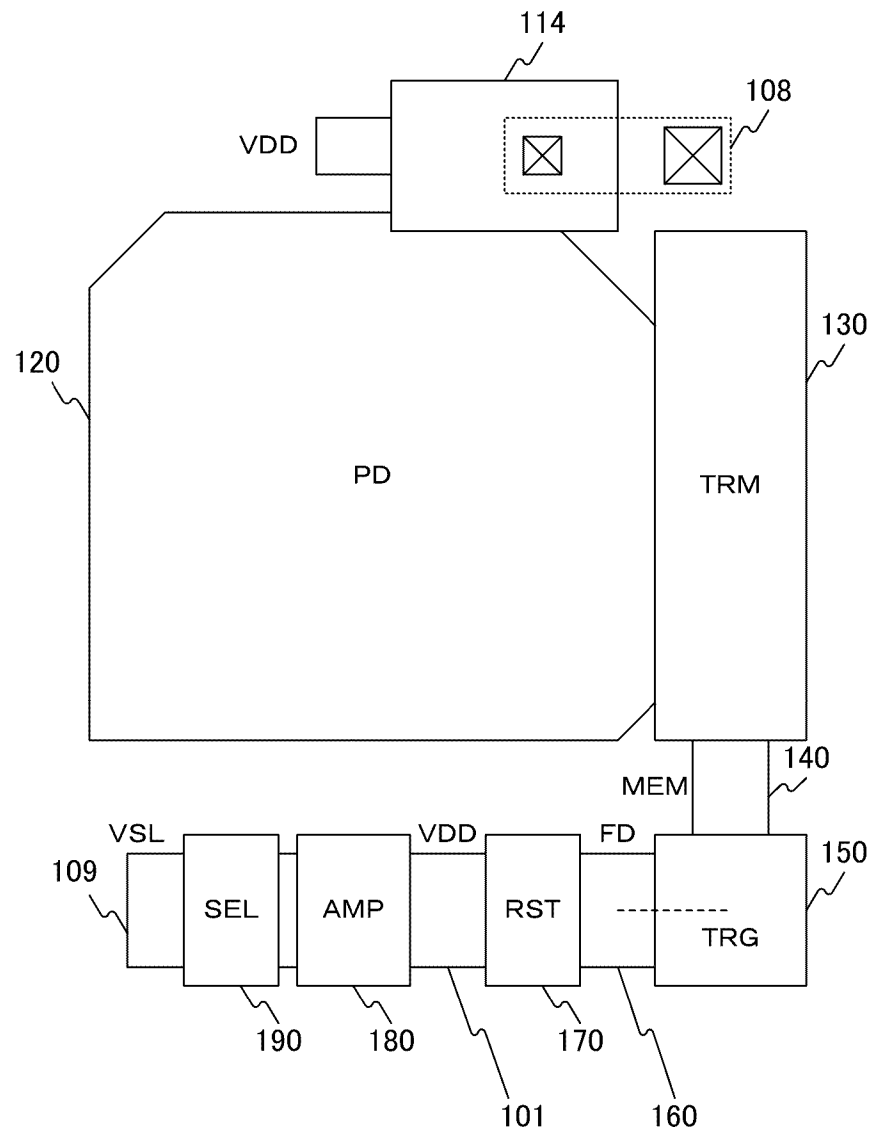
[図24]



[図25]



[図26]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2018/026639

A. CLASSIFICATION OF SUBJECT MATTER

Int. Cl. H04N5/374 (2011.01) i, H04N5/345 (2011.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int. Cl. H04N5/374, H04N5/345

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2018

Registered utility model specifications of Japan 1996-2018

Published registered utility model applications of Japan 1994-2018

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	WO 2012/111401 A1 (SONY CORP.) 23 August 2012,	1-3
Y	paragraphs [0052]-[0071], fig. 3-5 & JP 2012-	8-15
A	175234 A & US 2013/0308044 A1, paragraphs [0086]-	4-7
	[0120], fig. 3-5 & EP 2677739 A1 & AU 2012218816 A	
	& CA 2823028 A & CN 103370930 A & MX 2013009298 A	
	& KR 10-2014-0044289 A & RU 2013137453 A	
Y	JP 2015-228388 A (SONY CORP.) 17 December 2015,	8-15
	paragraphs [0038]-[0052], [0085], fig. 2, 3 & US	
	2015/0228693 A1, paragraphs [0099]-[0120], [0181],	
	fig. 2, 3 & WO 2014/050647 A1 & CN 104662661 A &	
	KR 10-2015-0058155 A & TW 201413925 A	



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

20.09.2018

Date of mailing of the international search report

02.10.2018

Name and mailing address of the ISA/

Japan Patent Office

3-4-3, Kasumigaseki, Chiyoda-ku,

Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2018/026639

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	WO 2013/118610 A1 (FUJI MACHINE MFG. CO., LTD.) 15 August 2013, paragraphs [0007], [0050], [0051], fig. 5B-5C & JP 2013-162443 A & US 2014/0347466 A1, paragraphs [0007], [0062], [0063], fig. 5B-5C & EP 2814237 A1 & CN 104106258 A	15
A	JP 2016-92470 A (SONY CORP.) 23 May 2016, paragraph [0034], fig. 3 & WO 2016/067692 A1	6
A	JP 2016-26412 A (NIKON CORP.) 12 February 2016, paragraphs [0034], [0035], fig. 4, 5 (Family: none)	7

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H04N5/374(2011.01)i, H04N5/345(2011.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H04N5/374, H04N5/345

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2018年
日本国実用新案登録公報	1996-2018年
日本国登録実用新案公報	1994-2018年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	WO 2012/111401 A1（ソニー株式会社）2012.08.23, 段落	1-3
Y	[0052]-[0071], 図 3-5 & JP 2012-175234 A & US 2013/0308044 A1,	8-15
A	段落[0086]-[0120], 図 3-5 & EP 2677739 A1 & AU 2012218816 A & CA 2823028 A & CN 103370930 A & MX 2013009298 A & KR 10-2014-0044289 A & RU 2013137453 A	4-7

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

20.09.2018

国際調査報告の発送日

02.10.2018

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

粕谷 満成

5 V

5587

電話番号 03-3581-1101 内線 3571

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2015-228388 A (ソニー株式会社) 2015. 12. 17, 段落 [0038]-[0052], [0085], 図 2-3 & US 2015/0228693 A1, 段落 [0099]-[0120], [0181], 図 2-3 & WO 2014/050647 A1 & CN 104662661 A & KR 10-2015-0058155 A & TW 201413925 A	8-15
Y	WO 2013/118610 A1 (富士機械製造株式会社) 2013. 08. 15, 段落 [0007], [0050]-[0051], 図 5B-5C & JP 2013-162443 A & US 2014/0347466 A1, 段落[0007], [0062]-[0063], 図 5B-5C & EP 2814237 A1 & CN 104106258 A	15
A	JP 2016-92470 A (ソニー株式会社) 2016. 05. 23, 段落[0034], 図 3 & WO 2016/067692 A1	6
A	JP 2016-26412 A (株式会社ニコン) 2016. 02. 12, 段落 [0034]-[0035], 図 4-5 (ファミリーなし)	7