

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第4区分

【発行日】平成23年1月27日(2011.1.27)

【公開番号】特開2009-129487(P2009-129487A)

【公開日】平成21年6月11日(2009.6.11)

【年通号数】公開・登録公報2009-023

【出願番号】特願2007-301370(P2007-301370)

【国際特許分類】

G 1 1 C	16/04	(2006.01)
H 0 1 L	29/792	(2006.01)
H 0 1 L	29/788	(2006.01)
H 0 1 L	21/8247	(2006.01)
H 0 1 L	27/11	(2006.01)
H 0 1 L	21/8244	(2006.01)
H 0 1 L	27/115	(2006.01)
G 1 1 C	16/06	(2006.01)
G 1 1 C	11/412	(2006.01)

【F I】

G 1 1 C	17/00	6 2 3 Z
H 0 1 L	29/78	3 7 1
H 0 1 L	27/10	3 8 1
H 0 1 L	27/10	4 3 4
G 1 1 C	17/00	6 2 1 Z
G 1 1 C	17/00	6 3 4 G
G 1 1 C	17/00	6 3 4 D
G 1 1 C	11/40	3 0 1

【手続補正書】

【提出日】平成22年12月1日(2010.12.1)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

電子注入によりしきい値電圧を制御可能なMOSトランジスタであるTRUE側記憶トランジスタおよびBAR側記憶トランジスタと、

前記2つの記憶トランジスタのソースが共通に接続されたソース線と、

前記TRUE側記憶トランジスタのドレインとTRUE側ビット線との間に接続されたMOSトランジスタであるTRUE側選択トランジスタと、

前記BAR側記憶トランジスタのドレインとBAR側ビット線との間に接続されたMOSトランジスタであるBAR側選択トランジスタと、

前記2つの選択トランジスタのゲートに接続されたワード線とを含み、

前記TRUE側記憶トランジスタのドレイン電圧、前記BAR側記憶トランジスタのドレインの電圧、前記TRUE側記憶トランジスタのゲート電圧および前記BAR側記憶トランジスタゲート電圧に対して正の電圧を前記ソース線に印加して前記TRUE側記憶トランジスタおよび前記BAR側記憶トランジスタに正電荷を注入することにより前記TRUE側記憶トランジスタおよび前記BAR側記憶トランジスタに記憶書き込まれた情報を消

去する

ことを特徴する不揮発性半導体記憶素子。

【請求項 2】

前記 T R U E 側記憶トランジスタのドレインおよび前記 B A R 側記憶トランジスタのドレインにそれぞれ電気的に接続されるセンスアンプ回路と、

前記センスアンプ回路に接続されるフリップフロップとを

さらに含むことを特徴する請求項 1 に記載の不揮発性半導体記憶素子。

【請求項 3】

前記 T R U E 側記憶トランジスタの前記ゲート電圧および B A R 側記憶トランジスタの前記ゲート電圧をそれぞれ V c c に設定し、

前記ワード線に印加される電圧を V c c に設定し、

前記 T R U E 側ビット線および前記 B A R 側ビット線にそれぞれ現れた電圧の電位差を前記センスアンプ回路で読みだす

ことを特徴する請求項 2 に記載の不揮発性半導体記憶素子。

【請求項 4】

前記センスアンプ回路で読みだされた前記電位差をフリップフロップに転送することを特徴する請求項 3 に記載の不揮発性半導体記憶素子。

【請求項 5】

前記電位差をフリップフロップに転送された後は前記 T R U E 側記憶トランジスタの前記ゲート電圧および B A R 側記憶トランジスタの前記ゲート電圧をそれぞれ 0 V にすることを特徴する請求項 4 に記載の不揮発性半導体記憶素子。

【請求項 6】

前記 T R U E 側記憶トランジスタの前記ゲート電圧および前記 B A R 側記憶トランジスタの前記ゲート電圧がそれぞれ独立して制御される請求項 1 乃至請求項 5 のいずれかに記載の不揮発性半導体記憶素子。

【請求項 7】

前記 T R U E 側記憶トランジスタの前記ゲート電圧および前記 B A R 側記憶トランジスタの前記ゲート電圧が共通に制御される請求項 1 乃至請求項 5 のいずれかに記載の不揮発性半導体記憶素子。

【請求項 8】

請求項 1 乃至請求項 7 のいずれかに記載の不揮発性半導体記憶素子が複数行、複数列のマトリクス状に配列されたメモリアレイを有する不揮発性半導体記憶装置。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0 0 1 5

【補正方法】変更

【補正の内容】

【0 0 1 5】

請求項 1 の発明は、ゲート近傍への電子注入によりしきい値電圧を制御可能な M O S トランジスタである T R U E 側記憶トランジスタおよび B A R 側記憶トランジスタと、前記 2 つの記憶トランジスタのソースに接続されたソース線と、前記 T R U E 側記憶トランジスタのドレインと T R U E 側ビット線との間に接続された M O S トランジスタである T R U E 側選択トランジスタと、前記 B A R 側記憶トランジスタのドレインと B A R 側ビット線との間に接続された M O S トランジスタである B A R 側選択トランジスタと、前記 2 つの選択トランジスタのゲートに接続されたワード線と、を含み、 T R U E 側記憶トランジスタのドレイン電圧、 B A R 側記憶トランジスタのドレインの電圧、 T R U E 側記憶トランジスタのゲート電圧および前記 B A R 側記憶トランジスタゲート電圧に対して正の電圧を前記ソース線に印加して T R U E 側記憶トランジスタおよび B A R 側記憶トランジスタに正電荷を注入することにより T R U E 側記憶トランジスタおよび B A R 側記憶トランジスタに記憶書き込まれた情報を消去することを備えたことを特徴とする。

【手続補正3】**【補正対象書類名】**明細書**【補正対象項目名】**0016**【補正方法】**変更**【補正の内容】****【0016】**

請求項2の発明は、請求項1に記載の発明に、さらに、TRUE側記憶トランジスタのドレインおよびBAR側記憶トランジスタのドレインにそれぞれ電気的に接続されるセンスアンプ回路と、センスアンプ回路に接続されるフリップフロップとを含むことを特徴とする。

【手続補正4】**【補正対象書類名】**明細書**【補正対象項目名】**0017**【補正方法】**変更**【補正の内容】****【0017】**

請求項3の発明は、請求項2に記載の発明において、TRUE側記憶トランジスタのゲート電圧およびBAR側記憶トランジスタのゲート電圧をそれぞれVccに設定し、ワード線に印加される電圧をVccに設定し、TRUE側ビット線およびBAR側ビット線にそれぞれ現れた電圧の電位差を前記センスアンプ回路で読みだすことを特徴とする。

【手続補正5】**【補正対象書類名】**明細書**【補正対象項目名】**0018**【補正方法】**変更**【補正の内容】****【0018】**

請求項4の発明は、請求項3に記載の発明において、センスアンプ回路で読みだされた電位差をフリップフロップに転送することを特徴とする。

【手続補正6】**【補正対象書類名】**明細書**【補正対象項目名】**0019**【補正方法】**変更**【補正の内容】****【0019】**

請求項5の発明は、請求項4に記載の発明において、電位差をフリップフロップに転送された後は前記TRUE側記憶トランジスタのゲート電圧およびBAR側記憶トランジスタのゲート電圧をそれぞれ0Vにすることを特徴とする。