

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第3740195号
(P3740195)

(45) 発行日 平成18年2月1日(2006.2.1)

(24) 登録日 平成17年11月11日(2005.11.11)

(51) Int. Cl. F I
G06F 12/10 (2006.01) G O 6 F 12/10 5 O 1 Z
G06F 12/08 (2006.01) G O 6 F 12/08 5 O 7 E
 G O 6 F 12/08 5 1 1 E

請求項の数 3 (全 30 頁)

<p>(21) 出願番号 特願平7-240871 (22) 出願日 平成7年8月25日(1995.8.25) (65) 公開番号 特開平8-320830 (43) 公開日 平成8年12月3日(1996.12.3) 審査請求日 平成13年2月1日(2001.2.1) (31) 優先権主張番号 特願平6-241993 (32) 優先日 平成6年9月9日(1994.9.9) (33) 優先権主張国 日本国(JP) (31) 優先権主張番号 特願平7-86068 (32) 優先日 平成7年3月17日(1995.3.17) (33) 優先権主張国 日本国(JP)</p> <p>前置審査</p>	<p>(73) 特許権者 503121103 株式会社ルネサステクノロジ 東京都千代田区丸の内二丁目4番1号 (74) 代理人 100089071 弁理士 玉村 静世 (72) 発明者 吉岡 真一 東京都小平市上水本町5丁目20番1号 株式会社日立製作所 半導体事業部内 (72) 発明者 川崎 郁也 東京都小平市上水本町5丁目20番1号 株式会社日立製作所 半導体事業部内 (72) 発明者 玉城 実明 東京都小平市上水本町5丁目20番1号 株式会社日立製作所 半導体事業部内</p> <p style="text-align: right;">最終頁に続く</p>
---	---

(54) 【発明の名称】 データ処理装置

(57) 【特許請求の範囲】

【請求項1】

論理アドレス空間が複数の仮想ページに分割され、仮想ページ単位に論理アドレスが物理アドレスにアドレス変換される仮想記憶機能を有し、バッファメモリと選択回路と比較回路を有し、

上記バッファメモリは、複数のバンクを有し、上記複数のバンクは、それぞれが複数のメモリフィールドを有し、上記複数のメモリフィールドはそれぞれの仮想ページ毎の仮想ページ情報、仮想ページ情報に対応した物理ページ情報、仮想ページのサイズ情報を格納可能であり、

上記物理アドレスに変換されるべき論理アドレスは、第1の論理アドレスデータおよび第2の論理アドレスデータを含み、

上記選択回路は、上記第1の論理アドレスデータに応じて、上記複数のバンクのそれぞれからメモリフィールドを選択し、

上記第1の論理アドレスデータは論理アドレスのビット配列中の第1のビット領域の情報であり、

上記比較回路は、選択されたメモリフィールドに含まれる仮想ページ情報と上記第2の論理アドレスデータとを比較し、

上記第2の論理アドレスデータは論理アドレスのビット配列中の第2のビット領域の情報であり、

上記第2のビット領域のビット数は、選択されたメモリフィールドに含まれるサイズ情

10

20

報に応じて決定され、

上記仮想ページの最大サイズは最小サイズの2のN乗倍にされ、

上記バッファメモリのバンクの数は上記2のN乗個以上であり、

上記バッファメモリは、上記仮想ページのサイズ情報に拘わらずに、設定可能な複数の仮想ページのサイズのうち最大ページサイズの上記第1の論理アドレスデータがインデックスアドレスとして上記選択回路に供給されるものであり、

最大ページサイズの上記第1の論理アドレスデータは当該最大ページサイズの仮想ページ情報における最下位から上位側への連続複数ビットであることを特徴とするデータ処理装置。

【請求項2】

上記バッファメモリは、上記仮想ページのサイズ情報に応じて、上記比較回路で比較対象とされるべき上記第2の論理アドレスデータのビット数を変化させる制御回路を備えて成るものであることを特徴とする請求項1のデータ処理装置。

【請求項3】

上記メモリフィールドに含まれる上記仮想ページ情報は、仮想ページサイズが最大サイズの場合に上記第2論理アドレスデータと比較するための第1ビットを格納するフィールドと、仮想ページサイズが最大サイズの場合に上記第2の論理アドレスデータと比較されず、仮想ページサイズが最小サイズの場合に論理アドレスデータと比較される第2ビットを格納するフィールドとを有し、

上記第2ビットの比較がヒット判定に反映されるかどうかは、上記サイズ情報により決定されることを特徴とする請求項1のデータ処理装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】

本発明は、アドレス変換機構を有するデータ処理装置に関し、特に、アドレス変換機構として、セットアソシアティブ方式のキャッシュメモリを利用したデータ処理装置に係り、更に述べるならば、そのアドレス変換手法の多様化を企図したものであり、例えばマイクロコンピュータに適用して有効な技術に関する。

【0002】

【従来の技術】

ユーザが実メモリを意識せずに、オペレーティングシステム(以下OSとも記す)がメモリ管理を行う分野では、データ処理装置がアドレス変換機構をサポートする必要がある。アドレス変換機構とは、仮想記憶を実現するために、中央処理装置(CPU)により形成された論理アドレスを物理アドレスに変換する機構である。このアドレス変換機構を高速に実行するために、論理アドレスと物理アドレスとの変換対を保持するアドレス変換バッファ(Translation lookaside buffer、以下単にTLBとも記す)を、中央処理装置とともにデータ処理装置に内蔵する技術が採用される。アドレス変換バッファは、例えば、最近使用された論理アドレスと物理アドレスとの変換対を保持する連想記憶構造のバッファメモリとして構成される。連想記憶構造のバッファメモリとしては、各メモリセルに比較のための回路構成を備えたCAM(Content Addressable Memory)から成るフルアソシアティブメモリ、汎用のランダムアクセスメモリを利用して比較的高いヒット率を実現できるセットアソシアティブ形式の連想メモリなどを利用することができる。尚、連想記憶形式のアドレス変換バッファについて記載された文献の例としては昭和61年2月10日に株式会社培風館から発行された「超高速MOSデバイス」第287頁及び第288頁がある。

【0003】

【発明が解決しようとする課題】

本発明者は、このようなアドレス変換バッファにつき、ユーザの要求仕様に応えることができ、良好な使い勝手を実現するという点について検討したところ以下のような問題点を見出した。

10

20

30

40

50

【 0 0 0 4 】

(1) 仮想記憶をサポートするアドレス変換機構においては、論理アドレス空間を論理ページと呼ばれる単位に分割して、そのページ単位に物理アドレスへのアドレス変換を行う。一方、システムに、実際に実装される実メモリ（物理メモリ）の全記憶容量が少ないような場合には、論理ページのサイズを比較的小さくして、各プロセスによるメモリの利用効率を向上させたいという要求などがある。例えば、実行されるべきタスクが、比較的小さなサイズのプログラムで構成される場合、そのタスクに割り当てられる論理ページのサイズが比較的大きいと、これに対応して、そのタスクを実行するための物理ページのサイズも比較的大きくなってしまふ。そのため、必要以上の記憶空間が、タスクに割り当てられることになり、メモリの利用効率が低下する。特に、実メモリの記憶容量が比較的小さい場合には、論理ページのサイズを小さくして、実メモリの利用効率が低下するのを防ぐことが望まれる。このような要求に、適宜対応できるようにするには、論理ページのサイズを可変にすることが望ましい。ところが、論理ページのサイズを可変にすると、一定の論理空間において論理ページを規定するための情報のビット数が変化される。その結果、アドレス変換バッファから情報を連想的に検索するための比較対象情報のビット数やビット位置が、論理ページサイズによって変化されなければならない。これに対処するために、アドレス変換バッファにCAMから成るフルアソシアティブ形式を採用することが考えられる。このようにすれば、各メモリセルが比較回路を備えていることから特別な考慮を要することなく、比較的簡単に、論理ページの可変化を実現できる。しかしながら、各メモリセルが比較回路を備えているためセットアソシアティブ形式のアドレス変換バッファに比べてチップ専有面積と消費電力が共に倍増するという欠点がある。

10

20

【 0 0 0 5 】

(2) セットアソシアティブ形式のアドレス変換バッファにおいては、複数セット存在するバンクの数、即ちウェイ数を増やせば一つのインデックスアドレスに対して保持できるエントリ数を増やして、ヒット率を向上させることができる。例えば4ウェイ・セットアソシアティブ形式の場合には、一つのインデックスアドレスに対して最大4個のエントリを保持できる。しかしながら、複数のプロセスの夫々が論理空間の全域にわたるアドレス変換情報を有し、プロセス番号によって論理アドレスを修飾或いは拡張する多重仮想記憶を行う場合、比較的多くのプロセスが並列的に起動されると、夫々のプロセスが同一論理ページを利用する頻度が多くなる。各々のプロセスは、プロセス番号が互いに異なるため、一つのインデックスアドレスによって指示される場所の互いに異なるエントリに保持されることになる。そのため、プロセスの数が、ウェイの数を越えると、セットアソシアティブ形式であっても、ヒット率は相対的に低下することになる。したがって、多重仮想記憶において多くのプロセスが並列的に起動される利用形態においては、ヒット率の低下を抑えることができるように、その利用形態に応じてインデックス方法を選択可能にする必要性が見出された。

30

【 0 0 0 6 】

(3) 目的とする変換対がアドレス変換バッファに格納されていない場合には、当該キャッシュミスに係る変換対（所望の変換対）が新たなエントリとしてアドレス変換バッファに追加される。このとき、インデックスされたエントリにおける変換対の全てが有効な変換対である場合には、変換対の置き換えが行われる。この置き換えのアルゴリズム（リプレースメントアルゴリズム）には、ランダム、最初にロードされたものからリプレースするFIFO、又は最後に参照されたものからリプレースするLRU（Least Recentry Use d）などがある。しかしながら、リプレースメントアルゴリズムを固定化した場合には、データ処理の都合上、常に特定の変換対をアドレス変換バッファにエントリとして格納しておきたいという要求や、特定のアドレス変換対をリプレース対象にしたいという要求には一切答えることができない。

40

【 0 0 0 7 】

(4) 仮想記憶の形式には上記多重仮想記憶の他に、複数のプロセスに論理アドレス空間の一部が排他的に割り当てられる単一仮想記憶がある。使い勝手を向上させるという点に

50

おいては、これらの双方をサポートできるようにすることが望ましい。

【0008】

本発明の目的は、ユーザの要求仕様に応えることができ使い勝手の良好なアドレス変換機構を備えたデータ処理装置を実現することにある。

【0009】

本発明の目的を、更に詳述すれば、次の通りである。チップ専有面積と電力消費量を増大させることなく複数のページサイズをサポートできるアドレス変換機構を備えたデータ処理装置を提供すること。

【0010】

複数のインデックス方法をサポートし、それらからインデックス方法を選択できるアドレス変換機構を備えたデータ処理装置を提供すること。

10

【0011】

アドレス変換対のリプレース対象に自由度を持たせることができるアドレス変換機構を備えたデータ処理装置を提供すること。

【0012】

また、サポートできる仮想記憶形式についても自由度を持たせることができるアドレス変換機構を備えたデータ処理装置を提供すること。

【0013】

本発明の前記並びにその他の目的と新規な特徴は本明細書の記述及び添付図面から明らかになるであろう。

20

【0014】

【課題を解決するための手段】

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば下記の通りである。

【0015】

《複数ページサイズをサポート》 仮想記憶をサポートするデータ処理装置は、論理アドレス空間を論理ページと呼ばれる単位に分割して、そのページ単位で、論理アドレスを物理アドレスへ変換（アドレス変換）する。このデータ処理装置では、図1に例示されるように、その論理ページのサイズが、ページ毎に可変とされる。それぞれサイズが可変な複数の論理ページに対して、アドレス変換バッファのようなバッファメモリ1は、共通に利用される。このバッファメモリ1としては、論理ページ番号V P Nとそれに対応する物理ページ番号P P Nとを含むところの対応情報を、記憶するための記憶領域を夫々供え、共通のインデックスアドレス2によってアクセスされる複数バンク11～14を持つセットアソシアティブ方式のキャッシュメモリが使われる。

30

【0016】

サポートする論理ページの最大サイズは最小サイズの2のべき乗数倍（2のN乗倍）にされ、セットアソシアティブ方式のバッファメモリのバンクの数がその2のべき乗数（2のN乗数）以上とされる。更に詳しくは、図1に例示されるように、全体で4GB（ギガバイト）とされる論理アドレス空間（ビット0～ビット31の論理アドレスで指定される）において、論理ページのサイズは、4KB（キロバイト）と1KBの2種類とされる。この場合、バッファメモリ1のバンクの数は4個とされ、バッファメモリ1は4ウェイ・セットアソシアティブ形式のキャッシュメモリとして構成される。論理ページサイズが4KBのとき、論理アドレスのオフセットは、論理アドレスのビット0～ビット11とされ、論理ページ番号v p nは、論理アドレスのビット12～ビット31とされる。論理ページサイズが1KBのとき、論理アドレスのオフセットは、論理アドレスのビット0～ビット9とされ、論理ページ番号v p nは、論理アドレスのビット10～ビット31とされる。尚、本明細書において小文字で示されるv p n, p p n, a s i dは、アクセスに利用される論理ページ番号、物理ページ番号、プロセス番号とされ、大文字で示されるバッファメモリ（アドレス変換バッファ）のエントリもしくはページテーブルエントリとしての論理ページ番号V P N、物理ページ番号P P N、プロセス番号A S I Dとは区別される。

40

50

【 0 0 1 7 】

上記アドレス変換バッファにおいて、バッファメモリ1に対するインデックスアドレスの指定方法は、論理ページのサイズが4KBと1KBの双方において共通化され、最大ページサイズの論理ページアドレスにおける最下位から所定の複数ビットがインデックスアドレスとして与えられる。上記図1の例に従えば、全部で32ビットの論理アドレスにおけるビット12～ビット16の5ビットを用いてバッファメモリ1がインデックスされる。インデックスアドレスは5ビットであるから、1バンク当たり最大32個のエントリを保有できる。図1の例のように、4個のバンクを持つ場合には、一つのインデックスアドレスにつき、最大4個のエントリを保有できる。上記インデックスアドレスは、ページサイズが4KBの場合には、当該論理ページ番号 vpn の最下位から5ビット(ビット12～16)とされるので、ページサイズ4KBのときは、任意の論理ページ番号のエントリを、各バンクに最大32個(全体で128エントリ)保有することができる。一方、ページサイズが1KBの場合には、当該論理ページ番号 vpn の最下位から2ビット(ビット10, 11)がインデックスに利用されないことになる。すなわち、論理ページサイズが1KBであって、一つのバンクに対するインデックスだけを考えると、インデックスされたエントリは、インデックスに利用されない2ビット(ビット10, 11)によって更にその中から1個が選ばれるべき4個の論理ページ番号の内の何れか一つとされる。したがって、バンクの数が1個しか存在しない場合には、連続する4個の論理ページの内の1個しかエントリとして保有することができない。この点においては、論理ページの最大サイズ(4KB)が、最小サイズ(1KB)の2の2乗倍とされ、バンク数も2の2乗個(4個)設けることにより、バッファメモリ(アドレス変換バッファ)全体としては4KBページサイズとほぼ同様に、任意の論理ページ番号のエントリを、全体で128個保有することができる。但し、一つのバンクに保有できるエントリの論理ページ番号は4KB毎という制約を受ける。この制限は、アドレス変換バッファの保有するエントリの論理ページ番号が連続的であれば、ヒット(TLBヒット)率には何等影響を与えない。分散的である場合にはある程度ヒット率に影響を受ける。この場合でも、1KBの論理ページを2KB毎にアドレスマッピングすればその影響を小さくでき、4KB毎にアドレスマッピングすれば全く影響を受けないようにすることができる。

10

20

【 0 0 1 8 】

TLBヒット/ミスを判定するために、各バンク11～14に設けられた比較手段15においてヒット判定に反映されるべきアドレス比較のビット数は、論理ページサイズに応じて変化されなければならない。図1の例に従えば、論理ページサイズが1KBの場合には、論理ページサイズが4KBの場合に比べて、論理アドレスのビット10及びビット11も比較対象としなければならない。バッファメモリ1は、そのような比較対象のビット数を全てカバーできるように、論理ページ番号と物理ページ番号との対応情報(変換対)を記憶する領域のビット数が設定されている。バッファメモリ1においては、各変換対にそれがサポートする論理ページサイズを示すフィールドが設けられており、そのフィールドの値(サイズビット)SZに応じてヒット判定のためのアドレス比較のビット数が変化される。比較ビット数が変化される対象は、論理アドレスの論理ページ番号と、バッファメモリ内の変換対に含まれる論理ページ番号の双方とされる。hit1～hit4は各バンク11～14におけるヒット判定結果を通知するためのヒット信号であり、それらに基づいてTLBヒット/ミスが判定される。

30

40

【 0 0 1 9 】

《複数のインデックス方法をサポート》 仮想記憶をサポートするデータ処理装置は、論理ページ番号と物理ページ番号との対応情報を記憶するための記憶領域を夫々有し、夫々が共通のインデックスアドレスによってアクセスされる複数バンクを持つセットアソシアティブ方式のキャッシュメモリによって構成されたバッファメモリを供える。そして、そのバッファメモリに対するインデックスアドレスの生成手法を可変とする手段を有する。例えば、複数のプロセスが存在し、夫々のプロセスが夫々のアドレス変換情報を有し、プロセス番号によってそれぞれのプロセスが区別される多重仮想記憶をサポートする場合、

50

バッファメモリからエントリをインデックスするためのアドレス指定方法として、図2に例示されるように論理アドレスの一部(ビット12~16)のみをデコードする手法と、図3に示されるようにその論理アドレスの一部(ビット12~16)を現在のプロセス番号(a s i d)の一部によって修飾(XOR=排他的論理和)した結果をデコードする手法とを、レジスタMMUCR・IXの論理値にしたがって指示するようにできる。尚、図3, 図2において、バッファメモリ1内の変換対に含まれる論理ページ番号VPNの情報はインデックスに利用されるvpn(16-12)に対応されるものが除かれて、VPN(31-17), VPN(11-10)として図示されている。ここで、vpn(16-12)の表記は論理アドレスのビット12~ビット16を含む論理ページ番号の情報であることを意味する。VPN(31-17)の表記は論理アドレスのビット17~ビット31に対応されるバッファメモリのエントリとしての論理ページ番号の情報であることを意味する。

10

【0020】

《リプレースの自由度》 仮想記憶をサポートするデータ処理装置は、図4に例示されるように、論理ページ番号VPNと物理ページ番号PPNとの対応情報を記憶するための記憶領域を夫々供え、夫々のインデックスアドレスが共通化された複数バンク11~14を持つ4ウェイ・セットアソシアティブ方式のキャッシュメモリから成るバッファメモリ1を有し、キャッシュミスなどの発生によって、これらの複数バンクの中から記憶情報を置換すべき場合に、当該置換されるべきセットは、中央処理装置によるソフトウェアの実行によって任意に指定可能にされる。例えばMMUCR・RCは、上記バンクを任意に指定するための2ビットの情報が設定されるレジスタである。これに設定された値がデコーダ17によって解読されることにより4個のバンク11~14の中から一つを選ぶ信号(BSK1~BSL4)が形成される。これにより、4個のバンク11~14の内、上記選択信号によって指定された1個のバンクであって、インデックスアドレス2で指定された1つのエントリが置換対象とされる。このレジスタMMUCR内のビットMMUCR・RCに対する値の設定がハードウェア手段によって行われるとき、当該ハードウェア手段によるバンクの指定は上記中央処理装置(CPU)によるソフトウェアの実行によって任意に変更可能にされる。

20

【0021】

上記ハードウェア手段は、図4に例示されるように、MMUCR・RCをランダムカウンタのような計数手段として備え、その計数手段のビット数の2のべき乗数が、上記バッファメモリ1のバンクの数(=4)と一致される。上記ハードウェア手段に含まれる制御回路CTRLは、バッファメモリ1に対する記憶情報の置換が必要になった場合、上記計数手段を1インクリメントし、何れのバンクの、インデックスされた記憶領域にも有効なデータが保持されている(インデックスされた各バンクの各エントリが、有効を示す"1"のバリッドビットVを有する)場合には、そのインクリメントされた結果を置換すべきバンク番号とする。これに対して、何れかのバンク内で、インデックスされた記憶領域に、有効なデータが保持されていない(インデックスされた何れかのエントリが、無効を示す"0"のバリッドビットVを有する)場合には、有効なデータを保持していないエントリを含むバンクの番号を計数手段にセットし、且つセットされた番号のバンクを置換すべきバンクとする。このような一定の規則に従って、置換すべきバンクの指定が行われる。このとき、上記計数手段の各ビットは、中央処理装置により実行されるソフトウェアによって、任意の値へ変更することが可能な対象とされている。

30

40

【0022】

《単一仮想記憶と多重仮想記憶のサポート》 仮想記憶をサポートするデータ処理装置は、論理アドレス空間を論理ページと呼ばれる単位に分割して、そのページ単位で、論理アドレスを物理アドレスへアドレス変換を行うためのアドレス変換機構を備える。このアドレス変換機構は、複数のプロセスの夫々が論理空間の全域にわたるアドレス変換情報を有するとき、プロセス番号(a s i d)によって論理アドレスを修飾或いは拡張する多重仮想記憶と、複数のプロセスに論理アドレス空間の一部が排他的に割り当てられ、夫々のプ

50

プロセスがそれに割り当てられた論理アドレス空間のアドレス変換情報を有するとき、プロセス番号 (a s i d) によって論理アドレスを修飾或いは拡張しない単一仮想記憶とを有し、該多重仮想記憶と該単一仮想記憶とを選択することが可能にされている。したがって図5に例示されるようにバッファメモリ内の各エントリには、論理ページ番号 V P N と物理ページ番号 P P N の変換対に加え、プロセス番号 A S I D のフィールドが設けられている。このフィールドの内容は、単一仮想記憶か多重仮想記憶かで、その処理内容が相違されることになる。ある T L B エントリに含まれるプロセス番号に対応される論理ページが、他のプロセスと共有不可能とされているとき、多重仮想記憶においては、プロセス番号 A S I D のフィールドの内容はバッファメモリに対する検索のヒット/ミス (T L B ヒット / T L B ミス) の判定に用いられる。即ち、この場合には、バッファメモリに格納されているエントリの論理ページ番号 V P N の情報が、論理ページアドレス v p n の情報に一致すると共に、当該エントリのプロセス番号 A S I D が現在のプロセスの番号 a s i d に一致していなければ T L B ヒットとはされない。単一仮想記憶においては、プロセス番号 A S I D のフィールドの内容はメモリ保護情報として使用される。即ち、この場合には、プロセス番号の相違によって T L B ミスが発生したとき、ソフトウェアによって T L B ミスの原因がプロセス番号の相違によるものか、論理ページアドレスの相違によるものかが判別され、プロセス番号の相違による場合には、プロテクションエラーとして処理される。上記単一仮想記憶か多重仮想記憶かは、図6に例示されるレジスタ M M U C R のビット M M U C R . S V の値によって指示される。このビット M M U C R . S V の値は、中央処理装置によって実行されるソフトウェアによって、任意に設定することができる。

10

20

【 0 0 2 3 】

【作用】

複数ページサイズを選択的にサポートするデータ処理装置は、システムに実装される実メモリの全記憶容量が少ないような場合に、論理ページのサイズを比較的小さくして、各プロセスによるメモリの利用効率を向上させたいという要求にも容易に対応できる。このとき、最大論理ページサイズを最小サイズの2のべき乗数倍にし、セットアソシアティブ方式のバッファメモリのバンクの数をその2のべき乗数以上にすることは、インデックスアドレスの指定手法を最大論理ページサイズのものに統一しても、選ばれる論理ページのサイズに拘わらず、原理的には、どの論理ページ番号のエントリについても、同じ数だけエントリをバッファメモリに保有することが可能となる。論理ページのサイズを示すための情報をを用いてヒット判定に反映されるべきアドレス比較のビット数を変化させることは、バッファメモリを連想的に検索するための比較対象情報のビット数やビット位置を論理ページのサイズによって変化させることを容易に実現する。複数ページサイズをサポートするバッファメモリをセットアソシアティブ形式のキャッシュメモリで実現することは、これを C A M で構成する場合に比べてチップ専有面積と消費電力を共に半減させる。

30

【 0 0 2 4 】

複数のインデックス方法をサポートする手段によれば、多重仮想記憶において多くのプロセスが並列的に起動される利用形態においてヒット率の低下を抑えることができるように、その利用形態に応じてインデックス方法を選択可能にすることができる。論理アドレスの一部を当該論理アドレスを利用するプロセス番号 (a s i d) によって修飾し、これを以てバッファメモリをインデックスすることにより、多重仮想記憶において多くのプロセスが並列的に起動される利用形態においてのヒット率の低下を抑えることが可能となる。

40

【 0 0 2 5 】

リプレースの自由度を向上させる手段によれば、バッファメモリの変換対を置き換えるためのリプレースメントアルゴリズムを固定化せず、置き換えるべきバンクをソフトウェアで任意に決定することが可能となる。これにより、データ処理の都合上、常に特定の変換対をアドレス変換バッファにエントリとして格納しておきたいという要求や、特定のアドレス変換対をリプレース対象にしたいという要求に容易に答えることができる。ソフトウェアによってリプレースの対象を指示するレジスタを持つことは、ソフトウェアのアルゴリズム次第で、ランダム、F I F O、又は L R U などにしたがってリプレースを行う

50

自由度も保証できる。

【0026】

単一仮想記憶と多重仮想記憶をサポートする手段によれば、アドレス変換機構の使い勝手を向上させることができる。特に、ソフトウェアを介して、何れを使うかを選択することができるようにして、一層使い勝手を向上させることができる。多重仮想記憶におけるプロセス番号（ASID）を単一仮想記憶におけるメモリ保護情報として使用することにより、単一仮想記憶を選択した場合におけるメモリ保護の完全化を容易に実現することができる。

【0027】

【実施例】

《マイクロコンピュータ》 図7には本発明に係るデータ処理装置の一実施例であるマイクロコンピュータの要部が示される。本実施例のマイクロコンピュータは、特に制限されないが、公知の半導体集積回路製造技術によって単結晶シリコンのような1個の半導体基板に形成されている。同図には、論理アドレスバスVABUS、物理アドレスバスPABUS、データバスDBUS、中央処理装置（CPU）3、キャッシュメモリ（CACHE）4、バッファメモリとしてのアドレス変換バッファ（TLB）1、及びTLBコントローラ（TLBC）5が代表的な回路ブロックとして図示されている。CPU3は図示しないプログラムメモリから命令をフェッチし、その命令記述に応じたデータ処理を行い、外部アクセスを要する場合には論理アドレスバスVABUSに論理アドレスを出力し、データバスDBUSを介してデータの入出力を行う。キャッシュメモリ4は、特に制限されないが、4ウェイ・セットアソシアティブ形式とされ、バンクに対するインデックスは論理アドレスバスVABUSから供給される論理アドレスの一部を用いて行われ、エントリのタグ部には物理アドレスが保有され、インデックスされたタグ部はその論理アドレスがアドレス変換バッファ1で変換されて物理アドレスバスPABUSに出力される物理アドレスと比較され、その比較結果に応じてキャッシュミス/ヒットを判定する。

【0028】

本実施例のマイクロコンピュータは、論理アドレス空間を論理ページと呼ばれる単位に分割し、そのページ単位で、論理アドレスを物理アドレスへアドレス変換を行うための仮想記憶をサポートしている。上記アドレス変換バッファ1は、論理ページ番号VPNとこれに対応した物理ページ番号PPNとに関する変換対などをTLBエントリとして格納し、TLBコントローラ5は中央処理装置3が出力する論理アドレスをアドレス変換バッファ1などを用いて物理アドレスに変換する。上記アドレス変換バッファ1は、それぞれインデックスアドレスが共通化された4個のバンクを持つ4ウェイ・セットアソシアティブ方式のキャッシュメモリによって構成される。図面が複雑になるのを避けるために、図7には、代表的に1個のバンク11のみが図示されているが、実際には図1のようにバンク11と同様の別のバンク12～14が紙面の表裏方向に配置されている。上記アドレス変換バッファ1、TLBコントローラ5、CPU3、及びアドレス変換とメモリ保護のためのシステムソフトウェア若しくはオペレーティングシステムによって、上記仮想記憶をサポートするアドレス変換機構が構成される。

【0029】

ここで、予じめ、本実施例のマイクロコンピュータのアドレス空間について説明する。本実施例のマイクロコンピュータは、4GBの論理アドレス空間をサポートするために、中央処理装置3は、32ビットの論理アドレスを形成する。その論理アドレスは後述のプロセス番号（空間番号とも記す）asidによって拡張可能にされている。図8の（A）及び（B）には、サポートされている論理アドレス空間のアドレスマッピングが示される。これらの図において“Mapped”と示される領域は、アドレス変換バッファ（TLB）1を利用したアドレス変換の対象とされる領域である。H'FFFFFFF（H'は16進数を意味する）～H'80000000の領域は、特権モードにおいてアクセス可能な領域とされ、ユーザモードでのアクセスはアドレスエラーとされる。P4領域はコントロールスペースであり、周辺コントロールレジスタなどがマッピングされる。P1、P2領域は

10

20

30

40

50

それに対応される物理アドレスが固定とされる領域であり、アドレス変換バッファ1を利用したアドレス変換の対象とはされない。これらの領域P1, P2の論理アドレスは、一定の定数が加算又は減算されて、物理アドレスに変換される。したがって、特権モードにおいて、当該領域P1, P2をアクセスするときはTLBミスを初めとするアドレス変換に係る例外が生じない。特にP2領域はキャッシュメモリCACHEによるキャッシュの対象とされず、P1領域はキャッシュの対象とされている。

【0030】

本実施例のマイクロコンピュータは、上述の様に、特権モードとユーザモードとを有し、特権モードで動作しているのか、ユーザモードで動作しているのかが、中央処理装置3に含まれるステータスレジスタSRのモードビットMDの値によって示される。MD=0は、ユーザモードで動作していることを表わし、MD=1は、特権モードで動作していることを表わす。図8の(A)及び(B)に示されているように、特権状態(特権モードが設定されている状態)は、ユーザ状態(ユーザモードが設定されている状態)でのアクセスではアドレスエラーとなるようなアドレス空間(P1からP4)を、アクセスでき、ユーザ状態では実行不可能な特権命令若しくはシステム制御命令を実行することができる、などという点においてユーザ状態と相違される。

【0031】

図8の(A)及び(B)に示される4GBの論理アドレス空間の内、特に制限されないが、P0領域とP3領域は、論理ページと呼ばれる単位で、複数に分割され、分割されたページ単位で、論理アドレスは物理アドレスへ変換される。本実施例のマイクロコンピュータがサポートする論理ページのサイズは4KBと1KBの2種類とされている。これは、サポートされる論理ページの最大サイズ(=4KB)が最小サイズ(=1KB)の2のべき乗数倍にされ、アドレス変換バッファ1のバンクの数(=4)がその2のべき乗数以上であるという関係を満足する。図5に示されるように、論理ページサイズが1KBの場合には、中央処理装置により形成される論理アドレス(ビット0からビット31迄の32ビットのアドレス)の内、ビット0~ビット9までがオフセットとされ、ビット10~ビット31までが論理ページ番号(論理ページアドレス)とされる。論理ページサイズが4KBの場合には、論理アドレスの内、ビット0~ビット11までがオフセットとされ、ビット12~ビット31までが論理ページ番号(論理ページアドレス)とされる。アドレス変換バッファ1に対するインデックスには、ページサイズが4KBであるか1KBであるかに拘わらず、4KBページサイズの論理ページアドレスの下位5ビットのビット位置の情報、換言すれば、32ビットの論理アドレスのビット12~ビット16が用いられる。論理アドレスを物理アドレスに変換する場合、当該論理アドレスの論理ページ番号に対応するエントリから物理ページ番号を取得し、当該論理アドレスのオフセット情報を物理ページ番号の下位側に付加して物理アドレスが得られる。

【0032】

TLBミスなどが発生した際、アドレス変換バッファ1内のエントリへ取り込まれる情報(ページテーブルエントリ)は、予め、ソフトウェアにより形成され、図7には示されていない外部メモリ(例えば図22のメモリRAM)に記憶されている。すなわち、仮想記憶のためのページテーブルエントリは、論理ページ番号VPNと物理ページ番号PPNとの対応関係を示す変換情報やアクセスの属性などについての記述を含み、外部メモリに形成されるところのページテーブルに格納される。高速なアドレス変換ができるように、このページテーブルに格納されたエントリの一部が、上記TLB1内のバンク11~14に格納される。外部メモリにおけるページテーブルのアドレスは、後で図6を用いて説明する変換テーブルレジスタ(TTB)53に、予めセットされる。TLBミスなどが発生した際には、この変換テーブルレジスタ53にセットされているベースアドレスと、ミスの際の論理ページ番号等を用いて、CPU3が、上記ページテーブルをアクセスして、その時の論理ページ番号に対応した物理ページ番号等を含むエントリを求めて、例えば、TLB1内のバンクへ求めたエントリを書き込む。これにより、その時の論理アドレスに対応した物理アドレスが形成される。

10

20

30

40

50

【 0 0 3 3 】

T L B 1 内の各バンクに格納されるエントリは、図 5 にその詳細が示されるように、便宜上アドレス部とデータ部に分けられている。アドレス部は、論理ページ番号の情報 V P N (3 1 - 1 7) , V P N (1 1 - 1 0) 、エントリが有効であることを示すバリッドビット V (1 ビット) 、空間番号 A S I D (8 ビット) 、サイズビット S Z (1 ビット) 、及び共有ステータス S H (1 ビット) を有する。データ部は、記憶保護のためのプロテクション P R (2 ビット) 、論理ページ番号に対応される物理ページ番号 P P N (2 2 ビット) 、ダーティビット D (1 ビット) 、及びキャッシュブルビット C (1 ビット) を保有する。アドレス部が保有する論理ページ番号の情報は、32 ビットの論理アドレスのビットフォーマットにおいてインデックスに利用されるビットを除いたビット 1 0 ~ ビット 1 1 とビット 1 7 ~ ビット 3 1 とされる。前者は V P N (1 1 - 1 0) と表記され、後者は V P N (3 1 - 1 7) と表記されている。共有ステータス S H は複数プロセス間で当該ページが共有されているか否かを示し、S H = 0 は非共有、S H = 1 は共有を意味する。空間番号 A S I D は特定のプロセスに属するものとして論理ページを定義するために利用されるものであり、プロセス番号とも称する。プロテクション P R はページに対するアクセス権を定義するためにエンコードされたデータであり、その値の組み合わせにより図 9 に示される態様でアクセス権が定義されている。サイズビット S Z は論理ページサイズを指定するビットであり、論理値 1 は 4 K B ページサイズを指定し、論理値 0 は 1 K B ページサイズを指定する。

10

【 0 0 3 4 】

ここで単一仮想記憶と多重仮想記憶の概念を図 2 0 の (A) 及び (B) に基づいて説明する。多重仮想記憶とは、複数のプロセスの夫々が、論理空間の全域にわたるアドレス変換情報を有するとき、プロセス番号 a s i d によって論理アドレスを修飾或いは拡張するというものである。これに対して、単一仮想記憶とは、複数のプロセスに論理アドレス空間の一部が排他的に割り当てられる。言い替えるならば、単一仮想記憶とは、夫々のプロセスがそれに割り当てられた論理アドレス空間のアドレス変換情報を有するとき、プロセス番号 a s i d によって論理アドレスの修飾或いは拡張がされない。このように、単一仮想記憶においては、複数のプロセス間で、排他的に論理アドレス空間が割り当てられるため、図 2 0 の (B) に示されるように、プロセスに割り当てられた論理アドレス空間毎にそれぞれ固有のアドレス変換情報が存在する。そのため、アドレス変換テーブルは一つ存在するだけである。当該一つのアドレス変換テーブルを用いれば、ある論理アドレス A はそれに対応される物理アドレス D に一義的に変換される。これに対して多重仮想記憶においては、複数のプロセス間で、論理アドレス空間が相互に重複して割り当てられる。そのため、プロセス毎のアドレス変換情報は相互に別々のアドレス変換テーブルに含まなければならない。したがって、ある論理アドレス A は相互に異なるアドレス変換テーブル i , j を介することによって異なる物理アドレス B , C に変換されることになる。このとき変換に係る論理アドレス A がどのプロセスに属するかは、プロセス番号によって識別される。図 2 0 の (A) に従えば、多重仮想記憶においてアドレス変換テーブル i はプロセス番号 i に対応され、アドレス変換テーブル j はプロセス番号 j に対応される。プロセス番号は、互いに同じ論理アドレス空間を使う (アクセスする) ところの複数のプロセスにおける識別番号とみなすこともできる。

20

30

40

【 0 0 3 5 】

図 1 9 には、論理空間、変換情報、保護について、単一仮想記憶と多重仮想記憶との相違が示されている。この図面において、P R は、図 9 に示されている保護情報である。

【 0 0 3 6 】

図 7 において上記 T L B コントローラ 5 は制御回路 (C T R L) 5 0 、ページテーブルエントリ上位 (P T E H) レジスタ 5 1 、ページテーブルエントリ下位 (P T E L) レジスタ 5 2 、変換テーブルベース (T T B) レジスタ 5 3 、T L B 例外アドレス (T E A) レジスタ 5 4 、及びコントロール (M M U C R) レジスタ 5 5 を備える。後で、図 2 2 を用いて説明するように、これらのレジスタは、C P U 3 に結合されており、少なくとも T E

50

Aレジスタ54とMMUCRレジスタ55はCPU3によって直接リード/ライト可能にされる。その他のレジスタ51～53もCPU3によって直接アクセス可能にされている。

【0037】

図6に示されるようにPTEHレジスタ51, PTELレジスタ52はTLBミスなどにおいてTLB1のエントリを更新又は追加するためのページテーブルエントリを保有できるフィールドが備えられている。PTEHレジスタ51には、ソフトウェアの実行によって、中央処理装置3から、現在のプロセスの空間番号`asid`がセットされる。また、PTEHレジスタ51は、TLBミスなどが発生した場合、CPU3が出力しているTLBミスの論理ページアドレス`vpn`を保持する機能も兼ね備えている。CPU3が出力する論理アドレスのオフセットはCTRL50内部の図示しないラッチ回路に保持される。TTBレジスタ53には、現在のページテーブルのベースアドレスが保持されている。TEAレジスタ54は、TLBに関する例外又はアドレスエラー例外が生じた場合、そのときの論理アドレスを保持する。MMUCRレジスタ55は、アドレス変換を有効にするか無効にするかを指示するビットAT(論理値1=有効, 論理値0=無効)、TLB1のフラッシングを指示するビットTF、2ビットのランダムカウンタフィールドRC、インデックスモードを指定するインデックスモードビットIX、単一仮想記憶と多重仮想記憶との何れを選択するかを指示するシングルバーチャルビットSV(SV=1で単一仮想記憶を選択, SV=0で多重仮想記憶を選択)を含む。上記インデックスモードビットIXが1の場合には、図3に示されるように`asid`(4-0)即ち現在の空間番号`asid`のビット0～ビット4と、中央処理装置3から出力されているところの論理ページ番号`vpn`のビット12～ビット16とを利用したインデックス手法が選択される。これに対して、IXが0の場合には、図2に示されるように、中央処理装置3から出力されているところの論理ページ番号`vpn`のビット12～ビット16を利用したインデックス手法が選択される。更に詳しく述べるならば、IX=1の場合におけるインデックスアドレスは、図7に示されるように、PTEHレジスタ51が保有する空間番号`asid`のビット0～ビット4と、CPU3から出力されている論理ページ番号`vpn`のビット12～ビット16すなわち`vpn`(16-12)とを入力する排他的論理和ゲートXORによって形成される。図7のセクタ18は排他的論理和ゲートXORでハッシングされた出力又は`vpn`(16-12)の何れかをインデックス用アドレスとして選択する。その選択制御はインデックスモードビットIXの値にしたがって決定され、CTRL50から出力される選択信号550にて行われる。

【0038】

図7において、CPU3から出力される論理アドレスの論理ページ番号`vpn`(31-10)のうち、ビット12～ビット16に相当される`vpn`(16-12)は、TLB内の4個のバンク11～14に共通なインデックスアドレス2の生成に利用される。上記のように、論理ページ番号は5ビットで表わされるため、共通なインデックスアドレス2によって、夫々のバンクにおける32個のエントリから、それぞれ一つづつが選択されて、読出される。選択される夫々のエントリは、情報として、VPN(31-17), VPN(11-10), ASID, SH, SZ, V, PPN(31-10), PR, C, Dを含む。選択され、読み出されたエントリにおける情報の内、読出されたVPN(31-17)は、コンパレータ151によって、中央処理装置3から出力されている論理アドレスの`vpn`(31-17)と比較され、VPN(11-10)は、コンパレータ152によって、中央処理装置3から出力されている論理アドレスの`vpn`(11-10)と比較され、読出されたASIDは、PTEHレジスタ51が保有する現在の空間番号`asid`とコンパレータ153にて比較される。比較結果に対しては制御ロジック154が、共有ステータスSH, サイズビットSZ, シングルバーチャルビットSV, 及びモードビットMDの値を考慮してバンク11のミス/ヒットの判定を行う。hit1はバンク11におけるミス/ヒットの判定結果としてのヒット信号である。上記コンパレータ151～153及び制御ロジック154は、各バンク11～14に、それぞれ設けられている。図7ではバン

10

20

30

40

50

ク12～14に関しては夫々のヒット信号hit2～hit4が代表的に示されている。本実施例に従えば各コンパレータ151～153の出力はハイレベルが一致レベルとされる。ヒット信号hit1～hit4もハイレベルがヒットレベルとされる。制御回路50はヒット信号hit1～hit4の何れかがヒットレベルにされることを以てTLBヒットと判定する。図7の501はTLBヒット/ミスの判定結果をCPU3に通知するTLBヒット信号である。TLBミスが発生したときには、アドレス変換バッファ1のエントリを置換する処理が行われる。この置換処理において、置換されるべきエントリの内容は、PTEHレジスタ51、PTELレジスタ52に保持され、PTEHレジスタ51、PTELレジスタ52からTLB1へ置換されるべき情報が供給され、TLB1に格納される。置換されるべきエントリを選択するためのインデックス手法は、上述のリード時におけるインデックス手法と同じであるが、どのバンク(セット)に当該エントリを格納するかはMMCCRレジスタ55のRCの値(MMUCR.RC)によって決定される。

10

【0039】

図21には前記制御ロジック154の論理構成の一例が示されている。1541は3入力アンドゲート、1542は2入力オアゲート、1543は2入力オアゲートである。オアゲート1542は、インデックスされたTLBエントリ(インデックスアドレスによって選択され、読み出されたエントリ)に含まれるVPN(11-10)と論理アドレスに含まれるvpn(11-10)との比較結果であるコンパレータ152の出力と上記インデックスされたTLBエントリからのサイズビットSZを入力する。サイズビットSZが1にされ、4KBの論理ページサイズが指示されている場合には、TLBミス/ヒット判定のためのアドレス比較において、TLBエントリ内のVPN(11-10)とCPU3からのvpn(11-10)との比較は行う必要がない。そのため、サイズビットSZ=1の状態では、アンドゲート1541の出力信号hit1には上記アドレスビット11,10の比較結果は反映されない。サイズビットSZが0にされ、1KBの論理ページサイズが指示された場合には、TLBミス/ヒット判定のために、アドレスビット11,10の比較動作が必要とされ、その比較結果が信号hit1に反映される。

20

【0040】

前記オアゲート1543は、インデックスされたTLBエントリに含まれるプロセス番号ASIDと現在のプロセス番号(PTEHレジスタ51から出力されているプロセス番号)asidとの比較結果であるコンパレータ153の出力と、上記インデックスされたTLBエントリからの共有ビットSHとを入力する。この共有ビットSHが、1にされている場合、"プロセス間での論理ページの共有"の状態が指示されていることになる。そのため、この状態ではTLBミス/ヒット判定のためのアドレス比較において、プロセス番号間の比較が必要とされないから、共有ビットSH=1の状態では、アンドゲート1541の出力信号hit1にはプロセス番号間の比較結果は反映されない。上記インデックスにおける共有ビットSHが0にされ、"プロセス間での論理ページの非共有"の状態が指示されている場合には、TLBミス/ヒット判定のためのアドレス比較において、プロセス番号間の比較が必要とされるから、共有ビットSH=0の状態では、アンドゲート1541の出力信号hit1にはプロセス番号間の比較結果が反映される。

30

【0041】

単一仮想記憶においては、TLBエントリが保有する上記プロセス番号ASIDが、メモリ保護情報(ドメイン番号)として利用される。単一仮想記憶でも多重仮想記憶でも共有ビットSHによって共有又は非共有が指示される。非共有が指示されているとき、多重仮想記憶においては現在のプロセス番号asidとTLBエントリに含まれるプロセス番号ASIDとの不一致はTLBミスとされる。これに対して、非共有が指示されているとき、単一仮想記憶においては、プロセス番号asid,ASID間の不一致は、TLBプロテクト違反例外の検出に利用される。それを実現するために、制御回路50は、アクセス権チェックのための一つの論理として、図21に示されるアンドゲート502を有する。このアンドゲート502は、前記オアゲート1543の反転出力、MMUCRレジスタからのシングルバーチャルビットSV、及び中央処理装置3内のステータスレジスタ内のモ

40

50

ードビットMDの反転信号を受けて、TLBプロテクト違反例外の検出信号503を形成する。この検出信号503は、ハイレベルがTLBプロテクト違反例外の検出レベルである。信号503によってTLBプロテクト違反例外が検出されるのは、プロセス番号が不一致、且つ非共有の状態（オアゲート1543の出力がローレベル）で、単一仮想記憶（SV=1）、ユーザモード（MD=0）の条件が満足されたときである。即ち、単一仮想記憶において、プロセス番号が不一致、且つ非共有の場合には、実質的にTLBミスになるが、この状態をメモリ保護のためのTLBプロテクト違反例外とする。モードビットMD=1によって指示される特権状態では、別のプロセスに割り当てられている論理ページもアクセスできるようにすることが望ましいため、MD=1の特権状態においてはTLBプロテクト違反例外を検出しないようにしている。

10

【0042】

図10は、制御回路50によるアドレス変換動作の制御を示すメインフローチャートである。この制御は、アドレス変換バッファ1のインデックス処理L1、アドレス比較とVビットのチェック処理L2、アクセス権のチェック処理L3、物理アドレスの生成処理L4に大別される。これらの処理はCPU3及びコントローラ5によって制御される。

【0043】

アドレス変換バッファ1のインデックス処理L1において、それに利用される論理アドレスは論理ページのサイズに拘わらずvpn(16-12)とされる。このインデックス処理において、利用される論理アドレスを、排他的論理和ゲートXORを用いて、空間番号asidの一部asid(4-0)でハッシングしたものをインデックス用アドレスとして使用するか否かが、MMUCRレジスタ55のIXの値(MMUCR.IX)によって決定される。図11に示されるように、MMUCR.IXが1の場合には、上記利用される論理アドレスがasid(4-0)にてハッシングされ、インデックス用アドレスとされる。これに対して、MMUCR.IXが0の場合にはvpn(16-12)がそのままインデックス用アドレスとされる。前者のインデックス手法は図3に示され、後者のインデックス手法は図2に示される。TLB1がインデックスされると、夫々のバンク11~14において32個のエントリから一つが選択されて読出される。選択される夫々のエントリは、情報として、VPN(31-12), VPN(11-10), ASID, SH, SZ, V, PPN(31-10), PR, C, Dを含む。

20

【0044】

アドレス比較とVビットのチェック処理L2において実行されるアドレス比較の手順の一例が、図12に示されている。ここに示されている手順は、図21に示されている制御ロジック154の論理に基づいているが、空間番号ASIDの比較に関してはTLBプロテクト違反例外の検出についても考慮して示されている。ヒット信号hit1~hit4に反映されるべきアドレス比較の対象をどのようにするかは、次のようにして決められる。まず、SHが1か否かによって、アドレス比較の対象として、空間番号を考慮するか否かが大別され、SZが0か否かによって、アドレス比較の対象として、VPN(11-10)を考慮するか否かが決定される。特に、単一仮想記憶(SV=1)においては、空間番号ASIDのフィールド内データをメモリ保護情報として用いるが、前述のように特権モードにおいては別のプロセスに割り当てられた論理ページも現在のプロセスからアクセスすることができるようにするため、言い換えるならば、TLBプロテクト違反例外を検出しないようにするために、単一仮想記憶であって、且つ特権モード(SV=1且つMD=1)のときには比較対象から空間番号ASIDのフィールドを除外するようにしている。

30

40

【0045】

インデックスによって、TLB1からTLBエントリがリードされ、そのリードされたTLBエントリ内の共有ステータスSHに基づいて、アドレス比較の際に空間番号ASIDを考慮するか否かが判定される。SH=1(共有)の場合、空間番号ASIDはアドレス比較の対象として考慮されず、SH=0(非共有)の場合、空間番号ASIDはアドレス比較の対象として考慮される。また、MMUCRレジスタ55のSVの値(MMUCR.SV)が1にされ、単一仮想記憶が設定されている場合であって、ステータスレジスタS

50

RのモードビットSR・MDが1になっている場合（中央処理装置が、特権モードで動作している場合）には、空間番号ASIDはTLBプロテクト違反例外の検出には考慮されない。特権モードの性質上、別のプロセスに割り当てられている論理ページを、現在のプロセスからアクセスできるようにするためである。

【0046】

本実施例においては、TLBエントリ内のサイズビットSZの値に従って、1KBまたは4KBのサイズが論理ページのサイズとして選択される。論理ページのサイズが1KBの場合には、各バンクでインデックスされたそれぞれのTLBエントリ内の情報VPN(31-17)及びVPN(11-10)が、論理アドレスの対応ビットvpn(31-17), vpn(11-10)との比較対象とされる。論理ページサイズが4KBの場合には、各バンクでインデックスされたそれぞれのTLBエントリ内の情報VPNの内、VPN(11-10)と、これに対応する論理アドレスのvpn(11-10)とは比較判定の対象から除外される。

10

【0047】

上述の様に、比較対象(VPN(31-17, 11-10), vpn(31-17, 11-10), ASID, asid)が定められ、比較が行われる。この比較の結果として、何れかのバンクにおいて一致すると、その一致したバンクからヒット信号が出力される。各バンクのヒットは、ヒット信号hit1~hit4として出力され、TLBヒットとされる。これに対して、いずれのバンクからもヒット信号が出力されない場合、すなわち不一致の場合には、TLBミス例外が検出されることになる。その結果は、信号501にてCPU3にも通知され、CPU3によって、後で述べるTLBミス例外の処理が行われる。

20

【0048】

また、インデックスされた各バンクのエントリに対しては、そのエントリ内のVビットについてのチェックも行われる。すなわち、インデックスによって、リードされたエントリ内のVビットに対してチェックが行われる。TLBヒットの場合に、ヒットに係るエントリ内のVビットが0（無効）のときは、TLBインバリッド例外が検出され、これがCPU3に通知される。この例外処理の内容は後述する。TLBミスの場合におけるVビットの判定結果はTLBミスに係る後述のエントリリプレースにて利用される。

【0049】

アクセス権のチェック処理L3においては、インデックスによりリードされたTLBエントリ内の情報PRの内容と、MMUCRレジスタ内のビットMMUCR・SVの内容とに従ってアクセス権がチェックされる。例えば図13に示されるように、まず、MMUCRレジスタ内のビットMMUCR・SVが、1（単一仮想記憶）か、0（多重仮想記憶）かの判定が行われる。多重仮想記憶の場合(SV=0)には、図9に示したPRの内容にしたがって、TLBエントリ内の情報で表されるアドレス空間のプロテクションが行われる。単一仮想記憶で、かつ特権モードにされている場合、すなわちMMUCR・SV=1（単一仮想記憶）で、ステータスレジスタ内のビットSR・MD=1（特権モード）の場合には、TLBエントリ内の情報で表されるアドレス空間を、無条件にアクセスすることができる。これに対して、単一仮想記憶であっても、ユーザモードの場合(SR・MD=0：ユーザモード)には、アクセス権のチェックに際して、空間番号ASIDと共有ステータスSHが考慮される。すなわち、アクセス時のPTETHレジスタ51の空間番号asidとTLB1からリードされた空間番号ASIDとが一致する場合又はSH=1（共有）の場合には、上記PRにしたがって、TLBエントリ内の情報で表されるアドレス空間のプロテクションが行われる。これに対して、プロセス番号が不一致で、且つ非共有の場合にはTLBプロテクト違反例外が検出される。当該例外の内容については後述する。更にアクセス権のチェック処理L3においては、アクセスがリードのためのものかライトのためのものかのアクセスタイプ判定と、TLB1からリードしたエントリのDビットの判定が行われる。アクセスが、初めてのライト（例えば、電源投入やリセットの後の初めてのライトアクセス）の場合には、TLBイニシャルページライト例外が検出される。即ち、

30

40

50

T L B イニシャルページライト例外は、論理アドレスとインデックスされたT L B エントリとの比較結果がT L B ヒットであって、T L B エントリ内のダーティビットDが0とされ、そのときのアクセスがライトアクセスである条件によって検出される。このT L B イニシャルページライト例外処理の内容については後述する。

【0050】

物理アドレスの生成処理L 4においては、インデックスされたT L B エントリのサイズビットS Zにしたがって、図14のように物理アドレスが生成される。物理アドレスp aを形成するために使われる論理アドレスv aのオフセットv a (9 - 0)は、図に示されていないが、制御回路(C T R L) 50内のラッチ回路に保持されている。S Z = 0 (論理ページサイズが1 K B) のときは、C P U 3 から出力されている論理アドレスv aのオフセットv a (9 - 0) が物理アドレスp aのオフセットp a (9 - 0) とされる。すなわち、ヒットしたT L B エントリのデータ部に含まれる物理ページ番号P P Nの全ビットP P N (3 1 - 1 0) が物理ページアドレスp a (3 1 - 1 0) とされ、これにオフセットとしてアドレス(9 - 0) が下位側に付加されて、物理アドレスp aが生成される。S Z = 1 (論理ページサイズが4 K B) のときは、C P U 3 から出力されている論理アドレスv aのオフセットv a (1 1 - 0) が物理アドレスp aのオフセットp a (1 1 - 0) とされる。ヒットしたT L B エントリ内のデータ部に含まれる物理ページ番号P P Nの内、下位2ビットが無視されたP P N (3 1 - 1 2) が物理ページアドレスp a (3 1 - 1 2) とされ、オフセットとしてのアドレス(1 1 - 0) が下位側に付加されて、物理アドレスp aが生成される。

【0051】

図15には、アドレス比較とVビットのチェック処理L 2において検出されたT L B ミス例外におけるリプレース対象バンクのハードウェア指定手法が示されている。この制御は制御回路50がその論理構成に従って一義的に行うものであり、M M U C R レジスタのビットM M U C R . R Cをランダムカウンタのような計数手段として利用する。ここで、M M U C R . R Cのビット数の2のべき乗数が、上記T L B 1のバンクの数(= 4)に一致される。制御回路50は、上記ヒット信号h i t 1 ~ h i t 4のいずれもがヒット状態を示さないことに応答して、T L B ミスによるT L B 1に対するエントリの置換が必要と判断する。このように判断すると、制御回路50は、M M U C R . R Cを1インクリメント(+ 1)し、インデックスされた4個のエントリの中に、無効なエントリが有るか否かを調べる。これは、インデックスされた4個のエントリのそれぞれにおけるVビットを調べることによって達成される。Vビットを調べた結果として、無効なエントリがない(インデックスされた各バンクのエントリは、全て有効なデータ" V = 1 "を保持している)場合には、そのインクリメントされた結果を置換すべきバンク番号とし、M M U C R . R Cに対してはノー・オペレーションとする。無効なエントリが存在する(各バンクでインデックスされた何れかのエントリが、V = 0を示し、有効なデータを保持していない)場合には、無効なエントリを有するバンクのバンク番号をM M U C R . R Cにセットし、且つセットされた番号のバンクを置換すべきバンクとする。また、上記M M U C R . R Cの各ビットは、C P U 3によるソフトウェアの実行によって、任意にその値を変更することが可能である。そのため、上述の様に、このレジスタに設定されたバンク番号を、更に、ソフトウェアによって変更することもできる。そのため、任意のバンクをリプレースの対象にすることができる。

【0052】

図16には、上記T L B ミス例外に対処するために、T L B エントリを更新するためのT L B ミスハンドラによる処理手順が示されている。T L B 1のエントリを更新するにはロードT L B インストラクションが利用される。このロードT L B インストラクション(L D T L Bとも表す)が、C P U 3によって実行されることにより、次の処理が行われる。すなわち、P T E H , P T E Lの各レジスタ51, 52の値を、T L B 1のエントリへ書き込む処理が行われる。この場合、書き込み対象のエントリは、特に制限されないが、M M U C R . R Cにセットされているバンク番号により指示されるバンク内のエントリであって

、 P T E Hレジスタ5 1内に保持されている論理アドレス(ビット1 2-ビット1 6)をインデックスアドレスとして指示されるエントリである。上記T L Bミス例外が検出されると、C P U 3から出力されているところの、その時の論理アドレスの一部(ビット1 0からビット3 1)は、上記P T E Hレジスタ5 1に保持される。これにより、T L Bミス例外が発生した時のインデックスアドレスと同じ値のインデックスアドレスによって、リプレースの際のエントリが指示される。但し、リプレースに使われるバンクは、M M U C R . R Cにセットされているバンク番号によって決定されることになる。

【 0 0 5 3 】

T L Bミス例外に対処するために、図2 2に示されている様な外部メモリR A Mに、予め、ページテーブルが、ユーザによって形成される。このページテーブルには、特に制限されないが、複数の論理アドレスに各々対応した複数の変換情報(ページテーブルエントリ)が、所定の規則にしたがって、格納される。このページテーブルのアドレス、例えば、その開始アドレスは、ベースアドレスとして、レジスタT T B 5 3に、予め格納される。このページテーブルは、特に制限されないが、開始アドレスとしての上記ベースアドレスと論理アドレスとに基づいて、当該論理アドレスに対応したページテーブルエントリ(対応する物理ページ番号p p n、バリッドビットv、プロテクションビットp r、サイズビットs z、キャッシュブルビットc、ダーティビットd、ステータスs hを含む)を検索することができるような規則で、複数の論理アドレスに各々対応した複数のページテーブルエントリが、配置されている。

【 0 0 5 4 】

上記T L Bミスハンドラは、ユーザによって、記述される。T L Bミス例外が検出されると、C P U 3によって、このT L Bミスハンドラが起動される。これにより、P T E Hレジスタ5 1にはT L Bミス発生時の論理アドレスの情報v p n(1 0-3 1)が格納される。この時に、P T E Hレジスタ5 1には、T L Bミス発生時の空間番号a s i dも格納されるようにしても良い。また、C P U 3は、レジスタT T B 5 3に格納されているベースアドレスと、T L Bミス発生時の論理アドレスとを用いて、外部メモリ上の上記ページテーブルを検索する。この検索によって、T L Bミス発生時の論理アドレスに対応するページテーブルエントリが、発見されると、この発見されたページテーブルエントリの内容は、P T E Lレジスタ5 2にロードされる。次いで、ロードT L Bインストラクションが発行されてP T E H, P T E Lの各レジスタ5 1, 5 2の値によってT L B 1のエントリが更新される。従って、P T E Hレジスタ5 1に保持されているところの、T L Bミス発生時の論理アドレスの情報v p n, a s i dは、T L Bエントリの一部V P N, A S I Dとして採用されることになる。また、この時、リプレースされるエントリは、上記したように、M M U C R . R Cにセットされているバンク番号によって指示されているバンク内のエントリであって、T L Bミス発生時のインデックスアドレスと同じインデックスアドレスによって指示されるエントリである。

【 0 0 5 5 】

上記T L Bインバリッド例外は、T L Bヒットにおけるページフォルトの場合に発生する。この例外に対しては、例えば、先ず、外部メモリ上のページテーブルエントリを回復し、そのページテーブルエントリ内のVビットを論理値1にする。この後、当該ページテーブルエントリを外部メモリからP T E Lレジスタ5 2にロードし、上述のロードT L Bインストラクションを発行して、P T E H, P T E Lの各レジスタ5 1, 5 2の値によってT L B 1の該当エントリを更新する。

【 0 0 5 6 】

上記T L Bイニシャルページライト例外については、それが検出されると、外部メモリ上の対応するページテーブルエントリのDビットを論理値1にし、当該ページテーブルエントリを外部メモリからP T E Lレジスタ5 2にロードした後、上述のロードT L Bインストラクションを発行してP T E H, P T E Lの各レジスタ5 1, 5 2の値によってT L B 1の該当エントリを更新する。尚、例外要因とされた論理アドレスの情報v p n, a s i dはP T E Hレジスタ5 1に保持されている。D =1にされるべき状況は、メインメモリ

10

20

30

40

50

上の物理ページ領域に最初に書込みが行われるときに発生される。仮想記憶において、ページ入れ換えの際に補助記憶装置とメインメモリ（例えば図22の外部メモリ）相互間でのデータの整合を図るため、メインメモリの入れ換え対象ページの内容を補助記憶装置にコピーバックするか否かの判定が必要とされる。ダーティービットDは、この判定のために、利用される。

【0057】

上記TLBプロテクト違反例外が検出されると、例外要因とされる論理アドレスの論理ページ番号v p nがPTEHレジスタ51に、そしてその論理アドレスがTEAレジスタ54に書き込まれた後に、そのプロテクト違反を解決するためのハンドラが起動される。

【0058】

上記のように、MMUCR・RCをカウンタとして使う場合、上記のTLBミス例外の対策の際には、新たなバンクヘントリを登録することができるようにするために、上記のようにインクリメントすることが望ましい。これに対して、上記TLBインバリッド例外、上記TLBイニシャルページライト例外及び上記TLBプロテクト違反例外の対策においては、MMUCR・RCをインクリメントしないことが望ましい。これらの対策においては、Dビット、或いはVビットの変更だけが必要な場合があり、新たなバンクに登録せずに、元のバンクに登録するようにしたほうが、TLBを有効に使えるためである。勿論、本発明は、このようにすることに制限されるものではない。

【0059】

図17及び図18には、MMUCRレジスタのビットMMUCR・SVを0にセットして、多重仮想記憶を指示した場合におけるTLB1に関する例外検出フローの全体が示されている。図17に従えば、論理アドレスのv p nや現在の空間番号a s i dに従って所定の手法でTLB1のインデックスが行われる(S1)。これによってインデックスされたエントリがSH=0(非共有)を含む場合、ASIDまたはVPNが不一致であれば(S3)、TLBミス例外(EX1)が検出される。インデックスされたエントリがSH=1(共有)を含む場合には、ASIDは比較されずVPNが不一致であれば(S4)、TLBミス例外(EX1)が検出される。TLBヒットの場合(S3, S4のYES)には、V=1か否かが判定される(S5)。V=0(インバリッド)であれば、TLBインバリッド例外(EX2)が検出される。V=1(バリッド)の場合には、図18に示されるように、ステータスレジスタのビットSR・MDからユーザモード(User)か特権モード(Privileged)かが判定される(S6)。CPU3がユーザモードで動作しており、このモードで動作しているCPU3によるアクセスによってリードされたところのエントリが、特権モードでのアクセスを許容すること(ユーザモードでのアクセスの禁止)を示す情報PRを有している場合(PR=00又は01)、TLBプロテクト違反例外(EX3)が検出される。また、ユーザモードでのアクセスにより、リードされたエントリ内の情報PRが、10であると判定された場合、このアクセスが、リードのアクセスタイプかライトのアクセスタイプかが更に判定される。図9に示されているように、情報PRが、10の場合、ユーザアクセスは、リードのアクセスタイプのみが許容される。そのため、上記アクセスが、ライトのアクセスタイプで有る場合には、アクセスタイプが相違される(S7のwrite)ため、TLBプロテクト違反例外(EX3)が検出される。

【0060】

特権モードでのアクセスにおいてもPR=00又は10が判定された場合、リード/ライトのアクセスタイプがPRの内容に対して反している(S8のwrite)と、TLBプロテクト違反例外(EX4)が検出される。すなわち、CPU3が、ユーザモードで動作しているか、特権モードで動作しているかにより、PRにより許容されるアクセス権は、異なるが、何れの場合であっても、PRにより許容される以外のアクセスタイプでアクセスをした場合には、TLBプロテクト違反例外(EX3, 4)が検出される。アクセスタイプが、PRによって許容されたライト(S9, S10のwrite)である場合、エントリ内の情報Dが、0(未書込みのページ)ならば、TLBイニシャルライト例外(EX5)が検出される。また、エントリ内の情報Dが、1の場合、エントリ内の情報Cが、1な

10

20

30

40

50

らば、キャッシュメモリ4がアクセスされ、 $C = 0$ ならばメインメモリ（例えば、図22の外部メモリRAM, ROM）がアクセスされることになる。アクセスタイプが、PRによって許容されたリード（S7~S10のread）である場合には、 $C = 1$ ならばキャッシュメモリ4がアクセスされ、 $C = 0$ のときはメインメモリがアクセスされることになる。

【0061】

図22には、図7に示した各レジスタと中央処理装置CPUとの接続関係が主に示されている。上記各レジスタには、それぞれ固有のアドレスが割り当てられている。中央処理装置CPU3により形成された論理アドレスは、内部論理アドレスバスVABUSを介して、制御回路(TLBC)50内の選択回路に供給される。この選択回路は、上記論理アドレスをデコードし、論理アドレスが、レジスタに割り当てられた固有のアドレスであった場合、レジスタを選択するための選択信号を形成する。例えば、論理アドレスが、PTELレジスタ52に割り当てられたアドレスであった場合、選択回路は、選択信号C4を形成して、該レジスタを選択する。同様にして、他のレジスタ(PTEH, MMUCR, TEA, TTB)の選択も行われる。言い替えるならば、これらのレジスタは、アドレスマップされている。選択されたレジスタに対する、中央処理装置からのリード/ライトは、図示されていない内部制御バスを介して、中央処理装置から各レジスタへ供給されるリード/ライト制御信号によって、指示される。勿論、この図面に示されているように、各レジスタと中央処理装置CPU3とは、内部データバスDBUSを介して互いに接続されている。各レジスタは、図7に示した制御回路50及びTLB1とも接続されているが、図面が複雑になるのを避けるため、図22には示されていない。中央処理装置は、ソフトウェアを実行することにより、レジスタにデータを書き込むことができる。すなわち、ソフトウェアの実行により、中央処理装置は、レジスタに割り当てられた論理アドレスをバスVABUSへ出力し、データをバスDBUSへ出力し、リード/ライト制御信号でライトを指示することにより、レジスタへデータを書き込むことができる。同様に、ソフトウェアの実行によって、中央処理装置3は、レジスタからデータを読み出すことも可能である。このようにソフトウェアの実行により、PTEHレジスタ51に対しては、論理空間番号、TLBミスの際の論理アドレスを書き込むことが可能であり、PTELレジスタ52に対しては、リプレースの際のテーブルエントリを書き込むことが可能であり、TTBレジスタ53に対しては、ベースアドレスを、TEAレジスタ54に対しては、プロテクト違反例外の際に論理アドレスを書き込むことが可能である。また、MMUCRレジスタ55に対しては、図6に示されている種々の制御データを書き込むことが可能であり、特定のビットをカウンタの様に使うこともできる。

【0062】

内部論理アドレスバスVABUSは、制御回路(CTRL)50、TLB1にも接続されている。制御回路(CTRL)50には、上記したように論理アドレスのオフセットを保持するためのラッチ回路が設けられており、内部論理アドレスバスVABUSからの論理アドレスのオフセットが保持される。また、この内部論理アドレスバスVABUSを介して、CPU3から論理アドレスが、TLB1に供給され、インデックスアドレス、検索用のアドレスとして使われる。勿論、制御回路(CTRL)50に設けられる上記ラッチ回路は、オフセットアドレスだけでなく、論理アドレスの全てを保持する様にしても良い。

【0063】

この図面には、上記PTEHレジスタ51と上記TLB1との接続だけが、明示的に示されている。TLB1のミス/ヒットの判定のための空間番号は、このレジスタにセットされ、このレジスタから上記TLB1へ供給される。また、TLB1のミス例外についての対策においても、このレジスタから、上記したように論理アドレス等が上記TLB1へ供給される。

【0064】

内部データバスDBUS及び内部物理アドレスバスPABUSは、このデータ処理装置に設けられた外部端子TD及びTAを介して、外部データバスDBUS及び外部アドレスバ

10

20

30

40

50

ス A B U S に接続される。これらの外部バスには、例えば、同図に示されている様に、外部メモリ R A M , R O M が接続される。特に制限されないが、外部メモリ R A M は、揮発性メモリであり、上記したような種々のテーブル等が形成される。また、外部メモリ R O M は、不揮発性のメモリであり、種々のプログラム（例えば、上記したハンドラ等のソフトウェア）を格納している。

【 0 0 6 5 】

以下においては、本実施例のマイクロコンピュータにおける仮想記憶の作用効果をその特徴点毎に説明する。

【 0 0 6 6 】

《複数ページサイズのサポート》 図 5 及び図 6 に示されるように、ページテーブルエントリ及び T L B エントリは、上記サイズビット S Z を有し、論理ページのサイズが、ページ毎に設定可能とされる。4 ウェイ・セットアソシアティブ形式のアドレス変換バッファ 1 は、そのサイズが可変に設定可能にされる複数の論理ページに対して共通利用される。本実施例では、マイクロコンピュータがサポートする論理ページサイズは 1 K B と 4 K B の 2 種類とされる。そして T L B 1 に対するインデックス用アドレスの指定方法は、4 K B と 1 K B の双方において共通化されており、本実施例においては、図 2 及び図 3 に示されるように中央処理装置 3 で形成される全部で 3 2 ビットの論理アドレスの内、ビット 1 2 ~ ビット 1 6 即ち $v p n (1 6 - 1 2)$ が T L B 1 のインデックスに利用される。インデックスアドレスは 5 ビットであるから 1 バンク（ウェイ）当たり最大 3 2 個のエントリを保有できる。T L B 1 は 4 個のバンク 1 1 ~ 1 4 を持つから、一つのインデックスアドレスにつき、最大 4 個のエントリを保有できる。上記インデックスアドレスは、ページサイズが 4 K B の場合には当該論理ページ番号 $v p n$ の最下位から 5 ビット $v p n (1 6 - 1 2)$ とされるので、ページサイズ 4 K B のときは、任意の論理ページ番号のエントリを各バンクに最大 3 2 エントリ（全体で 1 2 8 エントリ）保有することができる。一方、ページサイズが 1 K B の場合、当該論理ページ番号 $v p n$ の最下位から 2 ビット $v p n (1 1 - 1 0)$ はインデックスに利用されない。このため、論理ページサイズが 1 K B で、バンクの数が一つの場合におけるインデックスを考えると、インデックスされたエントリは、5 ビットのインデックスアドレスによって選ばれた 4 個の論理ページ番号（それぞれが 1 K B のページサイズを持つ）の内のいずれかを指す。インデックスに利用されない 2 ビット（ビット 1 0 , 1 1）は、この選ばれた 4 個の論理ページ番号の内の何れか一つを指すために使われるものである。したがって、バンクの数が 1 個しか存在しない場合には、連続する 4 個の論理ページに対して、1 個しかエントリが割り当てられない。本実施例においては、論理ページの最大サイズが最小サイズに対して 2 の N 乗倍とされ、バンクの数も 2 の N 乗個設けられている。すなわち、論理ページサイズの最小サイズは 1 K B とされ、最大サイズは、その 2 の 2 乗倍である 4 K B とされ、バンク数は 2 の 2 乗個である数（4 個）設けられている。このようにすることにより、4 K B ページサイズの場合とほぼ同様に、アドレス変換バッファ 1 には、全体としては 1 K B ページサイズの、任意論理ページ番号のエントリを、1 2 8 個保有することができる。但し、一つのバンクに保有できるエントリの論理ページ番号は 4 K B 毎という制約を受ける。この制限は、アドレス変換バッファ 1 の保有するエントリの論理ページ番号が連続的であれば、T L B 1 のヒット率には何等影響を与えない。分散的である場合にはある程度ヒット率に影響を受ける。この場合でも、1 K B の論理ページを 2 K B 毎にアドレスマッピングすればその影響を小さくでき、4 K B 毎にアドレスマッピングすれば全く影響を受けないようにすることができる。例えば、1 K B ページサイズの変換情報をアドレス変換バッファ 1 へ設定する（書き込む）際、4 個のバンク 1 1 , 1 2 , 1 3 , 1 4 のそれぞれから、5 ビットのインデックスアドレスによって指示される 4 個のエントリに、2 ビット $v p n (1 1 - 1 0)$ が " 0 0 " のときの変換情報、2 ビット $v p n (1 1 - 1 0)$ が " 0 1 " のときの変換情報、2 ビット $v p n (1 1 - 1 0)$ が " 1 0 " のときの変換情報、2 ビット $v p n (1 1 - 1 0)$ が " 1 1 " のときの変換情報を、各々設定する。このようにすれば、ヒット率の低下を防ぐことが可能となる。

10

20

30

40

50

【 0 0 6 7 】

ヒット判定のためのアドレス比較のビット数は、図 1 2 に基づいて説明したように論理ページサイズに応じて変化されなければならない。論理ページサイズが 1 K B の場合には、4 K B の場合に比べて $v p n (1 1 - 1 0)$ を $V P N (1 1 - 1 0)$ と比較しなければならない。T L B 1 はそのような比較対象のビット数を全てカバーできるように $V P N (3 1 - 1 7)$ と $V P N (1 1 - 1 0)$ の記憶領域を備え、且つ、物理ページ番号 P P N に対しても 2 2 ビットの記憶領域を備えている。T L B 1 は、各エントリのデータ部にそれがサポートする論理ページサイズを示すサイズビット S Z を有しており、その値に応じてヒット判定のためのアドレス比較のビット数が変化される。図 1 2 で説明したように、サイズビット S Z = 1 (論理ページサイズ = 4 K B) の場合には、 $V P N (3 1 - 1 7)$ が論理アドレスの対応ビットとの比較対象とされ、サイズビット S Z = 0 (論理ページサイズ = 1 K B) の場合には、 $V P N (3 1 - 1 7)$ と $V P N (1 1 - 1 0)$ とが論理アドレスの対応ビットとの比較対象とされる。

10

【 0 0 6 8 】

このように複数ページサイズを選択的にサポートするマクロコンピュータは、システムに実装される実メモリの全記憶容量が少ないような場合に、論理ページのサイズを比較的小さくして各プロセスによるメモリ利用効率を向上させたいという要求にも容易に対応できる。このとき、最大論理ページサイズが最小サイズの 2 のべき乗数倍にされ、そのセットアソシアティブ方式の T L B 1 のバンクの数をその 2 のべき乗数以上にすることにより、インデックスアドレスの指定手法を最大論理ページサイズのものに統一化しても、選ばれている論理ページサイズが最大であっても最小であっても、原理的にはどの論理ページ番号のエントリについてもアドレス変換バッファ 1 に保有可能にすることができる。論理ページ番号に対応させて、論理ページのサイズを示すための情報を設け、このサイズを用いてヒット判定のためのアドレス比較のビット数を変化させることにより、アドレス変換バッファ 1 を連想的に検索するための比較対象情報のビット数やビット位置を、論理ページのサイズによって変化させることを容易に実現できる。複数ページサイズをサポートするアドレス変換バッファ 1 をセットアソシアティブ形式のキャッシュメモリで実現することは、これを C A M で構成する場合に比べてチップ専有面積と消費電力を共に半減させることができる。

20

【 0 0 6 9 】

《複数のインデックス方法をサポート》 複数のプロセスが存在し、夫々のプロセスが夫々のアドレス変換情報を有し、プロセス番号 $a s i d$ によって、それぞれのプロセスが区別されるところの多重仮想記憶をサポートする場合、T L B 1 のインデックスアドレスを指定する手法として、図 2 に示されるように論理アドレスの一部 (インデックスアドレス) のみをデコードする手法と、図 3 に示されるように排他的論理和ゲート X O R によってその論理アドレスの一部 (インデックスアドレス) を現在のプロセス番号 $a s i d$ の一部によって修飾した結果をデコードする手法とを、レジスタ M M U C R のビット M M U C R . I X の論理値にしたがって指示することができる。これによれば、多重仮想記憶において多くのプロセスが並列的に起動される利用形態においてヒット率の低下を抑えることができるように、その利用形態に応じてインデックス方法を選択可能にすることができる。また、論理アドレスの一部を当該論理アドレスを利用するプロセスの番号 $a s i d$ によって修飾し、これを以てバッファメモリをインデックスすることにより、多重仮想記憶において多くのプロセスが並列的に起動される利用形態においてヒット率の低下を抑えることができる。

30

40

【 0 0 7 0 】

《リプレースの自由度》 上述の如く T L B 1 は、夫々のインデックスアドレスが共通化された複数バンク 1 1 ~ 1 4 を持つ 4 ウェイ・セットアソシアティブ方式のキャッシュメモリとして構成されている。キャッシュミスなどにおいて、その複数バンク (ウェイ) の中から記憶情報を置換すべき場合に、当該置換されるべきバンクは、中央処理装置 3 によるソフトウェアの実行によって任意に指定可能にされる。図 6 に示されるレジスタ M M U

50

CRの内、ビットMMUCR・RCは、上記バンクを任意に指定するための2ビットの情報
 が設定される領域である。これに設定された値が、図4のデコーダ17によって解読さ
 れることにより、4個のバンク11~14の中から一つを選ぶ信号(BSL1~BSL4)
)が形成される。これにより、インデックスアドレス2で指定された4個のバンク11~
 14内のエントリの内の一つが、上記選択信号(BSL1~BSL4)によって選択され
 、置換対象とされる。ビットMMUCR・RCはランダムカウンタのような計数手段とし
 て使うこともできる。MMUCR・RCのビット数の2のべき乗数は上記バッファメモリ
 1のバンクの数(=4)に一致される。制御回路(CTRL)50は、図15に基づいて
 説明したように、TLB1に対する記憶情報の置換が必要になった(TLBミス)場合、
 そのMMUCR・RCを1インクリメントし、何れのバンクもインデックスされた記憶領
 域に有効なデータを保持している(インデックスされた各エントリ内の変換情報Vが1を
 保有する)と、そのインクリメントされた結果を置換すべきバンク番号とし、インデッ
 クスされた記憶領域に有効なデータを保持していない(インデックスされた何れかのエ
 ントリはV=0を保有する)バンクがある場合には、そのバンク番号をMMUCR・RCにセ
 ットし且つセットされた番号のバンクを置換すべきバンクとする、という一定の規則に
 従って置換すべきバンクを指定する。このとき、MMUCR・RCの各ビットは中央処理装
 置3によるソフトウェアの実行によって任意に値が変更可能な対象とされる。すなわち、
 MMUCR・RCはTLBミスの発生によって+1される動作に限定されない。特定の値
 を除外するようにMMUCR・RCを更新してもよい。さらに、CPU3が実行するソフ
 トウェアのアルゴリズム次第で、種々の置換が可能である。例えば、ランダム、最初
 にロ
 ードされたものからリプレースするFIFO、又は最後に参照されたものからリプレ
 ースするLRU(Least Recentry Used)などのリプレースを、MMUCR・RCの更新方法
 を変えることに容易に実現できる。そのため、リプレースの自由度も保証できる。

【0071】

このようにTLB1のエントリを置き換えるためのリプレースメントアルゴリズムを固定
 化せず、置き換えるべきバンクをソフトウェアで任意に決定可能にすることにより、デー
 タ処理の都合上、常に特定の変換対をアドレス変換バッファ1にエントリとして格納して
 おきたいという要求や、特定のエントリをリプレース対象にしたいという要求に容易
 に答えることができるようになる。

【0072】

《単一仮想記憶と多重仮想記憶のサポート》 本実施例のマイクロコンピュータにおいて
 は、実行されるべき複数のプロセスの夫々が論理空間の全域にわたるアドレス変換情報
 を有する場合、プロセス番号asidによって、その論理アドレスを修飾或いは拡張する多
 重仮想記憶を、また、実行されるべき複数のプロセスに論理アドレス空間の一部が排他的
 に割り当てられ、夫々のプロセスがそれに割り当てられた論理アドレス空間のアドレス
 変換情報を有する場合、プロセス番号asidによって論理アドレスを修飾或いは拡張しな
 い単一仮想記憶を、選択することが可能とされる。そのような仮想記憶についての制御は
 、図6に例示されるMMUCR・SVの値によって指示される。MMUCR・SVの値は
 中央処理装置3がソフトウェアを実行することによって任意に設定される。単一仮想記憶
 と多重仮想記憶との概念的な相違は図20で説明した通りであり、その他の代表的な相違
 点については図19に例示されている。図5に示されるようにTLB1は論理ページ番号
 VPNと物理ページPPN番号と共にプロセス番号ASIDのフィールドを有する。この
 フィールドの値は、単一仮想記憶か多重仮想記憶かでその処理内容が相違されることにな
 る。あるTLBエントリに含まれるプロセス番号に対応される論理ページが、他のプロセ
 スと共有不可能であると設定されているとき、多重仮想記憶においては、そのプロセス
 番号ASIDは図17で説明したようにTLB1のTLBヒット/ミスの判定に用いられる
 。したがって、TLB1に格納されているエントリの論理ページ番号VPNが論理ページ
 アドレスvpnに一致すると共に当該エントリのプロセス番号ASIDが現在のプロセス
 の番号asidに一致していなければTLBヒットとはされない。単一仮想記憶において
 は、プロセス番号ASIDはメモリ保護情報(ドメイン番号)として使用される。ユーザ

10

20

30

40

50

モードにおいて、非共有ページに対する、他プロセスによる当該ページへのアクセスは、TLBプロテクト違反例外としてソフトウェアにより処理される。

【0073】

MMUCR.SVの値をCPU3を介して設定することにより単一仮想記憶と多重仮想記憶の双方を選択的にサポート可能にすることにより、アドレス変換機構の使い勝手を向上させることができる。多重仮想記憶におけるプロセス番号ASIDを単一仮想記憶におけるメモリ保護情報として使用することにより、その場合におけるメモリ保護の完全化を容易に実現することができる。

【0074】

以上本発明者によってなされた発明を実施例に基づいて具体的に説明したが、本発明はそれ

10

【0075】

例えば、上記実施例においてTLBのウェイ数、即ちバンクの数を5以上例えば8にすることも可能である。例えばページサイズを1KBと8KBにする場合にはLTBのウェイ数(バンク数)は8以上とすればよい。また、ページサイズを4KBと16KBにする場合にはLTBのウェイ数(バンク数)は4以上であればよい。それらによっても上記実施例と同様の効果を得ることができる。要はサポートするページの最大サイズが最小サイズの2のべき乗数倍にされ、そのセットアソシアティブ方式のバッファメモリのセットの数がその2のべき乗数以上であればよい。マイクロコンピュータがサポートするアドレス空間のサイズは4GBに限定されず、それに応じて論理アドレスのビット数も制限されない。サポートするページサイズも適宜のサイズに、且つサポートする種類の数も適宜変更可能である。また、TLBエントリとして保有する論理ページ番号VPNは上記実施例のようにインデックスに利用される対応ビットを除いたものとする構成に限定されず、論理ページ番号の全ビットをTLBエントリとして保有することもできる。

20

【0076】

以上の説明では主として本発明者によってなされた発明をその背景となった利用分野であるマイクロコンピュータに利用した場合について説明したが、本発明はそれに限定されず、例えばMMU(メモリマネージメントユニット)用のコントローラチップなどにも広く適用することができる。

30

【0077】

【発明の効果】

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記の通りである。

【0078】

すなわち、チップ専有面積と電力消費量を増大させることなく、複数のページサイズをサポートできるデータ処理装置を実現することができる。インデックス方法を選択できるアドレス変換機構を実現することができる。アドレス変換対のリプレース対象に自由度を持たせることができる。また、サポートできる仮想記憶形式についても自由度を持たせることができる。これらにより、ユーザの要求仕様に応えることができ使い勝手の良好なアドレス変換機構を備えたデータ処理装置を実現することができる。

40

【図面の簡単な説明】

【図1】本発明の一実施例に係るマイクロコンピュータにおける複数ページサイズをサポートする構成の説明図である。

【図2】論理ページアドレスの一部をそのまま利用してTLBをインデックスする手法の説明図である。

【図3】論理ページアドレスの一部とプロセス番号の一部を用いてTLBをインデックスする手法の説明図である。

【図4】TLBエントリのリプレース対象バンクをソフトウェアで任意に決定可能とする構成の説明図である。

50

【図5】ページサイズの異なる論理アドレスとそれらをサポートするためのTLBエントリのフォーマットの一例を説明するための説明図である。

【図6】TLBのための各種レジスタの一例を説明するための説明図である。

【図7】本発明の一実施例に係るマイクロコンピュータの要部を示す全体ブロック図である。

【図8】本実施例のマイクロコンピュータがサポートするアドレスマップの一例を(A)及び(B)にて示す説明図である。

【図9】記憶保護に利用されるプロテクションビットPRによって規定されるアクセス権の説明図である。

【図10】アドレス変換の制御メインフローチャートである。

10

【図11】TLBのインデックス手法選択のための制御フローチャートである。

【図12】論理アドレスとそれによってインデックスされたタグとのアドレス比較の制御フローチャートである。

【図13】単一仮想記憶においてASIDをメモリ保護に利用する制御を含んだプロテクション制御の部分的なフローチャートである。

【図14】ページサイズに従った物理アドレス生成手順を示すフローチャートである。

【図15】リプレース対象バンクをハードウェア的に指定するための制御フローチャートである。

【図16】TLBミスにより生じる例外によって、起動されるところのTLBエントリを更新するためのTLBミスハンドラによる処理の一例を示すフローチャートである。

20

【図17】単一仮想記憶におけるTLBに関する例外検出処理の前半を示すフローチャートである。

【図18】単一仮想記憶におけるTLBに関する例外検出処理の後半を示すフローチャートである。

【図19】単一仮想記憶と多重仮想記憶との全体的な相違を示す説明図である。

【図20】単一仮想記憶と多重仮想記憶との概念を(A)及び(B)にて示す説明図である。

【図21】TLBの各バンクにおけるヒット信号に反映すべきアドレス比較結果を制御する制御ロジックの一例を示す論理回路図である。

【図22】図7の一部を更に詳細に示したブロック図である。

30

【符号の説明】

1 アドレス変換バッファ(バッファメモリ)

VPN 論理ページ番号

PPN 物理ページ番号

ASID, asid 空間番号(プロセス番号)

vpn 論理ページアドレス(論理ページ番号)

ppn 物理ページアドレス(物理ページ番号)

PR プロテクションキー

11~14 バンク

15 比較手段

40

151~153 コンパレータ

154 制御ロジック

2 インデックス用アドレス

XOR 排他的論理和ゲート

3 中央処理装置

4 キャッシュメモリ

5 TLBコントローラ

50 制御回路

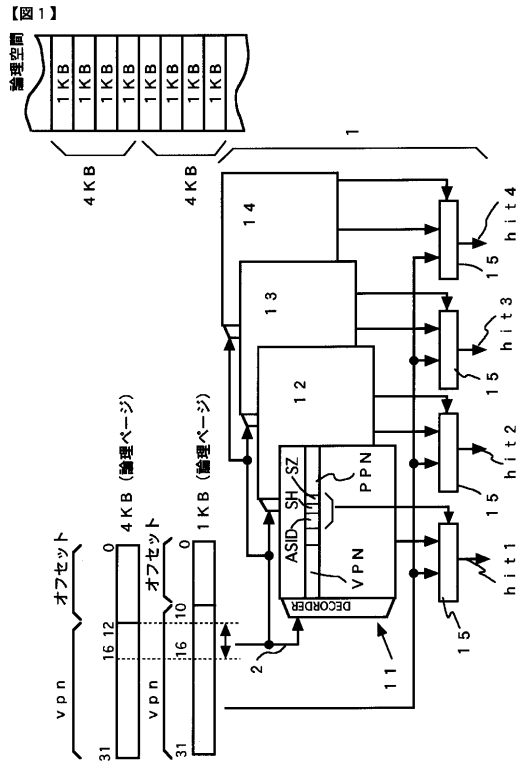
51 PTEHレジスタ

52 PTELレジスタ

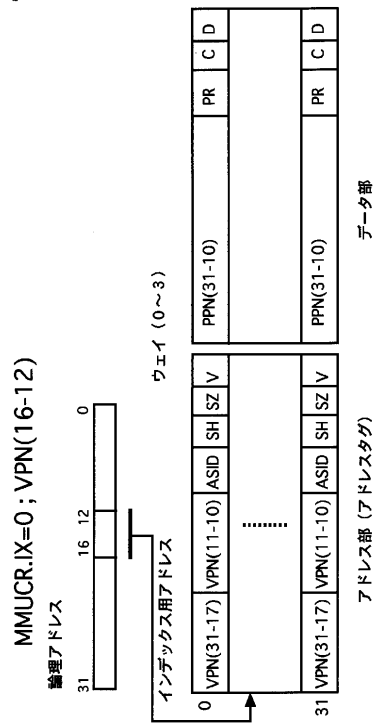
50

- 5 3 T T B レジスタ
- 5 4 T E A レジスタ
- 5 5 M M U C R レジスタ
- S V シングルパーチャルビット
- S Z サイズビット
- I X インデックスモードビット
- R C ランダムカウンタ
- M D モードビット

【 図 1 】

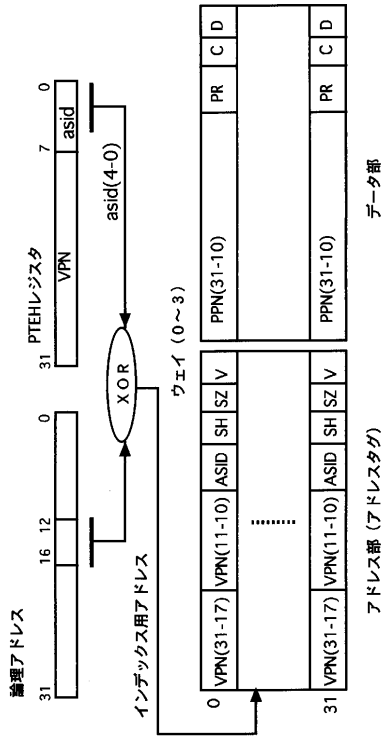


【 図 2 】

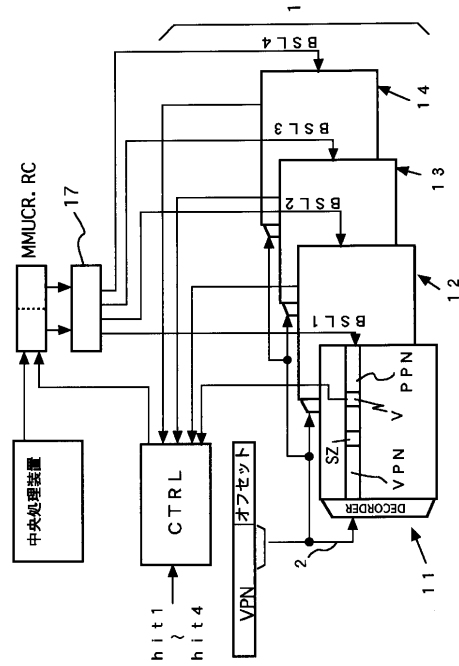


【 図 3 】

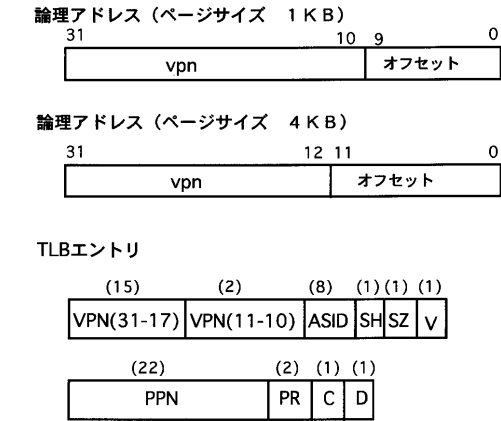
MMUCR.IX=1 ; ASID(4-0) ^ VPN(16-12) (^=排他的論理和)



【 図 4 】

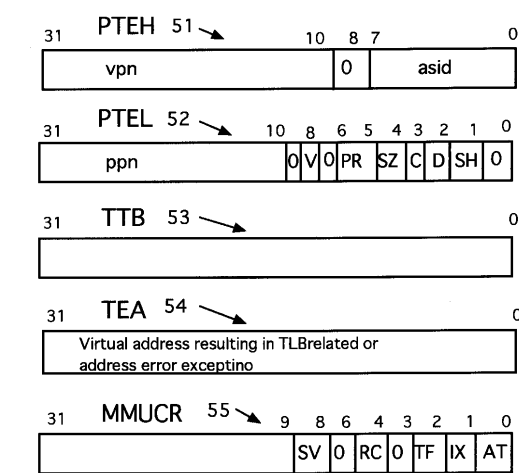


【 図 5 】



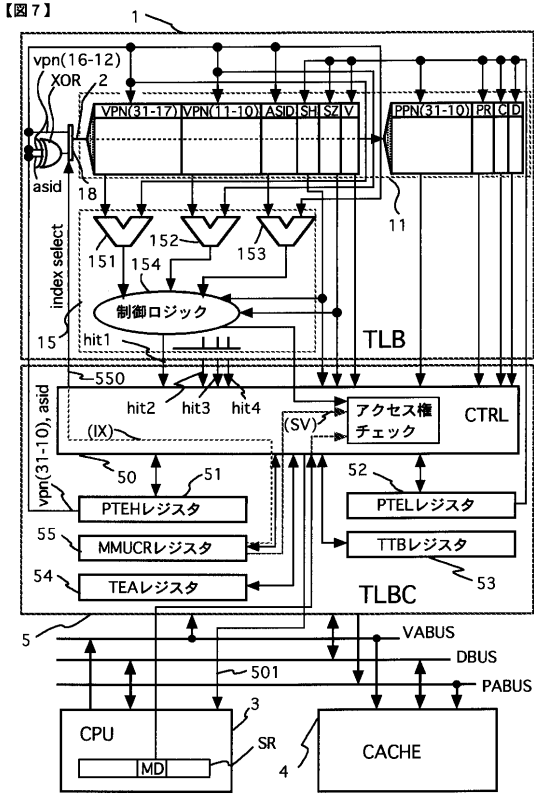
- vpn, VPN : Virtual Page Number
- ASID : Address Space Identifier
- PPN : Physical Page Number
- V : Valid ; 1=valid, 0=invalid
- SH : Share status bit
 - ; 0=page not shared between processes
 - ; 1=page shared between processes
- D : Dirty bit, indicates if the page has been written to,
 - 1=written to, 0=not written to
- C : Cacheable bit
 - ; 1=cacheable, 0=non-cacheable
- PR : Protection key field, 2-bit field encoded to define the access rights to the page
- SZ : Page size bit
 - ; 1=4-KB page, 0=1-KB page

【 図 6 】

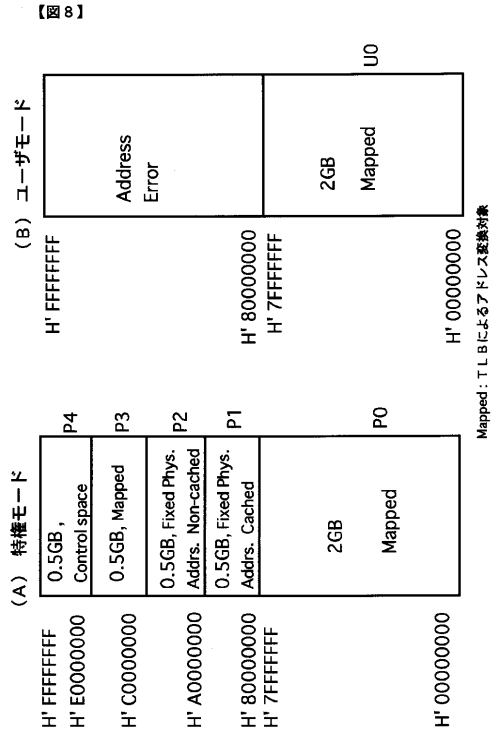


- AT : Address Translation bit ; 1=enable, 0=disable
- TF : TLB Flush bit ; 1=Flush TLB, 0=no operation and always should be read as 0.
- RC : Random counter field, a 2-bit counter incremented by one every TLB miss by the processor. Software can set required value to this field.
- IX : Index mode bit ; a logic one designates that bits 4-0 of the ASID and bits 16-12 of the VPN are used to index the TLB. a logic zero designates that bits 16-12 of the VPN are used to index the TLB.
- SZ : Page size bit ; 1=4-KB page, 0=1-KB page
- SV : Single virtual support,
 - 1=single virtual support,
 - 0=Multiple virtual support

【 7 】



【 8 】

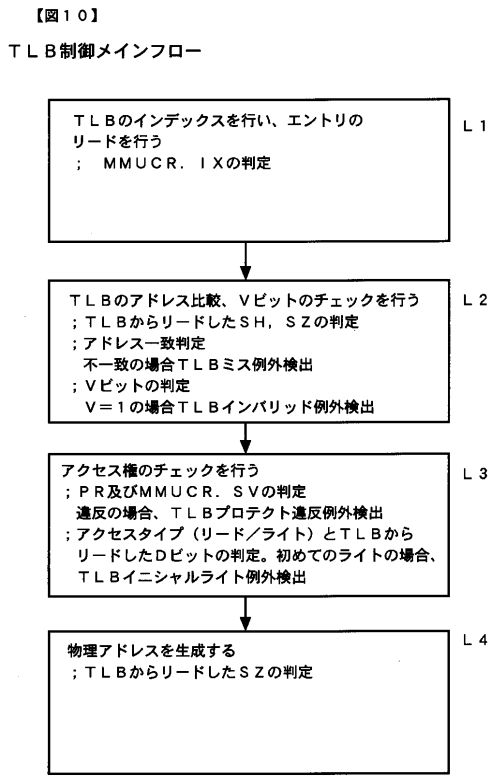


【 9 】

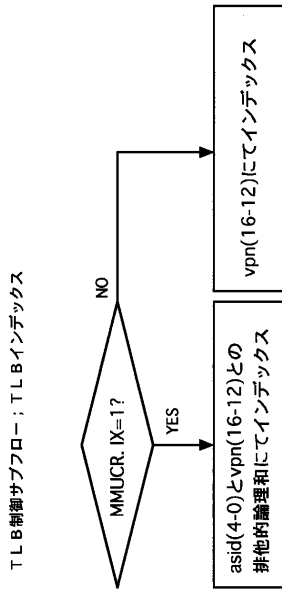
アクセス権

PR	許容アクセス		メモ
	特権モード	ユーザーモード	
00	read only	no access	privileged mode only
01	read / write	no access	user write fault
10	read only	read only	normal access
11	read / write	read / write	normal access

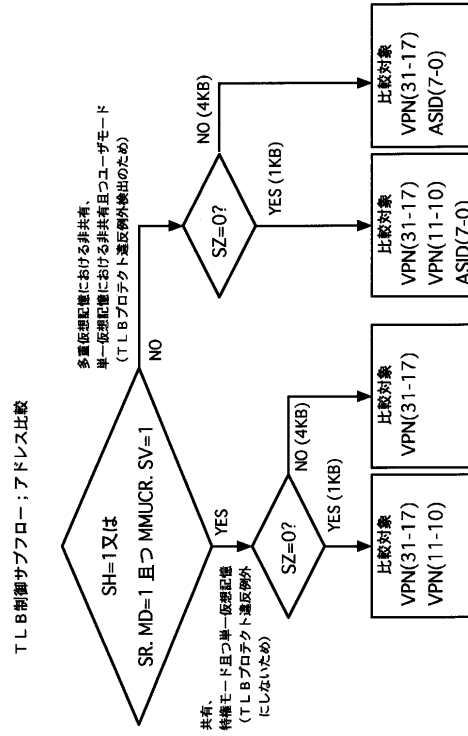
【 10 】



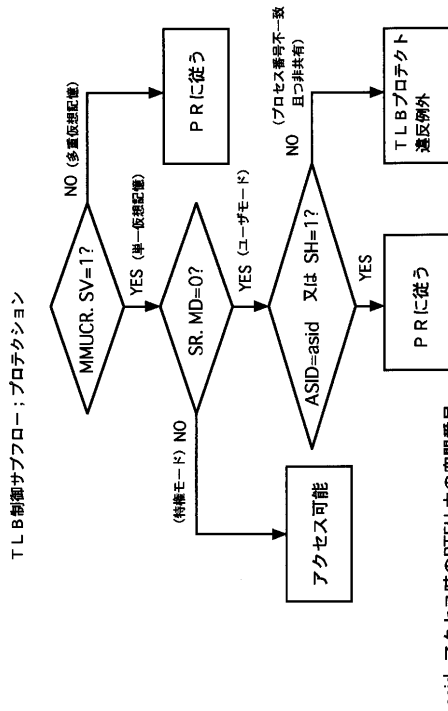
【 図 1 1 】



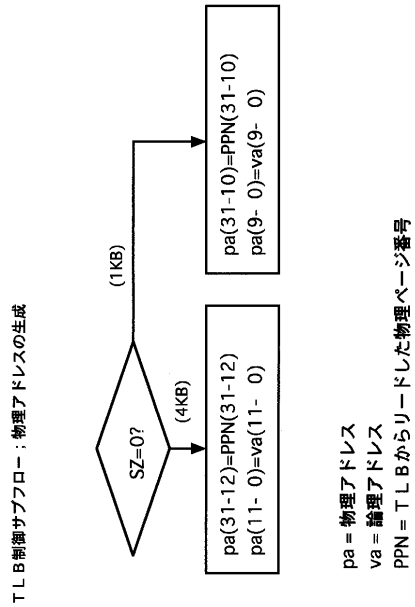
【 図 1 2 】



【 図 1 3 】



【 図 1 4 】



【図19】

【図19】

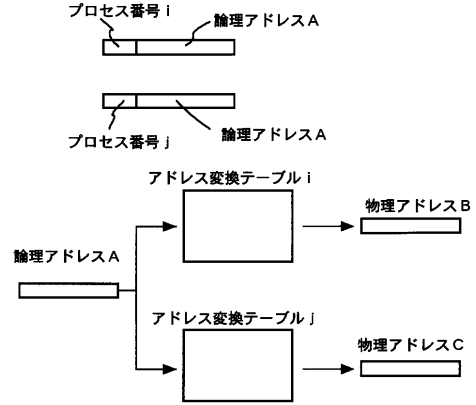
単一仮想記憶と多重仮想記憶	
論理空間	多重仮想記憶 全プロセスが使用
変換情報	単一仮想記憶 プロセス毎に分割して使用
保護 (ユーザモード)	全プロセス共通に一つ存在
保護 (特権モード)	共有ページ：PRに従う 非共有ページ：自プロセスのページはPRに従う 他プロセスのページはアクセス禁止
	PRに従う

PR：プロセス毎にメモリ上のアドレス変換情報に含まれる

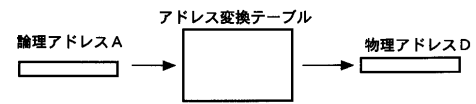
【図20】

【図20】

(A) 多重仮想記憶

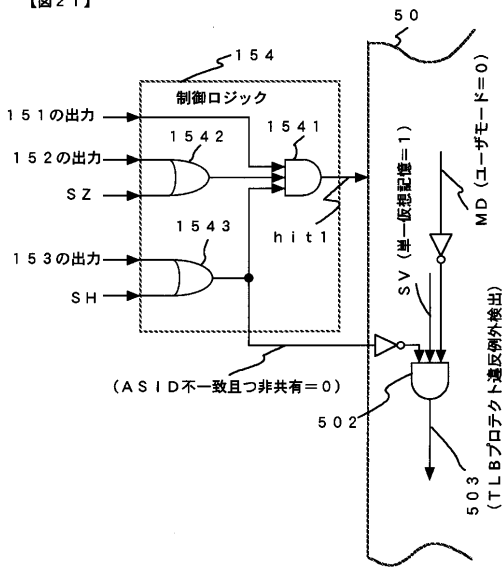


(B) 単一仮想記憶



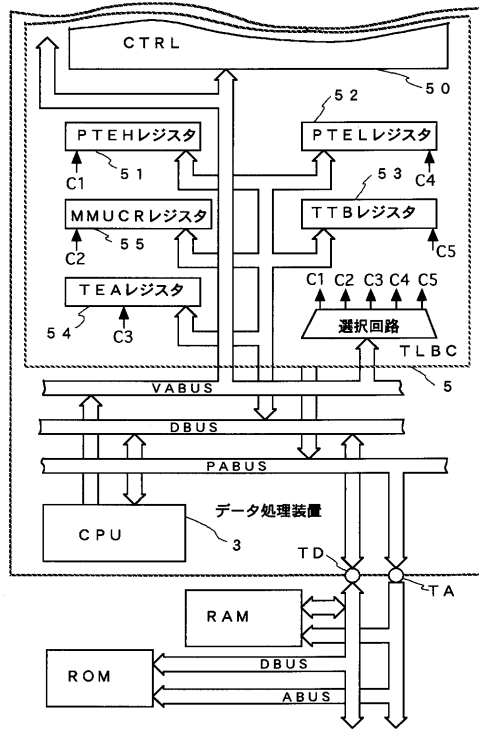
【図21】

【図21】



【図22】

【図22】



フロントページの続き

(72)発明者 成田 進

東京都小平市上水本町5丁目20番1号 株式会社日立製作所 半導体事業部内

審査官 清木 泰

- (56)参考文献 特開平6 - 202954 (JP, A)
特開平6 - 95969 (JP, A)
特開平4 - 160448 (JP, A)
特開昭47 - 1406 (JP, A)
特開昭63 - 177239 (JP, A)
特開平5 - 81132 (JP, A)
特開昭64 - 10359 (JP, A)
特開平5 - 314003 (JP, A)
特開昭61 - 269753 (JP, A)
特開昭63 - 231550 (JP, A)
特開昭63 - 223849 (JP, A)

(58)調査した分野(Int.Cl., DB名)

G06F12/08-12/12