

【公報種別】特許法第17条の2の規定による補正の掲載
 【部門区分】第6部門第3区分
 【発行日】平成18年12月21日(2006.12.21)

【公開番号】特開2000-215057(P2000-215057A)
 【公開日】平成12年8月4日(2000.8.4)
 【出願番号】特願平11-321525
 【国際特許分類】

G 0 6 F 9/38 (2006.01)

【F I】

G 0 6 F 9/38 3 7 0 B

G 0 6 F 9/38 3 7 0 X

【手続補正書】

【提出日】平成18年11月6日(2006.11.6)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】 データ処理装置において、
 ランダム・アクセス・メモリと、
 前記ランダム・アクセス・メモリに接続された命令セット・アーキテクチャ (I S A)
 ・ハードウェア・アクセラレータと、
 前記ランダム・アクセス・メモリに前記ハードウェア・アクセラレータを接続するプロ
 セッサと
 を備えたデータ処理装置。

【請求項2】 前記データ処理装置は、単一サイクルにおいて多重オペレーションを
 実行する請求項1記載のデータ処理装置。

【請求項3】 前記多重オペレーションは、メモリ・アクセス、オペレーション及び
 レジスタ転送を含む請求項2記載のデータ処理装置。

【請求項4】 前記のうちの少なくとも1つのバスは、前記ランダム・アクセス・メ
 モリを前記ハードウェア・アクセラレータに接続する請求項1、2、または3に記載のデ
 ータ処理装置。

【請求項5】 前記のうちの少なくとも1つのバスは、16ビット・バスである請求
 項4記載のデータ処理装置。

【請求項6】 多重バスが前記プロセッサを前記ハードウェア・アクセラレータに接
 続する請求項1記載のデータ処理装置。

【請求項7】 前記多重バスの各々の一つは双方向および、単方向である請求項6記
 載のデータ処理装置。

【請求項8】 前記プロセッサは、デジタル信号プロセッサである請求項1、2、
3、5、6、または7記載のデータ処理装置。

【請求項9】 前記デジタル信号プロセッサは、前記ランダム・アクセス・メモリ
 に接続されたアドレス発生ユニット、前記ハードウェア・アクセラレータに接続されたデ
 ータ・アキュムレータ、前記ハードウェア・アクセラレータに接続されたステータス・フ
 ラグ、及び前記ハードウェア・アクセラレータに接続されたコプロセッサ命令インターフ
 ェースを含む請求項8記載のデータ処理装置。

【請求項10】 前記ハードウェア・アクセラレータは、
 デコーダと、

前記デコーダをオペレータ・カーネルに接続され第1のレジスタと、
前記オペレータ・カーネルに接続されたクロック・コントローラと
を備えている請求項1、2、3、5、6または7記載のデータ処理装置。

【請求項11】 前記デコーダは、命令信号及びストロブ信号を受け取るように、
かつ誤り信号を出力するように接続されている請求項10記載のデータ処理装置。

【請求項12】 前記第1のレジスタ及び前記クロック・コントローラは、クロック
信号を受け取るように接続されている請求項10記載のデータ処理装置。

【請求項13】 更に、前記オペレータ・カーネルに接続され、かつ前記クロック・
コントローラに接続された第2のレジスタを備えている請求項10記載のデータ処理装置
。

【請求項14】 更に、第3のレジスタを含み、前記第3のレジスタは前記オペレー
タ・カーネルに接続され、かつ前記第2のレジスタに接続されている請求項13記載のデ
ータ処理装置。

【請求項15】 更に、第3のレジスタ、及び第4のレジスタを含み、前記第3のレ
ジスタは前記オペレータ・カーネルに接続され、前記第4のレジスタは前記オペレータ・
カーネルに接続され、かつ前記第3のレジスタに接続された請求項10記載のデータ処理
装置。

【請求項16】 前記第2、第3及び第4のレジスタは、データRAMを更に接続さ
れている請求項15記載のデータ処理装置。

【請求項17】 更に、前記オペレータ・カーネル上の第1のポートに接続されたバ
スを含む請求項10記載のデータ処理装置。

【請求項18】 更に、前記オペレータ・カーネル上の第2のポートに接続されたバ
スを含む請求項10記載のデータ処理装置。

【請求項19】 更に、前記オペレータ・カーネル上の第3のポートに接続されたバ
スを含む請求項10記載のデータ処理装置。

【請求項20】 更に、前記オペレータ・カーネル上のフラグ・ポートに接続された
バスを含む請求項10記載のデータ処理装置。

【請求項21】 データ処理装置は、
ランダム・アクセス・メモリと、
前記ランダム・アクセス・メモリに接続された第1のプロセッサと、
前記ランダム・アクセス・メモリに接続された第2のプロセッサと、
前記ランダム・アクセス・メモリを前記第1及び第2のプロセッサに接続されたハード
ウェア・アクセラレータと
を備えたデータ処理装置。

【請求項22】 前記データ処理装置は、単一サイクル内で多重オペレーションを実
行する請求項21記載のデータ処理装置。

【請求項23】 前記多重オペレーションは、メモリ・アクセス、オペレーション及
びレジスタ転送を備えている請求項21のデータ処理装置。

【請求項24】 少なくとも1つのバスは、前記ランダム・アクセス・メモリを前記
ハードウェア・アクセラレータに接続している請求項21、22または23記載のデータ
処理装置。

【請求項25】 少なくとも1つのバスは、16ビット・バスである請求項24記載
のデータ処理装置。

【請求項26】 多重バスは、前記プロセッサを前記ハードウェア・アクセラレータ
に接続されている請求項21記載のデータ処理装置。

【請求項27】 前記多重バスの各々の一つは双方向、および単方向である請求項2
6記載のデータ処理装置。

【請求項28】 前記第1のプロセッサは、デジタル信号プロセッサである請求項
21、22、23、25または26記載のデータ処理装置。

【請求項29】 前記デジタル信号プロセッサは、前記ランダム・アクセス・メモ

りに接続されたアドレス発生ユニット、前記ハードウェア・アクセラレータに接続されたデータ・アキュムレータ、前記ハードウェア・アクセラレータに接続されたステータス・フラグ、及び前記ハードウェア・アクセラレータに接続されたコプロセッサ命令インターフェースを備えている請求項 2 8 記載のデータ処理装置。

【請求項 3 0】 前記ハードウェア・アクセラレータは、
デコーダと、
前記デコーダをオペレータ・カーネルに接続した第 1 のレジスタと、
前記オペレータ・カーネルに接続されたクロック・コントローラと
を備えている請求項 2 1、2 2、2 3、2 5 または 2 6 記載のデータ処理装置。

【請求項 3 1】 前記デコーダは、命令信号、及びストロブ信号を受け取るように、かつ誤り信号を出力するように接続されている請求項 3 0 記載のデータ処理装置。

【請求項 3 2】 前記第 4 のレジスタ及び前記クロック・コントローラは、クロック信号を受け取るように接続されている請求項 3 0 記載のデータ処理装置。

【請求項 3 3】 更に、前記オペレータ・カーネルに接続され、かつ前記クロック・コントローラに接続された第 2 のレジスタを備えている請求項 3 0 記載のデータ処理装置。

【請求項 3 4】 更に、第 3 のレジスタを含み、前記第 3 のレジスタは、前記オペレータ・カーネルに接続され、かつ前記レジスタに接続されている請求項 3 3 記載のデータ処理装置。

【請求項 3 5】 更に、第 3 のレジスタ及び第 4 のレジスタを含み、前記第 3 のレジスタは前記オペレータ・カーネルに接続されると共に、前記第 2 のレジスタに接続され、かつ前記第 4 のレジスタは前記オペレータ・カーネルに接続されると共に、前記第 3 のレジスタに接続されている請求項 3 0 記載のデータ処理装置。

【請求項 3 6】 前記第 2、第 3 及び第 4 のレジスタは、更にデータ R A M に接続されている請求項 3 5 記載のデータ処理装置。

【請求項 3 7】 更に、前記オペレータ・カーネル上の X R ポートに接続されたバスを含む請求項 3 0 記載のデータ処理装置。

【請求項 3 8】 更に、前記オペレータ・カーネル上の Y W ポートに接続されたバスを含む請求項 3 0 記載のデータ処理装置。

【請求項 3 9】 更に、前記オペレータ・カーネル上の X W ポートに接続されたバスを含む請求項 3 0 記載のデータ処理装置。

【請求項 4 0】 更に、前記オペレータ・カーネル上のフラグに接続されたバスを含む請求項 3 0 記載のデータ処理装置。

【請求項 4 1】 電気通信装置において、
アナログ回路及びディジタル回路をアンテナに接続し、前記ディジタル回路はプロセッサに接続した インストラクション・セット・アーキテクチャ (I S A) エクステンション・ハードウェア・アクセラレータを含む R F 回路と、
前記 R F 回路、前記アナログ回路及び前記ディジタル回路に接続された電源とを備えた電気通信装置。

【請求項 4 2】 前記 R F 回路は R F フロント・エンドを備え、前記アナログ回路はアナログ・フロント・エンドを備え、前記ディジタル回路はディジタル・ベース・バンド・エレクトロニクスを備えている請求項 4 1 記載の電気通信装置。

【請求項 4 3】 更に、ディスプレイ、前記ディジタル回路に接続されたキーボード、及び前記アナログ回路に接続されたスピーカ及びマイクロホンを含む請求項 4 1 または 4 2 記載の電気通信装置。

【請求項 4 4】 単一サイクル内の多重オペレーションを容易にするように、データ処理システムの インストラクション・セット・アーキテクチャ (I S A) エクステンションにハードウェア・アクセラレータを使用する方法。

【請求項 4 5】 前記 I S A エクステンションは、カスタマイズ可能なインストラクションで多重動作を可能とする請求項 4 4 記載の方法。

【請求項 46】 前記 I S A エクステンションは処理装置のスレーブ・コンポーネントである請求項 44 または 45 記載の方法。

【請求項 47】 前記 I S A エクステンション・ハードウェア・アクセラレータは、カスタマイズ可能なインストラクションで多重動作を可能とする請求項 41 記載の電気通信装置。

【請求項 48】 前記 I S A エクステンション・ハードウェア・アクセラレータは、処理装置のスレーブ・コンポーネントである、請求項 41 記載の電気通信装置。

【請求項 49】 前記 I S A エクステンション・ハードウェア・アクセラレータは、処理装置のスレーブ・コンポーネントである、請求項 1－3、5、6、7、9、11－20 記載のデータ処理装置。

【請求項 50】 前記 I S A エクステンション・ハードウェア・アクセラレータは、カスタマイズ可能なインストラクションで多重動作を可能とする請求項 2 記載のデータ処理装置。