



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2014-0054465  
(43) 공개일자 2014년05월08일

- (51) 국제특허분류(Int. Cl.)  
*H01L 29/786* (2006.01) *H01L 21/336* (2006.01)  
*H01L 51/50* (2006.01)
- (21) 출원번호 10-2014-7010616(분할)
- (22) 출원일자(국제) 2011년08월25일  
심사청구일자 없음
- (62) 원출원 특허 10-2013-7009088  
원출원일자(국제) 2011년08월25일
- (85) 번역문제출일자 2014년04월21일
- (86) 국제출원번호 PCT/JP2011/069855
- (87) 국제공개번호 WO 2012/035984  
국제공개일자 2012년03월22일
- (30) 우선권주장  
JP-P-2010-207009 2010년09월15일 일본(JP)

- (71) 출원인  
가부시키가이샤 한도오따이 에네루기 켄큐쇼  
일본국 가나가와Ken 아쓰기시 하세 398
- (72) 발명자  
이노우에 세이코  
일본국 2430036 가나가와 아쓰기시 하세 398 가부  
시키가이샤 한도오따이 에네루기 켄큐쇼 내  
미야케 히로유키  
일본국 2430036 가나가와 아쓰기시 하세 398 가부  
시키가이샤 한도오따이 에네루기 켄큐쇼 내  
토요타카 코우헤이  
일본국 2430036 가나가와 아쓰기시 하세 398 가부  
시키가이샤 한도오따이 에네루기 켄큐쇼 내
- (74) 대리인  
황의만

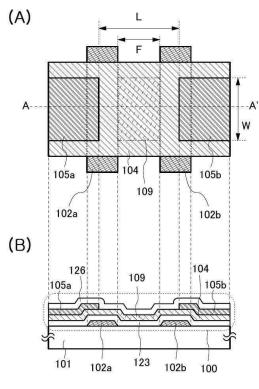
전체 청구항 수 : 총 14 항

(54) 발명의 명칭 반도체 장치 및 표시 장치

**(57) 요 약**

절연 표면 위에 형성되고, 서로 떨어져 설치된 제 1 게이트 전극 및 제 2 게이트 전극과, 게이트 절연막을 사이에 끼우고, 제 1 게이트 전극 및 제 2 게이트 전극과 중첩되는 영역, 및 제 1 게이트 전극 및 제 2 게이트 전극과 중첩되지 않는 영역을 갖는 산화물 반도체막과, 게이트 절연막, 제 1 게이트 전극, 제 2 게이트 전극, 및, 산화물 반도체막을 덮고, 산화물 반도체막과 직접 접촉하고 있는 절연막을 갖는 반도체 장치가 제공된다.

**대 표 도 - 도1**



## 특허청구의 범위

### 청구항 1

반도체 장치로서,

절연 표면 위에 형성되고, 서로 떨어져 배치된 제 1 게이트 전극 및 제 2 게이트 전극과,

게이트 절연막을 사이에 끼우고, 상기 제 1 게이트 전극 및 제 2 게이트 전극과 중첩되는 영역, 및 상기 제 1 게이트 전극 및 제 2 게이트 전극과 중첩되지 않는 영역을 갖는 산화물 반도체막과,

상기 제 1 게이트 전극의 일부 및 상기 산화물을 반도체막의 일부와 중첩되는 소스 전극 및 드레인 전극의 한쪽과, 상기 제 2 게이트 전극의 일부 및 상기 산화물을 반도체막의 일부와 중첩되는 소스 전극 및 드레인 전극의 다른 한쪽과,

상기 게이트 절연막, 상기 제 1 게이트 전극, 상기 제 2 게이트 전극, 상기 산화물을 반도체막, 및, 상기 소스 전극 및 드레인 전극을 덮고, 상기 산화물을 반도체막과 직접 접촉하고 있는 절연막을 갖는 것을 특징으로 하는 반도체 장치.

### 청구항 2

제 1 항에 있어서,

상기 소스 전극 및 드레인 전극은 알루미늄, 크롬, 탄탈, 티탄, 몰리브덴, 및 텉스텐으로부터 선택된 금속을 포함하는 것을 특징으로 하는 반도체 장치.

### 청구항 3

제 1 항에 있어서,

상기 산화물을 반도체막은 인듐, 갈륨, 및 아연을 포함하는 것을 특징으로 하는 반도체 장치.

### 청구항 4

반도체 장치로서,

절연 표면 위에 형성된 제 1 트랜지스터 및 제 2 트랜지스터를 가지고,

상기 제 1 트랜지스터는

상기 절연 표면 위에 형성되고, 서로 떨어져 배치된 제 1 게이트 전극 및 제 2 게이트 전극,

게이트 절연막을 사이에 끼우고, 상기 제 1 게이트 전극 및 제 2 게이트 전극과 중첩되는 영역, 및 상기 제 1 게이트 전극 및 제 2 게이트 전극과 중첩되지 않는 영역을 갖는 제 1 산화물 반도체막,

상기 제 1 게이트 전극의 일부 및 상기 제 1 산화물을 반도체막의 일부와 중첩되는 제 1 소스 전극 및 제 1 드레인 전극의 한쪽,

상기 제 2 게이트 전극의 일부 및 상기 제 1 산화물을 반도체막의 일부와 중첩되는 상기 제 1 소스 전극 및 상기 제 1 드레인 전극의 다른 한쪽, 및

상기 게이트 절연막, 상기 제 1 게이트 전극, 상기 제 2 게이트 전극, 상기 제 1 산화물을 반도체막, 상기 제 1 소스 전극 및 상기 제 1 드레인 전극을 덮고, 상기 제 1 산화물을 반도체막과 직접 접촉하고 있는 절연막을 가지고,

상기 제 2 트랜지스터는

상기 절연 표면 위에 형성된 제 3 게이트 전극,

상기 게이트 절연막을 사이에 끼우고, 상기 제 3 게이트 전극과 중첩되는 제 2 산화물 반도체막,

상기 제 3 게이트 전극의 일부 및 상기 제 2 산화물을 반도체막의 일부와 중첩되는 제 2 소스 전극 및 제 2 드레

인 전극,

상기 게이트 절연막, 상기 제 3 게이트 전극, 상기 제 2 산화물 반도체막, 상기 제 2 소스 전극 및 상기 제 2 드레인 전극을 덮고, 상기 제 2 산화물 반도체막과 직접 접촉하고 있는 상기 절연막을 가지는 것을 특징으로 하는 반도체 장치.

#### 청구항 5

제 4 항에 있어서,

상기 제 1 소스 전극, 상기 제 1 드레인 전극, 상기 제 2 소스 전극, 및 상기 제 2 드레인 전극은 알루미늄, 크롬, 탄탈, 티탄, 몰리브덴, 및 텉스텐으로부터 선택된 금속을 포함하는 것을 특징으로 하는 반도체 장치.

#### 청구항 6

제 4 항에 있어서,

상기 제 1 산화물 반도체막과 상기 제 2 산화물 반도체막은 인듐, 갈륨, 및 아연을 포함하는 것을 특징으로 하는 반도체 장치.

#### 청구항 7

절연 표면 위의 화소부를 구동하기 위한 구동 회로를 포함하는 표시 장치로서,

상기 화소부는 상기 절연 표면 위에 복수의 화소를 포함하며,

상기 복수의 화소 각각은

발광 소자,

전류 제어 소자의 온 및 오프를 제어하는 스위칭 소자, 및

상기 발광 소자의 전류를 제어하는 전류 제어 소자를 갖고,

상기 전류 제어 소자는,

상기 절연 표면 위에 형성되고, 서로 떨어져 배치된 제 1 게이트 전극 및 제 2 게이트 전극,

게이트 절연막을 사이에 끼우고, 상기 제 1 게이트 전극 및 상기 제 2 게이트 전극과 중첩되는 영역, 및 상기 제 1 게이트 전극 및 상기 제 2 게이트 전극과 중첩되지 않는 영역을 갖는 산화물 반도체막,

상기 제 1 게이트 전극의 일부 및 상기 산화물 반도체막의 일부와 중첩되는 소스 전극 및 드레인 전극의 한쪽,

상기 제 2 게이트 전극의 일부 및 상기 산화물 반도체막의 일부와 중첩되는 상기 소스 전극 및 상기 드레인 전극의 다른 한쪽, 및

상기 게이트 절연막, 상기 제 1 게이트 전극, 상기 제 2 게이트 전극, 상기 산화물 반도체막, 상기 소스 전극 및 상기 드레인 전극을 덮고, 상기 산화물 반도체막과 직접 접촉하고 있는 절연막을 갖는 것을 특징으로 하는 표시 장치.

#### 청구항 8

제 7 항에 있어서,

상기 소스 전극 및 상기 드레인 전극은 알루미늄, 크롬, 탄탈, 티탄, 몰리브덴, 및 텉스텐으로부터 선택된 금속을 포함하는 것을 특징으로 하는 표시 장치.

#### 청구항 9

제 7 항에 있어서,

상기 산화물 반도체막은 인듐, 갈륨, 및 아연을 포함하는 것을 특징으로 하는 표시 장치.

## 청구항 10

절연 표면 위에 복수의 화소를 갖는 화소부와, 상기 절연 표면 위에서 상기화소부를 구동하기 위한 구동 회로를 포함하는 표시 장치로서,

상기 복수의 화소는 각각 제 1 트랜지스터를 포함하며, 상기 제 1 트랜지스터는

상기 절연 표면 위에 형성되고, 서로 떨어져 배치된 제 1 게이트 전극 및 제 2 게이트 전극,

게이트 절연막을 사이에 끼우고, 상기 제 1 게이트 전극 및 상기 제 2 게이트 전극과 중첩되는 영역, 및 상기 제 1 게이트 전극 및 상기 제 2 게이트 전극과 중첩되지 않는 영역을 갖는 제 1 산화물 반도체막,

상기 제 1 게이트 전극의 일부 및 상기 제 1 산화물 반도체막의 일부와 중첩되는 제 1 소스 전극 및 제 1 드레인 전극의 한쪽,

상기 제 2 게이트 전극의 일부 및 상기 제 1 산화물 반도체막의 일부와 중첩되는 상기 제 1 소스 전극 및 상기 제 1 드레인 전극의 다른 한쪽, 및

상기 게이트 절연막, 상기 제 1 게이트 전극, 상기 제 2 게이트 전극, 상기 제 1 산화물 반도체막, 상기 제 1 소스 전극 및 상기 제 1 드레인 전극을 덮고, 상기 제 1 산화물 반도체막과 직접 접촉하고 있는 절연막을 갖고,

상기 구동 회로는 제 2 트랜지스터를 포함하며, 상기 제 2 트랜지스터는

상기 절연 표면 위에 형성된 제 3 게이트 전극,

상기 게이트 절연막을 사이에 끼우고, 상기 제 3 게이트 전극과 중첩되는 제 2 산화물 반도체막,

상기 제 3 게이트 전극의 일부 및 상기 제 2 산화물 반도체막의 일부와 중첩되는 제 2 소스 전극 및 제 2 드레인 전극, 및

상기 게이트 절연막, 상기 제 3 게이트 전극, 상기 제 2 산화물 반도체막, 상기 제 2 소스 전극 및 상기 제 2 드레인 전극을 덮고, 상기 제 2 산화물 반도체막과 직접 접촉하고 있는 절연막을 갖는 것을 특징으로 하는 표시 장치.

## 청구항 11

표시 장치로서,

절연 표면 위에서 복수의 화소를 갖는 화소부와, 상기 절연 표면 위에서 상기 화소부를 구동하는 구동 회로를 갖는 표시 장치이고,

상기 복수의 화소는 각각,

발광 소자,

전류 제어 소자의 온 및 오프를 제어하는 스위칭 소자, 및

상기 발광 소자의 전류를 제어하는 상기 전류 제어 소자를 포함하고,

상기 전류 제어 소자는,

상기 절연 표면 위에 형성되고, 서로 떨어져 배치된 제 1 게이트 전극 및 제 2 게이트 전극,

게이트 절연막을 사이에 끼우고, 상기 제 1 게이트 전극 및 상기 제 2 게이트 전극과 중첩되는 영역, 및 상기 제 1 게이트 전극 및 상기 제 2 게이트 전극과 중첩되지 않는 영역을 갖는 제 1 산화물 반도체막,

상기 제 1 게이트 전극의 일부 및 상기 제 1 산화물 반도체막의 일부와 중첩되는 제 1 소스 전극 및 제 1 드레인 전극의 한쪽,

상기 제 2 게이트 전극의 일부 및 상기 제 1 산화물 반도체막의 일부와 중첩되는 상기 제 1 소스 전극 및 상기 제 1 드레인 전극의 다른 한쪽, 및

상기 게이트 절연막, 상기 제 1 게이트 전극, 상기 제 2 게이트 전극, 상기 제 1 산화물 반도체막, 상기 제 1 소스 전극 및 상기 제 1 드레인 전극을 덮고, 상기 제 1 산화물 반도체막과 직접 접촉하고 있는 절연막

을 갖고,

상기 구동 회로는,

상기 절연 표면 위에 형성된 제 3 게이트 전극,

상기 게이트 절연막을 사이에 끼우고, 상기 제 3 게이트 전극과 중첩되는 제 2 산화물 반도체막,

상기 제 3 게이트 전극의 일부 및 상기 제 2 산화물 반도체막의 일부와 중첩되는 제 2 소스 전극 및 제 2 드레인 전극,

상기 게이트 절연막, 상기 제 3 게이트 전극, 상기 제 2 산화물 반도체막, 상기 제 2 소스 전극 및 상기 제 2 드레인 전극을 덮고, 상기 제 2 산화물 반도체막과 직접 접촉하고 있는 절연막을 포함하는 트랜지스터를 갖는 것을 특징으로 하는 표시 장치.

## 청구항 12

제 10 항 또는 제 11 항에 있어서,

상기 제 1 소스 전극, 상기 제 1 드레인 전극, 상기 제 2 소스 전극, 및 상기 제 2 드레인 전극은, 알루미늄, 크롬, 탄탈, 티탄, 몰리브덴, 및 텉스텐으로부터 선택된 금속을 포함하는 것을 특징으로 하는 표시 장치.

## 청구항 13

제 10 항 또는 제 11 항에 있어서,

상기 제 1 산화물 반도체막과 상기 제 2 산화물 반도체막은 인듐, 갈륨, 및 아연을 포함하는 것을 특징으로 하는 표시 장치.

## 청구항 14

제 7 항, 제 10 항 및 제 11 항 중 어느 한 항에 있어서,

상기 구동 회로는 소스 드라이버 또는 게이트 드라이버인 것을 특징으로 하는 표시 장치.

## 명세서

### 기술 분야

[0001]

개시된 발명의 일 형태는, 반도체 장치, 표시 장치, 및 그것의 제작 방법에 관한 것이다.

### 배경 기술

[0002]

최근, 매트릭스 형상으로 배치된 표시 화소마다 박막 트랜지스터(Thin Film Transistor : TFT)로 이루어진 스위칭 소자나 전류 제어 소자를 형성한 액티브(active) 매트릭스형의 표시 장치(발광 표시 장치나 전기 이동식 표시 장치 등)가 활발하게 개발되고 있다. 이와 같은 발광 표시 장치의 하나로서, 예를 들어, 전계 발광(Electro Luminescence : EL) 표시 장치를 들 수 있다.

[0003]

또한, 채널 형성 영역에, 산화물 반도체막을 이용한 트랜지스터(이하 「산화물 반도체 트랜지스터」라고 부름)를, 투광성을 갖는 기판 위에 형성하고, 표시 장치의 스위칭 소자 등에 이용하는 기술이 연구되고 있다(특허문현 1 참조).

[0004]

산화물 반도체 트랜지스터는, 채널 형성 영역에 아모퍼스(amorphous) 실리콘막을 이용한 트랜지스터에 비해, 이동도가 높기 때문에, 온(on) 전류가 높다는 이점이 있다. 또한 산화물 반도체 트랜지스터의 오프(off) 전류는, 채널 형성 영역에 아모퍼스 실리콘막을 이용한 트랜지스터에 비해 낮다는 이점이 있다.

### 선행기술문헌

### 특허문헌

[0005] (특허문헌 0001) 일본국 특개 2010-56539호 공보

## 발명의 내용

### 해결하려는 과제

- [0006] 그러나, 발광 표시 장치의 화소에 설치된 트랜지스터로서, 산화물 반도체 트랜지스터를 이용하는 경우, 산화물 반도체 트랜지스터의 온 전류가 지나치게 높을 우려가 있다. 온 전류가 지나치게 높은 트랜지스터는, 트랜지스터의 구동 전압의 작은 변동으로 드레인 전류가 크게 변동하게 된다. 트랜지스터의 드레인 전류가 크게 변동하면, 발광 표시 장치의 휘도가 크게 변동하는 문제가 발생한다.
- [0007] 따라서 화소에 형성된 산화물 반도체 트랜지스터는, 온 전류를 조절할 필요가 있다. 산화물 반도체 트랜지스터의 온 전류를 낮추기 위해서는, 산화물 반도체 트랜지스터의 채널 길이를 길게 형성하면 좋다.
- [0008] 그러나, 산화물 반도체 트랜지스터의 채널 길이가 길어지면, 산화물 반도체 트랜지스터의 점유 면적이 증대하게 될 우려가 있다.
- [0009] 한편, 고정밀의 표시 장치는, 하나의 화소의 점유 면적이 작다.
- [0010] 그 때문에, 이 점유 면적이 작은 화소에, 이 점유 면적이 큰 트랜지스터를 이용하면, 표시 장치의 개구율이 낮아질 우려가 있다.
- [0011] 이상을 감안하여, 표시된 발명의 일 형태에서는, 점유 면적을 증대시키지 않고 온 전류를 저감할 수 있는 산화물 반도체 트랜지스터를 얻는 것을 과제의 하나로 한다.
- [0012] 또한 표시된 발명의 일 형태에서는, 개구율을 감소시키지 않고, 온 전류가 저감된 산화물 반도체 트랜지스터를 화소에 이용한 표시 장치를 얻는 것을 과제의 하나로 한다.
- [0013] 또한 산화물 반도체 트랜지스터는, 위에서 설명한 것처럼 온 전류가 높기 때문에, 게이트 드라이버나 소스 드라이버와 같은 구동 회로에 이용할 수 있다.
- [0014] 온 전류가 낮은 산화물 반도체 트랜지스터와 온 전류가 높은 산화물 반도체 트랜지스터를 같은 기판 위에 제작함으로써, 산화물 반도체 트랜지스터의 제작 공정을 색감할 수 있고, 제작 비용을 억제할 수 있다.
- [0015] 이상을 감안하여, 개시된 발명의 일 형태에서는, 같은 기판 위에, 온 전류가 낮은 산화물 반도체 트랜지스터 및 온 전류가 높은 산화물 반도체 트랜지스터를 제작하는 것을 과제의 하나로 한다.
- [0016] 또한 표시 장치의 제작에서, 같은 기판 위에, 화소에 온 전류가 낮은 산화물 반도체 트랜지스터를 제작하고, 또한 구동 회로에 온 전류가 높은 산화물 반도체 트랜지스터를 제작하면, 표시 장치의 제작 공정을 색감할 수 있고, 제작 비용을 더 낮출 수 있다.
- [0017] 따라서, 개시된 발명의 일 형태에서는, 같은 기판 위에, 화소에 온 전류가 낮은 산화물 반도체 트랜지스터를 이용하고, 또한 구동 회로에 온 전류가 높은 산화물 반도체 트랜지스터를 이용한 표시 장치를 얻는 것을 과제의 하나로 한다.

### 과제의 해결 수단

- [0018] 산화물 반도체 트랜지스터에서, 제 1 게이트 전극 및 제 2 게이트 전극이 소스 전극 측 및 드레인 전극 측 각각에 형성된다.
- [0019] 이것에 의해, 산화물 반도체막과 제 1 게이트 전극이 중첩하고 있는 영역과, 산화물 반도체막과 제 2 게이트 전극이 중첩하고 있는 영역과의 사이에, 산화물 반도체막과 게이트 전극이 중첩하지 않는 영역이 발생한다. 본 명세서에서는, 이 게이트 전극이 중첩하지 않는 산화물 반도체막의 영역을  $L_{off}$  영역이라고 부른다. 이  $L_{off}$  영역을 형성함으로써, 산화물 반도체 트랜지스터의 온 전류를 저감시킬 수 있다.
- [0020] 이상의 형태로 해서 제작된 산화물 반도체 트랜지스터를 화소에 이용함으로써, 산화물 반도체 트랜지스터의 점유 면적을 증대시키지 않고, 온 전류를 저감시킬 수 있다.
- [0021] 또한, 상기의 온 전류를 저감시킨 산화물 반도체 트랜지스터를 이용한 화소를 갖는 표시 장치에서는, 개구율이

감소하는 것을 억제할 수 있다.

[0022] 또한,  $L_{off}$  영역을 형성하지 않는 산화물 반도체 트랜지스터는, 위에서 설명한 것과 같이 온 전류가 높다. 따라서 온 전류가 낮은 산화물 반도체 트랜지스터와, 온 전류가 높은 산화물 반도체 트랜지스터를 같은 기판 위에 제작할 수 있다.

[0023] 이와 같이, 온 전류가 낮은 산화물 반도체 트랜지스터 및 온 전류가 높은 산화물 반도체 트랜지스터를 같은 기판 위에 제작함으로써, 제작 공정을 약간할 수 있고, 제작 비용을 억제할 수 있다.

[0024] 또한,  $L_{off}$  영역을 형성하지 않는 산화물 반도체 트랜지스터(온 전류가 높은 산화물 반도체 트랜지스터)를 구동 회로를 구성하는 트랜지스터,  $L_{off}$  영역을 형성한 산화물 반도체 트랜지스터(온 전류가 낮은 산화물 반도체 트랜지스터)를, 화소를 구성하는 트랜지스터로서 이용하면, 화소와 구동 회로의 산화물 반도체 트랜지스터를 같은 기판 위에 제작할 수 있다.

[0025] 이와 같이, 같은 기판 위에, 화소에 온 전류가 낮은 산화물 반도체 트랜지스터를 제작하고, 또한 구동 회로에 온 전류가 높은 산화물 반도체 트랜지스터를 제작하면, 표시 장치의 제작 공정을 약간할 수 있고, 제작 비용을 더 낮출 수 있다.

[0026] 개시된 발명의 일 형태는, 반도체 장치에 관한 것으로, 이 반도체 장치는 절연 표면 위에 형성되고, 서로 떨어져 배치된 제 1 게이트 전극 및 제 2 게이트 전극과, 게이트 절연막을 사이에 끼우고, 이 제 1 게이트 전극 및 제 2 게이트 전극과 중첩하는 영역, 및 이 제 1 게이트 전극 및 제 2 게이트 전극과 중첩하지 않는 영역을 갖는 산화물 반도체막과, 이 제 1 게이트 전극의 일부 및 이 산화물 반도체막의 일부와 중첩하는 소스 전극 또는 드레인 전극의 한쪽과, 이 제 2 게이트 전극의 일부 및 이 산화물 반도체막의 일부와 중첩하는 소스 전극 또는 드레인 전극의 다른 한쪽과, 이 게이트 절연막, 이 제 1 게이트 전극, 이 제 2 게이트 전극, 이 산화물 반도체막, 및, 이 소스 전극 및 드레인 전극을 덮는 절연막을 가진다. 이 절연막은 이 산화물 반도체막과 직접 접촉하고 있다.

[0027] 개시된 발명의 일 형태는, 절연 표면 위에 형성된 제 1 트랜지스터 및 제 2 트랜지스터를 갖는 반도체 장치이다. 이 중 제 1 트랜지스터는 이 절연 표면 위에 형성되고, 서로 떨어져 배치된 제 1 게이트 전극 및 제 2 게이트 전극과, 게이트 절연막을 사이에 끼우고, 이 제 1 게이트 전극 및 제 2 게이트 전극과 중첩하는 영역, 및 이 제 1 게이트 전극 및 제 2 게이트 전극과 중첩하지 않는 영역을 갖는 제 1 산화물 반도체막과, 이 제 1 게이트 전극의 일부 및 이 제 1 산화물 반도체막의 일부와 중첩하는 제 1 소스 전극 또는 드레인 전극의 한쪽과, 이 제 2 게이트 전극의 일부 및 이 제 1 산화물 반도체막의 일부와 중첩하는 제 1 소스 전극 또는 드레인 전극의 다른 한쪽과, 이 게이트 절연막, 이 제 1 게이트 전극, 이 제 2 게이트 전극, 이 제 1 산화물 반도체막, 및, 이 제 1 소스 전극 및 드레인 전극을 덮는 절연막을 가진다. 이 절연막은 제 1 산화물 반도체막과 직접 접촉하고 있다. 절연 표면 위의 제 2 트랜지스터는 이 절연 표면 위에 형성된 제 3 게이트 전극과, 이 게이트 절연막을 사이에 끼우고, 이 제 3 게이트 전극과 중첩하는 제 2 산화물 반도체막과, 이 제 3 게이트 전극의 일부 및 이 제 2 산화물 반도체막의 일부와 중첩하는 제 2 소스 전극 및 드레인 전극과, 이 게이트 절연막, 이 제 3 게이트 전극, 이 제 2 산화물 반도체막, 및, 이 제 2 소스 전극 및 드레인 전극을 덮는 절연막을 갖는다. 이 절연막은 제 2 산화물 반도체막과 직접 접촉하고 있다.

[0028] 개시된 발명의 일 형태는, 절연 표면 위에, 복수의 화소를 갖는 화소부, 및 이 화소부를 구동하는 구동 회로를 갖는 표시 장치이다. 이 복수의 화소는 각각, 발광 소자와, 이 발광 소자의 전류를 제어하는 전류 제어 소자와, 이 전류 제어 소자의 온 및 오프를 제어하는 스위칭 소자를 갖는다. 이 전류 제어 소자는, 이 절연 표면 위에 형성되고, 서로 떨어져 배치된 제 1 게이트 전극 및 제 2 게이트 전극과, 게이트 절연막을 사이에 끼우고, 이 제 1 게이트 전극 및 제 2 게이트 전극과 중첩하는 영역, 및 이 제 1 게이트 전극 및 제 2 게이트 전극과 중첩하지 않는 영역을 갖는 산화물 반도체막과, 이 제 1 게이트 전극의 일부 및 이 산화물 반도체막의 일부와 중첩하는 소스 전극 또는 드레인 전극의 한쪽과, 이 제 2 게이트 전극의 일부 및 이 산화물 반도체막의 일부와 중첩하는 소스 전극 또는 드레인 전극의 다른 한쪽과, 이 게이트 절연막, 이 제 1 게이트 전극, 이 제 2 게이트 전극, 이 산화물 반도체막, 및, 이 소스 전극 및 드레인 전극을 덮는 절연막을 갖는다. 이 절연막은 산화물 반도체막과 직접 접촉하고 있다.

[0029] 개시된 발명의 일 형태는, 절연 표면 위에, 복수의 화소를 갖는 화소부, 및, 이 화소부를 구동하는 구동 회로를 갖는 표시 장치이다. 이 복수의 화소는 각각, 제 1 트랜지스터를 포함한다. 이 제 1 트랜지스터는 이 절연 표면 위에 형성되고, 서로 떨어져 배치된 제 1 게이트 전극 및 제 2 게이트 전극과, 게이트 절연막을 사이에 끼우고,

이 제 1 게이트 전극 및 제 2 게이트 전극과 중첩하는 영역, 및 이 제 1 게이트 전극 및 제 2 게이트 전극과 중첩하지 않는 영역을 갖는 제 1 산화물 반도체막과, 이 제 1 게이트 전극의 일부 및 이 제 1 산화물 반도체막의 일부와 중첩하는 제 1 소스 전극 또는 드레인 전극의 한쪽과, 이 제 2 게이트 전극의 일부 및 이 제 1 산화물 반도체막의 일부와 중첩하는 제 1 소스 전극 또는 드레인 전극의 다른 한쪽과, 이 게이트 절연막, 이 제 1 게이트 전극, 이 제 2 게이트 전극, 이 제 1 산화물 반도체막, 및, 이 제 1 소스 전극 및 드레인 전극을 덮는 절연막을 갖는다. 이 절연막은 제 1 산화물 반도체막과 직접 접촉하고 있다. 이 구동 회로는 제 2 트랜지스터를 포함한다. 이 제 2 트랜지스터는 이 절연 표면 위에 형성된 제 3 게이트 전극과, 이 게이트 절연막을 사이에 끼우고, 이 제 3 게이트 전극과 중첩하는 제 2 산화물 반도체막과, 이 제 3 게이트 전극의 일부 및 이 제 2 산화물 반도체막의 일부와 중첩하는 제 2 소스 전극 및 드레인 전극과, 이 게이트 절연막, 이 제 3 게이트 전극, 이 제 2 산화물 반도체막, 및, 이 제 2 소스 전극 및 드레인 전극을 덮는 절연막을 갖는다. 이 절연막은 제 2 산화물 반도체막과 직접 접촉하고 있다.

[0030] 개시된 발명의 일 형태에서, 이 복수의 화소는 각각 발광 소자를 갖는다.

[0031] 개시된 발명의 일 형태는, 절연 표면 위에, 복수의 화소를 갖는 화소부, 및, 이 화소부를 구동하는 구동 회로를 갖는 표시 장치이다. 이 복수의 화소는 각각, 발광 소자와, 이 발광 소자의 전류를 제어하는 전류 제어 소자와, 이 전류 제어 소자의 온 및 오프를 제어하는 스위칭 소자를 갖는다. 이 전류 제어 소자는 제 1 트랜지스터를 포함한다. 이 제 1 트랜지스터는 이 절연 표면 위에 형성되고, 서로 떨어져 배치된 제 1 게이트 전극 및 제 2 게이트 전극과, 게이트 절연막을 사이에 끼우고, 이 제 1 게이트 전극 및 제 2 게이트 전극과 중첩하는 영역, 및 이 제 1 게이트 전극 및 제 2 게이트 전극과 중첩하지 않는 영역을 갖는 제 1 산화물 반도체막과, 이 제 1 게이트 전극의 일부 및 이 제 1 산화물 반도체막의 일부와 중첩하는 제 1 소스 전극 또는 드레인 전극의 한쪽과, 이 제 2 게이트 전극의 일부 및 이 제 1 산화물 반도체막의 일부와 중첩하는 제 1 소스 전극 또는 드레인 전극의 다른 한쪽과, 이 게이트 절연막, 이 제 1 게이트 전극, 이 제 2 게이트 전극, 이 제 1 산화물 반도체막, 및, 이 제 1 소스 전극 및 드레인 전극을 덮는 절연막을 갖는다. 이 절연막은 제 1 산화물 반도체막과 직접 접촉하고 있다. 이 구동 회로는 제 2 트랜지스터를 포함한다. 이 제 2 트랜지스터는 이 절연 표면 위에 형성된 제 3 게이트 전극과, 이 게이트 절연막을 사이에 끼우고, 이 제 3 게이트 전극과 중첩하는 제 2 산화물 반도체막과, 이 제 3 게이트 전극의 일부 및 이 제 2 산화물 반도체막의 일부와 중첩하는 제 2 소스 전극 또는 드레인 전극과, 이 게이트 절연막, 이 제 3 게이트 전극, 이 제 2 산화물 반도체막, 및, 이 제 2 소스 전극 및 드레인 전극을 덮는 절연막을 갖는다. 이 절연막은 제 2 산화물 반도체막과 직접 접촉하고 있다.

[0032] 개시된 발명의 일 형태에서, 이 구동 회로는, 소스 드라이버 및 게이트 드라이버이다.

### 발명의 효과

[0033] 개시된 발명의 일 형태에 따라, 접유 면적을 증대하지 않고 온 전류를 저감할 수 있는 산화물 반도체 트랜지스터를 얻을 수 있다.

[0034] 또한 개시된 발명의 일 형태에 따라, 개구율을 저감시키지 않고, 온 전류가 저감된 산화물 반도체 트랜지스터가 화소에 이용되는 표시 장치를 얻을 수 있다.

[0035] 또한, 개시된 발명의 일 형태에 따라, 같은 기판 위에, 온 전류가 낮은 산화물 반도체 트랜지스터 및 온 전류가 높은 산화물 반도체 트랜지스터를 제작할 수 있다.

[0036] 온 전류가 낮은 산화물 반도체 트랜지스터와 온 전류가 높은 산화물 반도체 트랜지스터를 같은 기판 위에 제작함으로써, 산화물 반도체 트랜지스터의 제작 공정 수를 삭감할 수 있고, 제작 비용을 억제할 수 있다.

[0037] 또한, 개시된 발명의 일 형태에 따라, 같은 기판 위에, 화소에 온 전류가 낮은 산화물 반도체 트랜지스터를 이용하고, 또한 구동 회로에 온 전류가 높은 산화물 반도체 트랜지스터를 이용한 표시 장치를 얻을 수 있다.

[0038] 같은 기판 위에, 화소에 온 전류가 낮은 산화물 반도체 트랜지스터를 제작하고, 또한 구동 회로에 온 전류가 높은 산화물 반도체 트랜지스터를 제작하면, 표시 장치의 제작 공정 수를 삭감할 수 있고, 제작 비용을 더 낮출 수 있다.

### 도면의 간단한 설명

[0039] 도 1(A)는 반도체 장치의 상면도이고 도 1(B)는 반도체 장치의 단면도.

도 2(A) 및 도 2(B)는 반도체 장치의 상면도이고, 도 2(C)는 반도체 장치의 단면도.

도 3의 (A) 내지 (C)는 반도체 장치의 제작 공정을 도시한 단면도.

도 4의 (A) 내지 (C)는 반도체 장치의 제작 공정을 도시한 단면도.

도 5(A)는 표시 장치의 블록도이고, 도 2(B)는 화소의 회로도.

도 6의 (A) 내지 (C)는 표시 장치의 단면도.

도 7(A)는 표시 패널의 상면도이고, 도 7(B)는 표시 패널의 단면도.

도 8은 산화물 반도체 트랜지스터의  $V_{gs}$ - $I_d$  특성을 도시한 도면.

도 9(A) 및 도 9(B)는 채널 길이가 서로 다른 트랜지스터의 특성을 도시한 도면.

도 10(A) 및 도 10(B)는 반도체 장치의 상면도이고, 도 10(C)는 반도체 장치의 단면도.

도 11의 (A) 내지 (C)는 산화물 재료의 구조를 설명한 도면.

도 12의 (A) 내지 (C)는 산화물 재료의 구조를 설명한 도면.

도 13의 (A) 내지 (C)는 산화물 재료의 구조를 설명한 도면.

### 발명을 실시하기 위한 구체적인 내용

[0040]

이하, 본 명세서에 개시된 발명의 실시형태에 대해, 도면을 참고하여 설명한다. 다만, 본 명세서에 개시된 발명은 많은 다른 형태로 실시할 수 있고, 본 명세서에 개시된 발명의 취지 및 그 범위에서 벗어나지 않고 그 형태 및 상세한 사항을 다양하게 변경할 수 있는 것은 당업자이면 용이하게 이해된다는 점을 주목하라. 따라서, 본 실시형태의 기재 내용에 한정되어 해석되는 것은 아니다. 또한, 이하에 도시한 도면에서, 같은 부분 또는 마찬가지의 기능을 갖는 부분에는 같은 부호를 붙이고, 그 반복 설명은 생략한다는 점을 주목하라.

[0041]

또한 본 명세서에 개시된 발명에서, 반도체 장치는, 반도체를 이용함으로써 기능하는 소자 및 장치 전반을 가리키고, 전자 회로, 표시 장치, 발광 장치 등을 포함하는 전기 장치 및 그 전기 장치를 탑재한 전자 기기를 그 범위로 함을 주목하라.

[0042]

$L_{off}$  영역을 갖는 산화물 반도체 트랜지스터>

[0043]

도 1(B)에 도시한 산화물 반도체 트랜지스터(100)는, 절연 표면을 갖는 기판(101) 위에 형성되어 있다. 산화물 반도체 트랜지스터(100)는, 제 1 게이트 전극인 게이트 전극(102a), 제 2 게이트 전극인 게이트 전극(102b), 게이트 절연막(123), 제 1 산화물 반도체막인 산화물 반도체막(104), 소스 전극 또는 드레인 전극의 한쪽인 전극(105a), 소스 전극 또는 드레인 전극의 다른 한쪽인 전극(105b)을 가지고 있다.

[0044]

기판(101)은, 바륨 붕규산 유리 기판, 알루미노 붕규산 유리 기판, 또는 알루미노 규산염 유리 기판 등, 퓨전(fusion)법이나 플로팅(floating)법으로 제작된 무 알칼리 유리 기판, 세라믹 기판 외, 본 제작 공정의 처리 온도를 견딜 수 있는 내열성을 갖는 플라스틱 기판 등을 이용할 수 있다. 또한, 스테인리스 스틸 합금 등의 금속 기판의 표면에 절연막을 형성한 기판을 적용해도 좋다.

[0045]

기판(101) 위에 형성된 게이트 전극(102a) 및 게이트 전극(102b)은, 서로 떨어져 배치되어 있다. 또한, 게이트 전극(102a) 및 게이트 전극(102b)의 사이에는, 게이트 절연막(123)이 배치되어 있다.

[0046]

제 1 게이트 전극인 게이트 전극(102a), 및 제 2 게이트 전극인 게이트 전극(102b)은, 각각 티탄(Ti), 몰리브덴(Mo), 크롬(Cr), 탄탈(Ta), 텉스텐(W), 알루미늄(Al), 은(Ag), 금(Au), 구리(Cu) 중 어느 하나를 포함하는 도전막이다.

[0047]

또한, 게이트 전극(102a) 및 게이트 전극(102b)은 각각, 상기의 원소 중 어느 하나를 포함하는 도전막을 이용한 단층 구조여도 좋고, 또한 상기 원소 중 어느 하나를 포함하는 도전막의 적층 구조여도 좋다.

[0048]

또한, 게이트 전극(102a) 및 게이트 전극(102b) 각각의 위에는, 반도체막이나 도전막이 형성된다는 점을 주목하라. 반도체막이나 도전막의 단절 방지를 위해, 게이트 전극(102a) 및 게이트 전극(102b) 각각의 단부는, 테이퍼(taper) 형상이 되도록 가공하는 것이 바람직하다.

- [0049] 게이트 절연막(123)은, 게이트 전극(102a) 및 게이트 전극(102b)을 덮도록 형성되어 있다.
- [0050] 게이트 절연막(123)은, 산화규소막, 산화질화규소막, 질화산화규소, 질화규소막을 이용한 단층 구조, 또는 이들 막을 적층한 적층 구조를 이용해도 좋다.
- [0051] 본 실시형태에서, 산화질화규소막은, 그 조성에서, 질소(N)보다 산소(O)의 함유량이 많고, 러더퍼드 후방 산란법(RBS : Rutherford Backscattering Spectrometry) 및 수소 전방 산란법(HFS : Hydrogen Forward Scattering)을 이용해서 측정한 경우에, 농도 범위로서 산소(O)가 55~70 원자%, 질소(N)가 0.5~15 원자%, 규소(Si)가 25~35 원자%, 수소(H)가 0.1~10 원자%의 범위로 포함되는 것을 말한다.
- [0052] 또한, 질화산화규소막은, 그 조성에서, 산소(O)보다 질소(N)의 함유량이 많고, 농도 범위로서 산소(O)가 5~30 원자%, 질소(N)가 20~55 원자%, 규소(Si)가 25~35 원자%, 수소(H)가 10~30 원자%의 범위로 포함되는 것을 말한다.
- [0053] 다만, 산화질화규소 또는 질화산화규소를 구성하는 원자의 합계를 100 원자%로 했을 때, 질소(N), 산소(O), 규소(Si), 및 수소(H)의 함유 비율이 상기의 범위 내에 포함되는 것으로 함을 주목하라.
- [0054] 또한, 게이트 절연막(123)으로서, 알루미늄(Al), 이트륨(Y), 마그네슘(Mg), 또는 하프늄(Hf)의 산화물, 알루미늄(Al), 이트륨(Y), 마그네슘(Mg), 또는 하프늄(Hf) 질화물, 알루미늄(Al), 이트륨(Y), 마그네슘(Mg), 또는 하프늄(Hf) 산화질화물, 또는 알루미늄(Al), 이트륨(Y), 마그네슘(Mg), 또는 하프늄(Hf) 질화산화물 중 어느 하나를 이용할 수 있다. 또한 이 산화물, 질화물, 산화질화물, 질화산화물의 적어도 2종 이상을 포함하는 화합물을 이용할 수도 있다.
- [0055] 또한 산화물 반도체 트랜지스터(100)는, 게이트 절연막(123) 위에 형성되고, 채널 형성 영역이 형성된 산화물 반도체막(104)을 가지고 있다. 산화물 반도체 트랜지스터(100)는, 연속된 면을 갖는 산화물 반도체막(104)을 가지고 있기 때문에, 캐리어의 이동에 장벽이 없고 적합하다.
- [0056] 산화물 반도체막(104)과 제 1 게이트 전극(102a)이 중첩하고 있는 영역과, 산화물 반도체막(104)과 제 2 게이트 전극(102b)이 중첩하고 있는 영역과의 사이에, 산화물 반도체막(104)과 게이트 전극이 중첩하지 않는 영역이 발생한다. 본 명세서에서는, 제 1 게이트 전극(102a) 및 제 2 게이트 전극(102b) 어느 것과도 중첩하지 않는 산화물 반도체막(104)의 영역을  $L_{off}$  영역(109)이라고 부른다. 산화물 반도체 트랜지스터의 온 전류는  $L_{off}$  영역을 형성함으로써 감소될 수 있다.
- [0057] 산화물 반도체막(104)으로서, 이하의 산화물 반도체의 박막을 이용한다.
- [0058] 본 실시형태에서 이용하는 산화물 반도체로서는, 적어도 인듐(In) 또는 아연(Zn)을 포함하는 것이 바람직하다. 특히 In과 Zn을 포함하는 것이 바람직하다. 또한, 이 산화물 반도체를 이용한 트랜지스터의 전기 특성의 편차를 줄이기 위한 스태빌라이저(stabilizer)로서, 그것들에 더하여 갈륨(Ga)을 갖는 것이 바람직하다. 또한, 스태빌라이저로서 주석(Sn)을 갖는 것이 바람직하다. 또한, 스태빌라이저로서 하프늄(Hf)을 갖는 것이 바람직하다. 또한, 스태빌라이저로서 알루미늄(Al)을 갖는 것이 바람직하다.
- [0059] 또한, 다른 스태빌라이저로서, 란탄족인, 란탄(La), 세륨(Ce), 프라세오디뮴(Pr), 네오디뮴(Nd), 사마륨(Sm), 유로퓸(Eu), 가돌리늄(Gd), 테르븀(Tb), 디스프로슘(Dy), 홀뮴(Ho), 에르븀(Er), 텔륨(Tm), 이테르븀(Yb), 루테튬(Lu) 중 어느 하나 1종 또는 복수종을 가져도 좋다.
- [0060] 예를 들어, 산화물 반도체로서, 산화인듐, 산화주석, 산화아연, 이원계 금속의 산화물인 In-Zn계 산화물, Sn-Zn 계 산화물, Al-Zn계 산화물, Zn-Mg계 산화물, Sn-Mg계 산화물, In-Mg계 산화물, In-Ga계 산화물, 삼원계 금속의 산화물인 In-Ga-Zn계 산화물(IGZO라고도 표기함), In-Al-Zn계 산화물, In-Sn-Zn계 산화물, Sn-Ga-Zn계 산화물, Al-Ga-Zn계 산화물, Sn-Al-Zn계 산화물, In-Hf-Zn계 산화물, In-La-Zn계 산화물, In-Ce-Zn계 산화물, In-Pr-Zn 계 산화물, In-Nd-Zn계 산화물, In-Sm-Zn계 산화물, In-Eu-Zn계 산화물, In-Gd-Zn계 산화물, In-Tb-Zn계 산화물, In-Dy-Zn계 산화물, In-Ho-Zn계 산화물, In-Er-Zn계 산화물, In-Tm-Zn계 산화물, In-Yb-Zn계 산화물, In-Lu-Zn계 산화물, 사원계 금속의 산화물인 In-Sn-Ga-Zn계 산화물, In-Hf-Ga-Zn계 산화물, In-Al-Ga-Zn계 산화물, In-Sn-Al-Zn계 산화물, In-Sn-Hf-Zn계 산화물, In-Hf-Al-Zn계 산화물을 이용할 수 있다.
- [0061] 또한, 여기에서, 예를 들면, "In-Ga-Zn계 산화물"은, In과 Ga와 Zn을 주성분으로서 갖는 산화물이라는 의미이고, In과 Ga와 Zn의 비율은 불문함을 주목하라. 또한, In과 Ga와 Zn 이외의 금속 원소가 들어있어도 좋다.

- [0062] 또한, 산화물 반도체로서,  $InMn_3(ZnO)_m$  ( $m > 0$ , 또한,  $m$ 은 정수가 아님)으로 표기되는 재료를 이용해도 좋다. 또한, M은, Ga, Fe, Mn 및 Co로부터 선택된 하나의 금속 원소 또는 복수의 금속 원소를 나타낸다. 또한, 산화물 반도체로서,  $In_2SnO_5(ZnO)_n$  ( $n > 0$ , 또한,  $n$ 은 정수)으로 표기되는 재료를 이용해도 좋다.
- [0063] 예를 들어,  $In:Ga:Zn=1:1:1(=1/3:1/3:1/3)$  또는  $In:Ga:Zn=2:2:1(=2/5:2/5:1/5)$ 의 원자비의 In-Ga-Zn계 산화물이나 그 조성의 근방의 산화물을 이용할 수 있다. 또는,  $In:Sn:Zn=1:1:1(=1/3:1/3:1/3)$ ,  $In:Sn:Zn=2:1:3(=1/3:1/6:1/2)$  또는  $In:Sn:Zn=2:1:5(=1/4:1/8:5/8)$ 의 원자비의 In-Sn-Zn계 산화물이나 그 조성의 근방의 산화물을 이용하면 좋다.
- [0064] 그러나, 이것들에 한정되지 않고, 필요로 하는 반도체 특성(이동도, 문턱값, 편차 등)에 따라 적절한 조성의 것을 이용하면 좋다. 또한, 필요로 하는 반도체 특성을 얻기 위해, 캐리어 밀도나 불순물 농도, 결함 밀도, 금속 원소와 산소의 원자수비, 원자간 결합 거리, 밀도 등을 적절한 것으로 하는 것이 바람직하다.
- [0065] 예를 들어, In-Sn-Zn계 산화물에서는 비교적 용이하게 높은 이동도를 얻을 수 있다. 그러나, In-Ga-Zn계 산화물에서도, 벌크(bulk) 내 결함 밀도를 낮춤으로써 이동도를 높일 수 있다.
- [0066] 또한, 예를 들어, In, Ga, Zn의 원자수비가  $In:Ga:Zn=a:b:c(a+b+c=1)$ 인 산화물의 조성이, 원자수비가  $In:Ga:Zn=A:B:C(A+B+C=1)$ 의 산화물의 조성의 근방인 것은,  $a, b, c$ 가,  $(a-A)^2 + (b-B)^2 + (c-C)^2 \leq r^2$ 을 만족시키는 것을 말하고,  $r$ 은, 예를 들면, 0.05로 하면 좋다. 다른 산화물이어도 마찬가지이다.
- [0067] 산화물 반도체는 단결정이어도, 비단결정이어도 좋다. 후자의 경우, 산화물 반도체가 아모퍼스여도, 다결정이어도 좋다. 또한, 아모퍼스 안에 결정성을 갖는 부분을 포함한 구조여도, 비아모퍼스여도 좋다.
- [0068] 아모퍼스 상태의 산화물 반도체는, 비교적 용이하게 평탄한 표면을 얻을 수 있기 때문에, 이것을 이용하여 트랜지스터를 제작할 때의 계면 산란을 저감할 수 있고, 비교적 용이하게, 비교적 높은 이동도를 얻을 수 있다.
- [0069] 또한, 결정성을 갖는 산화물 반도체에서는, 보다 벌크 내 결함을 저감할 수 있고, 표면의 평탄성을 높이면 아모퍼스 상태의 산화물 반도체 이상의 이동도를 얻을 수 있다. 표면의 평탄성을 높이기 위해서는, 평탄한 표면 위에 산화물 반도체를 형성하는 것이 바람직하다. 구체적으로는, 평균면 거칠기(Ra)가  $1\text{nm}$  이하, 바람직하게는  $0.3\text{nm}$  이하, 보다 바람직하게는  $0.1\text{nm}$  이하의 표면 위에 형성하면 좋다.
- [0070] 또한, Ra는, JIS B0601로 정의되는 중심선 평균 거칠기를 측정 면에 대해 적용할 수 있도록 삼차원으로 확장하여 얻어진 것이라는 점을 주목하라. Ra는 "기준면에서 지정면까지의 편차의 절대값을 평균한 값"으로 표현할 수 있고, 이하의 식으로 정의된다.
- [0071] [수학식 1]
- $$Ra = \frac{1}{S_0} \int_{y_1}^{y_2} \int_{x_1}^{x_2} |f(x, y) - Z_0| dx dy$$
- [0072]
- [0073] 또한, 상기에서,  $S_0$ 는, 측정면(좌표  $(x_1, y_1)(x_1, y_2)(x_2, y_1)(x_2, y_2)$ )로 나타내어지는 4점에 의해 둘러싸인 장방형의 영역)의 면적을 가리키고,  $Z_0$ 는 측정면의 평균 높이를 가리킨다. Ra는 원자간력 현미경(AFM : Atomic Force Microscope)으로 측정될 수 있다.
- [0074] 여기서 산화물 반도체가 결정성을 갖는 경우로서, c축 배향하고, 또한 ab면, 표면 또는 계면의 방향으로부터 봤을 때 삼각 형상 또는 육각 형상의 원자 배열을 갖고, c축에서는 금속 원자가 층상 또는 금속 원자와 산소 원자가 층상으로 배열되어 있고, ab면에서는 a축 또는 b축의 방향이 다른(c축을 중심으로 회전하는) 결정(CAAC : C Axis Aligned Crystal이라고도 함)을 포함하는 산화물에 대해 설명한다.
- [0075] CAAC를 포함하는 산화물은, 넓은 의미로, 비단결정이고, 그 ab면에 수직인 방향에서 봤을 때, 삼각형, 육각형, 정삼각형 또는 정육각형의 원자 배열을 갖고, 또한 c축 방향으로 수직인 방향에서 봤을 때, 금속 원자가 층상, 또는 금속 원자와 산소 원자가 층상으로 배열된 상을 포함하는 산화물을 말한다.
- [0076] CAAC는 단결정은 아니지만, 비정질만으로 형성된 것은 아니다. 또한, CAAC는 결정화된 부분(결정 부분)을 포함하지만, 하나의 결정 부분과 다른 결정 부분의 경계를 명확하게 판별할 수 없는 경우도 있다.
- [0077] CAAC에 산소가 포함된 경우, 산소의 일부는 질소로 치환되어도 좋다. 또한, CAAC를 구성하는 개개의 결정 부분

의 c축은 일정의 방향(예를 들어, CAAC를 지지하는 기판면, CAAC의 표면 등에 수직인 방향)으로 정렬되어 있어도 좋다. 또는, CAAC를 구성하는 개개의 결정 부분의 ab면의 법선은 일정 방향(예를 들어, CAAC를 지지하는 기판면, CAAC의 표면 등에 수직인 방향)을 향하고 있어도 좋다.

[0078] CAAC는, 그 조성에 따라, 도체이거나, 반도체이거나, 절연체가 된다. 또한, 그 조성 등에 따라, 가시광에 대해 투명하거나 불투명하다.

[0079] 이와 같은 CAAC의 예로서, 막 형상으로 형성되고, 막 표면 또는 지지하는 기판면에 수직인 방향에서 관찰했을 때 삼각형 또는 육각형의 원자 배열이 인정되고, 또한 그 막 단면을 관찰했을 때 금속 원자 또는 금속 원자 및 산소 원자(또는 질소 원자)의 층상 배열이 인정되는 결정을 들 수도 있다.

[0080] CAAC에 포함되는 결정 구조의 일례에 대해 도 11 내지 도 13을 이용하여 상세하게 설명한다. 또한, 특별히 언급하지 않는 한, 도 11 내지 도 13은 윗방향을 c축 방향으로 하고, c축 방향과 직교하는 면을 ab면으로 한다. 또한, 단순히 상반부, 하반부라고 하는 경우, ab면을 경계로 한 경우의 상반부, 하반부를 말한다. 또한, 도 11에서, 동그라미로 둘러싸인 0는 4배위의 0를 나타내고, 이중 동그라미로 둘러싸인 0는 3배위의 0를 나타낸다.

[0081] 도 11(A)에, 1개의 6배위의 In과, In에 균방의 6개의 4배위의 산소 원자(이하 4배위의 0)를 갖는 구조를 도시한다. 여기에서는, 금속 원자가 1개에 대해, 균접의 산소 원자만 나타낸 구조를 소그룹이라 부른다. 도 11(A)의 구조는, 팔면체 구조를 취하지만, 간단하게 하기 위해 평면 구조로 도시한다. 또한, 도 11(A)의 상반부 및 하반부에는 각각 3개씩 4배위의 0가 있다. 도 11(A)에 도시한 소그룹은 전하가 0이다.

[0082] 도 11(B)에, 1개의 5배위의 Ga와, Ga에 균접한 3개의 3배위의 산소 원자(이하 3배위의 0)와, Ga에 균접한 2개의 4배위의 0를 갖는 구조를 도시한다. 3배위의 0는, 모두 ab면에 존재한다. 도 11(B)의 상반부 및 하반부에는 각각 1개씩 4배위의 0가 있다. 또한, In도 5배위를 취하기 때문에, 도 11(B)에 도시한 구조를 취할 수 있다. 도 11(B)에 도시한 소그룹은 전하가 0이다.

[0083] 도 11(C)에, 1개의 4배위의 Zn과, Zn에 균접한 4개의 4배위의 0를 갖는 구조를 도시한다. 도 11(C)의 상반부에는 1개의 4배위의 0가 있고, 하반부에는 3개의 4배위의 0가 있다. 또는, 도 11(C)의 상반부에 3개의 4배위의 0가 있고, 하반부에 1개의 4배위의 0가 있어도 좋다. 도 11(C)에 도시한 소그룹은 전하가 0이다.

[0084] 도 11(D)에, 1개의 6배위의 Sn과, Sn에 균접한 6개의 4배위의 0를 갖는 구조를 도시한다. 도 11(D)의 상반부에는 3개의 4배위의 0가 있고, 하반부에는 3개의 4배위의 0가 있다. 도 11(D)에 도시한 소그룹은 전하가 +1이 된다.

[0085] 도 11(E)에, 2개의 Zn을 포함하는 소그룹을 도시한다. 도 11(E)의 상반부에는 1개의 4배위의 0가 있고, 하반부에는 1개의 4배위의 0가 있다. 도 11(E)에 도시한 소그룹은 전하가 -1이 된다.

[0086] 여기에서는, 복수의 소그룹의 집합체를 중그룹으로 부르고, 복수의 중그룹의 집합체를 대그룹(유닛 셀(unit cell)이라고도 함)이라고 부른다.

[0087] 여기에서, 이들의 소그룹끼리가 결합하는 규칙에 대해 설명한다. 도 11(A)에 도시한 6배위의 In의 상반부의 3개의 0는, 아랫방향에 각각 3개의 균접 In을 갖고, 하반부의 3개의 0는, 윗방향에 각각 3개의 균접 In을 갖는다. 5배위의 Ga의 상반부의 1개의 0는, 아랫방향에 1개의 균접 Ga를 갖고, 하반부의 1개의 0는, 윗방향에 1개의 균접 Ga를 갖는다. 4배위의 Zn의 상반부의 1개의 0는 아랫방향에 1개의 균접 Zn을 갖고, 하반부의 3개의 0는, 윗방향에 각각 3개의 균접 Zn을 갖는다. 이와 같이, 금속 원자의 윗방향의 4배위의 0의 수와, 그 0의 아랫방향에 있는 균접 금속 원자의 수는 같고, 마찬가지로 금속 원자의 아랫방향의 4배위의 0의 수와, 그 0의 윗방향에 있는 균접 금속 원자의 수는 같다. 0은 4배위이기 때문에, 아랫방향에 있는 균접 금속 원자의 수와, 윗방향에 있는 균접 금속 원자의 수의 합은 4가 된다. 따라서, 금속 원자의 윗방향에 있는 4배위의 0의 수와, 다른 금속 원자의 아랫방향에 있는 4배위의 0의 수와의 합이 4개일 때, 금속 원자를 갖는 2종의 소그룹끼리는 결합할 수 있다. 예를 들어, 6배위의 금속 원자(In 또는 Sn)가 하반부의 4배위의 0를 통하여 결합한 경우, 4배위의 0가 3개이기 때문에, 5배위의 금속 원자(Ga 또는 In), 또는 4배위의 금속 원자(Zn)의 어느 하나와 결합하는 것이 된다.

[0088] 이들의 배위수를 갖는 금속 원자는, c축 방향에서, 4배위의 0를 통해 결합한다. 또한, 이외에도, 층구조의 합계의 전하가 0가 되도록 복수의 소그룹이 결합하여 중그룹을 구성한다.

[0089] 도 12(A)에, In-Sn-Zn-O계의 층구조를 구성하는 중그룹의 모델도를 도시한다. 도 12(B)에, 3개의 중그룹으로 구성된 대그룹을 도시한다. 또한 도 12(C)는, 도 12(B)의 층구조를 c축 방향에서 관찰한 경우의 원자 배열을

도시함을 주목하라.

[0090] 도 12(A)에서는, 간단하게 하기 위해, 3배위의 0는 생략하고, 4배위의 0는 개수만 나타낸다. 예를 들어, Sn의 상반부 및 하반부에는 각각 3개씩 4배위의 0가 있는 것을 동그라미의 3으로서 나타낸다. 마찬가지로, 도 12(A)에서, In의 상반부 및 하반부에는 각각 1개씩 4배위의 0가 있고, 동그라미의 1로서 나타낸다. 도 12(A)는 또한 하반부에는 1개의 4배위의 0가 있고, 상반부에는 3개의 4배위의 0가 있는 Zn과, 상반부에는 1개의 4배위의 0가 있고, 하반부에는 3개의 4배위의 0가 있는 Zn을 나타낸다.

[0091] 도 12(A)에서, In-Sn-Zn-O계의 충구조를 구성하는 중그룹은, 위에서부터 순서대로 4배위의 0가 3개씩 상반부 및 하반부에 있는 Sn이, 4배위의 0가 1개씩 상반부 및 하반부에 있는 In과 결합하고, 그 In이, 상반부에 3개의 4배위의 0가 있는 Zn과 결합하고, 그 Zn의 하반부의 1개의 4배위의 0를 통해 4배위의 0가 3개씩 상반부 및 하반부에 있는 In과 결합하고, 그 In이, 상반부에 1개의 4배위의 0가 있는 Zn 2개로 이루어진 소그룹과 결합하고, 이 소그룹의 하반부의 1개의 4배위의 0를 통해 4배위의 0가 3개씩 상반부 및 하반부에 있는 Sn과 결합하고 있는 구조이다. 이 중그룹이 복수 결합하여 대그룹을 구성한다.

[0092] 여기에서, 3배위의 0 및 4배위의 0의 경우, 결합 하나 당의 전하는 각각 -0.667, -0.5라고 생각할 수 있다. 예를 들어, In(6배위 또는 5배위), Zn(4배위), Sn(5배위 또는 6배위)의 전하는, 각각 +3, +2, +4이다. 따라서, Sn을 포함하는 소그룹은 전하가 +1이 된다. 그 때문에, Sn을 포함하는 충구조를 형성하기 위해서는, 전하 +1을 없애는 전하 -1이 필요해진다. 전하 -1을 취하는 구조로서, 도 11(E)에 도시한 것처럼, 2개의 Zn을 포함하는 소그룹을 들 수 있다. 예를 들어, Sn을 포함하는 소그룹이 1개에 대해, 2개의 Zn을 포함하는 소그룹이 1개 있으면, 전하가 없어지기 때문에, 충구조의 합계의 전하를 0으로 할 수 있다.

[0093] 구체적으로는, 도 12(B)에 도시한 대그룹이 반복됨으로써, In-Sn-Zn-O계의 결정( $In_2SnZn_3O_8$ )을 얻을 수 있다. 또한, 얻어진 In-Sn-Zn-O계의 충구조는,  $In_2SnZn_2O_7(ZnO)m$ ( $m$ 은 0 또는 자연수)으로 하는 조성식으로 나타낼 수 있음을 주목하라.

[0094] 또한, 이외에도, 사원계 금속의 산화물인 In-Sn-Ga-Zn계 산화물이나, 삼원계 금속의 산화물인 In-Ga-Zn계 산화물(IGZO라고도 표기함), In-Al-Zn계 산화물, Sn-Ga-Zn계 산화물, Al-Ga-Zn계 산화물, Sn-Al-Zn계 산화물이나, In-Hf-Zn계 산화물, In-La-Zn계 산화물, In-Ce-Zn계 산화물, In-Pr-Zn계 산화물, In-Nd-Zn계 산화물, In-Sm-Zn계 산화물, In-Eu-Zn계 산화물, In-Gd-Zn계 산화물, In-Tb-Zn계 산화물, In-Dy-Zn계 산화물, In-Ho-Zn계 산화물, In-Er-Zn계 산화물, In-Tm-Zn계 산화물, In-Yb-Zn계 산화물, In-Lu-Zn계 산화물이나, 이원계 금속의 산화물인 In-Zn계 산화물, Sn-Zn계 산화물, Al-Zn계 산화물, Zn-Mg계 산화물, Sn-Mg계 산화물, In-Mg계 산화물이나, In-Ga계 산화물 등을 이용한 경우도 마찬가지이다.

[0095] 예를 들어, 도 13(A)에, In-Ga-Zn-O계의 충구조를 구성하는 중그룹의 모델도를 도시한다.

[0096] 도 13(A)에서, In-Ga-Zn-O계의 충구조를 구성하는 중그룹은, 위에서부터 순서대로 4배위의 0가 3개씩 상반부 및 하반부에 있는 In이 4배위의 0가 1개 상반부에 있는 Zn과 결합하고, 그 Zn의 하반부의 3개의 4배위의 0를 통해, 4배위의 0가 1개씩 상반부 및 하반부에 있는 Ga와 결합하고, 그 Ga의 하반부의 1개의 4배위의 0를 통해, 4배위의 0가 3개씩 상반부 및 하반부에 있는 In과 결합하고 있는 구조이다. 이 중그룹이 복수 결합하여 대그룹을 구성한다.

[0097] 도 13(B)에 3개의 중그룹으로 구성된 대그룹을 도시한다. 또한, 도 13(C)은, 도 13(B)의 충구조를 c축 방향에서 관찰한 경우의 원자 배열을 도시한다.

[0098] 여기에서, In(6배위 또는 5배위), Zn(4배위), Ga(5배위)의 전하는, 각각 +3, +2, +3이기 때문에, In, Zn 및 Ga 중 어느 하나를 포함하는 소그룹은, 전하가 0이 된다. 그 때문에, 이들의 소그룹의 조합이라면 중그룹의 합계의 전하는 항상 0이 된다.

[0099] 또한, In-Ga-Zn-O계의 충구조를 구성하는 중그룹은, 도 13(A)에 도시한 중그룹에 한정되지 않고, In, Ga, Zn의 배열이 다른 중그룹을 조합한 대그룹도 얻을 수 있다.

[0100] 또한, In-Sn-Zn계 산화물은, ITZO라고 부를 수 있고, 이용하는 타겟의 조성비는, In:Sn:Zn이 원자수비로, 1:2:2, 2:1:3, 1:1:1, 또는 20:45:35 등이 되는 산화물 타겟을 이용한다.

[0101] 또한 본 명세서의 산화물 반도체막에서, 이차 이온 질량 분석법(SIMS : Secondary Ion Mass Spectroscopy)에 의해 측정된 나트륨(Na)의 농도는  $5 \times 10^{16} \text{ cm}^{-3}$  이하, 바람직하게는  $1 \times 10^{16} \text{ cm}^{-3}$  이하, 더욱 바람직하게는  $1 \times 10^{15} \text{ cm}^{-3}$

<sup>-3</sup> 이하가 적합하다는 점을 주목하라. 또는 본 명세서의 산화물 반도체막에서, SIMS에 의해 측정된 리튬(Li)의 농도는  $5 \times 10^{15} \text{ cm}^{-3}$  이하, 바람직하게는  $1 \times 10^{15} \text{ cm}^{-3}$  이하가 적합하다. 또한 본 명세서의 산화물 반도체막에서, SIMS에 의해 측정된 칼륨(K)의 농도는  $5 \times 10^{15} \text{ cm}^{-3}$  이하, 바람직하게는  $1 \times 10^{15} \text{ cm}^{-3}$  이하가 적합하다.

[0102] 이 산화물 반도체막 안에서, 나트륨(Na), 리튬(Li), 칼륨(K) 등의 알칼리 금속, 및, 알칼리토류 금속의 농도가 높은 경우, 트랜지스터 특성의 열화 및 트랜지스터 특성의 편차를 초래할 우려가 있다. 그 때문에, 트랜지스터 특성의 열화 및 트랜지스터 특성의 편차를 억제하기 위해, 산화물 반도체막 안의 알칼리 금속 및 알칼리토류 금속은, 위에서 설명한 농도 범위인 것이 적합하다.

[0103] 특히, 산화물 반도체막에 접하는 절연막이 산화물 절연막인 경우, 나트륨(Na)은 이 절연막 안으로 확산하고, 나트륨 이온( $\text{Na}^+$ )이 된다. 또한, 나트륨(Na)은, 산화물 반도체막 안에서, 금속과 산소의 결합을 분석하거나, 또는 결합 안에 끼어들 우려가 있다.

[0104] 나트륨(Na)이 절연막 안에서 나트륨 이온( $\text{Na}^+$ )이 되는 경우, 나트륨(Na)이 산화물 반도체막 안에서, 금속과 산소의 결합을 분단하거나, 또는, 나트륨(Na)이 산화물 반도체막 안에서, 결합 안에 끼어드는 경우, 트랜지스터 특성의 열화(예를 들어, 노멀리 온(normaly-on)화(문턱값의 부로의 이동), 이동도의 저하 등)의 원인이 될 우려가 있다. 또한, 이와 같은 나트륨(Na)의 행동은, 트랜지스터 특성의 편차의 원인도 된다.

[0105] 위에서 설명한 알칼리 금속 및 알칼리토류 금속에 기인하는 트랜지스터 특성의 열화 및 트랜지스터 특성의 편차는, 특히 산화물 반도체막 안의 수소의 농도가 충분히 낮은 경우에 현저해진다. 따라서, 산화물 반도체막 안의 수소의 농도가  $5 \times 10^{19} \text{ cm}^{-3}$  이하, 특히  $5 \times 10^{18} \text{ cm}^{-3}$  이하인 경우에는, 알칼리 금속의 농도를 위에서 설명한 값으로 하는 것이 적합하다.

[0106] 또한 소스 전극 또는 드레인 전극의 한쪽인 전극(105a)은, 게이트 전극(102a)의 일부 및 산화물 반도체막(104)의 일부와 중첩한다. 또한, 소스 전극 또는 드레인 전극의 다른 한쪽인 전극(105b)은, 게이트 전극(102b)의 일부 및 산화물 반도체막(104)의 일부와 중첩한다.

[0107] 전극(105a) 및 전극(105b) 각각은, 알루미늄(Al), 크롬(Cr), 탄탈(Ta), 티탄(Ti), 몰리브덴(Mo), 텉스텐(W)으로부터 선택된 원소를 포함하는 도전막, 위에서 설명한 원소를 성분으로 하는 합금막, 또는 위에서 설명한 원소를 조합시킨 합금막 등을 이용한다.

[0108] 또한, 알루미늄(Al) 단체의 알루미늄막은 내열성이 뒤떨어지고, 또한 부식하기 쉽다는 등의 문제점이 있다는 점을 주목하라. 그 때문에, 전극(105a) 및 전극(105b) 각각을 알루미늄(Al)을 이용해서 형성하는 경우는, 알루미늄(Al)과 내열성 도전성 재료를 조합시켜 형성한다.

[0109] 알루미늄(Al)과 조합시킨 내열성 도전성 재료로서는, 티탄(Ti), 탄탈(Ta), 텉스텐(W), 몰리브덴(Mo), 크롬(Cr), 네오디뮴(Nd), 스칸듐(Sc)으로부터 선택된 원소를 포함하는 재료, 또는 위에서 설명한 원소를 성분으로 하는 합금 재료, 위에서 설명한 원소를 조합시킨 합금 재료, 또는 위에서 설명한 원소를 성분으로 하는 질화물을 이용한다.

[0110] 또한 제 1 게이트 전극인 게이트 전극(102a), 제 2 게이트 전극인 게이트 전극(102b), 게이트 절연막(123), 산화물 반도체막(104), 소스 전극 또는 드레인 전극의 한쪽인 전극(105a), 소스 전극 또는 드레인 전극의 다른 한쪽인 전극(105b)을 덮고, 절연막(126)이 형성되어 있다. 절연막(126)은, 산화물 반도체막(104)에 직접 접촉하여 형성되어 있는 절연막이고, 산화물 반도체막(104)을 보호하는 보호막이다.

[0111] 절연막(126)은 게이트 절연막(123)과 마찬가지로, 산화규소막, 산화질화규소막, 질화산화규소막, 질화규소막을 이용한 단층 구조, 또는 이들의 막을 적층한 적층 구조를 이용해도 좋다. 보호막은, 대기 중에 부유하는 유기물이나 금속물, 수증기 등의 오염 불순물의 침입을 막기 위한 것이고, 치밀한 막이 바람직하다는 점을 주목하라.

[0112] 도 1(A)는 산화물 반도체 트랜지스터(100)의 상면도이고, 도 1(A)의 A-A'의 단면도가 도 1(B)이 된다.

[0113] 산화물 반도체막(104) 안의 전극(105a) 및 전극(105b)(소스 전극 및 드레인 전극)과의 사이의 영역이 채널 형성 영역이 된다. 따라서 도 1(A)에 도시한 것처럼, 전극(105a)의 단부 및 전극(105b)의 단부와의 사이의 거리가, 채널 길이(L)가 된다. 또는 전극(105a) 또는 전극(105b)의 채널 길이와 수직인 한 변의 길이가 채널 폭(W)이

된다.

[0114] 따라서 이 채널 형성 영역이며, 산화물 반도체막(104) 및 게이트 전극(102a) 및 게이트 전극(102b)에 중첩하지 않는 영역이  $L_{off}$  영역(109)이 된다.  $L_{off}$  영역(109)의 채널 길이 방향의 길이를 길이(F)로 한다.

[0115]  $L_{off}$  영역(109)의 채널 길이 방향의 길이인 길이(F)는, 너무 짧으면 온 전류 저감의 효과를 얻을 수 없고, 너무 길면 채널 형성 영역의 저항이 증대된다. 따라서,  $L_{off}$  영역(109)의 채널 길이 방향의 길이인 길이(F)는,  $1\mu\text{m}$  이상  $20\mu\text{m}$  이하가 적합하다.

[0116]  $L_{off}$  영역(109)을 형성함으로써, 산화물 반도체 트랜지스터(100)의 온 전류를 저감할 수 있다. 따라서, 점유 면적을 확대하지 않고 온 전류를 저감할 수 있는 산화물 반도체 트랜지스터(100)를 얻을 수 있다.

[0117] 이와 같이  $L_{off}$  영역(109)을 형성함으로써 온 전류가 저감된 산화물 반도체 트랜지스터(100)는, 표시 장치의 화소에 이용할 수 있다. 화소에 산화물 반도체 트랜지스터(100)를 이용한 표시 장치에 대해서는, 뒤에서 설명한다.

[0118] 또한 본 실시형태에서는, 산화물 반도체 트랜지스터(100)로서, 보텀 게이트 구조를 갖는 트랜지스터에 대해 설명했지만, 개시된 발명의 일 형태는 이것에 한정되지 않는다는 점을 주목하라. 제 1 게이트 전극과 제 2 게이트 전극이 서로 떨어져 있고, 게이트 절연막을 사이에 끼우고, 이 제 1 게이트 전극과 제 2 게이트 전극에 중첩하는 영역과 중첩하지 않는 영역을 갖는 산화물 반도체 트랜지스터는, 탑 게이트 구조여도 온 전류 저감의 효과를 얻을 수 있기 때문에 적합하다.

[0119] <같은 기판 위에 형성된  $L_{off}$  영역을 형성하지 않는 산화물 반도체 트랜지스터 및  $L_{off}$  영역을 형성한 산화물 반도체 트랜지스터>

[0120] 도 2(A) 및 도 2(B)에,  $L_{off}$  영역을 형성하지 않는 산화물 반도체 트랜지스터(110) 및  $L_{off}$  영역(109)을 형성한 산화물 반도체 트랜지스터(100)의 상면도를 도시하고, 도 2(C)에 그것의 단면도를 도시한다.

[0121] 도 2(C)에서, A-A'의 단면도가 도 2(B)에 대응하고, B-B'의 단면도가 도 2(A)에 대응한다. 또한, 도 2(B)는 도 1(A)과 같은 도면이고, 도 2(C)의 A-A'의 단면도는, 도 1(B)과 같은 도면이라는 점을 주목하라. 도 2(B) 및 도 2(C)에 도시된 산화물 반도체 트랜지스터(100)의 상세한 설명에 대해서는, 위에서 설명했기 때문에 생략한다.

[0122] 도 2(A) 및 도 2(C)에 도시한 산화물 반도체 트랜지스터(110)는, 절연 표면을 갖는 기판(101) 위에 형성되어 있다.

[0123] 산화물 반도체 트랜지스터(110)는, 기판(101) 위에 형성되고, 제 3 게이트 전극인 게이트 전극(112), 및 게이트 절연막(123)을 가지고 있다. 게이트 전극(112)의 재료는, 게이트 전극(102a) 및 게이트 전극(102b)과 마찬가지이다.

[0124] 또한 산화물 반도체 트랜지스터(110)는, 게이트 절연막(123)을 사이에 끼우고 게이트 전극(112) 위에 형성된, 제 2 산화물 반도체막으로서의 역할을 하는 산화물 반도체막(114)을 포함한다. 산화물 반도체막(114)에는 채널 형성 영역이 형성되어 있다. 산화물 반도체막(114)의 재료는, 산화물 반도체막(104)과 동일한 것이다.

[0125] 또한 산화물 반도체 트랜지스터(110)는, 게이트 전극(112)의 일부 및 산화물 반도체막(114)의 일부와 중첩하고, 소스 전극 또는 드레인 전극의 한쪽인 전극(115a), 및, 게이트 전극(112)의 일부 및 산화물 반도체막(114)의 일부와 중첩하고, 소스 전극 또는 드레인 전극의 다른 한쪽인 전극(115b)을 가지고 있다. 전극(115a) 및 전극(115b)의 재료는, 전극(105a) 및 전극(105b)과 마찬가지이다.

[0126] 또한 산화물 반도체 트랜지스터(100)와 마찬가지로, 산화물 반도체 트랜지스터(110)에서, 게이트 전극(112), 게이트 절연막(123), 산화물 반도체막(114), 소스 전극 또는 드레인 전극의 한쪽인 전극(115a), 소스 전극 또는 드레인 전극의 다른 한쪽인 전극(115b)을 덮고, 절연막(126)이 형성되어 있다. 절연막(126)은, 산화물 반도체막(114)에 직접 접촉하여 형성되어 있는 절연막이고, 산화물 반도체막(114)을 보호하고 있는 보호막이다.

[0127] 산화물 반도체 트랜지스터(110)는,  $L_{off}$  영역이 형성되어 있지 않기 때문에, 온 전류가 높다. 이와 같은 온 전류가 높은 산화물 반도체 트랜지스터(110)는, 표시 장치의 구동 회로에 이용할 수 있다. 산화물 반도체 트랜지스터(110)를 구동 회로에 이용한 표시 장치에 대해서는, 뒤에서 설명한다.

- [0128] 또한 도 2(A)~도 2(C)에서는, 산화물 반도체 트랜지스터(100)의 게이트 전극(102a), 게이트 전극(102b), 산화물 반도체막(104), 전극(105a), 및, 전극(105b), 및, 산화물 반도체 트랜지스터(110)의 게이트 전극(112), 산화물 반도체막(114), 전극(115a), 및, 전극(115b)을 직사각형으로 했지만, 본 실시형태는 이것에 한정되지 않음을 주목하라. 산화물 반도체 트랜지스터(100) 및 산화물 반도체 트랜지스터(110)를 구성하는 게이트 전극, 산화물 반도체막, 소스 전극 및 드레인 전극을, 도 10(A)~도 10(C)에 도시한 것처럼, 만곡 형상을 갖도록 형성해도 좋다. 게이트 전극, 산화물 반도체막, 소스 전극 및 드레인 전극이 만곡 형상을 갖는 산화물 반도체 트랜지스터에서도,  $L_{off}$  영역이 형성된 산화물 반도체 트랜지스터는, 온 전류가 낮다는 점에서 적합하다. 또한  $L_{off}$  영역이 형성되지 않은 산화물 반도체 트랜지스터는, 온 전류가 높기 때문에 구동 회로에 이용할 수 있다.
- [0129] 또한 본 실시형태에서는, 산화물 반도체 트랜지스터(100) 및 산화물 반도체 트랜지스터(110)로서, 보텀 게이트 구조를 갖는 트랜지스터에 대해 설명했지만, 본 실시형태는 이것에 한정되지 않는다. 탑 게이트 구조의 산화물 반도체 트랜지스터에서도,  $L_{off}$  영역이 형성된 산화물 반도체 트랜지스터는, 온 전류가 낮다는 점에서 적합하다. 또한  $L_{off}$  영역이 형성되지 않은 산화물 반도체 트랜지스터는, 온 전류가 높기 때문에 구동 회로에 이용할 수 있다.
- [0130] 같은 기판(101) 위에,  $L_{off}$  영역을 형성하지 않는 산화물 반도체 트랜지스터(110), 및  $L_{off}$  영역(109)을 형성한 산화물 반도체 트랜지스터(100)의 제작 방법에 대해, 이하에 서술한다.
- [0131] 우선 절연 표면을 갖는 기판(101) 위에, 게이트 전극(112), 게이트 전극(102a), 및 게이트 전극(102b)을 제작한다(도 3(A) 참조).
- [0132] 게이트 전극(112), 게이트 전극(102a), 및 게이트 전극(102b)은, 스퍼터링법이나 진공 증착법으로, 도전막을 형성하고, 이 도전막을 에칭함으로써 형성한다. 또는, 도전성 나노 페이스트(nanopaste)를 이용하고, 잉크젯법에 의해 토출하고 소성함으로써, 게이트 전극(112), 게이트 전극(102a), 및 게이트 전극(102b)을 형성해도 좋다.
- [0133] 이어서, 기판(101), 게이트 전극(112), 게이트 전극(102a), 및 게이트 전극(102b)을 덮고, 게이트 절연막(123)을 형성한다(도 3(B) 참조).
- [0134] 게이트 절연막(123)을 덮고, 산화물 반도체막(124)을 형성한다(도 3(C) 참조). 산화물 반도체막(124)은, 위에서 설명한 산화물 반도체막(104)의 재료를 타겟으로서 이용하고, 스퍼터링법으로 형성하면 좋다.
- [0135] 이어서 산화물 반도체막(124)을 에칭으로 가공하고, 게이트 전극(112) 위에 게이트 절연막(123)을 사이에 끼우고 산화물 반도체막(114), 및, 게이트 전극(102a) 및 게이트 전극(102b) 위에 게이트 절연막(123)을 사이에 끼우고 산화물 반도체막(104)이 형성된다(도 4(A) 참조). 이에 따라, 산화물 반도체 트랜지스터(110)의 채널 형성 영역인 산화물 반도체막인(114), 및 산화물 반도체 트랜지스터(100)의 채널 형성 영역인 산화물 반도체막(104)을, 같은 재료 및 같은 공정으로 형성할 수 있다.
- [0136] 도 4(A)에서, 산화물 반도체막(104) 안의 영역에서, 게이트 전극(102a) 및 게이트 전극(102b)의 사이의 영역, 즉 게이트 전극과 산화물 반도체막(104)이 중첩하지 않는 영역이  $L_{off}$  영역(109)이 된다.  $L_{off}$  영역(109)이 존재함으로써, 산화물 반도체 트랜지스터(100)의 온 전류가 저감될 수 있다.
- [0137] 게이트 절연막(123), 산화물 반도체막(114), 및 산화물 반도체막(104)을 덮고, 도전막(125)을 형성한다(도 4(B) 참조). 도전막(125)은 위에서 설명한 전극(105a) 및 전극(105b)의 재료를 타겟으로서 이용하고, 스퍼터링법으로 형성하면 좋다.
- [0138] 이어서, 도전막(125)을 예칭하고, 산화물 반도체 트랜지스터(110)의 소스 전극 및 드레인 전극인 전극(115a) 및 전극(115b), 및, 산화물 반도체 트랜지스터(100)의 소스 전극 및 드레인 전극인 전극(105a) 및 전극(105b)을 형성한다. 전술한 바와 같이, 산화물 반도체 트랜지스터(110) 및 산화물 반도체 트랜지스터(100)가 제작된다(도 4(C) 참조).
- [0139] 이어서, 산화물 반도체 트랜지스터(110) 및 산화물 반도체 트랜지스터(100)를 덮고, 보호막으로서 기능하는 절연막(126)을 형성한다(도 2(C) 참조).
- [0140] 산화물 반도체 트랜지스터(110)는,  $L_{off}$  영역이 형성되지 않기 때문에, 온 전류가 높다. 한편, 산화물 반도체 트랜지스터(100)는,  $L_{off}$  영역(109)이 형성되어 있기 때문에, 온 전류가 저감된다.

- [0141] 이상과 같이 해서, 같은 기판(101) 위에, 온 전류가 낮은 산화물 반도체 트랜지스터(100) 및 온 전류가 높은 산화물 반도체 트랜지스터(110)를 제작할 수 있다.
- [0142] 또한, 본 실시형태에서는, 산화물 반도체막(124)을 에칭하여 산화물 반도체막(114) 및 산화물 반도체막(104)을 형성한 후, 도전막(125)을 형성하고, 도전막(125)을 에칭함으로써 전극(115a), 전극(115b), 전극(105a), 및 전극(105b)을 형성함을 주목하라. 그러나 본 실시형태는, 위에서 설명한 제작 공정에 한정되지 않는다. 산화물 반도체막(124) 및 도전막(125)을 형성하고, 산화물 반도체막(124) 및 도전막(125)을, 같은 마스크를 이용하여 에칭해도 좋다. 산화물 반도체막(124) 및 도전막(125)을, 같은 마스크를 이용하여 에칭하면, 마스크 수를 줄일 수 있고, 제작 공정을 줄일 수 있다.
- [0143] 이와 같이, 온 전류가 낮은 산화물 반도체 트랜지스터(100)와 온 전류가 높은 산화물 반도체 트랜지스터(110)를 같은 기판(101) 위에 제작함으로써, 산화물 반도체 트랜지스터의 제작 공정을 삭감할 수 있고, 제작 비용을 억제할 수 있다.
- [0144] 또한 본 실시형태에서는, 온 전류가 낮은 산화물 반도체 트랜지스터(100) 및 온 전류가 높은 산화물 반도체 트랜지스터(110)로서, 보텀 게이트 구조의 트랜지스터를 제작하는 예에 대해 서술했지만, 개시된 발명의 일 형태는 이것에 한정되지 않음을 주목하라. 산화물 반도체 트랜지스터(100) 및 산화물 반도체 트랜지스터(110)로서 탑 게이트 구조를 갖는 트랜지스터를 이용한 경우에도, 같은 기판 위에 각각의 트랜지스터를 동시에 제작할 수 있다. 이에 따라, 산화물 반도체 트랜지스터의 제작 공정을 삭감할 수 있고, 제작 비용을 억제할 수 있다.
- [0145] <표시 장치>
- [0146] 본 실시형태에서는, 본 발명의 일 형태에 관한 표시 장치로서, 발광 표시 장치의 예를 나타낸다. 표시 장치를 갖는 표시 소자로서는, 여기에서는 전계 발광을 이용하는 발광 소자를 이용하여 나타낸다. 전계 발광을 이용하는 발광 소자는, 발광 재료가 유기 화합물인지, 무기 화합물인지에 따라 구별된다. 일반적으로, 전자는 유기 EL 소자, 후자는 무기 EL 소자라고 불린다.
- [0147] 유기 EL 소자는, 발광 소자에 전압을 인가함으로써, 한쌍의 전극으로부터 전자 및 정공이 각각 발광성의 유기 화합물을 포함한 층에 주입되고, 전류가 흐른다. 그리고, 그들 캐리어(전자 및 정공)가 재결합함으로써, 발광성의 유기 화합물이 여기 상태를 형성하고, 그 여기 상태가 기저 상태로 돌아갈 때 발광한다. 이와 같은 메커니즘 때문에, 이와 같은 발광 소자는, 전류 여기형의 발광 소자라고 불린다.
- [0148] 무기 EL 소자는, 그 소자 구성에 따라, 분산형 무기 EL 소자와 박막형 무기 EL 소자로 분류된다. 분산형 무기 EL 소자는, 발광 재료의 입자를 바인더 안에 분산시킨 발광층을 갖는 것이고, 발광 메커니즘은 도너(donor) 준위와 억셉터(acceptor) 준위를 이용하는 도너-억셉터 재결합형 발광이다. 박막형 무기 EL 소자는 발광층을 유전체층에 끼워 넣고, 또한 그것을 전극으로 끼운 구조이고, 발광 메커니즘은 금속 이온의 내각 전자 천이를 이용하는 국재(局在)형 발광이다. 또한, 여기에서는, 발광 소자로서 유기 EL 소자를 이용하여 설명함을 주목하라.
- [0149] 도 5(A)에, 본 발명의 일 형태에 관한 발광 표시 장치의 일례로서, 액티브 매트릭스형 EL 표시 장치를 도시한다. 도 5(A)에 도시한 발광 표시 장치는, 절연 표면을 갖는 기판(101) 위에, 복수의 화소(136)를 갖는 화소부(131), 및, 화소부(131)를 구동하는 구동 회로인 게이트 드라이버(132) 및 소스 드라이버(134)를 갖는다.
- [0150] 화소부(131)는 소스 드라이버(134)로부터 연장하여 배치된 복수의 소스선(135)에 의해, 소스 드라이버(134)와 접속되어 있다. 또한 화소부(131)는 게이트 드라이버(132)로부터 연장하여 배치된 복수의 게이트선(133)에 의해 게이트 드라이버(132)와 접속되어 있다. 또한 화소부(131)는 소스선(135) 및 게이트선(133)에 대응하고, 매트릭스 형상으로 배치된 복수의 화소(136)를 갖는다.
- [0151] 각 화소(136)는 트랜지스터(141), 트랜지스터(142), 발광 소자(144), 용량 소자(143), 소스선(135), 게이트선(133), 전원선(137)을 포함한다(도 5(B) 참조).
- [0152] 트랜지스터(141)의 소스 또는 드레인의 한쪽은, 소스선(135)에 전기적으로 접속되어 있다. 트랜지스터(141)의 소스 또는 드레인의 다른 한쪽은, 용량 소자(143)의 한쪽의 단자, 및 트랜지스터(142)의 게이트에 전기적으로 접속되어 있다. 트랜지스터(141)의 게이트는 게이트선(133)에 전기적으로 접속되어 있다. 트랜지스터(141)는 트랜지스터(142)의 온 및 오프를 제어하는 스위칭 소자로서 기능한다.
- [0153] 트랜지스터(142)의 소스 또는 드레인의 한쪽은, 발광 소자(144)에 전기적으로 접속되어 있다. 트랜지스터(142)의 소스 또는 드레인의 다른 한쪽은, 용량 소자(143)의 다른 한쪽의 단자, 및 전원선(137)에 전기적으로 접속

되어 있다. 트랜지스터(142)의 게이트는, 트랜지스터(141)의 소스 또는 드레인의 다른 한쪽, 및 용량 소자(143)의 한쪽의 단자에 전기적으로 접속되어 있다. 트랜지스터(142)는, 발광 소자(144)에 흐르는 전류의 제어를 행하는 전류 제어 소자로서 기능한다.

[0154] 용량 소자(143)의 한쪽의 단자는 트랜지스터(141)의 소스 또는 드레인의 다른 한쪽, 및 트랜지스터(142)의 게이트에 전기적으로 접속되어 있다. 용량 소자(143)의 다른 한쪽의 단자는, 트랜지스터(142)의 소스 또는 드레인의 다른 한쪽, 및 전원선(137)에 전기적으로 접속되어 있다.

[0155] 발광 소자(144)는 트랜지스터(142)의 소스 또는 드레인의 한쪽에 전기적으로 접속되어 있다.

[0156] 화소(136)에 이용되는 트랜지스터(141) 및 트랜지스터(142)는 각각, 도 1(A)~도 1(B) 및 도 2(B)~도 2(C)에서 설명된 산화물 반도체 트랜지스터(100)를 이용할 수 있다.

[0157] 화소(136)에 이용하는 트랜지스터(141) 및 트랜지스터(142)로서,  $L_{off}$  영역(109)을 갖는 산화물 반도체 트랜지스터(100)를 이용하면, 점유 면적을 확대시키지 않고, 온 전류가 저감된 트랜지스터(141) 및 트랜지스터(142)를 얻을 수 있다.

[0158] 이상에서 설명한 것처럼, 온 전류가 저감된 산화물 반도체 트랜지스터를 화소(136)에 이용한 발광 표시 장치는, 발광 표시 장치의 개구율이 감소하는 것을 억제할 수 있다.

[0159] 또한, 발광 소자(144)의 전류 제어용 트랜지스터인 트랜지스터(142)로서, 온 전류가 저감된 트랜지스터를 이용하면, 트랜지스터(142)의 구동 전압이 변화해도 드레인 전류의 변화량이 적다는 점에서 특히 적합하다. 그 이유를 이하에 설명한다.

[0160] 본 실시형태의 발광 표시 장치의 휘도는 발광 소자(144) 및 트랜지스터(142)의 전류에 의존한다. 그 때문에, 발광 소자(144) 및 트랜지스터(142)의 특성이 발광 표시 장치의 휘도에 있어서는 중요하다.

[0161] 도 5에 도시한 트랜지스터(142)로서, 채널 길이가 길어 온 전류가 낮은 트랜지스터를 이용한 경우와, 채널 길이가 짧아 온 전류가 높은 트랜지스터를 이용한 경우의 특성의 차이를, 도 9(A) 및 도 9(B)를 이용하여 설명한다.

[0162] 우선 도 5에서, 트랜지스터(142)의 소스 또는 드레인 중, 전원선(137)과 접속되어 있는 측의 전압을  $V_A$ , 또한 트랜지스터(142)의 소스 또는 드레인 중, 발광 소자(144)와 접속되어 있는 측의 전압을 전압( $V_E$ )으로 한다.

[0163] 도 9(A) 및 도 9(B)는, 온 전류가 낮은(채널 길이가 긴) 트랜지스터 및 온 전류가 높은(채널 길이가 짧은) 트랜지스터 각각에서, 전압( $V_E$ ) 및 드레인 전류( $I_d$ ) 특성(이하 「 $V_E-I_d$  특성」이라고도 함), 및, 발광 소자(144)의 전압 특성을 도시한다. 또한 이 때, 온 전류가 낮은(채널 길이가 긴) 트랜지스터 및 온 전류가 높은(채널 길이가 짧은) 트랜지스터의 게이트 및 소스 간 전압( $V_{gs}$ )은 같은 것으로 함을 주목하라.

[0164] 도 9(A)에서, 발광 소자(144)의 전압 특성의 곡선을 곡선( $C_E$ )으로 한다.

[0165] 또한, 온 전류가 낮은(채널 길이가 긴) 트랜지스터의  $V_E-I_d$  특성의 곡선을 곡선( $C_l$ ), 곡선( $C_l$ )이 곡선( $C_E$ )과 교차하는 점의 전압을 전압( $V_l$ ), 및, 곡선( $C_l$ )이 곡선( $C_E$ )과 교차하는 점의 전류를  $I_{dl}$ 로 한다.

[0166] 또한, 온 전류가 높은(채널 길이가 짧은) 트랜지스터의  $V_E-I_d$  특성의 곡선을 곡선( $C_s$ ), 곡선( $C_s$ )이 곡선( $C_E$ )과 교차하는 점의 전압을 전압( $V_s$ ), 및, 곡선( $C_s$ )이 곡선( $C_E$ )과 교차하는 점의 전류를  $I_{ds}$ 로 한다.

[0167] 곡선( $C_l$ ) 및 곡선( $C_s$ )은 각각, 포화 영역(S)과 선형 영역(R)을 갖는다. 포화 영역(S)은 전압( $V_E$ )에 대해 드레인 전류( $I_d$ )가 거의 변화하지 않는 영역이다. 선형 영역(R)은 전압( $V_E$ )에 대해 드레인 전류( $I_d$ )에 대해 선형으로 변화하는 영역이다.

[0168] 전압( $V_l$ )은 온 전류가 낮은(채널 길이가 긴) 트랜지스터의 구동 전압, 전압( $V_s$ )은 온 전류가 높은(채널 길이가 짧은) 트랜지스터의 구동 전압이 된다.

[0169] 여기에서 도 9(B)에, 발광 소자(144)가 열화하고, 발광 소자(144)에 흐르게 하는 전류가 낮아진 경우의 전압 특성을 도시한다.

[0170] 도 9(B)에서는, 열화 전의 발광 소자(144)의 전압 특성의 곡선( $C_E$ )을 곡선( $C_{E1}$ )으로 하고, 열화 후의 발광 소자

(144)의 전압 특성의 곡선( $C_E$ )을 곡선( $C_{E2}$ )으로 한다.

[0171] 또한, 온 전류가 낮은(채널 길이가 긴) 트랜지스터의  $V_E-I_D$  특성의 곡선( $C_l$ )이, 곡선( $C_{E1}$ )과 교차하는 점의 전압을 구동 전압( $V_{l1}$ )으로 한다. 온 전류가 높은(채널 길이가 짧은) 트랜지스터의  $V_E-I_D$  특성의 곡선( $C_s$ )이, 곡선( $C_{E1}$ )과 교차하는 점의 전압을 구동 전압( $V_{s1}$ )으로 한다.

[0172] 마찬가지로, 온 전류가 낮은(채널 길이가 긴) 트랜지스터의  $V_E-I_D$  특성의 곡선( $C_l$ )이, 곡선( $C_{E2}$ )과 교차하는 점의 전압을 구동 전압( $V_{l2}$ )으로 한다. 온 전류가 높은(채널 길이가 짧은) 트랜지스터의  $V_E-I_D$  특성의 곡선( $C_s$ )이, 곡선( $C_{E2}$ )과 교차하는 점의 전압을 구동 전압( $V_{s2}$ )으로 한다.

[0173] 발광 소자(144)가 열화하고, 발광 소자(144)에 흐르게 하는 전류가 낮아지면, 발광 소자(144)에 인가하는 전압을 증가시켜야만 한다. 그 때문에, 구동 전압( $V_{l1}$ ) 및 구동 전압( $V_{s1}$ )보다, 구동 전압( $V_{l2}$ ) 및 구동 전압( $V_{s2}$ )의 쪽이 전압 값이 높아진다. 또한, 구동 전압( $V_{l2}$ ) 및 구동 전압( $V_{s2}$ )이 높아지면, 구동 전압( $V_{l2}$ ) 및 구동 전압( $V_{s2}$ ) 선형 영역(R)에 들어갈 우려가 있다.

[0174] 도 9(B)에서는, 온 전류가 높은(채널 길이가 짧은) 트랜지스터를 이용한 경우의 구동 전압( $V_{s2}$ )이 선형 영역(R)에 들어간 경우를 도시하고 있다. 구동 전압이 선형 영역(R)에 들어가면, 구동 전압의 작은 변화로 드레인 전류가 크게 변화하게 될 우려가 있다.

[0175] 한편, 온 전류가 낮은(채널 길이가 긴) 트랜지스터를 이용한 경우의 구동 전압( $V_{l2}$ )은, 선형 영역(R)에 들어가지 않고, 포화 영역(S)에 존재한다.

[0176] 그 때문에 온 전류가 낮은(채널 길이가 긴) 트랜지스터에서는, 구동 전압이 변화해도 드레인 전류의 변화량이 작다는 효과를 나타낸다.

[0177] 따라서, 트랜지스터(142)로서 온 전류가 낮은(채널 길이가 긴) 트랜지스터를 이용하면, 트랜지스터(142)의 구동 전압이 변화해도 드레인 전류의 변화량이 적다는 점에서 특히 적합하다.

[0178] 또한 이 복수의 화소(136)를 갖는 화소부(131)를 구동하는 게이트 드라이버(132) 및 소스 드라이버(134)에 이용하는 트랜지스터로서, 도 2(A) 및 도 2(C)에서 설명된 산화물 반도체 트랜지스터(110)를 이용할 수 있다.

[0179] 게이트 드라이버(132) 및 소스 드라이버(134)에 이용하는 트랜지스터로서 산화물 반도체 트랜지스터(110)를 이용하면, 온 전류가 높은 산화물 반도체 트랜지스터(110)와, 상기 온 전류가 낮은 산화물 반도체 트랜지스터(100)를, 같은 기판(101) 위에 제작할 수 있다.

[0180] 온 전류가 높은 산화물 반도체 트랜지스터(110)와 온 전류가 낮은 산화물 반도체 트랜지스터(100)를 같은 기판(101) 위에 제작하면, 산화물 반도체 트랜지스터(110) 및 산화물 반도체 트랜지스터(100)의 제작 공정을 삭감할 수 있고, 제작 비용을 억제할 수 있다.

[0181] 따라서, 본 실시형태에 따라, 같은 기판(101) 위에, 화소(136)에 온 전류가 낮은 산화물 반도체 트랜지스터(100)를 이용하고, 또한 구동 회로(게이트 드라이버(132) 및 소스 드라이버(134))에 온 전류가 높은 산화물 반도체 트랜지스터(110)를 이용한 표시 장치를 얻을 수 있다.

[0182] 따라서, 복수의 화소(136)를 갖는 화소부(131), 및 구동 회로(게이트 드라이버(132) 및 소스 드라이버(134))에 이용되는 트랜지스터로서, 각각 산화물 반도체 트랜지스터(100) 및 산화물 반도체 트랜지스터(110)를 같은 기판(101) 위에 제작할 수 있다. 이에 따라, 발광 표시 장치의 제작에서, 제작 공정을 삭감할 수 있고, 제작 비용을 억제할 수 있다.

[0183] 도 6(A)~도 6(C)에, 트랜지스터(142)로서 이용한 산화물 반도체 트랜지스터(100), 및 발광 소자(144)의 단면을 도시한다.

[0184] 도 6(A)에 도시한 발광 표시 장치는, 기판(101), 트랜지스터(142)로서 산화물 반도체 트랜지스터(100), 절연막(126), 절연막(127), 격벽(128), 전극(107), 발광층(152), 전극(153)을 가지고 있다. 전극(107)은 산화물 반도체 트랜지스터(100)의 소스 전극 또는 드레인 전극의 다른 한쪽에 전기적으로 접속되어 있다. 또한, 발광 소자(144)는 전극(107), 발광층(152), 및 전극(153)을 포함한다.

- [0185] 발광 소자(144)는, 발광을 취출하기 위해, 적어도 양극 또는 음극의 한쪽이 투광성을 가지면 좋다. 기판 위에 트랜지스터 및 발광 소자가 형성된다. 기판은 반대 측의 면에서 발광을 취출하는 상면 사출이나, 기판 측의 면에서 발광을 취출하는 하면 사출이나, 기판 측 및 기판은 반대 측의 면에서 발광을 취출하는 양면 사출 구조의 발광 소자가 있다. 본 발명의 일 형태에 관한 화소 구성은 어느 사출 구조의 발광 소자에도 적용할 수 있다.
- [0186] 도 6(A)에서는, 상면 사출 구조의 발광 소자(144)에 대해 설명한다.
- [0187] 절연막(127)은, 아크릴, 폴리아미드, 폴리아미드 등의 유기 수지, 또는 실록산을 이용하여 형성하는 것이 바람직하다.
- [0188] 본 실시형태에서는, 화소(136)의 트랜지스터(142)(산화물 반도체 트랜지스터(100))가 n형이다. 그 때문에, 전극(107)을 음극으로서 이용하는 것이 바람직하다. 구체적으로는, 음극으로서는, 일 함수가 작은 재료, 예를 들어, Ca, Al, CaF, MgAg, AlLi 등의 금속 재료를 이용할 수 있다.
- [0189] 격벽(128)은, 유기 수지막, 무기 절연막, 또는 유기 폴리실록산을 이용하여 형성한다. 특히 감광성의 재료를 이용하여, 전극(107) 위에 개구부를 형성하고, 그 개구부의 측벽이 연속된 곡률을 가지고 형성된 경사면이 되도록 형성하는 것이 바람직하다.
- [0190] 발광층(152)은, 단수의 층으로 형성되어 있어도, 복수의 층이 적층되도록 구성되어 있어도 어느 쪽이어도 좋다.
- [0191] 발광층(152)을 덮도록, 양극으로서 전극(153)을 형성한다. 전극(153)은, 투광성을 갖는 도전성 재료를 이용한 투광성 도전막으로 형성할 수 있다.
- [0192] 투광성을 갖는 도전성 재료로서, 예를 들어, 산화텅스텐을 포함하는 인듐 산화물, 산화텅스텐을 포함하는 인듐 아연 산화물, 산화티탄을 포함하는 인듐 산화물, 산화티탄을 포함하는 인듐 주석 산화물, 인듐 주석 산화물, 인듐 아연 산화물, 산화규소를 첨가한 인듐 주석 산화물 등을 들 수 있다.
- [0193] 전극(107), 발광층(152), 및 전극(153)이 중첩함으로써, 발광 소자(144)가 형성되어 있다. 또한, 발광 소자(144)에 산소, 수소, 수분, 이산화탄소 등이 침입하지 않도록, 전극(153) 및 격벽(128)을 덮도록 보호막을 형성해도 좋다. 보호막으로서는, 질화규소막, 질화산화규소막, DLC막 등을 형성할 수 있다.
- [0194] 도 6(A)에 도시한 발광 소자(144)의 경우, 음극인 전극(107)이 차광성을 갖는 금속 재료, 양극인 전극(153)이 투광성을 갖는 도전성 재료를 이용하여 형성되어 있다. 그 때문에, 도 6(A)에 도시한 발광 소자(144)로부터 나오는 빛은, 화살표로 나타낸 것처럼 전극(153) 측으로 사출한다. 따라서, 도 6(A)에 도시한 발광 소자(144)는, 상면 사출 구조의 발광 소자이다.
- [0195] 또한 도 6(A)에 도시한 발광 소자가 상면 사출 구조의 발광 소자이기 때문에, 발광 표시 장치의 개구율을 높이는 것은 어렵다. 그러나, 본 실시형태에 따라, 트랜지스터(142)의 온 전류의 최적화가 행해지고 있기 때문에 적합하다.
- [0196] 도 6(B)에서는, 하면 사출 구조의 발광 소자(144)에 대해 설명한다.
- [0197] 도 6(B)에서는, 화소(136)의 트랜지스터(142)(산화물 반도체 트랜지스터(100))에 전기적으로 접속된 전극(108)을, 위에서 설명한 투광성을 갖는 도전성 재료를 이용하여 형성한다.
- [0198] 투광성을 갖는 전극(108) 위에, 발광 소자(144)의 음극인 전극(154)이 성막되어 있고, 전극(154) 위에 발광층(152), 양극인 전극(153)이 차례로 적층되어 있다.
- [0199] 음극인 전극(154)은, 도 6(A)에 도시한 전극(107)과 마찬가지로, 일 함수가 작은 도전성 재료이면 다양한 재료를 이용할 수 있다. 다만 그 막 두께는, 빛을 투과하는 정도(바람직하게는, 5nm~30nm 정도)로 함을 주목하라. 예를 들어 20nm의 막 두께를 갖는 알루미늄막을, 전극(154)으로서 이용할 수 있다.
- [0200] 양극인 전극(153)이 투광성을 갖는 경우, 전극(153)을 덮도록, 빛을 반사 또는 차폐하기 위한 차폐막(155)을 형성한다. 차폐막(155)은, 예를 들어 빛을 반사하는 금속 등을 이용할 수 있지만, 금속막에 한정되지 않는다. 예를 들어 검은 안료가 첨가된 수지 등을 이용할 수 있다.
- [0201] 전극(154), 발광층(152), 및 전극(153)이 중첩함으로써, 발광 소자(144)가 형성되어 있다. 또한, 발광 소자(144)에 산소, 수소, 수분, 이산화탄소 등이 침입하지 않도록, 차폐막(155) 및 격벽(128)을 덮고 보호막을 형성해도 좋다. 보호막으로서는, 질화규소막, 질화산화규소막, DLC막 등을 형성할 수 있다.

- [0202] 도 6(B)에 도시한 발광 소자(144)의 경우, 음극인 전극(154)은 빛을 투과할 정도로 얇다. 또한 전극(154)의 아래쪽에는, 투광성을 갖는 전극(108)이 형성되어 있다. 또한, 양극인 전극(153)을 덮도록 차폐막(155)이 형성되어 있다.
- [0203] 그 때문에, 도 6(B)에 도시한 발광 소자(144)로부터 나오는 빛은, 화살표로 나타낸 것처럼 전극(154) 측으로 사출한다. 따라서, 도 6(B)에 도시한 발광 소자(144)는, 하면 사출 구조의 발광 소자이다.
- [0204] 도 6(B)에 도시한 발광 소자는, 상면 사출 구조의 발광 소자이기 때문에, 본 실시형태에 따라 발광 표시 장치의 개구율을 높일 수 있다. 또한, 본 실시형태에 따라, 트랜지스터(142)의 온 전류의 최적화가 행해지고 있기 때문에 적합하다.
- [0205] 도 6(C)에서는, 양면 사출 구조의 발광 소자(144)에 대해 설명한다.
- [0206] 도 6(C)에서는, 도 6(B)과 마찬가지로, 화소(136)의 트랜지스터(142)(산화물 반도체 트랜지스터(100))에 전기적으로 접속된 전극(108)을, 위에서 설명한 투광성을 갖는 도전성 재료를 이용하여 형성한다.
- [0207] 또한 도 6(C)에 도시한 발광 소자(144)에서, 도 6(B)과 마찬가지로, 투광성을 갖는 전극(108) 위에, 발광 소자(144)의 음극인 전극(154)이 성막되어 있고, 전극(154) 위에 발광층(152), 양극인 전극(153)이 차례로 적층되어 있다.
- [0208] 음극인 전극(154)은, 도 6(A)에 도시한 전극(107)과 마찬가지로, 일 함수가 작은 도전성 재료이면 다양한 재료를 이용할 수 있다. 다만 그 막 두께는, 빛을 투과할 정도(바람직하게는, 5nm~30nm 정도)로 함을 주목하라. 예를 들어 20nm의 막 두께를 갖는 알루미늄막을 전극(154)으로서 이용할 수 있다.
- [0209] 전극(154), 발광층(152), 및 전극(153)이 중첩함으로써, 발광 소자(144)가 형성되어 있다. 또한, 발광 소자(144)에 산소, 수소, 수분, 이산화탄소 등이 침입하지 않도록, 전극(153) 및 격벽(128)을 덮고 보호막을 형성해도 좋다. 보호막으로서는, 질화규소막, 질화산화규소막, DLC막 등을 형성할 수 있다.
- [0210] 도 6(C)에 도시한 발광 소자(144)의 경우, 음극인 전극(154)은 빛을 투과할 정도로 얇다. 또한 전극(154)의 아래쪽에는, 투광성을 갖는 전극(108)이 형성되어 있다. 또한, 양극인 전극(153)도 투광성을 갖는 도전 재료를 이용해서 형성되어 있다.
- [0211] 그 때문에, 도 6(C)에 도시한 발광 소자(144)로부터 나오는 빛은, 화살표로 나타낸 것처럼 전극(154) 측 및 전극(153) 측의 양쪽으로 사출한다. 도 6(C)에 도시한 발광 소자(144)는, 양면 사출 구조의 발광 소자이다.
- [0212] 또한, 이상과 같이 해서 제작된 발광 소자(144)를, 더욱 외부 공기에 노출되지 않도록 기밀성이 높고, 탈 가스가 적은 보호 필름(접착 필름, 자외선 경화 수지 필름 등)이나 커버재로 포장(봉입)하는 것이 바람직하다.
- [0213] 또한, 여기에서는, 발광 소자(144)로서 유기 EL 소자에 대해 설명했지만, 발광 소자(144)로서 무기 EL 소자를 형성할 수도 있음을 주목하라.
- [0214] 또한, 산화물 반도체 트랜지스터(100)에서, 필요하다면,  $L_{off}$  영역(109)을 차광하는 차광막, 또는 산화물 반도체 트랜지스터(100) 전체를 차광하는 차광막을 더 형성해도 좋다. 이와 같은 차광막을 형성함으로써, 빛의 취출 효율을 높일 수 있다.
- [0215] <표시 패널>
- [0216] 도 7(A) 및 도 7(B)은 본 실시형태의 표시 장치의 일 형태인 표시 패널의 상면도 및 단면도이다. 도 7(B)은 도 7(A)의 C-C' 단면도에 상당한다.
- [0217] 제 1 기판(101) 위에 형성된 화소부(131), 게이트 드라이버(132a), 게이트 드라이버(132b), 소스 드라이버(134a), 및 소스 드라이버(134b)를 덮도록 해서, 실링재(162)가 형성되어 있다. 또한 화소부(131), 게이트 드라이버(132a), 게이트 드라이버(132b), 소스 드라이버(134a), 및 소스 드라이버(134b)의 위에 제 2 기판(161)이 형성되어 있다. 화소부(131), 게이트 드라이버(132a), 게이트 드라이버(132b), 소스 드라이버(134a), 및 소스 드라이버(134b)는, 제 1 기판(101), 제 2 기판(161), 및 실링재(162)에 의해, 충전재(169)와 함께 밀봉되어 있다.
- [0218] 제 1 기판(101) 위에 형성된 화소부(131)에 이용되는 트랜지스터로서, 위에서 설명한 것처럼, 도 1(A)~도 1(B) 및 도 2(B)~도 2(C)에서 설명된 산화물 반도체 트랜지스터(100)를 이용할 수 있다.

- [0219] 화소부(131)에 이용되는 트랜지스터로서,  $L_{off}$  영역(109)을 갖는 산화물 반도체 트랜지스터(100)를 이용하면, 화소부(131)에 이용되는 트랜지스터는, 점유 면적을 확대시키지 않고 온 전류를 저감할 수 있다.
- [0220] 이와 같은 산화물 반도체 트랜지스터(100)를 화소부(131)에 이용한 표시 패널은, 표시 패널의 개구율이 저감하는 것을 억제할 수 있다.
- [0221] 또한, 게이트 드라이버(132a), 게이트 드라이버(132b), 소스 드라이버(134a), 및 소스 드라이버(134b)에 트랜지스터로서, 위에서 설명한 것처럼, 도 2(A) 및 도 2(C)에서 설명된 산화물 반도체 트랜지스터(110)를 이용할 수 있다.
- [0222] 따라서, 같은 기판(101) 위에, 화소부(131)에 온 전류가 낮은 산화물 반도체 트랜지스터(100)를 이용하고, 또한 게이트 드라이버(132a), 게이트 드라이버(132b), 소스 드라이버(134a), 및 소스 드라이버(134b)에 온 전류가 높은 산화물 반도체 트랜지스터(110)를 이용한 표시 패널을 얻을 수 있다. 이에 따라, 표시 패널의 제작에서, 제작 공정을 삭감할 수 있고, 제작 비용을 억제할 수 있다.
- [0223] 게이트 드라이버(132a), 게이트 드라이버(132b), 소스 드라이버(134a), 및 소스 드라이버(134b)에 공급되는 각종 신호 및 전위는, FPC(167a) 및 FPC(167b)로부터 공급된다.
- [0224] 도 7(B)에 도시한 표시 패널에서는, 발광 소자(144)로서 도 6(A)에 도시한 상방 사출 구조의 발광 소자를 이용한다. 이 표시 패널에서, 접속 단자(165)가 전극(107)과 같은 도전막으로 형성되고, 배선(166)은 발광 소자(144)가 갖는 전극(153)과 같은 도전막으로 형성된다.
- [0225] 다만 발광 소자(144)로서, 도 6(A)에 도시한 상방 사출 구조의 발광 소자뿐만 아니라, 도 6(B)에 도시한 하방 사출 구조의 발광 소자, 도 6(C)에 도시한 양면 사출 구조의 발광 소자를 이용해도 좋음을 주목하라.
- [0226] 도 7(B)에 도시한 표시 패널에 도 6(B)에 도시한 하방 사출 구조의 발광 소자를 이용하는 경우에는, 접속 단자(165)로서 전극(108) 또는 전극(154)과 같은 도전막, 배선(166)으로서 전극(153)과 같은 도전막을 이용할 수 있다.
- [0227] 도 7(B)에 도시한 표시 패널에 도 6(C)에 도시한 양면 사출 구조의 발광 소자를 이용하는 경우에는, 접속 단자(165)로서 전극(108) 또는 전극(154)과 같은 도전막, 배선(166)으로서 전극(153)과 같은 도전막을 이용할 수 있다.
- [0228] 접속 단자(165)는 FPC(167a)가 갖는 단자와 이방성 도전막(168)을 통하여 전기적으로 접속되어 있다.
- [0229] 발광 소자(144)로서, 도 6(A)에 도시한 상방 사출 구조의 발광 소자, 또는 도 6(C)에 도시한 양면 사출 구조의 발광 소자를 이용하는 경우에는, 발광 소자(144)로부터의 빛의 취출 방향에 위치하는 제 2 기판(161)은 투광성을 가져야 한다. 그 경우에는, 유리판, 플라스틱판, 폴리에스테르 필름 또는 아크릴 필름과 같은 투광성을 갖는 재료를 이용한다.
- [0230] 또한, 충전재(169)로서는 질소나 아르곤 등의 불활성의 기체 외에, 자외선 경화 수지 또는 열 경화 수지를 이용할 수 있다. 예를 들어, PVC(폴리 염화 비닐), 아크릴, 폴리아미드, 애폐시 수지, 실리콘 수지, PVB(폴리 비닐 부티랄) 또는 EVA(에틸렌 비닐 아세테이트)를 이용할 수 있다. 본 실시형태는 충전재(169)로서 질소를 이용했다.
- [0231] 또한, 필요하다면, 발광 소자(144)의 사출면에 편광판, 또는 원 편광판(타원 편광판을 포함함), 위상차판( $\lambda/4$  판,  $\lambda/2$ 판), 컬러 필터 등의 광학 필름을 적절하게 형성해도 좋다. 또한, 편광판 또는 원 편광판에 반사 방막을 형성해도 좋다. 예를 들어, 표면의 요철에 의해 반사광을 확산하고, 눈부심을 저감할 수 있는 눈부심 방지(anti-glare) 처리를 행할 수 있다.
- [0232] 이상에서 설명한 것처럼, 본 실시형태에 따라, 온 전류가 저감되고, 또한, 점유 면적의 증대가 억제된 산화물 반도체 트랜지스터를 얻을 수 있다.
- [0233] 또한 본 실시형태에 따라, 온 전류가 저감된 산화물 반도체 트랜지스터를 화소에 이용한 표시 장치에서, 표시 장치의 개구율이 감소하는 것을 억제할 수 있다.
- [0234] 또한 본 실시형태에 따라, 같은 기판 위에, 온 전류가 낮은 산화물 반도체 트랜지스터 및 온 전류가 높은 산화물 반도체 트랜지스터를 제작할 수 있다.
- [0235] 더욱이, 본 실시형태에 따라, 같은 기판 위에, 화소에 온 전류가 낮은 산화물 반도체 트랜지스터를 이용하고,

또한 구동 회로에 온 전류가 높은 산화물 반도체 트랜지스터를 이용한 표시 장치를 얻을 수 있다.

[0236] [실시예]

본 실시예에서는,  $L_{off}$  영역(109)의 채널 길이 방향의 길이(F)를 바꾼 경우에, 산화물 반도체 트랜지스터의 특성의 변화에 대해 서술한다. 보다 구체적으로는, 게이트-소스 간 전압( $V_{gs}$ ) 및 드레인 전류( $I_d$ ) 특성(이후 " $V_{gs}$ - $I_d$  특성"이라고도 함)의 길이(F)와의 의존성에 대해 서술한다.

도 8에, 길이(F)를 바꾼 산화물 반도체 트랜지스터의  $V_{gs}$ - $I_d$  특성을 도시한다. 본 실시예에서 산화물 반도체 트랜지스터로서, 실시형태에서 서술한 산화물 반도체 트랜지스터(100)를 이용했다. 또한, 길이(F)가  $0\mu m$ , 즉  $L_{off}$  영역이 존재하지 않는 산화물 반도체 트랜지스터의 구조는, 실시형태의 산화물 반도체 트랜지스터(110)와 마찬가지이다. 또한 본 실시예에서는, 산화물 반도체 트랜지스터(100)의 산화물 반도체막(104), 및 산화물 반도체 트랜지스터(110)의 산화물 반도체막(114)의 재료로서, 산화인듐과 산화갈륨과 산화아연으로 이루어진 산화물(IGZO : Indium Gallium Zinc Oxide)을 이용했음을 주목하라.

다만, 본 실시예에서 측정된 산화물 반도체 트랜지스터는, 각각 채널 길이(L) 및 채널 폭(W)이 다른 산화물 반도체 트랜지스터였다. 드레인 전류( $I_d$ )는 채널 길이(L) 및 채널 폭(W)에 의존하고 변화하게 됨을 주목하라. 그 때문에, 본 실시예에서는, 채널 길이(L) 및 채널 폭(W)의 비에 기초하여, 드레인 전류( $I_d$ )의 규격화를 행하였다.

[0240] 우선  $L_{off}$  영역이 존재하지 않는 산화물 반도체 트랜지스터를 트랜지스터(1), 트랜지스터(1)의 채널 길이(L)를 채널 길이( $L_1$ ), 트랜지스터(1)의 채널 폭(W)을  $W_1$ 로 한다.

[0241]  $L_{off}$  영역(109)의 채널 길이 방향의 길이(F)가  $3\mu m$ 의 산화물 반도체 트랜지스터를, 트랜지스터(2)로 한다. 트랜지스터(2)의 채널 길이(L)를 채널 길이( $L_2$ ), 트랜지스터(2)의 채널 폭(W)을  $W_2$ , 및 트랜지스터(2)가 측정된 드레인 전류( $I_d$ )를  $I_{d2}$ 로 한다. 마찬가지로, 채널 길이 방향의 길이(F)가  $10\mu m$ 의 산화물 반도체 트랜지스터를 트랜지스터(3)로 하고, 트랜지스터(3)의 채널 길이(L), 채널 폭(W), 측정된 드레인 전류( $I_d$ )를 각각, 채널 길이( $L_3$ ), 채널 폭( $W_3$ ), 드레인 전류( $I_{d3}$ )로 한다(표 1 참조).

**표 1**

	채널 길이 (L)		채널 폭 (W)		F	드레인 전류 ( $I_d$ )	
	이름	길이 ( $\mu m$ )		길이 ( $\mu m$ )	길이 ( $\mu m$ )	측정된 $I_d$	규격화 후의 $I_d$
트랜지스터 1	$L_1$	20	$W_1$	10	0		
트랜지스터 2	$L_2$	9	$W_2$	11	3	$I_{d2}$	$I_{d2}'$
트랜지스터 3	$L_3$	21	$W_3$	11	15	$I_{d3}$	$I_{d3}'$

[0242]

트랜지스터(2)의 드레인 전류( $I_{d2}$ ) 및 트랜지스터(3)의 드레인 전류( $I_{d3}$ )를, 트랜지스터(1)의 채널 길이( $L_1$ )와 채널 폭( $W_1$ )의 비  $L_1/W_1$ 에 따라 규격화했다.

[0244] 트랜지스터(2)에서, 측정된 드레인 전류( $I_d$ )를 드레인 전류( $I_{d2}$ ), 규격화 후의 드레인 전류를 드레인 전류( $I_{d2}'$ )로 한다. 측정된 드레인 전류( $I_{d2}$ )를  $L_1/W_1$ 에 따라 규격화할 때에는,  $I_{d2}': I_{d2} = W_2/L_2 : W_1/L_1$ 이 성립된다. 이에 따라,  $I_{d2}' = I_{d2} \times (W_2/L_2) \times (L_1/W_1)$ 이 된다. 또한 트랜지스터(3)에서도 마찬가지의 규격화를 행했다(표 1 참조).

[0245] 도 8에, 트랜지스터(1), 및, 규격화 후의 트랜지스터(2) 및 트랜지스터(3)의  $V_{gs}$ - $I_d$  특성을 도시한다. 도 8에서, 트랜지스터(1)의  $V_{gs}$ - $I_d$  특성은 점선, 트랜지스터(2)의  $V_{gs}$ - $I_d$  특성은 일점 쇄선, 트랜지스터(3)의  $V_{gs}$ - $I_d$  특성은

실선으로 도시된다.

- [0246] 도 8에 도시된 것처럼,  $L_{off}$  영역(109)의 채널 길이 방향의 길이(F)가 길어짐에 따라, 규격화 후의 드레인 전류( $I_d'$ )가 낮아졌다.
- [0247] 이상 본 실시예에 따라,  $L_{off}$  영역(109)에 의한 온 전류 저감의 효과를 확인할 수 있었다.
- [0248] 이와 같이, 개시된 발명의 일 형태에 따라, 점유 면적을 증대하지 않고 온 전류를 저감할 수 있는 산화물 반도체 트랜지스터를 얻을 수 있다.
- [0249] 또한 개시된 발명의 일 형태에 따라, 개구율을 감소시키지 않고, 온 전류가 저감된 산화물 반도체 트랜지스터를 화소에 이용한 표시 장치를 얻을 수 있다.
- [0250] 더욱이, 개시된 발명의 일 형태에 따라, 같은 기판 위에, 온 전류가 낮은 산화물 반도체 트랜지스터 및 온 전류가 높은 산화물 반도체 트랜지스터를 제작할 수 있다.
- [0251] 온 전류가 낮은 산화물 반도체 트랜지스터와 온 전류가 높은 산화물 반도체 트랜지스터를 같은 기판 위에 제작함으로써, 산화물 반도체 트랜지스터의 제작 공정을 삭감할 수 있고, 제작 비용을 억제할 수 있다.
- [0252] 또한, 개시된 발명의 일 형태에 따라, 같은 기판 위에, 화소에 온 전류가 낮은 산화물 반도체 트랜지스터를 이용하고, 또한 구동 회로에 온 전류가 높은 산화물 반도체 트랜지스터를 이용한 표시 장치를 얻을 수 있다.
- [0253] 같은 기판 위에, 화소에 온 전류가 낮은 산화물 반도체 트랜지스터를 제작하고, 또한 구동 회로에 온 전류가 높은 산화물 반도체 트랜지스터를 제작하면, 표시 장치의 제작 공정을 삭감할 수 있고, 제작 비용을 억제할 수 있다.

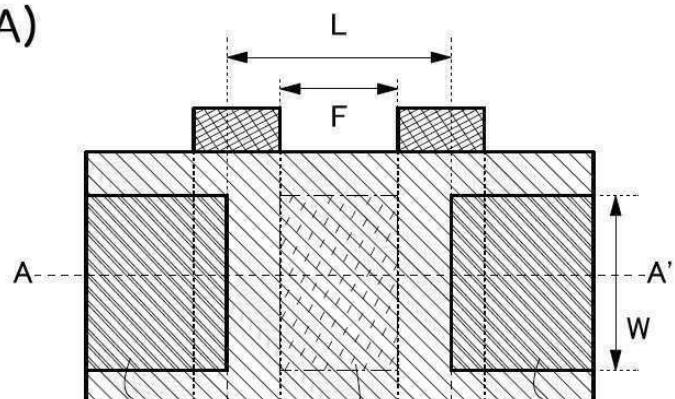
### 부호의 설명

- [0254] 100 : 산화물 반도체 트랜지스터, 101 : 기판, 102a : 게이트 전극, 102b : 게이트 전극, 104 : 산화물 반도체 막, 105a : 전극, 105b : 전극, 107 : 전극, 108 : 전극, 109 :  $L_{off}$  영역, 110 : 산화물 반도체 트랜지스터, 112 : 게이트 전극, 114 : 산화물 반도체 막, 115a : 전극, 115b : 전극, 123 : 게이트 절연막, 124 : 산화물 반도체 막, 125 : 도전막, 126 : 절연막, 127 : 절연막, 128 : 격벽, 131 : 화소부, 132 : 게이트 드라이버, 132a : 게이트 드라이버, 132b : 게이트 드라이버, 133 : 게이트선, 134 : 소스 드라이버, 134a : 소스 드라이버, 134b : 소스 드라이버, 135 : 소스선, 136 : 화소, 137 : 전원선, 141 : 트랜지스터, 142 : 트랜지스터, 143 : 용량 소자, 144 : 발광 소자, 152 : 발광층, 153 : 전극, 154 : 전극, 155 : 차폐막, 161 : 기판, 162 : 실링재, 165 : 접속 단자, 166 : 배선, 167a : FPC, 167b : FPC, 168 : 이방성 도전막, 169 : 충전재  
본 출원은 전문이 참조로서 본 명세서에 통합되고, 2010년 9월 15일 일본 특허청에 출원된, 일련 번호가 2010-207009인 일본 특허 출원에 기초한다.

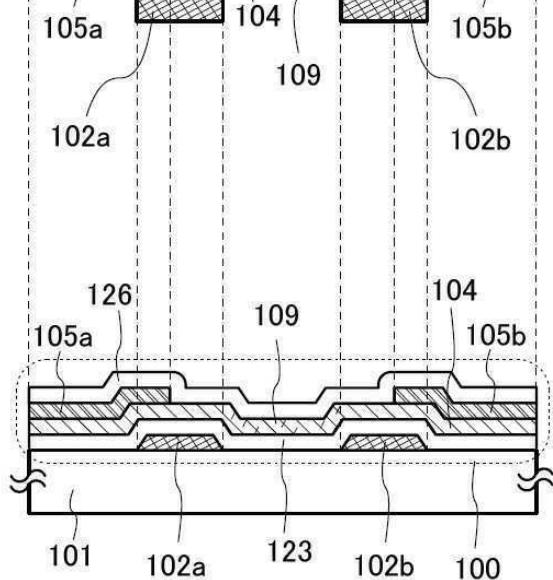
도면

도면1

(A)

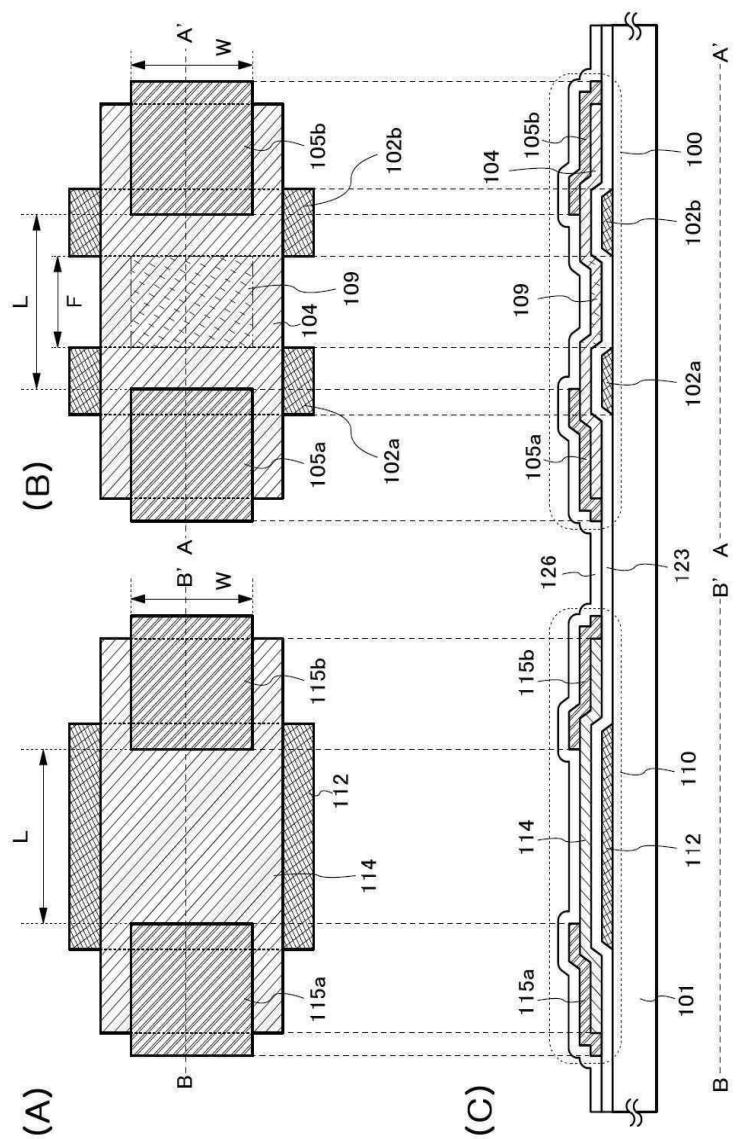


(B)

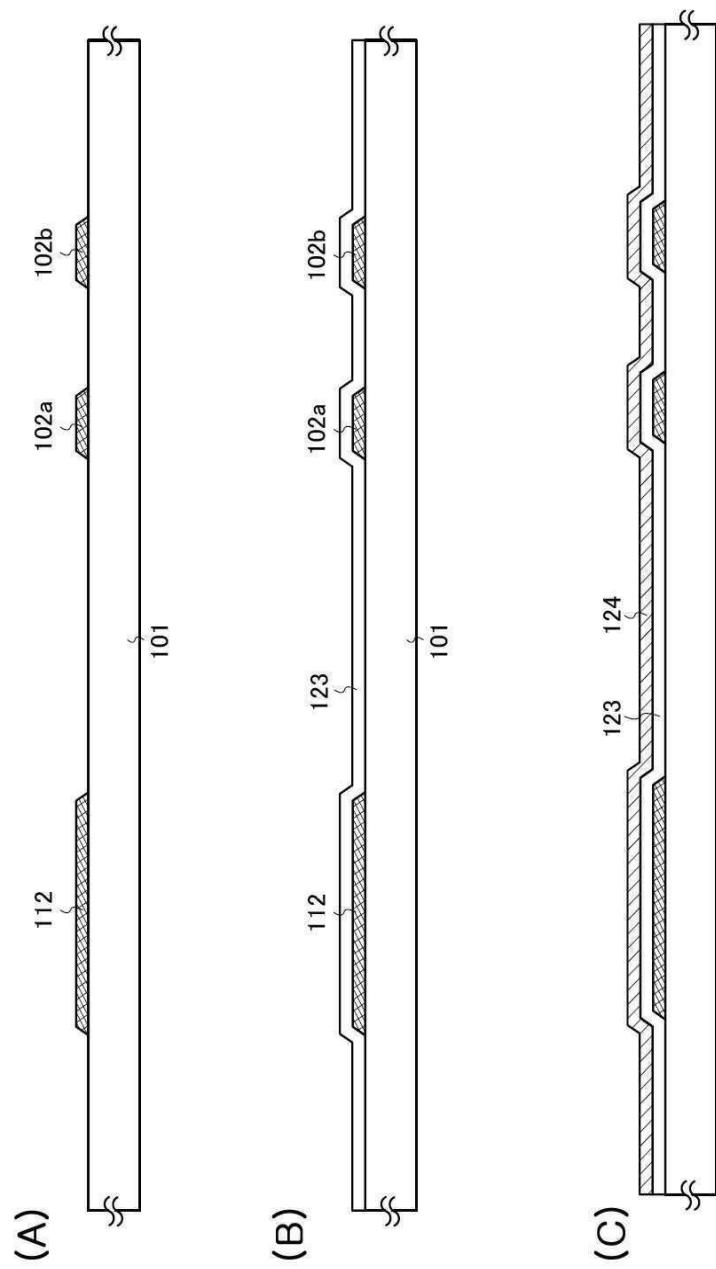


A-----A'

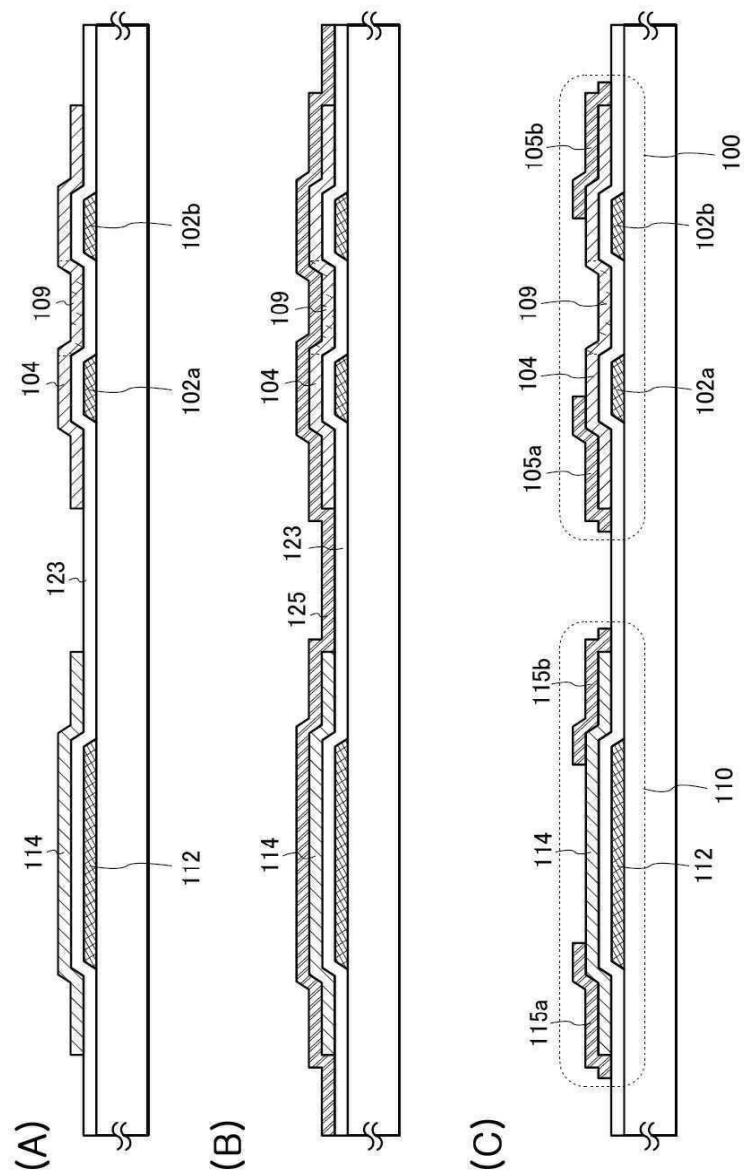
## 도면2



도면3

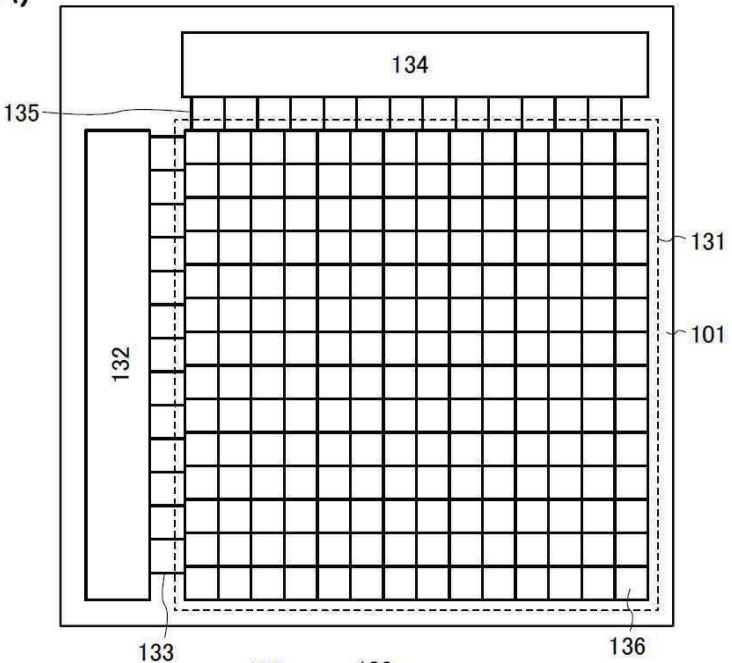


## 도면4

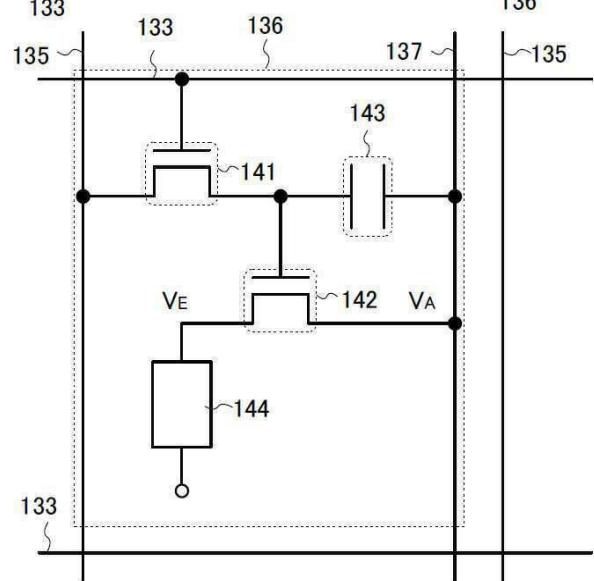


도면5

(A)

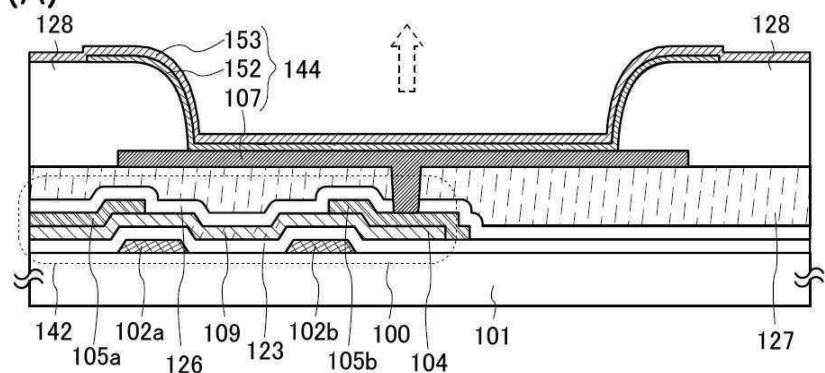


(B)

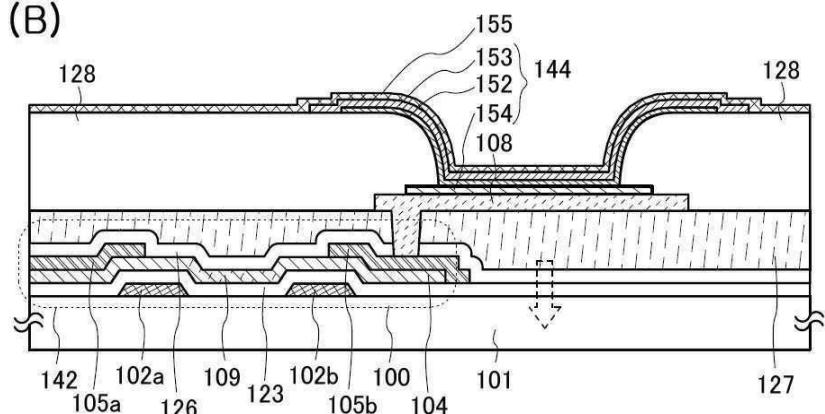


## 도면6

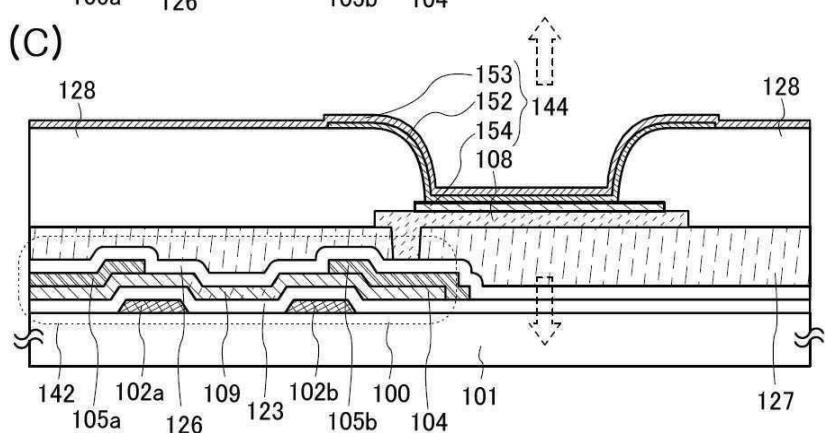
(A)



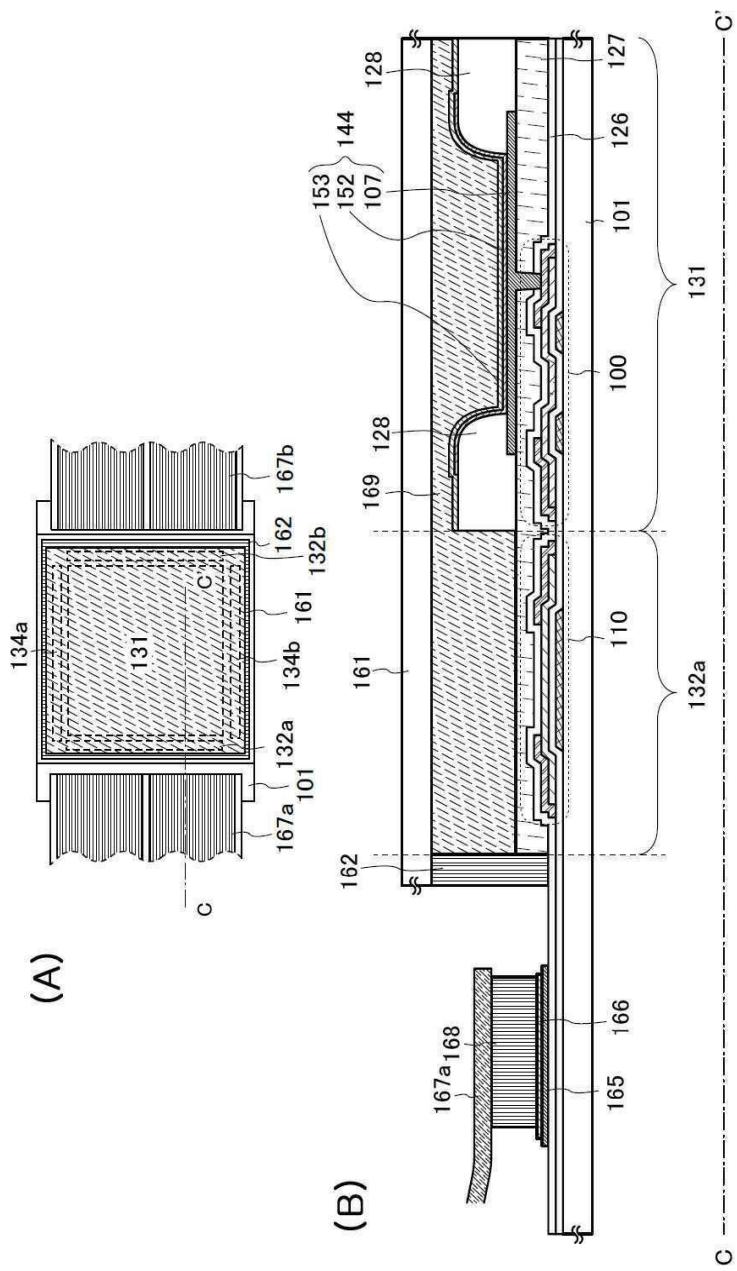
(B)



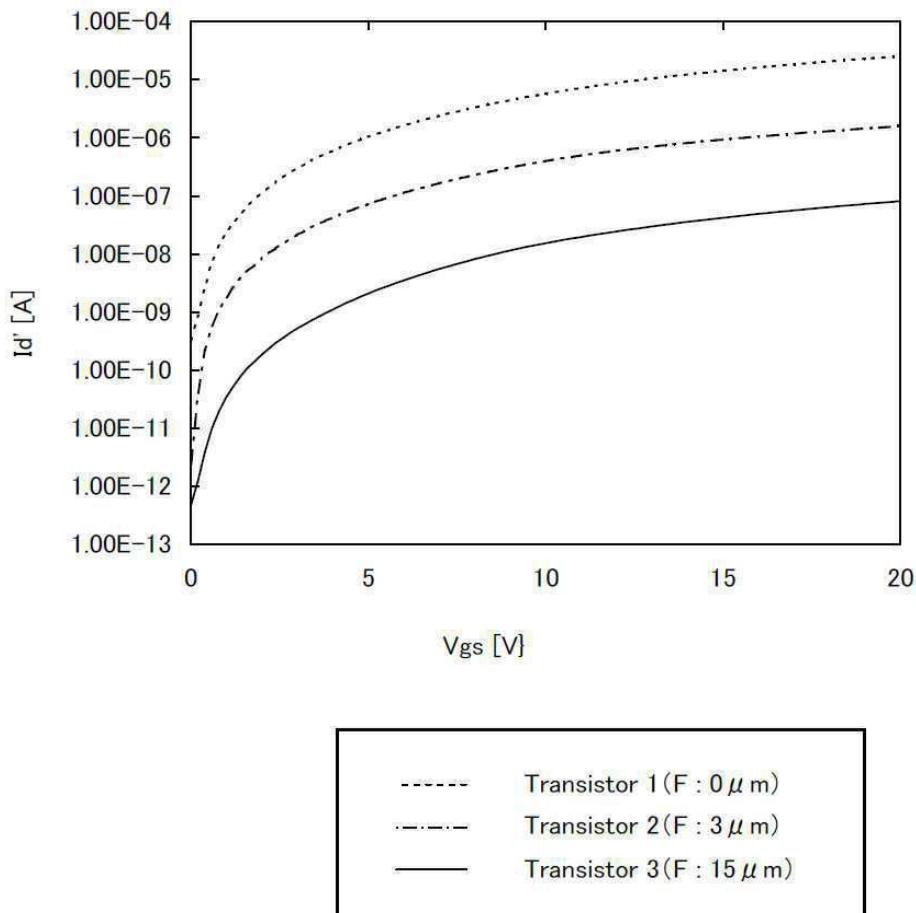
(C)



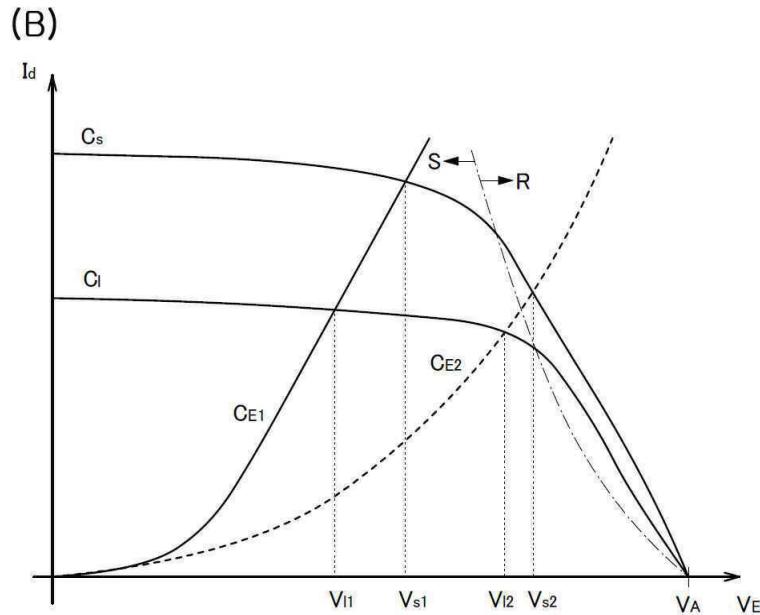
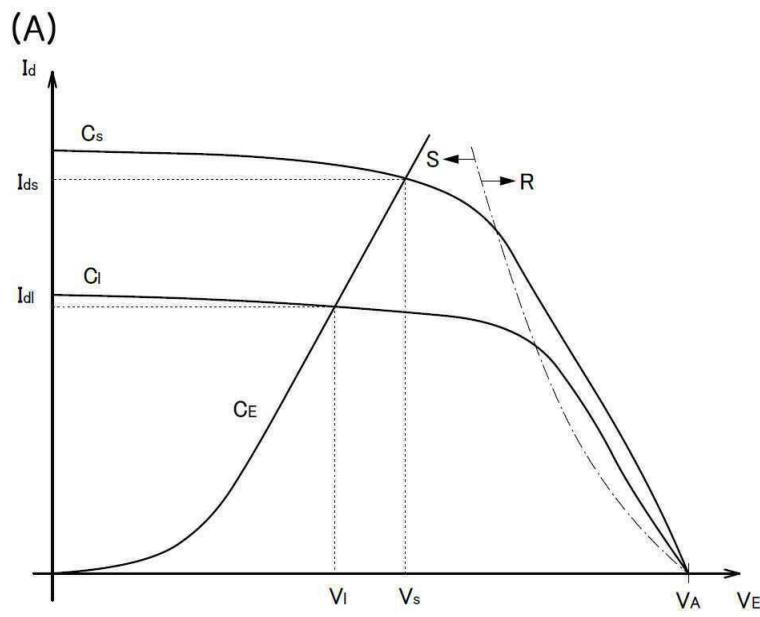
## 도면7



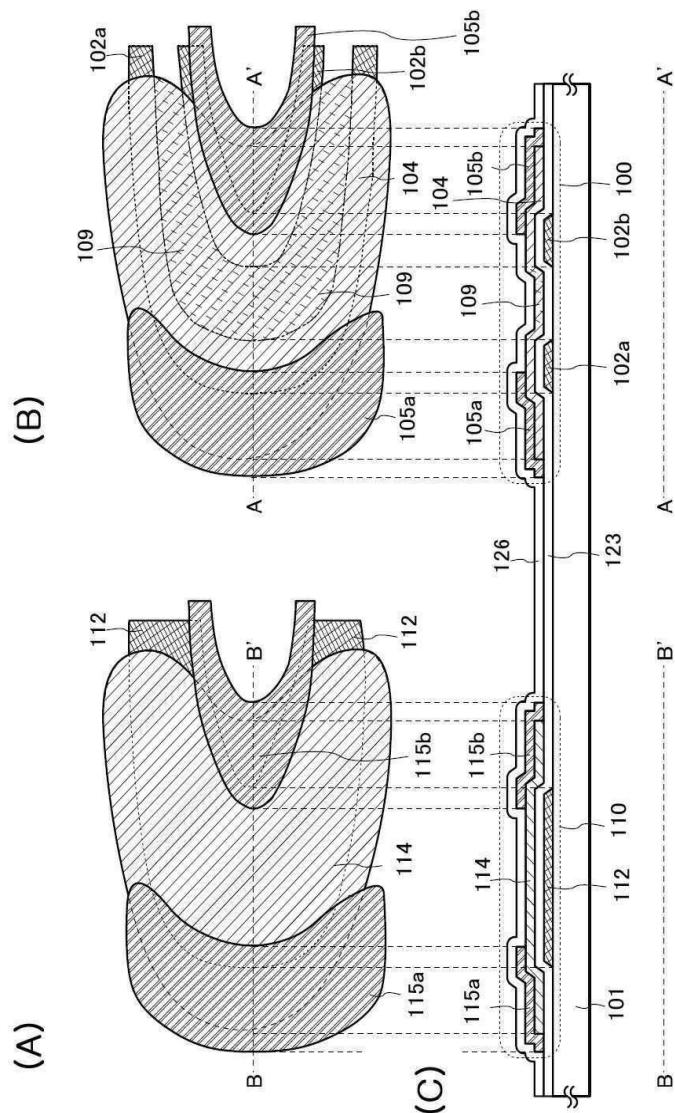
## 도면8



도면9

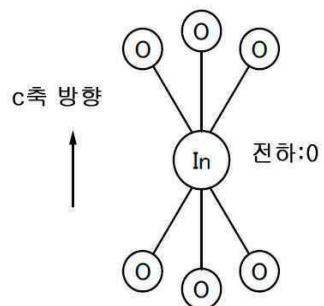


도면10

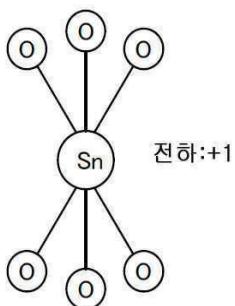


## 도면11

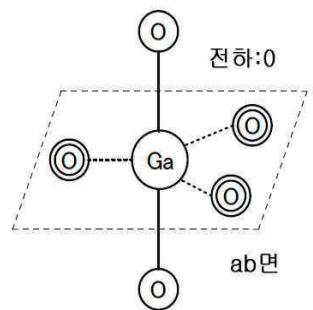
(A)



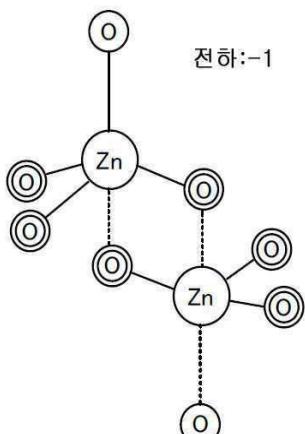
(D)



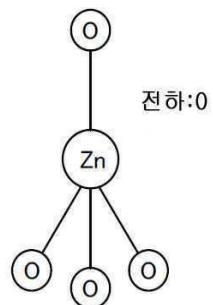
(B)



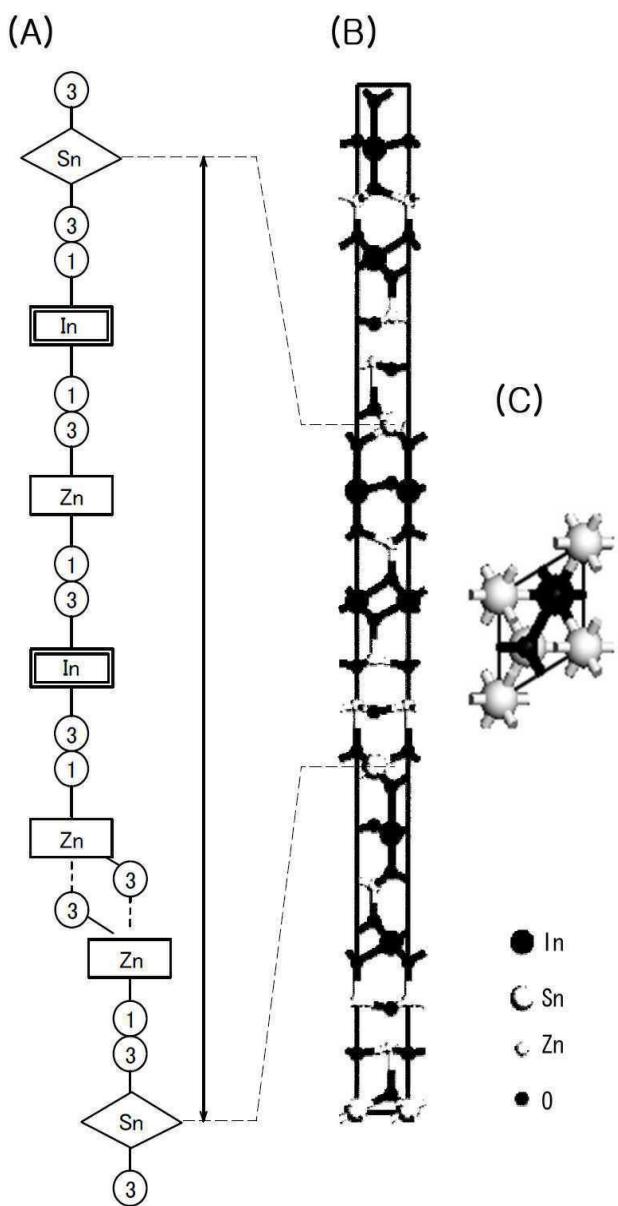
(E)



(C)



## 도면12



## 도면13

