

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成17年10月6日(2005.10.6)

【公開番号】特開2001-15718(P2001-15718A)

【公開日】平成13年1月19日(2001.1.19)

【出願番号】特願平11-187051

【国際特許分類第7版】

H 01 L 27/115

H 01 L 27/10

H 01 L 21/8247

H 01 L 29/788

H 01 L 29/792

【F I】

H 01 L 27/10 4 3 4

H 01 L 27/10 4 8 1

H 01 L 29/78 3 7 1

【手続補正書】

【提出日】平成17年5月23日(2005.5.23)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

ワード線と、

第1導電型の第1MOSトランジスタ及び第2導電型の第2MOSトランジスタから構成される転送回路と、

前記ワード線と前記転送回路の出力端を接続する第1制御信号線と、

前記転送回路の入力端に接続される第2制御信号線と、

前記第2制御信号線に接続される第1デコーダと、

前記転送回路に接続される第3制御信号線と、

前記第3制御信号線に接続され、前記転送回路の動作を制御する制御信号を出力する第2デコーダとを具備し、

前記第1制御信号線は、第1配線層内に配置される第1部分と前記第1配線層上の第2配線層内に配置される第2部分とから構成され、かつ、前記ワード線は、前記第1制御信号線の前記第1部分を経由して前記第1MOSトランジスタの第1拡散層に接続されることを特徴とする不揮発性半導体メモリ。

【請求項2】

前記ワード線は、前記第1制御信号線の前記第1及び第2部分を経由して前記第2MOSトランジスタの第1拡散層に接続されることを特徴とする請求項1記載の不揮発性半導体メモリ。

【請求項3】

前記第2制御信号線は、前記第1配線層内に配置される第1部分と前記第2配線層内に配置される第2部分とから構成され、

前記第1デコーダは、前記第2制御信号線の前記第1部分を経由して前記第2MOSトランジスタの第2拡散層に接続され、前記第2制御信号線の前記第1及び第2部分を経由して前記第1MOSトランジスタの第2拡散層に接続されることを特徴とする請求項2記

載の不揮発性半導体メモリ。

【請求項 4】

前記第3制御信号線は、前記第1配線層内に配置される第1部分と前記第2配線層内に配置される第2部分とから構成され、

前記第2デコーダは、前記第3制御信号線の前記第1部分を経由して前記第1MOSトランジスタに接続され、前記第3制御信号線の前記第1及び第2部分を経由して前記第2MOSトランジスタに接続されることを特徴とする請求項3記載の不揮発性半導体メモリ。

【請求項 5】

前記第1制御信号線は、前記ワード線が延びる方向と同じ方向に延び、前記第2制御信号線は、前記第1制御信号線に交差する方向に延びることを特徴とする請求項4記載の不揮発性半導体メモリ。

【請求項 6】

前記第3制御信号線は、前記ワード線が延びる方向と同じ方向に延びることを特徴とする請求項5記載の不揮発性半導体メモリ。

【請求項 7】

前記第1MOSトランジスタは、前記第2MOSトランジスタよりも前記ワード線に近い側に配置されることを特徴とする請求項6記載の不揮発性半導体メモリ。

【請求項 8】

前記第1制御信号線の前記第1及び第2部分は、直列接続され、前記第3制御信号線の前記第1及び第2部分は、直列接続され、前記第2制御信号線の前記第1及び第2部分は、互いに並列に配置されていることを特徴とする請求項7記載の不揮発性半導体メモリ。

【請求項 9】

前記第2制御信号線の前記第1部分の一端と前記第2制御信号線の前記第2部分の一端が互いに接続され、前記第2制御信号線の前記第1部分の他端と前記第2制御信号線の前記第2部分の他端が互いに接続されることを特徴とする請求項8記載の不揮発性半導体メモリ。

【請求項 10】

請求項1記載の不揮発性半導体メモリにおいて、

第1導電型の半導体基板と、

前記半導体基板内に配置され、前記第1MOSトランジスタが形成される第2導電型の第1ウェル領域と、

前記第1ウェル領域内に配置され、前記第2MOSトランジスタが形成される第1導電型の第2ウェル領域と

をさらに具備することを特徴とする不揮発性半導体メモリ。

【請求項 11】

請求項10記載の不揮発性半導体メモリにおいて、

前記第1ウェル領域内に配置され、前記半導体基板に電気的に接続される第1導電型の第3ウェル領域をさらに具備することを特徴とする不揮発性半導体メモリ。

【請求項 12】

前記第3ウェル領域と前記第1ウェル領域の間のブレイクダウン電圧は、前記半導体基板と前記第1ウェル領域の間のブレイクダウン電圧よりも小さいことを特徴とする請求項11記載の不揮発性半導体メモリ。

【請求項 13】

前記転送回路は、CMOSトランസファゲートであり、前記第1MOSトランジスタの前記第1拡散層と前記第2MOSトランジスタの前記第1拡散層は、互いに接続され、前記第1MOSトランジスタの前記第2拡散層と前記第2MOSトランジスタの前記第2拡散層は、互いに接続されることを特徴とする請求項1記載の不揮発性半導体メモリ。

【請求項 14】

請求項13記載の不揮発性半導体メモリにおいて、

ゲートが第1MOSトランジスタのゲートに接続され、一端が前記第1制御信号線に接続される第2導電型の第3MOSトランジスタと、

前記第3MOSトランジスタの他端に接続され、前記第2配線層内に配置される第4制御信号線と

をさらに具備することを特徴とする不揮発性半導体メモリ。

【請求項15】

前記第4制御信号線は、前記第2制御信号線が延びる方向と同じ方向に延びることを特徴とする請求項14記載の不揮発性半導体メモリ。

【請求項16】

前記ワード線は、前記第1制御信号線の前記第1部分を経由して第1導電型の第3MOSトランジスタの第1拡散層に接続され、前記第3MOSトランジスタの第2拡散層は、前記第1配線層内の信号線及び前記第2配線層内の信号線を経由して前記第2MOSトランジスタの第1拡散層に接続されることを特徴とする請求項1記載の不揮発性半導体メモリ。

【請求項17】

前記第2制御信号線は、前記第1配線層内に配置される第1部分と前記第2配線層内に配置される第2部分とから構成され、

前記第1デコーダは、前記第2制御信号線の前記第1部分を経由して前記第2MOSトランジスタのゲートに接続され、前記第2制御信号線の前記第1及び第2部分を経由して前記第1MOSトランジスタのゲートに接続されることを特徴とする請求項16記載の不揮発性半導体メモリ。

【請求項18】

前記第3制御信号線は、前記第1配線層内に配置される第1部分と前記第2配線層内に配置される第2部分とから構成され、

前記第2デコーダは、前記第3制御信号線の前記第1部分を経由して前記第1MOSトランジスタの第2拡散層に接続され、前記第3制御信号線の前記第1及び第2部分を経由して前記第2MOSトランジスタの第2拡散層に接続されることを特徴とする請求項17記載の不揮発性半導体メモリ。

【請求項19】

第1及び第2メモリセルアレイの間に配置され、前記第1メモリセルアレイ内の複数の第1ワード線に接続される第1導電型の複数の第1MOSトランジスタ及び第2導電型の複数の第2MOSトランジスタと、

前記第1及び第2メモリセルアレイの間に配置され、前記第2メモリセルアレイ内の複数の第2ワード線に接続される第1導電型の複数の第3MOSトランジスタ及び第2導電型の複数の第4MOSトランジスタとを具備し、

前記複数の第1ワード線の各々には、1つの第1MOSトランジスタと1つの第2MOSトランジスタとが接続され、前記複数の第2ワード線の各々には、1つの第3MOSトランジスタと1つの第4MOSトランジスタとが接続され、

前記複数の第1MOSトランジスタは、前記第1メモリセルアレイに隣接して配置され、前記複数の第3MOSトランジスタは、前記第2メモリセルアレイに隣接して配置され、前記複数の第2及び第4MOSトランジスタは、前記複数の第1MOSトランジスタと前記複数の第3MOSトランジスタとの間に配置されることを特徴とするCMOS転送回路。

【請求項20】

前記複数の第1及び第3MOSトランジスタは、第2導電型の1つの第1ウェル領域内に配置され、前記複数の第2及び第4MOSトランジスタは、前記1つの第1ウェル領域内の第1導電型の1つの第2ウェル領域内に配置されることを特徴とする請求項19記載のCMOS転送回路。

【請求項21】

前記複数の第2及び第4MOSトランジスタは、第1導電型の1つの第1ウェル領域内

に配置され、前記複数の第1MOSトランジスタは、前記1つの第1ウェル領域内の第2導電型の1つの第2ウェル領域内に配置され、前記複数の第3MOSトランジスタは、前記1つの第1ウェル領域内の第2導電型の1つの第3ウェル領域内に配置されることを特徴とする請求項19記載のCMOS転送回路。

【請求項22】

前記第1及び第2MOSトランジスタによりCMOSトランジスタゲート及びインバータ型の転送回路のうちの1つが構成されることを特徴とする請求項19記載のCMOS転送回路。