

【公報種別】特許法第 17 条の 2 の規定による補正の掲載  
 【部門区分】第 7 部門第 2 区分  
 【発行日】平成 17 年 10 月 6 日 (2005.10.6)

【公開番号】特開 2001-15718 (P2001-15718A)

【公開日】平成 13 年 1 月 19 日 (2001.1.19)

【出願番号】特願 平 11-187051

【国際特許分類第 7 版】

H 0 1 L 27/115

H 0 1 L 27/10

H 0 1 L 21/8247

H 0 1 L 29/788

H 0 1 L 29/792

【F I】

H 0 1 L 27/10 4 3 4

H 0 1 L 27/10 4 8 1

H 0 1 L 29/78 3 7 1

【手続補正書】

【提出日】平成 17 年 5 月 23 日 (2005.5.23)

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

ワード線と、

第 1 導電型の第 1 M O S トランジスタ及び第 2 導電型の第 2 M O S トランジスタから構成される転送回路と、

前記ワード線と前記転送回路の出力端を接続する第 1 制御信号線と、

前記転送回路の入力端に接続される第 2 制御信号線と、

前記第 2 制御信号線に接続される第 1 デコーダと、

前記転送回路に接続される第 3 制御信号線と、

前記第 3 制御信号線に接続され、前記転送回路の動作を制御する制御信号を出力する第 2 デコーダとを具備し、

前記第 1 制御信号線は、第 1 配線層内に配置される第 1 部分と前記第 1 配線層上の第 2 配線層内に配置される第 2 部分とから構成され、かつ、前記ワード線は、前記第 1 制御信号線の前記第 1 部分を経由して前記第 1 M O S トランジスタの第 1 拡散層に接続されることを特徴とする不揮発性半導体メモリ。

【請求項 2】

前記ワード線は、前記第 1 制御信号線の前記第 1 及び第 2 部分を経由して前記第 2 M O S トランジスタの第 1 拡散層に接続されることを特徴とする請求項 1 記載の不揮発性半導体メモリ。

【請求項 3】

前記第 2 制御信号線は、前記第 1 配線層内に配置される第 1 部分と前記第 2 配線層内に配置される第 2 部分とから構成され、

前記第 1 デコーダは、前記第 2 制御信号線の前記第 1 部分を経由して前記第 2 M O S トランジスタの第 2 拡散層に接続され、前記第 2 制御信号線の前記第 1 及び第 2 部分を経由して前記第 1 M O S トランジスタの第 2 拡散層に接続されることを特徴とする請求項 2 記

載の不揮発性半導体メモリ。

【請求項 4】

前記第 3 制御信号線は、前記第 1 配線層内に配置される第 1 部分と前記第 2 配線層内に配置される第 2 部分とから構成され、

前記第 2 デコーダは、前記第 3 制御信号線の前記第 1 部分を経由して前記第 1 MOS トランジスタに接続され、前記第 3 制御信号線の前記第 1 及び第 2 部分を経由して前記第 2 MOS トランジスタに接続されることを特徴とする請求項 3 記載の不揮発性半導体メモリ。

【請求項 5】

前記第 1 制御信号線は、前記ワード線が延びる方向と同じ方向に延び、前記第 2 制御信号線は、前記第 1 制御信号線に交差する方向に延びることを特徴とする請求項 4 記載の不揮発性半導体メモリ。

【請求項 6】

前記第 3 制御信号線は、前記ワード線が延びる方向と同じ方向に延びることを特徴とする請求項 5 記載の不揮発性半導体メモリ。

【請求項 7】

前記第 1 MOS トランジスタは、前記第 2 MOS トランジスタよりも前記ワード線に近い側に配置されることを特徴とする請求項 6 記載の不揮発性半導体メモリ。

【請求項 8】

前記第 1 制御信号線の前記第 1 及び第 2 部分は、直列接続され、前記第 3 制御信号線の前記第 1 及び第 2 部分は、直列接続され、前記第 2 制御信号線の前記第 1 及び第 2 部分は、互いに並列に配置されていることを特徴とする請求項 7 記載の不揮発性半導体メモリ。

【請求項 9】

前記第 2 制御信号線の前記第 1 部分の一端と前記第 2 制御信号線の前記第 2 部分の一端が互いに接続され、前記第 2 制御信号線の前記第 1 部分の他端と前記第 2 制御信号線の前記第 2 部分の他端が互いに接続されることを特徴とする請求項 8 記載の不揮発性半導体メモリ。

【請求項 10】

請求項 1 記載の不揮発性半導体メモリにおいて、

第 1 導電型の半導体基板と、

前記半導体基板内に配置され、前記第 1 MOS トランジスタが形成される第 2 導電型の第 1 ウェル領域と、

前記第 1 ウェル領域内に配置され、前記第 2 MOS トランジスタが形成される第 1 導電型の第 2 ウェル領域と

をさらに具備することを特徴とする不揮発性半導体メモリ。

【請求項 11】

請求項 10 記載の不揮発性半導体メモリにおいて、

前記第 1 ウェル領域内に配置され、前記半導体基板に電氣的に接続される第 1 導電型の第 3 ウェル領域をさらに具備することを特徴とする不揮発性半導体メモリ。

【請求項 12】

前記第 3 ウェル領域と前記第 1 ウェル領域の間のブレイクダウン電圧は、前記半導体基板と前記第 1 ウェル領域の間のブレイクダウン電圧よりも小さいことを特徴とする請求項 11 記載の不揮発性半導体メモリ。

【請求項 13】

前記転送回路は、CMOS トランスファゲートであり、前記第 1 MOS トランジスタの前記第 1 拡散層と前記第 2 MOS トランジスタの前記第 1 拡散層は、互いに接続され、前記第 1 MOS トランジスタの前記第 2 拡散層と前記第 2 MOS トランジスタの前記第 2 拡散層は、互いに接続されることを特徴とする請求項 1 記載の不揮発性半導体メモリ。

【請求項 14】

請求項 13 記載の不揮発性半導体メモリにおいて、

ゲートが第1 MOSトランジスタのゲートに接続され、一端が前記第1制御信号線に接続される第2導電型の第3 MOSトランジスタと、

前記第3 MOSトランジスタの他端に接続され、前記第2配線層内に配置される第4制御信号線と

をさらに具備することを特徴とする不揮発性半導体メモリ。

【請求項15】

前記第4制御信号線は、前記第2制御信号線が延びる方向と同じ方向に延びることを特徴とする請求項14記載の不揮発性半導体メモリ。

【請求項16】

前記ワード線は、前記第1制御信号線の前記第1部分を経由して第1導電型の第3 MOSトランジスタの第1拡散層に接続され、前記第3 MOSトランジスタの第2拡散層は、前記第1配線層内の信号線及び前記第2配線層内の信号線を経由して前記第2 MOSトランジスタの第1拡散層に接続されることを特徴とする請求項1記載の不揮発性半導体メモリ。

【請求項17】

前記第2制御信号線は、前記第1配線層内に配置される第1部分と前記第2配線層内に配置される第2部分とから構成され、

前記第1デコーダは、前記第2制御信号線の前記第1部分を経由して前記第2 MOSトランジスタのゲートに接続され、前記第2制御信号線の前記第1及び第2部分を経由して前記第1 MOSトランジスタのゲートに接続されることを特徴とする請求項16記載の不揮発性半導体メモリ。

【請求項18】

前記第3制御信号線は、前記第1配線層内に配置される第1部分と前記第2配線層内に配置される第2部分とから構成され、

前記第2デコーダは、前記第3制御信号線の前記第1部分を経由して前記第1 MOSトランジスタの第2拡散層に接続され、前記第3制御信号線の前記第1及び第2部分を経由して前記第2 MOSトランジスタの第2拡散層に接続されることを特徴とする請求項17記載の不揮発性半導体メモリ。

【請求項19】

第1及び第2メモリセルアレイの間に配置され、前記第1メモリセルアレイ内の複数の第1ワード線に接続される第1導電型の複数の第1 MOSトランジスタ及び第2導電型の複数の第2 MOSトランジスタと、

前記第1及び第2メモリセルアレイの間に配置され、前記第2メモリセルアレイ内の複数の第2ワード線に接続される第1導電型の複数の第3 MOSトランジスタ及び第2導電型の複数の第4 MOSトランジスタとを具備し、

前記複数の第1ワード線の各々には、1つの第1 MOSトランジスタと1つの第2 MOSトランジスタとが接続され、前記複数の第2ワード線の各々には、1つの第3 MOSトランジスタと1つの第4 MOSトランジスタとが接続され、

前記複数の第1 MOSトランジスタは、前記第1メモリセルアレイに隣接して配置され、前記複数の第3 MOSトランジスタは、前記第2メモリセルアレイに隣接して配置され、前記複数の第2及び第4 MOSトランジスタは、前記複数の第1 MOSトランジスタと前記複数の第3 MOSトランジスタとの間に配置されることを特徴とするCMOS転送回路。

【請求項20】

前記複数の第1及び第3 MOSトランジスタは、第2導電型の1つの第1ウェル領域内に配置され、前記複数の第2及び第4 MOSトランジスタは、前記1つの第1ウェル領域内の第1導電型の1つの第2ウェル領域内に配置されることを特徴とする請求項19記載のCMOS転送回路。

【請求項21】

前記複数の第2及び第4 MOSトランジスタは、第1導電型の1つの第1ウェル領域内

に配置され、前記複数の第 1 MOS トランジスタは、前記 1 つの第 1 ウェル領域内の第 2 導電型の 1 つの第 2 ウェル領域内に配置され、前記複数の第 3 MOS トランジスタは、前記 1 つの第 1 ウェル領域内の第 2 導電型の 1 つの第 3 ウェル領域内に配置されることを特徴とする請求項 19 記載の CMOS 転送回路。

**【請求項 22】**

前記第 1 及び第 2 MOS トランジスタにより CMOS トランスファゲート及びインバータ型の転送回路のうちの 1 つが構成されることを特徴とする請求項 19 記載の CMOS 転送回路。