

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2016 年 6 月 16 日 (16.06.2016)



(10) 国际公布号
WO 2016/090689 A1

- (51) 国际专利分类号:
H01L 29/786 (2006.01)
- (21) 国际申请号: PCT/CN2014/095383
- (22) 国际申请日: 2014 年 12 月 29 日 (29.12.2014)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201410768331.X 2014 年 12 月 12 日 (12.12.2014) CN
- (71) 申请人: 深圳市华星光电技术有限公司 (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) [CN/CN]; 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。
- (72) 发明人: 薛景峰 (XUE, Jingfeng); 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。 张鑫 (ZHANG, Xin); 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。 陈归 (CHEN, Gui); 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。
- (74) 代理人: 深圳市威世博知识产权代理事务所 (普通合伙) (CHINA WISPRO INTELLECTUAL

PROPERTY LLP.); 中国广东省深圳市南山区高新区粤兴三道 8 号中国地质大学产学研基地中地大楼 A806, Guangdong 518057 (CN)。

- (81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。
- (84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第 21 条(3))。

(54) Title: DOPING METHOD AND MANUFACTURING EQUIPMENT FOR ARRAY SUBSTRATE

(54) 发明名称: 一种阵列基板的掺杂方法及制造设备

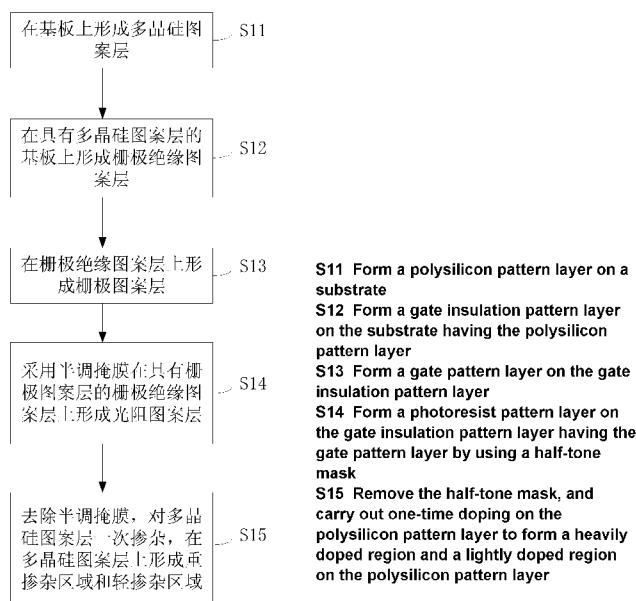


图 7 / FIG. 7

(57) Abstract: Provided are a doping method and manufacturing equipment for an array substrate (24). The method comprises: forming a photoresist pattern layer (29) on a gate insulation layer (27) of a substrate (25) by using a half-tone mask (22), wherein a polysilicon pattern layer (26) is arranged on the substrate (25), the gate insulation layer (27) covers the polysilicon pattern layer (26), the photoresist pattern layer (29) is provided with a hollowed-out portion (292) corresponding to a region, to be heavily doped, of the polysilicon pattern layer (26), a first photoresist portion (291) corresponding to a region to be lightly doped, and a second photoresist portion (290) corresponding to a region not to be doped, and the first photoresist portion (291) is thinner than the second photoresist portion (290); and carrying out one-time doping on the polysilicon pattern layer (26) to form the heavily doped region (262) and the lightly doped region (261) of the polysilicon pattern layer (26) at a time. By means of the method, the heavily doped region (262) and the lightly doped region (261) of the polysilicon pattern layer (26) can be formed by one-time doping, and the production process of the LTPS array substrate (24) is shortened.

(57) 摘要:

[见续页]

WO 2016/090689 A1



提供了一种阵列基板（24）的掺杂方法及制造设备，其方法包括：采用半调掩膜（22）在基板（25）的栅极绝缘层（27）上形成光阻图案层（29），其中，基板（25）上设有多晶硅图案层（26），栅极绝缘层（27）覆盖多晶硅图案层（26），光阻图案层（29）对应多晶硅图案层（26）的特重掺杂区域（262）形成镂空部（292），对应待轻掺杂区域（261）形成第一光阻部（291），对应不掺杂区域（260）形成第二光阻部（290），并且，第一光阻部（291）比第二光阻部（290）薄；对多晶硅图案层（26）进行一次掺杂，以一次形成该多晶硅图案层（26）的重掺杂区域（262）和轻掺杂区域（261）。通过上述方式，能够通过一次掺杂形成多晶硅图案层（26）的重掺杂区域（262）和轻掺杂区域（261），减少了 LTPS 阵列基板（24）的生产工艺。

说明书

发明名称：一种阵列基板的掺杂方法及制造设备

[1] **【技术领域】**

[2] 本发明涉及显示技术领域，特别是涉及一种阵列基板的掺杂方法及制造设备。

[3] **【背景技术】**

[4] TFT LCD液晶显示器可分为多晶硅(Poly-Si TFT)与非晶硅(a-Si TFT)两种，而由于低温多晶硅(Low Temperature Poly-silicon；简称LTPS)液晶显示器比传统的TFT-LCD非晶硅显示器具有高分辨率、高色彩饱和度、成本低廉的优势，LTPS-TFT LCD液晶显示器成为新一代液晶显示器的主流。

[5] 而LTPS工艺较为复杂，其中一点，就是TFT的关态电流(I_{off})较大，为了降低 I_{off} ，通常采用双栅结构(dual gate)或者轻掺杂漏区域(Lightly doped drain；简称LDD)结构，现有技术中，为了实现LDD，一般需要两次掺杂(N型重掺杂和N型轻掺杂)，例如先采用光罩进行曝光后进行一次N型重掺杂，再除去光阻，进行第二次N型轻掺杂，现有技术的两次掺杂不仅增加了制造工序，也增加了成本。

[6] **【发明内容】**

[7] 有鉴于此，本发明提供一种阵列基板的掺杂方法及制造设备，实现一次掺杂形成多晶硅的重掺杂区域和轻掺杂区域。

[8] 为解决上述问题，本发明提供一种一种阵列基板的掺杂方法，包括：在基板上形成多晶硅图案层，在具有多晶硅图案层的基板上形成栅极绝缘层，在栅极绝缘层上形成栅极图案层，采用半调掩膜在基板的栅极绝缘层上形成光阻图案层，其中，栅极绝缘层覆盖多晶硅图案层，光阻图案层对应多晶硅图案层的待重掺杂区域形成镂空部，对应多晶硅图案层的待轻掺杂区域形成第一光阻部，对应多晶硅图案层的不掺杂区域形成第二光阻部，第一光阻部比第二光阻部薄；所述半调掩膜包括对应镂空部的全透光部，对应第一光阻部的半透光部，及对应第二光阻部的不透光部，利用半调掩膜对光阻图案层进行曝光，在光阻图案

层上形成曝光部、半曝光部及未曝光部三种曝光层次，对三种曝光层次分别进行刻蚀，以形成对应曝光部的镂空部、对应半曝光部的第一光阻部及对应未曝光部的第二光阻部；对多晶硅图案层进行一次掺杂，以一次形成多晶硅图案层的重掺杂区域和轻掺杂区域。

[9] 其中，对多晶硅图案层进行一次掺杂包括：采用扩散法或离子注入法对低温多晶硅进行掺杂，以形成多晶硅图案层，多晶硅图案层包括重掺杂区域和轻掺杂区域。

[10] 其中，半调掩膜为半色调光罩或灰阶光罩；半色调光罩对应第一光阻部的半透光部为半透光膜，半透光膜的透过率在0~100%之间；灰阶光罩对应第一光阻部的半透光部具有至少一条狭缝，以遮挡部分光源实现半透光效果，狭缝调节控制透过率在0~100%之间。

[11] 为解决上述问题，本发明还提供的一种阵列基板的掺杂方法包括：采用半调掩膜在基板的栅极绝缘层上形成光阻图案层，其中，基板上设有多晶硅图案层，栅极绝缘层覆盖多晶硅图案层，该光阻图案层对应多晶硅图案层的待重掺杂区域形成镂空部，对应多晶硅图案层的待轻掺杂区域形成第一光阻部，对应多晶硅图案层的不掺杂区域形成第二光阻部，第一光阻部比第二光阻部薄；对多晶硅图案层进行一次掺杂，以一次形成该多晶硅图案层的重掺杂区域和轻掺杂区域。

[12] 其中，采用半调掩膜在基板上的栅极绝缘层上形成光阻图案层的步骤包括：在基板上形成多晶硅图案层；在具有多晶硅图案层的基板上形成栅极绝缘层；在栅极绝缘层上形成栅极图案层；采用半调掩膜在具有栅极图案层的栅极绝缘层上形成光阻图案层。

[13] 其中，该半调掩膜包括对应镂空部的全透光部，对应第一光阻部的半透光部，及对应第二光阻部的不透光部；采用半调掩膜在基板上的栅极绝缘层上形成光阻图案层包括：利用半调掩膜对光阻图案层进行曝光，在光阻图案层上形成曝光部、半曝光部及未曝光部三种曝光层次，对三种曝光层次分别进行刻蚀，以形成对应曝光部的镂空部、对应半曝光部的第一光阻部及对应未曝光部的第二光阻部。

- [14] 其中，对多晶硅图案层进行一次掺杂包括：采用扩散法或离子注入法对低温多晶硅进行掺杂，以形成多晶硅图案层，该多晶硅图案层包括重掺杂区域和轻掺杂区域。
- [15] 其中，半调掩膜为半色调光罩或灰阶光罩；该半色调光罩对应所述第一光阻部的半透光部为半透光膜，半透光膜的透过率在0~100%之间；该灰阶光罩对应第一光阻部的半透光部具有至少一条狭缝，以遮挡部分光源实现半透光效果，狭缝调节控制透过率在0~100%之间。
- [16] 为解决上述问题，本发明提供的一种阵列基板的制造设备包括：曝光装置、半调掩膜以及掺杂装置；该曝光装置用于采用半调掩膜在基板的栅极绝缘层上形成光阻图案层，其中，基板上设有多晶硅图案层，栅极绝缘层覆盖多晶硅图案层，光阻图案层对应多晶硅图案层的待重掺杂区域形成镂空部，对应多晶硅图案层的待轻掺杂区域形成第一光阻部，对应多晶硅图案层的不掺杂区域形成第二光阻部，第一光阻部比第二光阻部薄；掺杂装置用于对多晶硅图案层进行一次掺杂，以一次形成多晶硅图案层的重掺杂区域和轻掺杂区域。
- [17] 其中，多晶硅图案层在基板上形成，栅极绝缘层在具有多晶硅图案层的基板上形成，栅极图案层在栅极绝缘层上形成，光阻图案层在具有栅极图案层的栅极绝缘层利用曝光装置通过半调掩膜曝光形成。
- [18] 其中，半调掩膜包括对应镂空部的全透光部，对应第一光阻部的半透光部，及对应于第二光阻部的不透光部，利用曝光装置通过半调掩膜对光阻图案层进行曝光，以在光阻图案层上形成曝光部、半曝光部及未曝光部三种曝光层次，对三种曝光层次进行刻蚀，分别形成对应曝光部的镂空部、对应半曝光部的第一光阻部及对应未曝光部的第二光阻部。
- [19] 其中，多晶硅图案层通过采用扩散法或离子注入法对低温多晶硅进行掺杂形成，多晶硅图案层包括重掺杂区域和轻掺杂区域。
- [20] 其中，半调掩膜为半色调光罩或灰阶光罩；其中半色调光罩对应第一光阻部的半透光部为半透光膜，半透光膜的透过率在0~100%之间；灰阶光罩对应第一光阻部的半透光部具有至少一条狭缝，以遮挡部分光源实现半透光效果，狭缝调节控制透过率在0~100%之间。

[21] 通过上述方案，本发明的有益效果是：区域别于现有技术，本发明通过半调掩膜在基板的栅极绝缘层上形成光阻图案层，其中，基板上设有多晶硅图案层，栅极绝缘层覆盖该多晶硅图案层，使光阻图案层对应多晶硅图案层的待重掺杂区域形成镂空部，对应多晶硅图案层的待轻掺杂区域形成第一光阻部，对应多晶硅图案层的不掺杂区域形成第二光阻部，并且第一光阻部比所述第二光阻部薄，对该多晶硅图案层进行一次掺杂，从而实现一次形成多晶硅图案层的重掺杂区域和轻掺杂区域，减少了LTPS的制造工艺，降低成本。

[22] **【附图说明】**

[23] 图1是现有技术对阵列基板两次掺杂的工艺示意图；

[24] 图2是现有技术的罩膜的透光原理示意图；

[25] 图3是本发明中阵列基板的掺杂方法第一实施方式中进行曝光和掺杂的工艺示意图，图中还显示出本发明中阵列基板的制造设备第一实施方式的示意结构；

[26] 图4是图3中半调掩膜的透光原理示意图；

[27] 图5是本发明阵列基板的掺杂方法第二实施方式中进行曝光和掺杂的工艺示意图，图中还显示出本发明中阵列基板的制造设备第二实施方式的示意结构；

[28] 图6是图5中半调掩膜的透光原理示意图；

[29] 图7是本发明阵列基板的掺杂方法第一实施方式的流程示意图。

[30] **【具体实施方式】**

[31] 下面结合附图和实施方式对本发明进行详细说明。

[32] 请参看图1，图1是现有技术的对阵列基板两次掺杂的工艺示意图。需要说明的是，图1中所显示的制造设备放置状态、阵列基板各元件的结构及状态并非实际生产中同一时间内的同一工艺阶段出现，图1只是为了方便说明而同时显示不同工艺阶段（曝光和掺杂）下的制造设备放置的状态、阵列基板的结构及状态。如图1所示，现有技术的阵列基板的制造设备包括曝光装置10、罩膜11及掺杂装置12。这里仅是对利用该制造设备对阵列基板13进行两次掺杂工艺作说明，阵列基板13包括基板14、多晶硅图案层15、栅极绝缘层16及栅极图案层17。

[33] 罩膜11包括不透光部110及全透光部111，其中罩膜11的透光原理如图2所示，其中光强曲线20的向下凸起部200表示不透光，向上凸起部201表示透光。结合

图1和图2，进一步说明现有技术的阵列基板的掺杂工艺流程。首先是在阵列基板13的基板14上形成多晶硅图层15，其中，多晶硅图层15与基板14之间还设有缓冲层19，优选的，多晶硅图层15设置在缓冲层19上；栅极绝缘层16形成在具有多晶硅图层15的基板14上，再在栅极绝缘层16上形成栅极图案层17；最后利用曝光装置10在具有栅极图案层17的栅极绝缘层16上形成光阻图案层18，其中，利用曝光装置10通过罩膜11对光阻图案层18进行曝光，使罩膜11的全透光部111在光阻图案层18上形成曝光部，不透光部110在光阻图案层18上形成未曝光部，使得光阻图案层18形成曝光部及未曝光部两种曝光层次，进而对曝光后的光阻图案层18进行显影处理，故而在显影后曝光部被去除，即光阻图案层18的曝光部在显影过程中形成镂空部181，而未曝光部在显影后形成一种厚度的光刻胶。对光阻图案层18的未曝光部形成的光刻胶进行蚀刻，使光阻图案层18的未曝光部形成光阻部180。并且，光阻图案层18的镂空部181对应多晶硅图层15的待重掺杂区域151。通过掺杂装置12对多晶硅图层15进行第一次重掺杂，使多晶硅图层15的待重掺杂区域151形成重掺杂区域。去除待掺杂区域对应的光阻，对多晶硅图层15进行第二次轻掺杂，使多晶硅图层15的待轻掺杂区域152形成轻掺杂区域。至此，通过两次掺杂工艺，使多晶硅图层15形成重掺杂区域及轻掺杂区域。

[34] 然而，现有技术通过对多晶硅图层15进行两次掺杂，以形成重掺杂区域及轻掺杂区域，工艺较为复杂，并且成本较高。本发明提出了一种只需一次掺杂形成阵列基板的制造设备，请参看图3，图3是本发明中阵列基板的掺杂方法第一实施方式中进行曝光和掺杂的工艺示意图，图中还显示出本发明中阵列基板的制造设备第一实施方式的示意结构。通常阵列基板包括N型晶体管及P型晶体管，其中N型晶体管上设有沟道区域、轻掺杂区域及重掺杂区域，而P型晶体管上只有沟道区域及重掺杂区域，本实施方式是针对阵列基板的N型晶体管进行说明。

[35] 需要说明的是，图3所显示的制造设备放置状态、阵列基板各元件的结构、状态在实际中并非在同一时间内的同一工艺阶段出现，即图3是为了方便观看而同时显示不同工艺阶段（曝光和掺杂）下制造设备放置状态、阵列基板各元件的结构、状态。类似地，图5同理。如图3所示，阵列基板24的制造设备包括曝光

装置21、半调掩膜22及掺杂装置23；阵列基板24包括基板25、多晶硅图案层26、栅极绝缘层27、栅极图案层28及缓冲层30。

[36] 其中，曝光装置21用于采用半调掩膜22在基板25的栅极绝缘层27上形成光阻图案层29；基板25上设有多晶硅图案层26，栅极绝缘层27覆盖多晶硅图案层26，使光阻图案层29对应多晶硅图案层26的待重掺杂区域262形成镂空部292，对应多晶硅图案层26的待轻掺杂区域261形成第一光阻部291，对应多晶硅图案层的不掺杂区域260形成第二光阻部290，并且第一光阻部291比第二光阻部290薄；掺杂装置23用于对多晶硅图案层26进行一次掺杂，以一次形成多晶硅图案层26的重掺杂区域和轻掺杂区域。

[37] 在本实施方式中，基板25为玻璃基板；多晶硅图案层26在基板25上形成，多晶硅图案层26又称为有源层，并且，在基板25与多晶硅图案层26之间还设有缓冲层30，多晶硅图案层26在基板25的缓冲层30上形成；栅极绝缘层27在具有多晶硅图案层26的基板25上形成，栅极图案层28在栅极绝缘层27上形成，其中，栅极绝缘层27是无机绝缘材料，如氧化硅SiO₂或氮化硅SiNX沉积在栅极图案层28上形成，从而在基板25的整个表面上形成栅极绝缘层27；光阻图案层29在具有栅极图案层28的栅极绝缘层27上利用曝光装置21通过半调掩膜22形成。

[38] 在本实施方式中，半调掩膜22包括对应光阻图案层29的镂空部292的全透光部222、对应光阻图案层29的第一光阻部291的半透光部221及对应光阻图案层29的第二光阻部290的不透光部220，半调掩膜22的透光原理如图4所示，其中光强曲线31的第一向下凸起部310表示不透光，第二向下凸起部311表示半透光，312表示透光。

[39] 本实施方式的制造工艺如下，先是利用曝光装置21通过半调掩膜22对光阻图案层29进行曝光，由于半调掩膜22具有全透光部222、半透光部221及不透光部220的不同透光度，因而在一次曝光后在光阻图案层29上将会形成曝光部、半曝光部及未曝光部共三种曝光层次。其原理为：运用曝光装置21通过半调掩膜22的全透光部222对光阻图案层29进行曝光，形成曝光部，同时，半调掩膜22的半透光部221对光阻图案层29进行半曝光，形成半曝光部，半调掩膜22的不透光部220对光阻图案层29未曝光，形成未曝光部。

[40] 其次是对光阻图案层29进行显彰处理，在显彰处理期间，曝光部被去除而形成镂空部292，因而在显彰处理光阻图案层29上形成两种厚度的光刻胶，对光刻胶进行蚀刻，从而使半曝光部形成第一光阻部291，未曝光部形成第二光阻部290，并且，第一光阻部291比第二光阻部290薄。并且，在本实施方式中，光阻图案层29的镂空部292对应多晶硅图案层26的待重掺杂区域262，第一光阻部291对应多晶硅图案层26的待轻掺杂区域261，第二光阻部290对应多晶硅图案层26的不掺杂区域260。

[41] 由于最终形成的多晶硅图案层26包括通过一次掺杂形成的重掺杂区域和轻掺杂区域，即待重掺杂区域262经掺杂后形成重掺杂区域，同时，待轻掺杂区域261掺杂后形成轻掺区域。因此，最后的掺杂工艺为：利用掺杂装置23对多晶硅图案层26进行掺杂，其掺杂是通过采用扩散法或离子注入法对低温多晶硅进行掺杂，掺杂后使多晶硅图案层26包括重掺杂区域和轻掺杂区域。在本实施方式中，采用低压化学气相沉积方法形成多晶硅薄膜，即形成有源层（图未示），采用离子注入法向有源层掺杂磷原子或锑原子从而形成多晶硅图案层26，而由于覆盖多晶硅图案层26的栅极绝缘层27上形成有阶梯状的光阻图案层29，因而对多晶硅图案层26掺杂磷原子或锑原子，只是需要一次掺杂，便能形成重掺杂区域和轻掺杂区域，其原理为：掺杂装置23通过光阻图案层29的镂空部292向多晶硅图案层26的待重掺杂区域262一次掺杂形成重掺杂区域，同时，通过第一光阻部291向待轻掺杂区域261掺杂形成轻掺杂区域，该多晶硅图案层26的重掺杂区域和轻掺杂区域都是在一次掺杂中形成的。此外，多晶硅图案层26的不掺杂区域260将形成沟道区域，其中，轻掺杂区域和沟道区域组成多晶硅图案层26的导电区域，在其他实施方式中，导电区域上还可以覆盖有挡光层（图未示），以降低漏电流，改善显示质量。至此，对阵列基板24的掺杂工艺完成，只需要一次掺杂，便在多晶硅图案层26上形成重掺杂区域及轻掺杂区域。

[42] 在本实施方式中，通过曝光装置21利用半调掩膜22对光阻图案层29进行曝光、半曝光及未曝光，以形成光阻图案层29的镂空部292、第一光阻部291及第二光阻部290，是由半调掩膜22的结构决定的。

[43] 在本实施方式中，半调掩膜22为半色调光罩（Halt-tone Mask；简称HTM），

其中，半调掩膜22的半透光部221为一个半透光膜，半透光膜的透过率在0~100%之间。

[44] 区域别于现有技术，本发明的通过曝光装置21利用半调掩膜22在基板25的栅极绝缘层27上形成光阻图案层29，由于基板25上设有多晶硅图案层26，栅极绝缘层27覆盖多晶硅图案层26，而半调掩膜22包括全透光部222、半透光部221及不透光部220，半透光部221为一半透光膜，通过控制半透光膜22的透过率实现半曝光的效果，从而在光阻图案层29上形成对应多晶硅图案层26的待轻掺杂区域261的第一光阻部291，对应多晶硅图案层26的待重掺杂区域262形成镂空部292，对应多晶硅图案层26的不掺杂区域260形成第二光阻部290，从而使光阻图案层29形成包括镂空部292、第一光阻部291及第二光阻部290的阶梯状结构，利用该阶梯状结构的光阻图案层29，从而实现通过掺杂装置23对多晶硅图案层26的一次掺杂形成重掺杂区域和轻掺杂区域。

[45] 请参看图5和图6，图5是本发明阵列基板的掺杂方法第二实施方式中进行曝光和掺杂的工艺示意图，图中还显示出本发明中阵列基板的制造设备第二实施方式的示意结构；图6是图5中半调掩膜的透光原理示意图。其中，图5与图3类似，也是为了方便观看而同时显示不同工艺阶段（曝光和掺杂）下制造设备放置状态、阵列基板各元件的结构、状态，并非在同一时间内的同一工艺阶段出现。图5中，制造设备包括曝光装置21、半调掩膜32及掺杂装置23，其中，曝光装置21和掺杂装置23与图3的一致，在此不再赘述。图5中，阵列基板24包括基板25、多晶硅图案层26、栅极绝缘层27、栅极图案层28及缓冲层30，它们的结构和功能与图3中的阵列基板一致，在此不再赘述。而图5的实施方式中与图3的实施方式的差别仅在于，图5的半调掩膜32为灰阶光罩(Gray-tone Mask；简称GTM)，半调掩膜32半透光部321具有至少一条狭缝，以遮挡部分光源实现半透光效果，狭缝调节控制透过率在0~100%之间。在其他实施方式中，半调掩膜32还可以为单夹缝掩膜（Single slit Mask；简称SSM）。

[46] 请一起参看图3和图7，图7是本发明阵列基板的掺杂方法第一实施方式的流程示意图，如图7所示，阵列基板的掺杂流程包括以下步骤：

[47] S11：在基板25上形成多晶硅图案层26。

- [48] 其中，采用低压化学气相沉积法或直接法在基板25上形成多晶硅图案层26。在其他实施方式中，多晶硅图案层26也可以采用准分子激光晶化法制成。优选的，基板25与多晶硅图案层26之间还设有缓冲层30，多晶硅图案层26设置在缓冲层30上。
- [49] 其中，基板25为玻璃基板；多晶硅图案层26又称为有源层，它包括待重掺杂区域262、待轻掺杂区域261及不掺杂区域260，其中，待轻掺杂区域261掺杂后形成的轻掺杂区及不掺杂区域260形成的沟道区域组成多晶硅图案层26的导电区域，在其他实施方式中，导电区域上还可以覆盖有挡光层（图未示），以降低漏电流，改善显示质量。
- [50] S12：在具有多晶硅图案层26的基板25上形成栅极绝缘层27。
- [51] S13：在栅极绝缘层27上形成栅极图案层28。
- [52] 其中，栅极绝缘层27是无机绝缘材料，如氧化硅SiO₂或氮化硅SiN_x沉积在栅极图案层28上形成，从而在基板25的整个表面上形成栅极绝缘层27。
- [53] S14：采用半调掩膜22在具有栅极图案层28的栅极绝缘层27上形成光阻图案层29。
- [54] 采用半调掩膜22在基板25的栅极绝缘层27上形成光阻图案层29，由于基板25上设有多晶硅图案层26，栅极绝缘层27覆盖多晶硅图案层26，使光阻图案层29对应多晶硅图案层26的待重掺杂区域262形成镂空部292，对应多晶硅图案层26的待轻掺杂区域261形成第一光阻部291，对应多晶硅图案层26的不掺杂区域260形成第二光阻部290，且第一光阻部291比第二光阻部290薄；对多晶硅图案层26进行一次掺杂，以一次形成多晶硅图案层26的重掺杂区域和轻掺杂区域。
- [55] 其中，半调掩膜22包括全透光部222、半透光部221及不透光部220。在本实施方式中，通过曝光装置21利用半调掩膜22对光阻图案层29进行曝光，由于半调掩膜22具有全透光部222、半透光部221及不透光部220的不同透光度，因而在一次曝光后在光阻图案层29上将会形成曝光部、半曝光部及未曝光部共3种曝光层次。其原理是，曝光装置21通过半调掩膜22的全透光部222对光阻图案层29进行曝光，全透光部222对应的光阻图案层29的部分形成曝光部，同理，半调掩膜22的半透光部221对光阻图案层29半曝光，形成半曝光部，半调掩膜22的不透光部

220对光阻图案层29未曝光，形成未曝光部。曝光后对光阻图案层29进行显影处理，在处理期间，曝光部被去除，使光阻图案层29的曝光部对应形成镂空部292，因而在光阻图案层29上形成两种厚度的光刻胶，对光刻胶进行蚀刻，从而使半曝光部形成第一光阻部291，未曝光部形成第二光阻部290，并且，第一光阻部291比第二光阻部290薄，使光阻图案层29形成包括镂空部292、第一光阻部291及第二光阻部290的阶梯状结构。

[56] 在本实施方式中，利用曝光装置21通过半调掩膜22对光阻图案层29进行曝光，使光阻图案层29形成根据半调掩膜22的透光特性形成曝光部、半曝光部及未曝光部三种曝光层次，从而在光阻图案层29上形成相应的镂空部292、第一光阻部291及第二光阻部290，是由半调掩膜22的透光结构决定的，在本实施方式中，半调掩膜22为半色调光罩（Halt-tone Mask；简称HTM），其半透光部221为一个半透光膜，半透光膜的透过率在0~100%之间。

[57] 此外，半调掩膜22的透光结构还可以如图5所示，半调掩膜32为灰阶光罩(Gray-tone Mask；简称GTM)，其半透光部321具有至少一条狭缝，以遮挡部分光源实现半透光效果，狭缝调节控制透过率在0~100%之间。在其他实施方式中，半调掩膜32还可以为单夹缝掩膜（Single slit Mask；简称SSM）。

[58] S15：去除半调掩膜22，对多晶硅图案层26一次掺杂，在多晶硅图案层26上形成重掺杂区域和轻掺杂区域。

[59] 由于阵列基板通常包括N型晶体管及P型晶体管，其中N型晶体管上设有沟道区域、轻掺杂区域及重掺杂区域，而P型晶体管上只有沟道区域及重掺杂区域，本实施方式是针对阵列基板的N型晶体管进行说明，因此在本实施方式中，通过掺杂装置23对多晶硅图案层26进行N型掺杂，其中，N型掺杂是指采用扩散法或离子注入法向多晶硅图案层26掺入磷原子或锑原子。由于多晶硅图案层26上设置有阶梯状的光阻图案层29，因而只需对多晶硅图案层26进行一次掺杂，便会在对应光阻图案层29的镂空部292的待重掺杂区域262掺杂成重掺杂区域，同时对第一光阻部291的待轻掺杂区域261掺杂成轻掺杂区，此外，对应第二光阻部291的多晶硅图案层26的不掺杂区域260形成沟道区域，其中，轻掺杂区域和沟道区域组成多晶硅图案层26的导电区域，该多晶硅图案层26的重掺杂区域和轻掺

杂区域都是在一次掺杂中形成的。在其他实施方式中，导电区域上还可以覆盖有挡光层（图未示），以降低漏电流，改善显示质量。

- [60] 综上所述，区域别于现有技术，本发明的半调掩膜具有全透光部、半透光部及不透光部，并且，基板上设有多晶硅图案层，栅极绝缘层覆盖多晶硅图案层，通过利用半调掩膜在基板的栅极绝缘层上形成光阻图案层，从而使光阻图案层形成具有对应多晶硅图案层的待重掺杂区域的镂空部，对应多晶硅图案层的待轻掺杂区域的第一光阻部，对应多晶硅图案层的不掺杂区域的第二光阻部，并且，第一光阻部比第二光阻部薄；从而在多晶硅图案层上形成有阶梯状的光阻图案层，因而对多晶硅图案层进行一次掺杂，便能在多晶硅图案层上一次形成重掺杂区域、轻掺杂区域及不掺杂的沟道区域，实现一次掺杂形成多晶硅图案层的重掺杂区域和轻掺杂区域，减少LTPS阵列基板的生产工艺，降低成本。
- [61] 以上所述仅为本发明的实施方式，并非因此限制本发明的专利范围，凡是利用本发明说明书及附图内容所作的等效结构或等效流程变换，或直接或间接运用在其他相关的技术领域，均同理包括在本发明的专利保护范围内。

权利要求书

[权利要求 1]

一种阵列基板的掺杂方法，其中，所述掺杂方法包括：

在基板上形成多晶硅图案层，在具有所述多晶硅图案层的基板上形成栅极绝缘层，在所述栅极绝缘层上形成栅极图案层，采用半调掩膜在基板的栅极绝缘层上形成光阻图案层，其中，所述栅极绝缘层覆盖所述多晶硅图案层，所述光阻图案层对应所述多晶硅图案层的待重掺杂区域形成镂空部，对应所述多晶硅图案层的待轻掺杂区域形成第一光阻部，对应所述多晶硅图案层的不掺杂区域形成第二光阻部，所述第一光阻部比所述第二光阻部薄；所述半调掩膜包括对应所述镂空部的全透光部，对应所述第一光阻部的半透光部，及对应所述第二光阻部的不透光部，利用所述半调掩膜对所述光阻图案层进行曝光，在所述光阻图案层上形成曝光部、半曝光部及未曝光部三种曝光层次，对所述三种曝光层次分别进行刻蚀，以形成对应所述曝光部的所述镂空部、对应所述半曝光部的所述第一光阻部及对应所述未曝光部的所述第二光阻部；

对所述多晶硅图案层进行一次掺杂，以一次形成所述多晶硅图案层的重掺杂区域和轻掺杂区域。

[权利要求 2]

根据权利要求1所述的掺杂方法，其中，所述对所述多晶硅图案层进行一次掺杂包括：

采用扩散法或离子注入法对低温多晶硅进行掺杂，以形成所述多晶硅图案层，所述多晶硅图案层包括所述重掺杂区域和所述轻掺杂区域。

[权利要求 3]

根据权利要求1所述的掺杂方法，其中，所述半调掩膜为半色调光罩或灰阶光罩；其中，所述半色调光罩对应所述第一光阻部的半透光部为半透光膜，所述半透光膜的透过率在0~100%之间；所述灰阶光罩对应所述第一光阻部的半透光部具有至少一条狭缝，以遮挡部分光源实现半透光效果，所述狭缝调节控制透过率在0~100

%之间。

[权利要求 4]

一种阵列基板的掺杂方法，其中，所述掺杂方法包括：

采用半调掩膜在基板的栅极绝缘层上形成光阻图案层，其中，所述基板上设有多晶硅图案层，所述栅极绝缘层覆盖所述多晶硅图案层，所述光阻图案层对应所述多晶硅图案层的待重掺杂区域形成镂空部，对应所述多晶硅图案层的待轻掺杂区域形成第一光阻部，对应所述多晶硅图案层的不掺杂区域形成第二光阻部，所述第一光阻部比所述第二光阻部薄；

对所述多晶硅图案层进行一次掺杂，以一次形成所述多晶硅图案层的重掺杂区域和轻掺杂区域。

[权利要求 5]

根据权利要求4所述的掺杂方法，其中，所述采用半调掩膜在基板上的栅极绝缘层上形成光阻图案层的步骤包括：

在所述基板上形成所述多晶硅图案层；

在具有所述多晶硅图案层的基板上形成所述栅极绝缘层；

在所述栅极绝缘层上形成栅极图案层；

采用所述半调掩膜在具有所述栅极图案层的栅极绝缘层上形成所述光阻图案层。

[权利要求 6]

根据权利要求4所述的掺杂方法，其中，所述半调掩膜包括对应所述镂空部的全透光部，对应所述第一光阻部的半透光部，及对应所述第二光阻部的不透光部；

所述采用半调掩膜在基板上的栅极绝缘层上形成光阻图案层包括：

利用所述半调掩膜对所述光阻图案层进行曝光，在所述光阻图案层上形成曝光部、半曝光部及未曝光部三种曝光层次，对所述三种曝光层次分别进行刻蚀，以形成对应所述曝光部的所述镂空部、对应所述半曝光部的所述第一光阻部及对应所述未曝光部的所述第二光阻部。

[权利要求 7]

根据权利要求4所述的掺杂方法，其中，所述对所述多晶硅图案层

进行一次掺杂包括：

采用扩散法或离子注入法对低温多晶硅进行掺杂，以形成所述多晶硅图案层，所述多晶硅图案层包括所述重掺杂区域和所述轻掺杂区域。

[权利要求 8] 根据权利要求4所述的掺杂方法，其中，所述半调掩膜为半色调光罩或灰阶光罩；其中，所述半色调光罩对应所述第一光阻部的半透光部为半透光膜，所述半透光膜的透过率在0~100%之间；所述灰阶光罩对应所述第一光阻部的半透光部具有至少一条狭缝，以遮挡部分光源实现半透光效果，所述狭缝调节控制透过率在0~100%之间。

[权利要求 9] 一种阵列基板的制造设备，其中，所述制造设备包括：
曝光装置、半调掩膜以及掺杂装置；
所述曝光装置用于采用所述半调掩膜在基板的栅极绝缘层上形成光阻图案层，其中，所述基板上设有多晶硅图案层，所述栅极绝缘层覆盖所述多晶硅图案层，所述光阻图案层对应所述多晶硅图案层的待重掺杂区域形成镂空部，对应所述多晶硅图案层的待轻掺杂区域形成第一光阻部，对应所述多晶硅图案层的不掺杂区域形成第二光阻部，所述第一光阻部比所述第二光阻部薄；
所述掺杂装置用于对所述多晶硅图案层进行一次掺杂，以一次形成所述多晶硅图案层的重掺杂区域和轻掺杂区域。

[权利要求 10] 根据权利要求9所述的制造设备，其中，所述多晶硅图案层在所述基板上形成，所述栅极绝缘层在具有所述多晶硅图案层的基板上形成，所述栅极图案层在所述栅极绝缘层上形成；所述光阻图案层在具有所述栅极图案层的栅极绝缘层利用所述曝光装置通过所述半调掩膜曝光形成。

[权利要求 11] 根据权利要求9所述的制造设备，其中，所述半调掩膜包括对应所述镂空部的全透光部，对应所述第一光阻部的半透光部，及对应所述第二光阻部的不透光部，利用所述曝光装置通过所述半调掩

膜对所述光阻图案层进行曝光，以在所述光阻图案层上形成曝光部、半曝光部及未曝光部三种曝光层次，对所述三种曝光层次进行蚀刻，分别形成对应所述曝光部的所述镂空部、对应所述半曝光部的所述第一光阻部及对应所述未曝光部的所述第二光阻部。

[权利要求 12] 根据权利要求9所述的制造设备，其中，所述多晶硅图案层通过采用扩散法或离子注入法对低温多晶硅进行掺杂形成，所述多晶硅图案层包括所述重掺杂区域和所述轻掺杂区域。

[权利要求 13] 根据权利要求9所述的制造设备，其中，所述半调掩膜为半色调光罩或灰阶光罩；其中所述半色调光罩对应所述第一光阻部的半透光部为半透光膜，所述半透光膜的透过率在0~100%之间；所述灰阶光罩对应所述第一光阻部的半透光部具有至少一条狭缝，以遮挡部分光源实现半透光效果，所述狭缝调节控制透过率在0~100%之间。

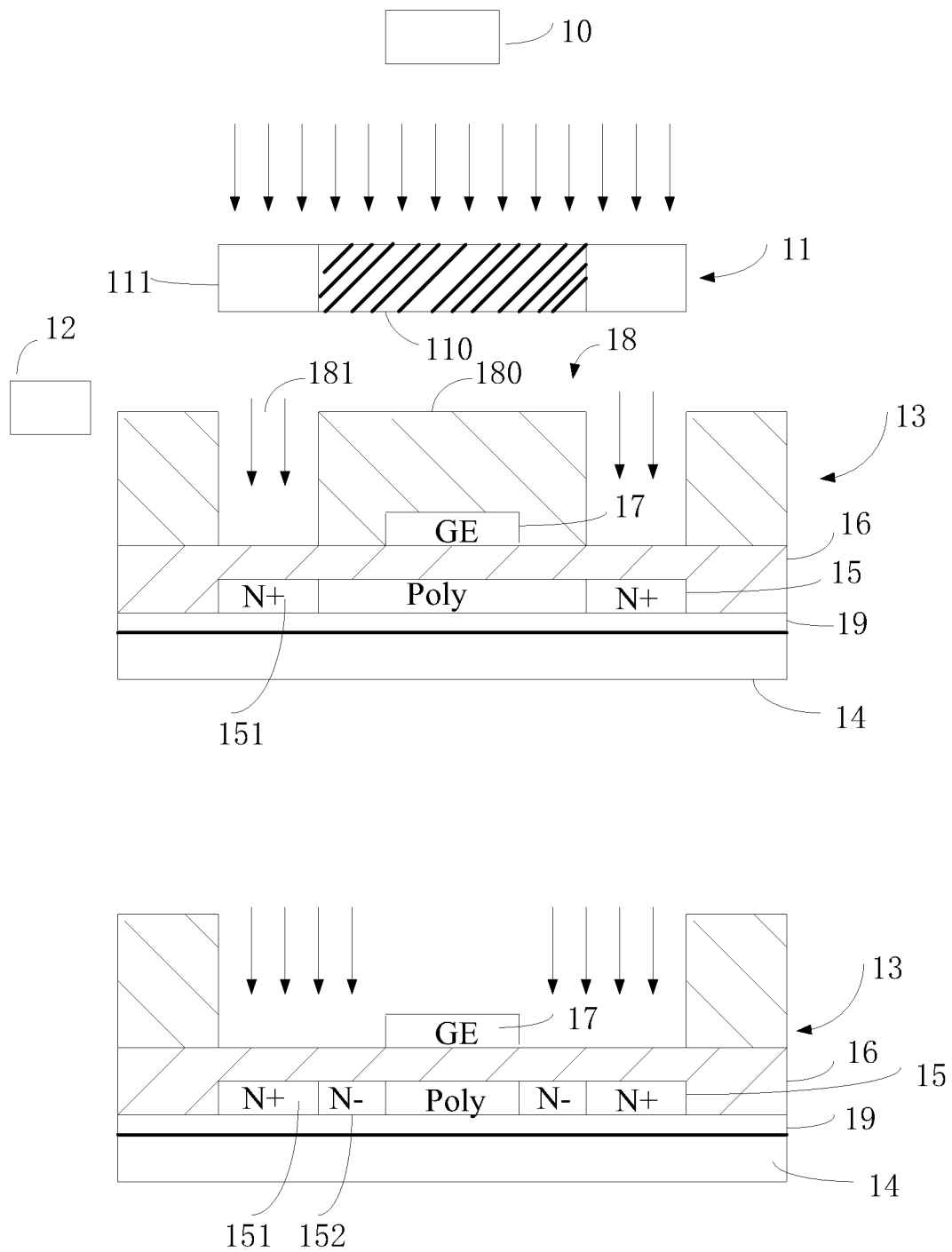


图 1

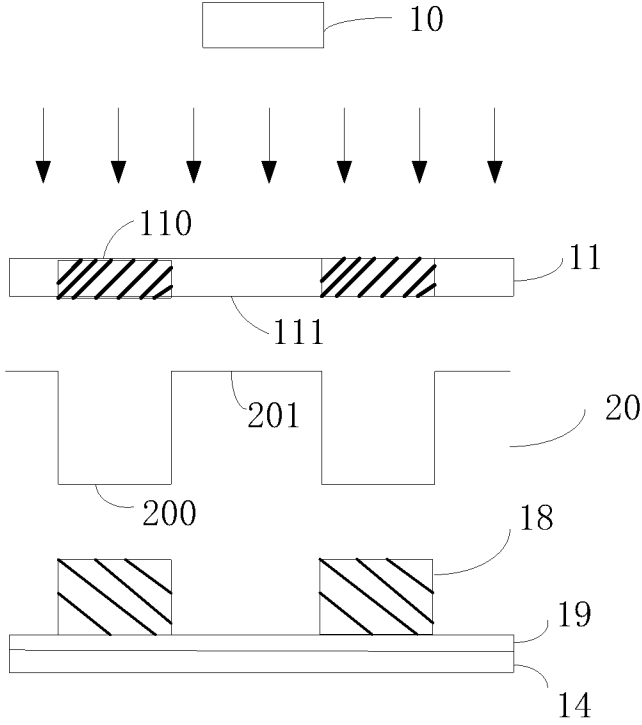


图 2

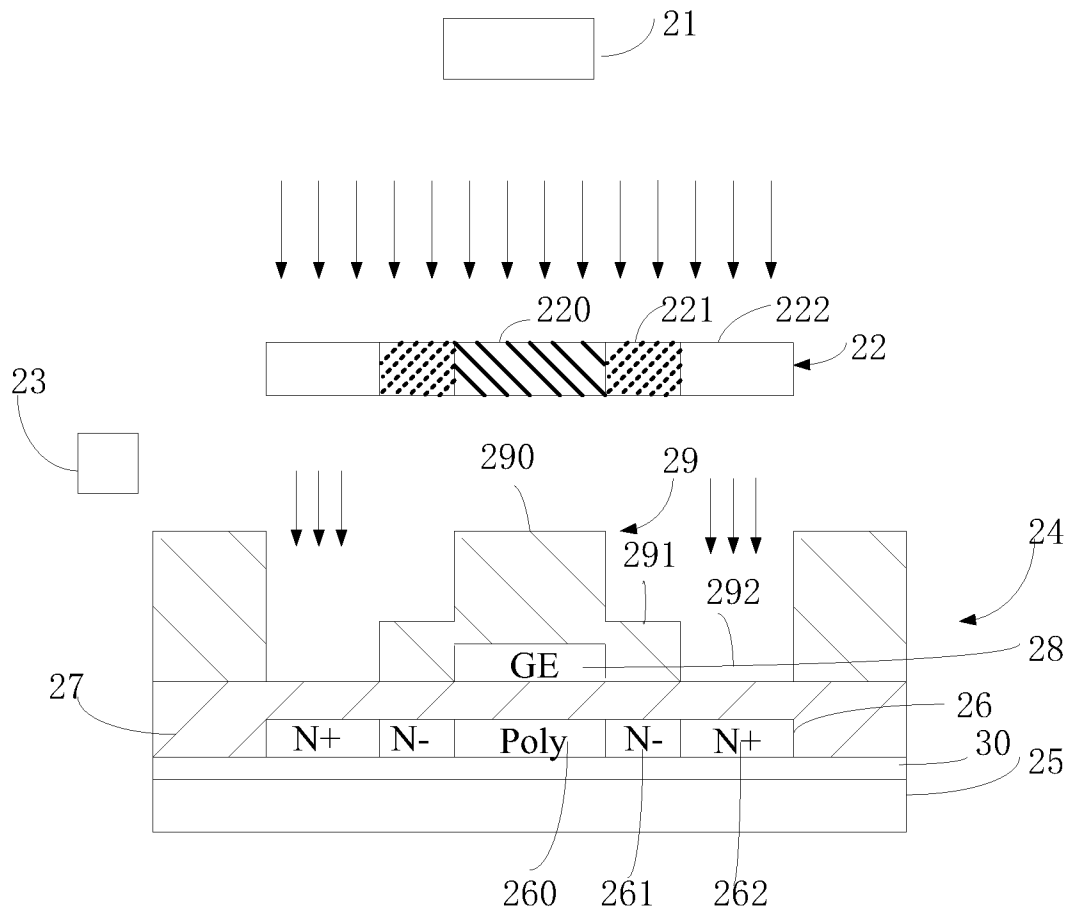


图 3

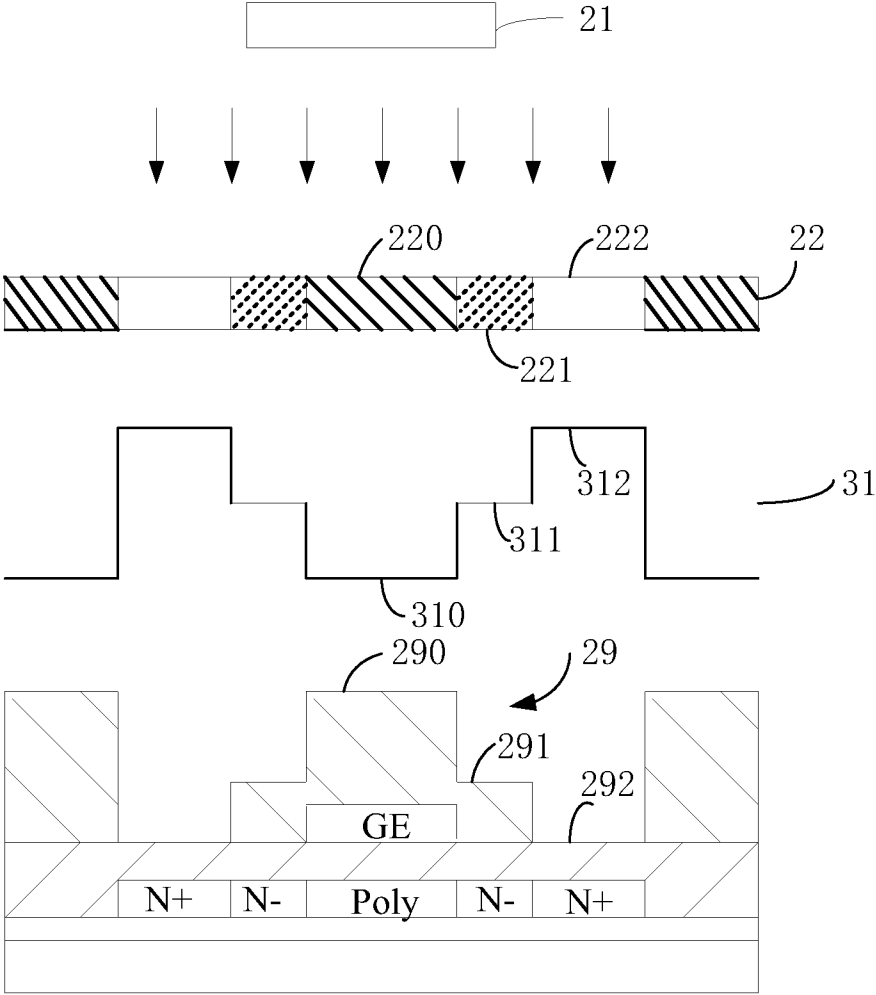


图 4

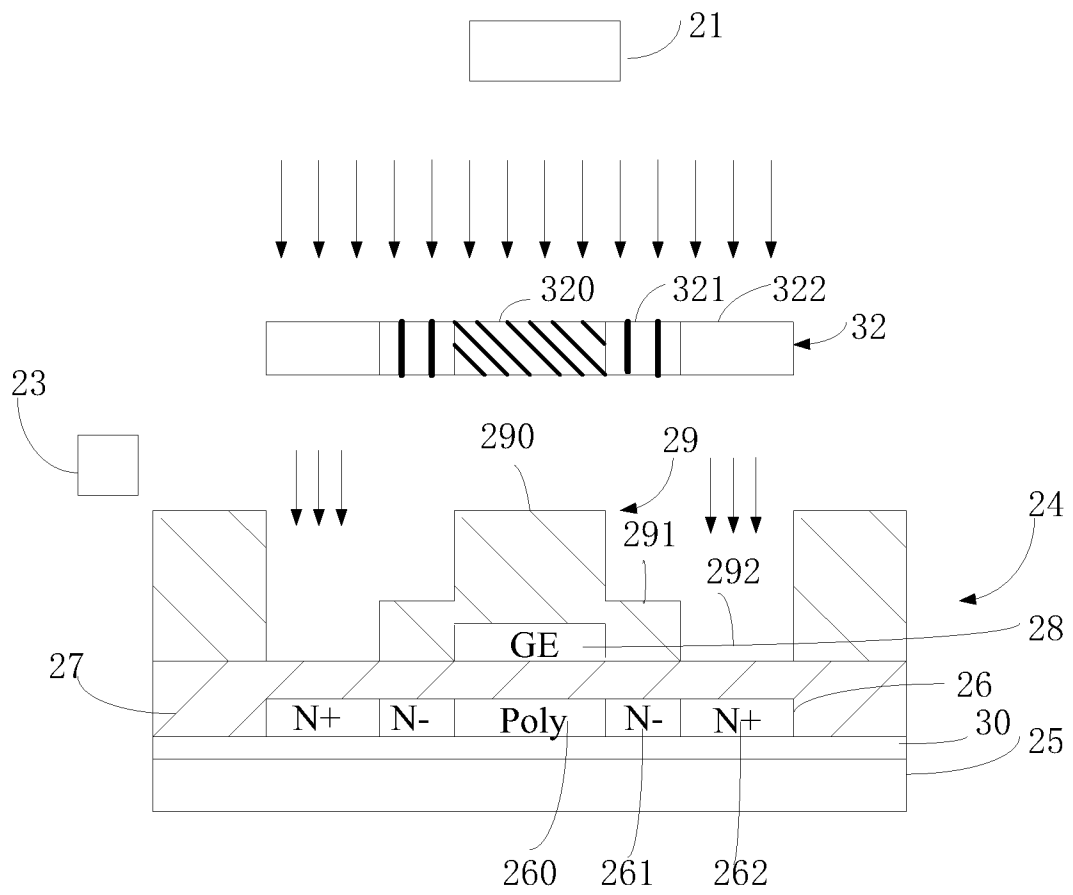


图 5

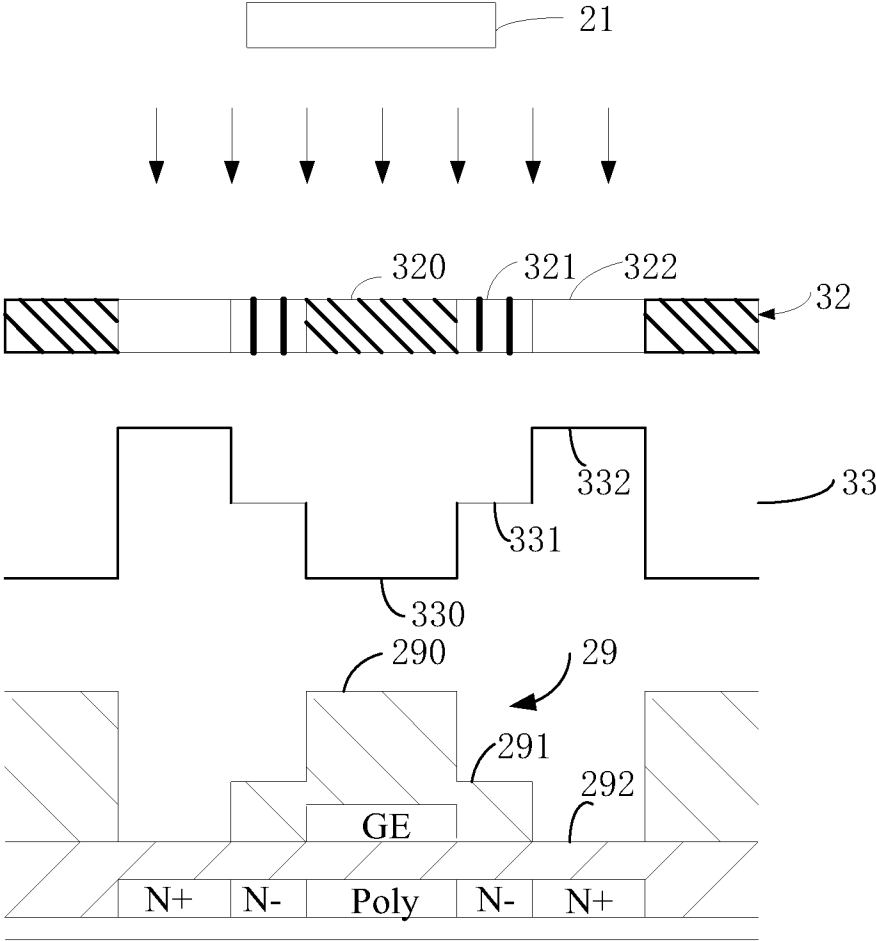


图 6

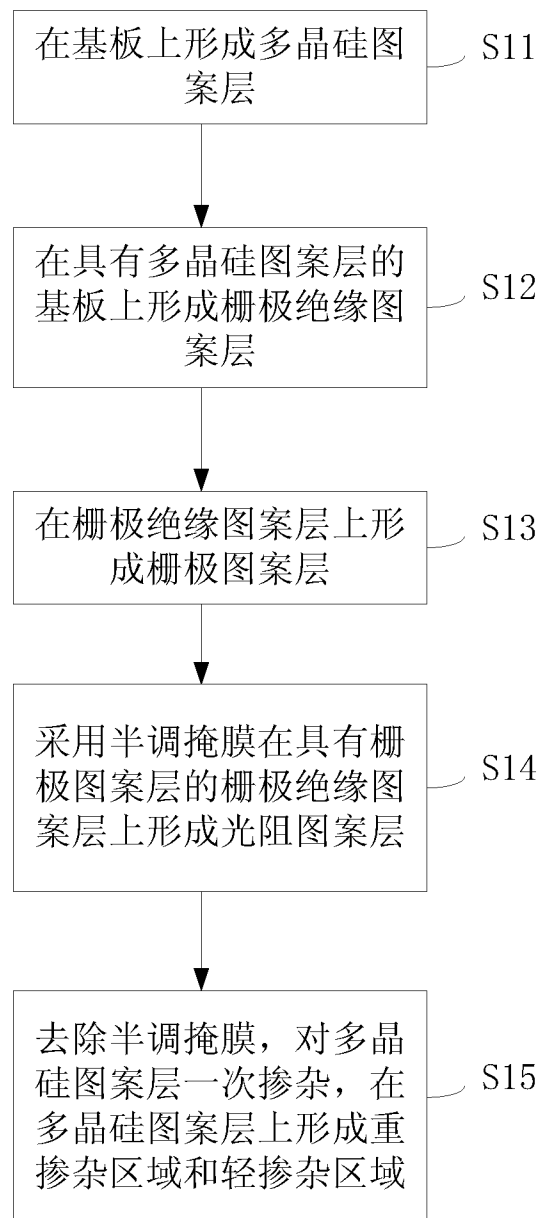


图 7

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2014/095383

A. CLASSIFICATION OF SUBJECT MATTER

H01L 29/786 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNPAT, CNKI, EPODOC, WPI: half tone mask, gray tone mask, half 2w mask, half 2w expos+, step+, dop+, LDD, light dope, gate, source, drain, LTPS, low temperature poly silicon, different 2w photoresist+ 2w thicknesses, grad+, light+

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 103165529 A (BOE TECHNOLOGY GROUP CO., LTD.) 19 June 2013 (19.06.2013) description, paragraphs [0031] to [0076] and figures 1 to 14	1-13
A	CN 102543860 A (BOE TECHNOLOGY GROUP CO., LTD.) 04 July 2012 (04.07.2012) the whole document	1-13
A	CN 102683338 A (BOE TECHNOLOGY GROUP CO., LTD.) 19 September 2012 (19.09.2012) the whole document	1-13
A	CN 101101892 A (SVA GROUP CO., LTD.) 09 January 2008 (09.01.2008) the whole document	1-13
A	CN 102034749 A (BEIJING OVER EAST CO., LTD.) 27 April 2011 (27.04.2011) the whole document	1-13

☒ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
“A” document defining the general state of the art which is not considered to be of particular relevance	“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
“E” earlier application or patent but published on or after the international filing date	“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	“&” document member of the same patent family
“O” document referring to an oral disclosure, use, exhibition or other means	
“P” document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 17 July 2015	Date of mailing of the international search report 12 August 2015
---	--

Name and mailing address of the ISA State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No. (86-10) 62019451	Authorized officer JI, Maoyuan Telephone No. (86-10) 61648083
---	---

INTERNATIONAL SEARCH REPORTInternational application No.
PCT/CN2014/095383

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 1996147 A (SHANGHAI SVA NEC LIQUID CRYSTAL DISPLAY CO., LTD.) 11 July 2007 (11.07.2007) the whole document	1-13

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2014/095383

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 103165529 A	19 June 2013	CN 103165529 B	29 April 2015
		WO 2014127575 A1	28 August 2014
CN 102543860 A	04 July 2012	US 2012171822 A1	05 July 2012
		CN 102543860 B	03 December 2014
		US 8569122 B2	29 October 2013
CN 102683338 A	19 September 2012	None	
CN 101101892 A	09 January 2008	CN 100578760 C	06 January 2010
CN 102034749 A	27 April 2011	US 2011074663 A1	31 March 2011
		CN 102034749 B	04 September 2013
CN 1996147 A	11 July 2007	None	

A. 主题的分类 H01L 29/786(2006.01) i 按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类																							
B. 检索领域 检索的最低限度文献(标明分类系统和分类号) H01L 包含在检索领域中的除最低限度文献以外的检索文献 在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用)) CNPAT, CNKI, EPDOC, WPI: 半调掩膜, 半色调光罩, 灰阶光罩, 半曝光, 阶梯, 掺杂, LDD, 轻掺杂, 栅, 源, 漏, 低温多晶硅, LTPS, half 2w mask, half 2w expos+, different 2w photoresist+ 2w thicknesses, grad+, step+, dop+, light+, gate, source, drain.																							
C. 相关文件 <table border="1"> <thead> <tr> <th>类 型*</th> <th>引用文件, 必要时, 指明相关段落</th> <th>相关的权利要求</th> </tr> </thead> <tbody> <tr> <td>X</td> <td>CN 103165529 A (京东方科技集团股份有限公司) 2013年 6月 19日 (2013 - 06 - 19) 说明书第[0031]-[0076]段、附图1-14</td> <td>1-13</td> </tr> <tr> <td>A</td> <td>CN 102543860 A (京东方科技集团股份有限公司) 2012年 7月 4日 (2012 - 07 - 04) 全文</td> <td>1-13</td> </tr> <tr> <td>A</td> <td>CN 102683338 A (京东方科技集团股份有限公司) 2012年 9月 19日 (2012 - 09 - 19) 全文</td> <td>1-13</td> </tr> <tr> <td>A</td> <td>CN 101101892 A (上海广电光电子有限公司) 2008年 1月 9日 (2008 - 01 - 09) 全文</td> <td>1-13</td> </tr> <tr> <td>A</td> <td>CN 102034749 A (北京京东方光电科技有限公司) 2011年 4月 27日 (2011 - 04 - 27) 全文</td> <td>1-13</td> </tr> <tr> <td>A</td> <td>CN 1996147 A (上海广电NEC液晶显示器有限公司) 2007年 7月 11日 (2007 - 07 - 11) 全文</td> <td>1-13</td> </tr> </tbody> </table>			类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求	X	CN 103165529 A (京东方科技集团股份有限公司) 2013年 6月 19日 (2013 - 06 - 19) 说明书第[0031]-[0076]段、附图1-14	1-13	A	CN 102543860 A (京东方科技集团股份有限公司) 2012年 7月 4日 (2012 - 07 - 04) 全文	1-13	A	CN 102683338 A (京东方科技集团股份有限公司) 2012年 9月 19日 (2012 - 09 - 19) 全文	1-13	A	CN 101101892 A (上海广电光电子有限公司) 2008年 1月 9日 (2008 - 01 - 09) 全文	1-13	A	CN 102034749 A (北京京东方光电科技有限公司) 2011年 4月 27日 (2011 - 04 - 27) 全文	1-13	A	CN 1996147 A (上海广电NEC液晶显示器有限公司) 2007年 7月 11日 (2007 - 07 - 11) 全文	1-13
类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求																					
X	CN 103165529 A (京东方科技集团股份有限公司) 2013年 6月 19日 (2013 - 06 - 19) 说明书第[0031]-[0076]段、附图1-14	1-13																					
A	CN 102543860 A (京东方科技集团股份有限公司) 2012年 7月 4日 (2012 - 07 - 04) 全文	1-13																					
A	CN 102683338 A (京东方科技集团股份有限公司) 2012年 9月 19日 (2012 - 09 - 19) 全文	1-13																					
A	CN 101101892 A (上海广电光电子有限公司) 2008年 1月 9日 (2008 - 01 - 09) 全文	1-13																					
A	CN 102034749 A (北京京东方光电科技有限公司) 2011年 4月 27日 (2011 - 04 - 27) 全文	1-13																					
A	CN 1996147 A (上海广电NEC液晶显示器有限公司) 2007年 7月 11日 (2007 - 07 - 11) 全文	1-13																					
☐ 其余文件在C栏的续页中列出。 ☒ 见同族专利附件。																							
* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件 “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件																							
国际检索实际完成的日期 2015年 7月 17日		国际检索报告邮寄日期 2015年 8月 12日																					
ISA/CN的名称和邮寄地址 中华人民共和国国家知识产权局(ISA/CN) 北京市海淀区蓟门桥西土城路6号 100088 中国 传真号 (86-10)62019451		授权官员 季茂源 电话号码 (86-10)61648083																					

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2014/095383

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	103165529	A	2013年 6月 19日	CN	103165529	B	2015年 4月 29日
				WO	2014127575	A1	2014年 8月 28日
CN	102543860	A	2012年 7月 4日	US	2012171822	A1	2012年 7月 5日
				CN	102543860	B	2014年 12月 3日
				US	8569122	B2	2013年 10月 29日
CN	102683338	A	2012年 9月 19日	无			
CN	101101892	A	2008年 1月 9日	CN	100578760	C	2010年 1月 6日
CN	102034749	A	2011年 4月 27日	US	2011074663	A1	2011年 3月 31日
				CN	102034749	B	2013年 9月 4日
CN	1996147	A	2007年 7月 11日	无			