(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2025年3月27日(27.03.2025)

WIPO | PCT

(10) 国際公開番号
WO 2025/062830 A1

(51) 国際特許分類:
*H04N 25/60* (2023.01) *H01L 27/146* (2006.01)
*H01L 21/8238* (2006.01) *H04N 25/70* (2023.01)
*H01L 27/088* (2006.01) *H04N 25/78* (2023.01)
*H01L 27/092* (2006.01)

(21) 国際出願番号： PCT/JP2024/026796

(22) 国際出願日： 2024年7月26日(26.07.2024)

(25) 国際出願の言語： 日本語

(26) 国際公開の言語： 日本語

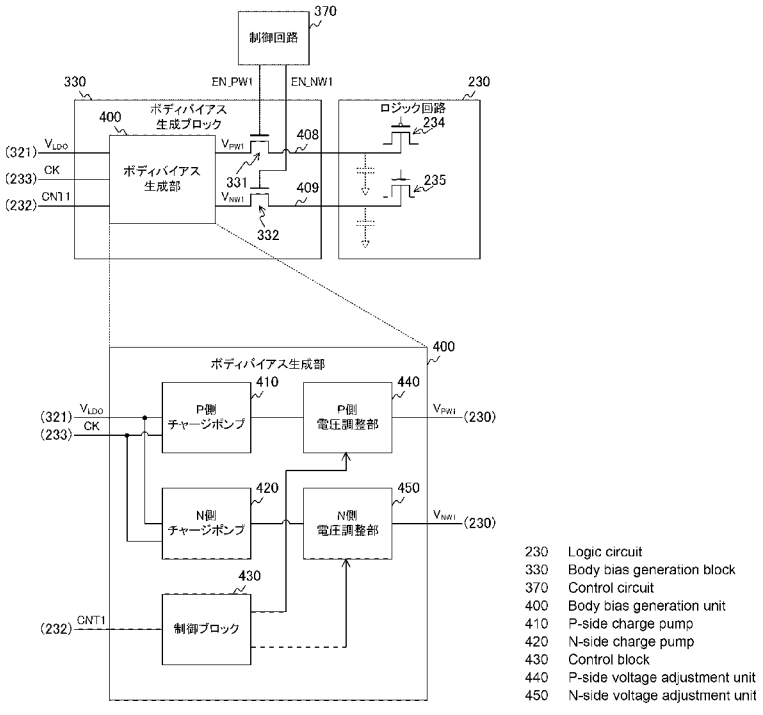
(30) 優先権データ：
特願 2023-154120 2023年9月21日(21.09.2023) JP

(71) 出願人: ソニーセミコンダクタソリューションズ株式会社(**SONY SEMICONDUCTOR SOLUTIONS CORPORATION**) [JP/JP]; 〒2430014 神奈川県厚木市旭町四丁目14番1号 Kanagawa (JP).

(72) 発明者: 小松 義英 (**KOMATSU, Yoshihide**); 〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP). 市川 英章(**ICHIKAWA, Hideaki**); 〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP). 森 悟朗 (**MORI, Goro**); 〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP). 後藤 陽介(**GOTO, Yosuke**); 〒2430014 神奈川県厚木市

(54) **Title:** SEMICONDUCTOR DEVICE AND CONTROL METHOD FOR SEMICONDUCTOR DEVICE

(54) 発明の名称： 半導体装置、および、半導体装置の制御方法




(57) **Abstract:** The present invention reduces noise in a silicon-on-insulator (SOI) substrate on which a transistor is formed. A semiconductor device according to the present invention comprises a transistor, a body bias generation circuit, a connection switch, and a control circuit. The transistor is formed in a prescribed well inside of an SOI substrate. The body bias generation circuit generates body bias to be applied to the well. The connection switch opens and closes a path between the well and the body bias generation circuit. The control circuit controls the switch.

WO 2025/062830 A1

[続葉有]

旭町四丁目１４番１号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP).

(74) 代理人：丸島 敏一 (MARUSHIMA, Toshikazu)；〒1600022 東京都新宿区新宿３－３－２ 京王新宿三丁目第二ビル ５Ｆ クラフト国際特許事務所 Tokyo (JP).

(81) 指定国（表示のない限り、全ての種類の国内保護が可能）：AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国（表示のない限り、全ての種類の広域保護が可能）：ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

一　国際調査報告（条約第21条(3)）

(57) 要約：トランジスタが形成されたＳＯＩ(Silicon On Insulator)基板において、ノイズを低減する。半導体装置は、トランジスタと、ボディバイアス生成回路と、接続スイッチと、制御回路とを具備する。トランジスタは、ＳＯＩ基板内の所定のウェルに形成される。ボディバイアス生成回路は、ウェルに印加するボディバイアスを生成する。接続スイッチは、ウェルとボディバイアス生成回路との間の経路を開閉する。制御回路は、スイッチを制御する。

# 明　細　書

## 発明の名称 ： 半導体装置、および、半導体装置の制御方法

## 技術分野

[0001]　本技術は、半導体装置に関する。詳しくは、トランジスタのチャネル下に絶縁膜が形成された半導体装置、および、半導体装置の制御方法に関する。

## 背景技術

[0002]　従来より、ＣＩＳ（CMOS Image Sensors）などの様々な素子や装置において、ＭＯＳ（Metal-Oxide-Semiconductor）トランジスタが用いられている。例えば、ＳＯＩ(Silicon On Insulator)構造の基板にＭＯＳ型の増幅トランジスタを形成し、そのトランジスタのウェルと、ソースとを接続した撮像装置が提案されている（例えば、特許文献１参照。）。

## 先行技術文献

## 特許文献

[0003] 特許文献1：特開２０１３－１１８２７３号公報

## 発明の概要

## 発明が解決しようとする課題

[0004]　上述の従来技術では、増幅トランジスタのウェルとソースとを接続することにより、増幅トランジスタの出力電圧のゲインの向上を図っている。しかしながら、上述の撮像装置では、クロック信号に同期して動作する回路から、アナログ回路へノイズが伝搬することがあり、そのノイズを低減することが困難である。

[0005]　本技術はこのような状況に鑑みて生み出されたものであり、ＳＯＩ基板を含む半導体装置において、ノイズを低減することを目的とする。

## 課題を解決するための手段

[0006]　本技術は、上述の問題点を解消するためになされたものであり、その第１の側面は、ＳＯＩ(Silicon On Insulator)基板内の所定のウェルに形成されたトランジスタと、上記ウェルに印加するボディバイアスを生成するボディ

バイアス生成回路と、上記ウェルと上記ボディバイアス生成回路との間の経路を開閉する接続スイッチと、上記接続スイッチを制御する制御回路とを具備する半導体装置、および、その制御方法である。これにより、ノイズが低減されるという作用をもたらす。

[0007] また、この第１の側面において、上記制御回路は、アナログ信号に対するＣＤＳ（Correlated Double Sampling）処理が実行されるＣＤＳ期間内に上記接続スイッチをオフ状態に制御し、上記ＣＤＳ期間外に上記接続スイッチをオン状態に制御してもよい。これにより、ＣＤＳ期間内のノイズの伝搬が抑制されるという作用をもたらす。

[0008] また、この第１の側面において、上記アナログ信号のレベルは、リセットレベルおよび信号レベルを含み、上記ＣＤＳ期間は、上記リセットレベルのサンプリング期間と上記信号レベルのサンプリング期間とを含み、上記制御回路は、上記ＣＤＳ期間のうち上記サンプリング期間内に上記接続スイッチをオフ状態に制御し、上記サンプリング期間外に上記接続スイッチをオン状態に制御してもよい。これにより、サンプリング期間内のノイズの伝搬が抑制されるという作用をもたらす。

[0009] また、この第１の側面において、上記トランジスタは、Ｎウェルに形成されたｎＭＯＳトランジスタとＰウェルに形成されたｐＭＯＳトランジスタとを含み、上記接続スイッチは、上記Ｎウェルおよび上記ボディバイアス生成回路の間の経路を開閉するＮ側接続スイッチと上記Ｐウェルおよび上記ボディバイアス生成回路の間の経路を開閉するＰ側接続スイッチとを含むものであってもよい。これにより、ｐＭＯＳトランジスタ、ｎＭＯＳトランジスタのボディバイアスが個別に制御されるという作用をもたらす。

[0010] また、この第１の側面において、上記接続スイッチおよび上記ウェルの間の経路と所定の基準電位との間の経路を開閉するプルダウンスイッチをさらに具備してもよい。これにより、電位変動が抑制されるという作用をもたらす。

[0011] また、この第１の側面において、上記トランジスタは、Ｎウェルに形成さ

れたｎＭＯＳトランジスタとＰウェルに形成されたｐＭＯＳトランジスタとを含み、上記接続スイッチは、上記Ｎウェルおよび上記ボディバイアス生成回路の間の経路を開閉するＮ側接続スイッチと上記Ｐウェルおよび上記ボディバイアス生成回路の間の経路を開閉するＰ側接続スイッチとを含み、上記プルダウンスイッチは、上記Ｎ側接続スイッチおよび上記Ｎウェルの間の経路と上記基準電位との間の経路を開閉するＮ側プルダウンスイッチと、上記Ｐ側接続スイッチおよび上記Ｐウェルの間の経路と上記基準電位との間の経路を開閉するＰ側プルダウンスイッチとを含むものであってもよい。これにより、ｐＭＯＳトランジスタ、ｎＭＯＳトランジスタのボディバイアスが個別に制御され、電位変動が抑制されるという作用をもたらす。

[0012] また、この第１の側面において、所定のクロック信号を生成して上記ボディバイアス生成部に供給するクロック生成部をさらに具備してもよい。これにより、クロック信号に同期してボディバイアスが生成されるという作用をもたらす。

[0013] また、この第１の側面において、上記クロック生成部は、所定の共有周波数に該当しない周波数の上記クロック信号を生成してもよい。これにより、ノイズが低減するという作用をもたらす。

[0014] また、この第１の側面において、上記制御回路は、上記クロック生成部を制御してアナログ信号に対するＣＤＳ処理が実行されるＣＤＳ期間内に周波数が所定値より高い上記クロック信号を生成させ、上記ＣＤＳ期間外に周波数が上記所定値より低い上記クロック信号を生成させてもよい。これにより、ＣＤＳ期間内のノイズの伝搬が抑制されるという作用をもたらす。

## 図面の簡単な説明

[0015] [図1]本技術の第１の実施の形態における撮像装置の一構成例を示すブロック図である。

[図2]本技術の第１の実施の形態における固体撮像素子の一構成例を示すブロック図である。

[図3]本技術の第１の実施の形態におけるロジック回路およびボディバイアス

制御部の一構成例を示すブロック図である。

[図4]本技術の第１の実施の形態におけるボディバイアス生成ブロックの一構成例を示すブロック図である。

[図5]比較例におけるバルク構造の一例を示す断面図である。

[図6]本技術の第１の実施の形態におけるＳＯＩ(Silicon On Insulator)基板の構造の一例を示す断面図である。

[図7]本技術の第１の実施の形態における固体撮像素子の動作の一例を示すタイミングチャートである。

[図8]本技術の第１の実施の形態における固体撮像素子の動作の別の例を示すタイミングチャートである。

[図9]本技術の第１の実施の形態における固体撮像素子の状態遷移図の一例である。

[図10]本技術の第１の実施の形態におけるモード毎の制御内容の一例を示す図である。

[図11]本技術の第１の実施の形態における固体撮像素子の動作の一例を示すフローチャートである。

[図12]本技術の第１の実施の形態の変形例におけるボディバイアス生成ブロックの一構成例を示すブロック図である。

[図13]本技術の第１の実施の形態の変形例における固体撮像素子の動作の一例を示すタイミングチャートである。

[図14]本技術の第１の実施の形態の変形例における固体撮像素子の動作の別の例を示すタイミングチャートである。

[図15]本技術の第２の実施の形態におけるボディバイアス生成ブロックの一構成例を示すブロック図である。

[図16]本技術の第２の実施の形態におけるノイズ特性の一例を示すグラフである。

[図17]本技術の第２の実施の形態における固体撮像素子の動作の一例を示すタイミングチャートである。

[図18]本技術の第２の実施の形態の変形例における固体撮像素子の動作の一例を示すタイミングチャートである。

[図19]車両制御システムの概略的な構成例を示すブロック図である。

[図20]撮像部の設置位置の一例を示す説明図である。

## 発明を実施するための形態

[0016] 以下、本技術を実施するための形態（以下、実施の形態と称する）について説明する。説明は以下の順序により行う。

１．第１の実施の形態（接続スイッチを制御する例）

２．第２の実施の形態（クロック信号の周波数を制御する例）

３．移動体への応用例

[0017] ＜１．第１の実施の形態＞

［撮像装置の構成例］

図１は、本技術の第１の実施の形態における撮像装置１００の一構成例を示すブロック図である。この撮像装置１００は、画像データを撮像するための装置であり、光学部１１０、固体撮像素子２００およびＤＳＰ（Digital Signal Processing）回路１２０を備える。さらに撮像装置１００は、表示部１３０、操作部１４０、バス１５０、フレームメモリ１６０、記憶部１７０および電源部１８０を備える。撮像装置１００としては、デジタルカメラや、撮像機能を持つ電子装置（スマートフォンやパーソナルコンピュータなど）が想定される。なお、撮像装置１００は、特許請求の範囲に記載の半導体装置の一例である。

[0018] 光学部１１０は、被写体からの光を集光して固体撮像素子２００に導くものである。固体撮像素子２００は、光電変換により画像データを生成するものである。この固体撮像素子２００は、画像データを生成し、ＤＳＰ回路１２０に信号線２０９を介して供給する。固体撮像素子２００は、光検出装置と称することもある。

[0019] ＤＳＰ回路１２０は、画像データに対して所定の信号処理を実行するものである。このＤＳＰ回路１２０は、処理後の画像データを、バス１５０を介

してフレームメモリ１６０などに出力する。

[0020] 表示部１３０は、画像データを表示するものである。表示部１３０としては、例えば、液晶パネルや有機ＥＬ（Electro Luminescence）パネルが想定される。操作部１４０は、ユーザの操作に従って操作信号を生成するものである。

[0021] バス１５０は、光学部１１０、固体撮像素子２００、ＤＳＰ回路１２０、表示部１３０、操作部１４０、フレームメモリ１６０、記憶部１７０および電源部１８０が互いにデータをやりとりするための共通の経路である。

[0022] フレームメモリ１６０は、画像データを保持するものである。記憶部１７０は、画像データなどの様々なデータを記憶するものである。電源部１８０は、固体撮像素子２００、ＤＳＰ回路１２０や表示部１３０などに電源を供給するものである。

[0023] ［固体撮像素子の構成例］

図２は、本技術の第１の実施の形態における固体撮像素子２００の一構成例を示すブロック図である。この固体撮像素子２００は、アナログ回路２１０と、ロジック回路２３０、２４０および２５０と、ボディバイアス制御部３００とを備える。これらの回路は、例えば、単一のＳＯＩ基板に設けられる。なお、固体撮像素子２００内の回路を、ＳＯＩ基板を含む複数の半導体基板に分散して配置することもできる。

[0024] アナログ回路２１０には、複数の画素２１１が二次元格子状に配列される。画素２１１のそれぞれは、入射光を光電変換してアナログ信号を画素信号Ａｉｎとして生成するものである。

[0025] また、画素２１１の列ごとにＡＤＣ２２０が配列される。ＡＤＣ２２０のそれぞれは、コンパレータ２２１およびカウンタ２２２を備える。例えば、コンパレータ２２１は、アナログ回路２１０内に配置され、カウンタ２２２がロジック回路２３０内に配置される。

[0026] コンパレータ２２１は、対応する列からの画素信号Ａｉｎと、ランプ信号Ｒｍｐとを比較し、比較結果をカウンタ２２２に供給するものである。カウ

ンタ２２２は、比較結果が反転するまでの期間に亘って計数値を計数し、その計数値を示すデジタル信号Ｄｏｕｔを出力するものである。これらのコンパレータ２２１およびカウンタ２２２により、画素信号ＡｉｎがＡＤ（Analog to Digital）変換される。

[0027] また、画素信号Ａｉｎのレベルは、リセットレベルおよび信号レベルを含む。ここで、リセットレベルは、画素２１１が初期化されたときのレベルであり、信号レベルは、画素２１１内で電荷が転送されたときの、露光量に応じたレベルである。

[0028] そして、カウンタ２２２は、リセットレベルのサンプリング期間内にダウンカウントし、信号レベルのサンプリング期間内にアップカウントする。これにより、ＡＤ変換とともに、リセットレベルと信号レベルとの差分を求めるＣＤＳ処理が行われる。

[0029] なお、ＡＤＣ２２０は、ＡＤ変換およびＣＤＳ処理を行っているが、この構成に限定されない。ＡＤＣ２２０がＡＤ変換のみを行い、後段の回路がＣＤＳ処理を実行することもできる。

[0030] ロジック回路２３０、２４０および２５０は、デジタル信号Ｄｏｕｔに対し、各種の信号処理を行うものである。ロジック回路２５０は、処理後のデジタル信号Ｄｏｕｔを配列した画像データをＤＳＰ回路１２０に出力する。ＳＯＩ基板において、ロジック回路２３０、２４０および２５０のそれぞれが形成されたウェルは分離されているものとする。

[0031] ボディバイアス制御部３００は、ロジック回路２３０、２４０および２５０のそれぞれのウェルに印加する電圧であるボディバイアスを制御するものである。

[0032] ［ロジック回路およびボディバイアス制御部の構成例］

図３は、本技術の第１の実施の形態におけるロジック回路２３０およびボディバイアス制御部３００の一構成例を示すブロック図である。

[0033] ボディバイアス制御部３００は、レギュレータ回路３１０と、電源スイッチ３２１から３２４と、ボディバイアス生成ブロック３３０、３４０、３５

０および３６０と、制御回路３７０とを備える。

[0034] レギュレータ回路３１０は、電源電圧ＶＤＤＨに基づいて、一定の出力電圧$V_{LDO}$を生成するものである。出力電圧$V_{LDO}$は、電源スイッチ３２１から３２４のそれぞれに供給される。

[0035] 電源スイッチ３２１は、ロジック回路２３０からの制御信号ＳＷ１に従ってレギュレータ回路３１０の出力ノードとボディバイアス生成ブロック３３０との間の経路を開閉するものである。

[0036] 電源スイッチ３２２は、ロジック回路２３０からの制御信号ＳＷ２に従ってレギュレータ回路３１０の出力ノードとボディバイアス生成ブロック３４０との間の経路を開閉するものである。

[0037] 電源スイッチ３２３は、ロジック回路２３０からの制御信号ＳＷ３に従ってレギュレータ回路３１０の出力ノードとボディバイアス生成ブロック３５０との間の経路を開閉するものである。

[0038] 電源スイッチ３２４は、ロジック回路２３０からの制御信号ＳＷ４に従ってレギュレータ回路３１０の出力ノードとボディバイアス生成ブロック３６０との間の経路を開閉するものである。

[0039] ボディバイアス生成ブロック３３０は、ロジック回路２３０からの制御信号ＣＮＴ１およびクロック信号ＣＫに基づいて、ロジック回路２３０へのボディバイアス$V_{PW1}$および$V_{NW1}$を出力電圧$V_{LDO}$から生成するものである。

[0040] ボディバイアス生成ブロック３４０、３５０および３６０の回路構成は、ボディバイアス生成ブロック３３０と同様である。ボディバイアス生成ブロック３３０および３４０の出力ノードはショートされ、ロジック回路２３０に共通に接続される。ロジック回路の回路規模が大きい場合、同図に例示するように複数のボディバイアス生成ブロックを接続し、個々のブロックの負荷を軽減することができる。

[0041] ボディバイアス生成ブロック３５０は、ロジック回路２３０からの制御信号ＣＮＴ３およびクロック信号ＣＫに基づいて、ロジック回路２４０へのボディバイアス$V_{PW3}$および$V_{NW3}$を出力電圧$V_{LDO}$から生成する。ボディバイ

アス生成ブロック３６０は、ロジック回路２３０からの制御信号ＣＮＴ４およびクロック信号ＣＫに基づいて、ロジック回路２５０へのボディバイアス$V_{PW4}$および$V_{NW4}$を出力電圧$V_{LDO}$から生成する。

[0042] 制御回路３７０は、制御信号ＥＮ１からＥＮ４により、ボディバイアス生成ブロック３３０、３４０、３５０および３６０のそれぞれの出力動作を制御するものである。

[0043] また、ロジック回路２３０内には、ＯＴＰ（One Time Programmable）メモリ２３１、レジスタ回路２３２およびクロック生成部２３３を備える。

[0044] ＯＴＰ（One Time Programmable）メモリ２３１は、制御信号ＳＷ１からＳＷ４と、制御信号ＣＮＴ１からＣＮＴ４と、クロック信号ＣＫの周波数とのそれぞれの設定値を保持するものである。なお、不揮発性のものであれば、ＯＴＰメモリ２３１以外のメモリを用いることもできる。

[0045] 制御信号ＳＷ１からＳＷ４と、周波数とのそれぞれの設定値は、撮像装置１００の利用方法に応じて適宜に設定される。また、制御信号ＣＮＴ１からＣＮＴ４は、ボディバイアスの値を示す信号であり、例えば、固体撮像素子２００の撮像動作開始前に、テスト回路（不図示）により予め設定される。

[0046] テスト回路は、例えば、ロジック回路２３０などにテスト信号を生成させ、そのテスト信号の値と基準値との比較結果に基づいて制御信号ＣＮＴ１からＣＮＴ４のそれぞれの値を基板ごとに設定する。これらの設定値により、プロセスばらつきに起因する、トランジスタの閾値電圧の変動を抑制することができる。

[0047] レジスタ回路２３２は、ＯＴＰメモリ２３１から設定値を読み出して保持するものである。このレジスタ回路２３２は、保持した設定値の制御信号をボディバイアス制御部３００に供給し、周波数の設定値をクロック生成部２３３に供給する。

[0048] クロック生成部２３３は、レジスタ回路２３２の設定値に従ってクロック信号ＣＫを生成し、ボディバイアス制御部３００に供給するものである。位相同期回路などがクロック生成部２３３として用いられる。

[0049] なお、ボディバイアス制御部３００は、ロジック回路のボディバイアスのみを制御しているが、アナログ回路およびロジック回路の両方のボディバイアスを制御することもできる。また、ボディバイアス制御部３００は、アナログ回路のボディバイアスのみを制御することもできる。

[0050] ［ボディバイアス生成ブロックの構成例］

図４は、本技術の第１の実施の形態におけるボディバイアス生成ブロック３３０の一構成例を示すブロック図である。このボディバイアス生成ブロック３３０は、ボディバイアス生成部４００、Ｐ側接続スイッチ３３１、および、Ｎ側接続スイッチ３３２を備える。ロジック回路２３０は、ｐＭＯＳトランジスタ２３４などの所定数のｐＭＯＳトランジスタと、ｎＭＯＳトランジスタ２３５などの所定数のｎＭＯＳトランジスタとを含む。

[0051] ボディバイアス生成部４００は、クロック信号ＣＫおよび制御信号ＣＮＴ１に基づいて、ボディバイアス$V_{PW1}$および$V_{NW1}$を出力電圧$V_{LDO}$から生成するものである。ボディバイアス$V_{PW1}$はＰ側接続スイッチ３３１へ出力され、ボディバイアス$V_{NW1}$はＮ側接続スイッチ３３２へ出力される。

[0052] Ｐ側接続スイッチ３３１は、制御回路３７０からの制御信号ＥＮ＿ＰＷ１に従って、ボディバイアス生成部４００とｐＭＯＳトランジスタが形成されたウェルとの間の経路を開閉するものである。Ｐ側接続スイッチ３３１の一端は、ボディバイアス生成部４００に接続され、他端は、信号線４０８を介してｐＭＯＳトランジスタ側のウェルに接続される。尚、Ｐ側接続スイッチ３３１は、図示されているｎＭＯＳトランジスタに限定されず、ｐＭＯＳトランジスタ、ｎＭＯＳトランジスタとｐＭＯＳトランジスタの共有スイッチング素子、バイポーラトランジスタやＩＧＢＴ（Insulated Gate Bipolar Transistor）等の任意のスイッチング素子を適用することが可能である。

[0053] Ｎ側接続スイッチ３３２は、制御回路３７０からの制御信号ＥＮ＿ＮＷ１に従って、ボディバイアス生成部４００とｎＭＯＳトランジスタが形成されたウェルとの間の経路を開閉するものである。Ｎ側接続スイッチ３３２の一端は、ボディバイアス生成部４００に接続され、他端は、信号線４０９を介

してｎＭＯＳトランジスタ側のウェルに接続される。尚、Ｎ側接続スイッチ３３２は、図示されているｎＭＯＳトランジスタに限定されず、ｐＭＯＳトランジスタ、ｎＭＯＳトランジスタとｐＭＯＳトランジスタの共有スイッチング素子、バイポーラトランジスタやＩＧＢＴ（Insulated Gate Bipolar Transistor）等の任意のスイッチング素子を適用することが可能である。

[0054] 同図の制御信号ＥＮ＿ＰＷ１およびＥＮ＿ＮＷ１は、前述の制御信号ＥＮ１内の信号である。

[0055] ボディバイアス生成部４００は、Ｐ側チャージポンプ４１０、Ｎ側チャージポンプ４２０、制御ブロック４３０、Ｐ側電圧調整部４４０およびＮ側電圧調整部４５０を備える。

[0056] Ｐ側チャージポンプ４１０は、クロック信号ＣＫに同期して内部のスイッチ（不図示）をオンオフして出力電圧$V_{LDO}$を昇圧または降圧（例えば、降圧）し、Ｐ側電圧調整部４４０に供給するものである。

[0057] Ｎ側チャージポンプ４２０は、クロック信号ＣＫに同期して内部のスイッチ（不図示）をオンオフして出力電圧$V_{LDO}$を昇圧または降圧（例えば、昇圧）し、Ｎ側電圧調整部４５０に供給するものである。

[0058] Ｐ側電圧調整部４４０は、Ｐ側チャージポンプ４１０からの電圧を制御ブロック４３０の制御に従って調整し、ボディバイアス$V_{PW1}$としてＰ側接続スイッチ３３１へ出力するものである。ボディバイアス$V_{PW1}$として、例えば、負電圧が用いられる。

[0059] Ｎ側電圧調整部４５０は、Ｎ側チャージポンプ４２０からの電圧を制御ブロック４３０の制御に従って調整し、ボディバイアス$V_{NW1}$としてＮ側接続スイッチ３３２へ出力するものである。ボディバイアス$V_{NW1}$として、例えば、正電圧が用いられる。

[0060] 制御ブロック４３０は、レジスタ回路２３２からの制御信号ＣＮＴ１に基づいて、Ｐ側電圧調整部４４０およびＮ側電圧調整部４５０のそれぞれの電圧の調整量を制御するものである。

[0061] 上述した構成により、ボディバイアス生成部４００は、ウェルに印加する

ボディバイアス$V_{PW1}$および$V_{NW1}$を生成する。Ｐ側接続スイッチ３３１およびＮ側接続スイッチ３３２は、ボディバイアス生成部４００とウェルとの間の経路を開閉する。制御回路３７０は、それらのスイッチを制御する。

[0062] 例えば、制御回路３７０は、ＣＤＳ処理が実行されるＣＤＳ期間内にＰ側接続スイッチ３３１およびＮ側接続スイッチ３３２の両方をオフ状態に制御し、ＣＤＳ期間外に、それらの両方をオン状態に制御する。この制御により、Ｐ側チャージポンプ４１０やＮ側チャージポンプ４２０から、アナログ回路２１０へのノイズの伝搬を防止することができる。

[0063] Ｐ側接続スイッチ３３１およびＮ側接続スイッチ３３２がオフ状態の期間内において、ボディバイアスは、ＳＯＩ基板内の寄生容量にサンプルホールドされる。同図において、点線の容量は、寄生容量を示す。

[0064] ここで、絶縁膜の無い一般的なバルク構造を用いる装置を比較例として想定する。

[0065] 図５は、比較例におけるバルク構造の一例を示す断面図である。比較例の半導体基板は、Ｐ基板５０１を含む。このＰ基板５０１に、ディープＮウェル５０２が形成される。

[0066] ディープＮウェル５０２内に、$N^-$層５１１および$P^-$層５２１が形成される。$N^-$層５１１内に、$P^+$層５１２と、$N^+$層のソース５１３およびドレイン５１５とが形成される。$P^-$層５２１内に、$N^+$層５２２と、$P^+$層のソース５２３およびドレイン５２５とが形成される。

[0067] $P^+$層５１２に接地電位ＶＳＳのボディバイアスが印加され、$N^+$層５２２に電源電位ＶＤＤのボディバイアスが印加される。また、ソース５１３およびドレイン５１５の間にはゲート５１４が形成され、これらは、ｎＭＯＳトランジスタとして機能する。ソース５２３およびドレイン５２５の間にはゲート５２４が形成され、これらは、ｐＭＯＳトランジスタとして機能する。ｎＭＯＳ側において接地電位ＶＳＳより高く、ｐＭＯＳ側において電源電位ＶＤＤより低いバイアスをフォワード側の電位とする。

[0068] 比較例においてボディバイアスをフォワード側とすれば、基板バイアス効

果により動作スピードが向上するが、基板内のダイオード成分がオンしてリーク電流が増大してしまう。このため、バルク構造では、事実上、ボディバイアスをフォワード側に制御することが困難である。

[0069] ただし、リーク電流が増大しても動作スピードを向上させたいケースや、一部の回路でのみ、ボディバイアスがフォワード側に制御されるケースはある。具体的には、高速動作が要求される差動対の回路などのアナログ回路が想定される。一方、アナログ回路に比べてロジック回路は単純な論理セル構造であり、トランジスタの閾値電圧を制御する必要が無いため、ロジック回路のボディバイアスがフォワード側に制御されることは殆どない。

[0070] ［ＳＯＩ基板の構成例］

図６は、本技術の第１の実施の形態におけるＳＯＩ基板５００の構造の一例を示す断面図である。このＳＯＩ基板５００には、固体撮像素子２００内の回路が形成される。

[0071] ＳＯＩ基板５００は、所定数の絶縁層５０３と、絶縁膜５０４および５０５とをさらに備え、$P^+$層５１２および$N^+$層５２２の位置が異なる点において比較例のバルク構造と異なる。

[0072] $P^+$層や$N^+$層の間には、絶縁層５０３が形成される。また、ゲート側を上側として、ｎＭＯＳトランジスタのチャネル直下には絶縁膜５０４が形成され、ｐＭＯＳトランジスタのチャネル直下には絶縁膜５０５が形成される。

[0073] また、$P^+$層５１２は、$P^-$層５２１内に形成され、$N^+$層５２２は、$N^-$層５１１内に形成される。$N^+$層５２２には、ボディバイアス生成ブロック３３０からのボディバイアス$V_{NW1}$が印加される。このボディバイアス$V_{NW1}$は、例えば、０から＋２ボルト（Ｖ）の範囲で設定される。$P^+$層５１２には、ボディバイアス生成ブロック３３０からのボディバイアス$V_{PW1}$が印加される。このボディバイアス$V_{PW1}$は、例えば、０から－２ボルト（Ｖ）の範囲で設定される。

[0074] なお、$N^-$層５１１は、特許請求の範囲に記載のＮウェルの一例であり、$P^-$層５２１は、特許請求の範囲に記載のＰウェルの一例である。

[0075] 同図に例示したＳＯＩ構造は、ＦＤ（Fully Depleted）－ＳＯＩ構造と呼ばれる。このＦＤ－ＳＯＩ構造では、ボディバイアスを印加する層（すなわち、$P^+$層５１２および$N^+$層５２２）の極性を反転しているため、ボディバイアスがフォワード側であっても、基板内のダイオード成分がオンせず、リーク電流が抑制される。

[0076] このため、ボディバイアス制御部３００は、トランジスタの閾値電圧が低くなる方向、言い換えれば、フォワード側にボディバイアスを制御することができる。ＳＯＩ基板５００ごとに制御信号ＣＮＴ１等を設定しておき、ボディバイアス制御部３００が、その制御信号に従ってボディバイアスを制御することにより、プロセスばらつきによる閾値電圧の変動を抑制することができる。

[0077] 例えば、スピードの遅いＳＯＩ基板について、フォワード側のボディバイアスを設定することにより、基板ごとのスピードのばらつきを低減し、特性を改善することができる。また、タイミング設計の難易度を下げることができる。なお、スピードの速いＳＯＩ基板では、ボディバイアスをフォワード側にしないため、製品全体のリーク電流の最大値は変わらない。

[0078] ［固体撮像素子の動作例］

図７は、本技術の第１の実施の形態における固体撮像素子２００の動作の一例を示すタイミングチャートである。タイミングＴ０からＴ１までの露光期間内に、垂直走査回路（不図示）は、アナログ回路２１０内の全画素を同時に露光させる。タイミングＴ１からＴ２までの読出し期間内に、垂直走査回路は、アナログ回路２１０内の行を順に選択する。

[0079] 行の選択期間は、ＡＤ変換およびＣＤＳ処理が行われるＣＤＳ期間を含む。ある行のＣＤＳ期間をタイミングＴ１１からＴ１５とする。このＣＤＳ期間内のタイミングＴ１２からＴ１３までの期間に亘ってランプ信号Ｒｍｐが徐々に降下し、リセットレベルのサンプリングが実行される。この期間をサンプリング期間$dT_{smp1}$とする。

[0080] そして、タイミングＴ１４からＴ１５までの期間に亘ってランプ信号Ｒｍ

ｐが徐々に降下し、信号レベルのサンプリングが実行される。この期間をサンプリング期間ｄＴ$_{smp2}$とする。

[0081] 制御回路３７０は、ＣＤＳ期間外に制御信号ＥＮ＿ＰＷ１およびＥＮ＿ＮＷ１をハイレベルにして、対応する接続スイッチをオン状態に制御する。例えば、ある行のＣＤＳ期間の終了時から次の行のＣＤＳ期間の開始時までの期間や露光期間が、ＣＤＳ期間外の期間に該当する。

[0082] また、制御回路３７０は、ＣＤＳ期間内に制御信号ＥＮ＿ＰＷ１およびＥＮ＿ＮＷ１をローレベルにして、対応する接続スイッチをオフ状態に制御する。スイッチがオフの期間内において、ＳＯＩ基板内の寄生容量にボディバイアスがサンプルホールドされる。

[0083] Ｐ側接続スイッチ３３１およびＮ側接続スイッチ３３２が常にオン状態の場合、クロック信号ＣＫに同期して動作するボディバイアス生成部４００がノイズ源となり、そのノイズが、読出しの際にアナログ回路２１０に伝搬するおそれがある。

[0084] そこで、制御回路３７０は、同図に例示するように、ＣＤＳ期間内に、Ｐ側接続スイッチ３３１およびＮ側接続スイッチ３３２をオフ状態に制御する。これにより、ボディバイアス生成部４００がウェルから分離されるため、アナログ回路２１０へのノイズの伝搬を抑制し、画素信号内のノイズを低減することができる。この結果、画像データの画質が向上する。

[0085] なお、行を順に選択して露光を開始させるローリングシャッター方式を用いることもできる。この場合は、露光期間の一部とＣＤＳ期間とが重複するが、同様に、ＣＤＳ期間内にスイッチがオフ状態に制御される。

[0086] また、図８におけるａに例示するように、制御回路３７０は、ｐＭＯＳおよびｎＭＯＳの一方のみのスピードを向上させる場合などに、一方のスイッチのみをオンオフすることもできる。この場合、制御回路３７０は、ＣＤＳ期間外にＰ側接続スイッチ３３１およびＮ側接続スイッチ３３２の一方（例えば、Ｎ側接続スイッチ３３２）をオン状態にし、他方をオフ状態にする。ＣＤＳ期間内は、Ｐ側接続スイッチ３３１およびＮ側接続スイッチ３３２の

両方がオフ状態に制御される。

[0087] また、同図におけるｂに例示するように、制御回路３７０は、ＣＤＳ期間のうち、サンプリング期間$T_{smp1}$および$T_{smp2}$のみにＰ側接続スイッチ３３１およびＮ側接続スイッチ３３２をオフ状態にし、それらの期間外にオン状態にすることもできる。

[0088] 図９は、本技術の第１の実施の形態における固体撮像素子２００の状態遷移図の一例である。この固体撮像素子２００の初期状態は、電源断状態６０１であるものとする。その電源断状態６０１において電源が投入されると、固体撮像素子２００は、ハードウェアスタンバイ状態６０２に遷移する。

[0089] ハードウェアスタンバイ状態６０２においてビューイングモードが設定されると、固体撮像素子２００は、スイッチスタンバイ状態６０４に遷移する。ここで、ビューイングモードは、静止画または動画を撮像するためのモードである。

[0090] スイッチスタンバイ状態６０４において静止画モードが設定されると、固体撮像素子２００は、静止画モード６０５に遷移する。この静止画モード６０５は、静止画を撮像するためのモードである。

[0091] 静止画モード６０５において撮像が終了した場合、固体撮像素子２００は、例えば、ユーザの操作に従って、センシングモード６０３や動画モード６０６に遷移することができる。

[0092] スイッチスタンバイ状態６０４において動画モードが設定されると、固体撮像素子２００は、動画モード６０６に遷移する。この動画モード６０６は、動画を撮像するためのモードである。

[0093] 動画モード６０６において撮像が終了した場合、固体撮像素子２００は、例えば、ユーザの操作に従って、センシングモード６０３や静止画モード６０５に遷移することができる。

[0094] ハードウェアスタンバイ状態６０２においてセンシングモードが設定されると、固体撮像素子２００は、センシングモード６０３に遷移する。センシングモード６０３は、動体を検出するためのモードである。

[0095] センシングモード６０３において動体が検出されると、固体撮像素子２００は、例えば、静止画モード６０５または動画モード６０６に遷移する。

[0096] 図１０は、本技術の第１の実施の形態におけるモード毎の制御内容の一例を示す図である。センシングモードでは、ビューイングモードと比較して高画質が要求されない。このため、制御回路３７０は、常にＰ側接続スイッチ３３１およびＮ側接続スイッチ３３２をオフ状態に制御し、ボディバイアスの印加を停止する。

[0097] 一方、静止画モードおよび動画モードでは、センシングモードと比較して高画質が要求される。このため、制御回路３７０は、ＣＤＳ期間内にＰ側接続スイッチ３３１およびＮ側接続スイッチ３３２をオフ状態に制御する。ＣＤＳ期間外では、それらの接続スイッチがオン状態に制御される。

[0098] 図１１は、本技術の第１の実施の形態における固体撮像素子２００の動作の一例を示すフローチャートである。この動作は、例えば、画像データを撮像するための所定のアプリケーションが実行されたときに開始される。

[0099] 固体撮像素子２００は、いずれかの行を読出し対象として選択する（ステップＳ９０１）。制御回路３７０は、選択された行のＣＤＳ期間内にＰ側接続スイッチ３３１およびＮ側接続スイッチ３３２をオフ状態にし、ＡＤＣ２２０はＡＤ変換およびＣＤＳ処理を行う（ステップＳ９０２）。ＣＤＳ処理の終了時に、制御回路３７０は、Ｐ側接続スイッチ３３１およびＮ側接続スイッチ３３２をオン状態にする（ステップＳ９０３）。

[0100] 固体撮像素子２００は、全行の読出しが完了したか否かを判断する（ステップＳ９０４）。全行の読出しが完了していない場合（ステップＳ９０４：Ｎｏ）、固体撮像素子２００は、ステップＳ９０１以降を繰り返す。一方、全行の読出しが完了した場合（ステップＳ９０４：Ｙｅｓ）、固体撮像素子２００は、撮像のための動作を終了する。

[0101] このように、本技術の第１の実施の形態によれば、制御回路３７０がＣＤＳ期間内にＰ側接続スイッチ３３１およびＮ側接続スイッチ３３２をオフ状態にするため、画素信号内のノイズを低減することができる。

[0102] ［変形例］

上述の第１の実施の形態では、制御回路３７０が、Ｐ側接続スイッチ３３１およびＮ側接続スイッチ３３２をＣＤＳ期間内にオフ状態にしていた。しかし、ＣＤＳ期間内に、Ｐ側接続スイッチ３３１およびＮ側接続スイッチ３３２とウェルの間の信号線４０８および４０９のそれぞれの電位が浮遊状態となり、変動するおそれがある。この第１の実施の形態の変形例における固体撮像素子２００は、ＣＤＳ期間内に信号線４０８および４０９をハイインピーダンスにする点において第１の実施の形態と異なる。

[0103] 図１２は、本技術の第１の実施の形態の変形例におけるボディバイアス生成ブロック３３０の一構成例を示すブロック図である。この第１の実施の形態の変形例におけるボディバイアス生成ブロック３３０は、Ｐ側プルダウンスイッチ３３３およびＮ側プルダウンスイッチ３３４をさらに備える点において第１の実施の形態と異なる。これらのスイッチとして、例えば、ｎＭＯＳトランジスタが用いられる。

[0104] Ｐ側プルダウンスイッチ３３３は、制御回路３７０からの制御信号ＰＤ__ＰＷ１に従って、Ｐ側接続スイッチ３３１およびウェルの間の信号線４０８と所定の基準電位との間の経路を開閉するものである。基準電位として、例えば、接地電位ＶＳＳが用いられる。

[0105] Ｎ側プルダウンスイッチ３３４は、制御回路３７０からの制御信号ＰＤ__ＮＷ１に従って、Ｎ側接続スイッチ３３２およびウェルの間の信号線４０９と所定の基準電位（接地電位ＶＳＳなど）との間の経路を開閉するものである。

[0106] これらのプルダウンスイッチと接続スイッチとは排他的に制御される。

[0107] 図１３は、本技術の第１の実施の形態の変形例における固体撮像素子２００の動作の一例を示すタイミングチャートである。第１の実施の形態の変形例において、制御信号ＥＮ__ＰＷ１およびＥＮ__ＮＷ１の制御方法は、第１の実施の形態と同様である。

[0108] 制御回路３７０は、ＣＤＳ期間内に制御信号ＰＤ__ＰＷ１およびＰＤ__Ｎ

Ｗ１をハイレベルにして、対応するプルダウンスイッチをオン状態に制御する。また、制御回路３７０は、ＣＤＳ期間外に、制御信号ＰＤ＿ＰＷ１およびＰＤ＿ＮＷ１をローレベルにして、対応するプルダウンスイッチをオフ状態に制御する。

[0109] 同図に例示するように、ＣＤＳ期間内に制御回路３７０がプルダウンスイッチをオン状態にすることにより、信号線４０８および４０９を基準電位に固定することができる。これらの信号線がハイインピーダンスとなるため、ＣＤＳ期間内の電位変動を抑制することができる。

[0110] なお、図１４に例示するように、制御回路３７０は、Ｐ側プルダウンスイッチ３３３およびＮ側プルダウンスイッチ３３４の一方のみをオンオフすることができる。

[0111] この場合、制御回路３７０は、ＣＤＳ期間外にＰ側接続スイッチ３３１およびＮ側接続スイッチ３３２の一方（例えば、Ｎ側接続スイッチ３３２）をオン状態にし、他方をオフ状態にする。ＣＤＳ期間内は、Ｐ側接続スイッチ３３１およびＮ側接続スイッチ３３２の両方がオフ状態に制御される。

[0112] Ｎ側接続スイッチ３３２のみがオンオフされる場合、制御回路３７０は、ＣＤＳ期間外にＮ側プルダウンスイッチ３３４をオフ状態にし、Ｐ側プルダウンスイッチ３３３をオン状態にする。ＣＤＳ期間内は、Ｐ側プルダウンスイッチ３３３およびＮ側プルダウンスイッチ３３４の両方がオン状態に制御される。

[0113] また、制御回路３７０は、ＣＤＳ期間のうち、サンプリング期間のみに接続スイッチをオフ状態にし、それらの期間外に接続スイッチをオン状態にすることもできる。この場合は、サンプリング期間内にプルダウンスイッチがオン状態に制御され、サンプリング期間外にプルダウンスイッチがオフ状態に制御される。

[0114] このように、本技術の第１の実施の形態の変形例によれば、制御回路３７０がＣＤＳ期間内にＰ側プルダウンスイッチ３３３およびＮ側プルダウンスイッチ３３４をオン状態にするため、その期間の信号線の電位変動を抑制す

ることができる。

[0115] ＜２．第２の実施の形態＞

上述の第１の実施の形態では、クロック生成部２３３は、レジスタ回路２３２に設定された周波数のクロック信号ＣＫを生成していたが、固体撮像素子２００の回路内で意図しない共振回路が生じ、その回路の共振周波数でノイズが増大するおそれがある。この第２の実施の形態における固体撮像素子２００は、共振周波数に該当しない周波数のクロック信号ＣＫを生成する点において第１の実施の形態と異なる。

[0116] 図１５は、本技術の第２の実施の形態におけるボディバイアス生成ブロック３３０の一構成例を示すブロック図である。この第２の実施の形態において、制御回路３７０は、撮像中に制御信号ＥＰ＿ＰＷ１およびＥＰ＿ＮＷ１を常にハイレベルにする。このため、ＣＤＳ期間内もＰ側接続スイッチ３３１およびＮ側接続スイッチ３３２はオン状態に制御される。

[0117] また、第２の実施の形態のクロック生成部２３３は、所定の共振周波数に該当しない周波数のクロック信号ＣＫを生成し、ボディバイアス生成部４００に供給する。

[0118] 図１６は、本技術の第２の実施の形態におけるノイズ特性の一例を示すグラフである。同図における縦軸は、伝搬するノイズの最大電圧ゲインを示し、横軸は、クロック信号ＣＫの周波数を示す。

[0119] ノイズの伝搬経路に意図しない共振回路が生じる場合、その回路の共振周波数でノイズが増大することがある。同図では、共振周波数ｆ１、ｆ２、ｆ３でゲインがピーク値となる。そこで、クロック生成部２３３は、それらの共振周波数に該当しない周波数のクロック信号ＣＫを生成する。

[0120] 例えば、テスト回路が周波数ごとにノイズを測定して、予め共振周波数を求めておく。そして、テスト回路は、ＯＴＰメモリ２３１に、共振周波数に該当しない周波数を設定する。あるいは、テスト回路は、ＯＴＰメモリ２３１に共振周波数を設定しておき、制御回路３７０がクロック生成部２３３を制御して、その共振周波数に該当しない周波数を生成させる。共振周波数が

２０メガヘルツ（ＭＨｚ）の場合、その周波数を避けて１８メガヘルツ（ＭＨｚ）などに周波数が制御される。

[0121] 図１７は、本技術の第２の実施の形態における固体撮像素子２００の動作の一例を示すタイミングチャートである。この第２の実施の形態において、クロック生成部２３３は、共振周波数に該当しない周波数のクロック信号ＣＫを生成する。また、ＣＤＳ期間内も制御信号ＥＰ＿ＰＷ１およびＥＰ＿ＮＷ１はハイレベルに制御される。

[0122] このように本技術の第２の実施の形態によれば、クロック生成部２３３が、共振周波数に該当しない周波数のクロック信号ＣＫを生成するため、ノイズを低減することができる。

[0123] ［変形例］

上述の第２の実施の形態では、クロック生成部２３３は共振周波数に該当しない周波数のクロック信号ＣＫを生成していたが、ＣＤＳ期間内に周波数を低下させることもできる。この第２の実施の形態の変形例における固体撮像素子２００は、ＣＤＳ期間内にクロック信号ＣＫの周波数を低下させる点において第２の実施の形態と異なる。

[0124] 図１８は、本技術の第２の実施の形態の変形例における固体撮像素子２００の動作の一例を示すタイミングチャートである。この第２の実施の形態の変形例において制御回路３７０は、クロック生成部２３３を制御して、ＣＤＳ期間外に所定値より高い周波数のクロック信号ＣＫを生成させ、ＣＤＳ期間内に所定値より低い周波数のクロック信号ＣＫを生成させる。

[0125] 例えば、制御回路３７０は、ＣＤＳ期間外にクロック信号ＣＫの周波数を２０メガヘルツ（ＭＨｚ）に制御し、ＣＤＳ期間内にその周波数を２メガヘルツ（ＭＨｚ）に低下させる。この制御により、ノイズを低減することができる。

[0126] また、ＣＤＳ期間内も制御信号ＥＰ＿ＰＷ１およびＥＰ＿ＮＷ１はハイレベルに制御される。

[0127] なお、制御回路３７０は、ＣＤＳ期間のうちサンプリング期間内に、サン

プリング期間外よりも低い周波数に制御することもできる。

[0128] このように、本技術の第２の実施の形態の変形例によれば、制御回路３７０がＣＤＳ期間内にクロック信号ＣＫの周波数を低下させるため、アナログ回路２１０に伝搬するノイズを低減することができる。

[0129] ＜３．移動体への応用例＞

本開示に係る技術（本技術）は、様々な製品へ応用することができる。例えば、本開示に係る技術は、自動車、電気自動車、ハイブリッド電気自動車、自動二輪車、自転車、パーソナルモビリティ、飛行機、ドローン、船舶、ロボット等のいずれかの種類の移動体に搭載される装置として実現されてもよい。

[0130] 図１９は、本開示に係る技術が適用され得る移動体制御システムの一例である車両制御システムの概略的な構成例を示すブロック図である。

[0131] 車両制御システム１２０００は、通信ネットワーク１２００１を介して接続された複数の電子制御ユニットを備える。図１９に示した例では、車両制御システム１２０００は、駆動系制御ユニット１２０１０、ボディ系制御ユニット１２０２０、車外情報検出ユニット１２０３０、車内情報検出ユニット１２０４０、及び統合制御ユニット１２０５０を備える。また、統合制御ユニット１２０５０の機能構成として、マイクロコンピュータ１２０５１、音声画像出力部１２０５２、及び車載ネットワークＩ／Ｆ(interface)１２０５３が図示されている。

[0132] 駆動系制御ユニット１２０１０は、各種プログラムにしたがって車両の駆動系に関連する装置の動作を制御する。例えば、駆動系制御ユニット１２０１０は、内燃機関又は駆動用モータ等の車両の駆動力を発生させるための駆動力発生装置、駆動力を車輪に伝達するための駆動力伝達機構、車両の舵角を調節するステアリング機構、及び、車両の制動力を発生させる制動装置等の制御装置として機能する。

[0133] ボディ系制御ユニット１２０２０は、各種プログラムにしたがって車体に装備された各種装置の動作を制御する。例えば、ボディ系制御ユニット１２

０２０は、キーレスエントリシステム、スマートキーシステム、パワーウィンドウ装置、あるいは、ヘッドランプ、バックランプ、ブレーキランプ、ウィンカー又はフォグランプ等の各種ランプの制御装置として機能する。この場合、ボディ系制御ユニット１２０２０には、鍵を代替する携帯機から発信される電波又は各種スイッチの信号が入力され得る。ボディ系制御ユニット１２０２０は、これらの電波又は信号の入力を受け付け、車両のドアロック装置、パワーウィンドウ装置、ランプ等を制御する。

[0134] 車外情報検出ユニット１２０３０は、車両制御システム１２０００を搭載した車両の外部の情報を検出する。例えば、車外情報検出ユニット１２０３０には、撮像部１２０３１が接続される。車外情報検出ユニット１２０３０は、撮像部１２０３１に車外の画像を撮像させるとともに、撮像された画像を受信する。車外情報検出ユニット１２０３０は、受信した画像に基づいて、人、車、障害物、標識又は路面上の文字等の物体検出処理又は距離検出処理を行ってもよい。

[0135] 撮像部１２０３１は、光を受光し、その光の受光量に応じた電気信号を出力する光センサである。撮像部１２０３１は、電気信号を画像として出力することもできるし、測距の情報として出力することもできる。また、撮像部１２０３１が受光する光は、可視光であっても良いし、赤外線等の非可視光であっても良い。

[0136] 車内情報検出ユニット１２０４０は、車内の情報を検出する。車内情報検出ユニット１２０４０には、例えば、運転者の状態を検出する運転者状態検出部１２０４１が接続される。運転者状態検出部１２０４１は、例えば運転者を撮像するカメラを含み、車内情報検出ユニット１２０４０は、運転者状態検出部１２０４１から入力される検出情報に基づいて、運転者の疲労度合い又は集中度合いを算出してもよいし、運転者が居眠りをしていないかを判別してもよい。

[0137] マイクロコンピュータ１２０５１は、車外情報検出ユニット１２０３０又は車内情報検出ユニット１２０４０で取得される車内外の情報に基づいて、

駆動力発生装置、ステアリング機構又は制動装置の制御目標値を演算し、駆動系制御ユニット１２０１０に対して制御指令を出力することができる。例えば、マイクロコンピュータ１２０５１は、車両の衝突回避あるいは衝撃緩和、車間距離に基づく追従走行、車速維持走行、車両の衝突警告、又は車両のレーン逸脱警告等を含むＡＤＡＳ(Advanced Driver Assistance System)の機能実現を目的とした協調制御を行うことができる。

[0138] また、マイクロコンピュータ１２０５１は、車外情報検出ユニット１２０３０又は車内情報検出ユニット１２０４０で取得される車両の周囲の情報に基づいて駆動力発生装置、ステアリング機構又は制動装置等を制御することにより、運転者の操作に拠らずに自律的に走行する自動運転等を目的とした協調制御を行うことができる。

[0139] また、マイクロコンピュータ１２０５１は、車外情報検出ユニット１２０３０で取得される車外の情報に基づいて、ボディ系制御ユニット１２０２０に対して制御指令を出力することができる。例えば、マイクロコンピュータ１２０５１は、車外情報検出ユニット１２０３０で検知した先行車又は対向車の位置に応じてヘッドランプを制御し、ハイビームをロービームに切り替える等の防眩を図ることを目的とした協調制御を行うことができる。

[0140] 音声画像出力部１２０５２は、車両の搭乗者又は車外に対して、視覚的又は聴覚的に情報を通知することが可能な出力装置へ音声及び画像のうちの少なくとも一方の出力信号を送信する。図１９の例では、出力装置として、オーディオスピーカ１２０６１、表示部１２０６２及びインストルメントパネル１２０６３が例示されている。表示部１２０６２は、例えば、オンボードディスプレイ及びヘッドアップディスプレイの少なくとも一つを含んでいてもよい。

[0141] 図２０は、撮像部１２０３１の設置位置の例を示す図である。

[0142] 図２０では、撮像部１２０３１として、撮像部１２１０１，１２１０２，１２１０３，１２１０４，１２１０５を有する。

[0143] 撮像部１２１０１，１２１０２，１２１０３，１２１０４，１２１０５は

、例えば、車両１２１００のフロントノーズ、サイドミラー、リアバンパ、バックドア及び車室内のフロントガラスの上部等の位置に設けられる。フロントノーズに備えられる撮像部１２１０１及び車室内のフロントガラスの上部に備えられる撮像部１２１０５は、主として車両１２１００の前方の画像を取得する。サイドミラーに備えられる撮像部１２１０２，１２１０３は、主として車両１２１００の側方の画像を取得する。リアバンパ又はバックドアに備えられる撮像部１２１０４は、主として車両１２１００の後方の画像を取得する。車室内のフロントガラスの上部に備えられる撮像部１２１０５は、主として先行車両又は、歩行者、障害物、信号機、交通標識又は車線等の検出に用いられる。

[0144] なお、図２０には、撮像部１２１０１ないし１２１０４の撮影範囲の一例が示されている。撮像範囲１２１１１は、フロントノーズに設けられた撮像部１２１０１の撮像範囲を示し、撮像範囲１２１１２，１２１１３は、それぞれサイドミラーに設けられた撮像部１２１０２，１２１０３の撮像範囲を示し、撮像範囲１２１１４は、リアバンパ又はバックドアに設けられた撮像部１２１０４の撮像範囲を示す。例えば、撮像部１２１０１ないし１２１０４で撮像された画像データが重ね合わせられることにより、車両１２１００を上方から見た俯瞰画像が得られる。

[0145] 撮像部１２１０１ないし１２１０４の少なくとも１つは、距離情報を取得する機能を有していてもよい。例えば、撮像部１２１０１ないし１２１０４の少なくとも１つは、複数の撮像素子からなるステレオカメラであってもよいし、位相差検出用の画素を有する撮像素子であってもよい。

[0146] 例えば、マイクロコンピュータ１２０５１は、撮像部１２１０１ないし１２１０４から得られた距離情報を基に、撮像範囲１２１１１ないし１２１１４内における各立体物までの距離と、この距離の時間的変化（車両１２１００に対する相対速度）を求めることにより、特に車両１２１００の進行路上にある最も近い立体物で、車両１２１００と略同じ方向に所定の速度（例えば、０ｋｍ／ｈ以上）で走行する立体物を先行車として抽出することができ

る。さらに、マイクロコンピュータ１２０５１は、先行車の手前に予め確保すべき車間距離を設定し、自動ブレーキ制御（追従停止制御も含む）や自動加速制御（追従発進制御も含む）等を行うことができる。このように運転者の操作に拠らずに自律的に走行する自動運転等を目的とした協調制御を行うことができる。

[0147] 例えば、マイクロコンピュータ１２０５１は、撮像部１２１０１ないし１２１０４から得られた距離情報を元に、立体物に関する立体物データを、２輪車、普通車両、大型車両、歩行者、電柱等その他の立体物に分類して抽出し、障害物の自動回避に用いることができる。例えば、マイクロコンピュータ１２０５１は、車両１２１００の周辺の障害物を、車両１２１００のドライバが視認可能な障害物と視認困難な障害物とに識別する。そして、マイクロコンピュータ１２０５１は、各障害物との衝突の危険度を示す衝突リスクを判断し、衝突リスクが設定値以上で衝突可能性がある状況であるときには、オーディオスピーカ１２０６１や表示部１２０６２を介してドライバに警報を出力することや、駆動系制御ユニット１２０１０を介して強制減速や回避操舵を行うことで、衝突回避のための運転支援を行うことができる。

[0148] 撮像部１２１０１ないし１２１０４の少なくとも１つは、赤外線を検出する赤外線カメラであってもよい。例えば、マイクロコンピュータ１２０５１は、撮像部１２１０１ないし１２１０４の撮像画像中に歩行者が存在するか否かを判定することで歩行者を認識することができる。かかる歩行者の認識は、例えば赤外線カメラとしての撮像部１２１０１ないし１２１０４の撮像画像における特徴点を抽出する手順と、物体の輪郭を示す一連の特徴点にパターンマッチング処理を行って歩行者か否かを判別する手順によって行われる。マイクロコンピュータ１２０５１が、撮像部１２１０１ないし１２１０４の撮像画像中に歩行者が存在すると判定し、歩行者を認識すると、音声画像出力部１２０５２は、当該認識された歩行者に強調のための方形輪郭線を重畳表示するように、表示部１２０６２を制御する。また、音声画像出力部１２０５２は、歩行者を示すアイコン等を所望の位置に表示するように表示

部１２０６２を制御してもよい。

[0149] 以上、本開示に係る技術が適用され得る車両制御システムの一例について説明した。本開示に係る技術は、以上説明した構成のうち、撮像部１２０３１等）に適用され得る。具体的には、図１の撮像装置１００は、撮像部１２０３１に適用することができる。撮像部１２０３１に本開示に係る技術を適用することにより、ノイズが低減して、より見やすい撮影画像を得ることができるため、ドライバの疲労を軽減することが可能になる。

[0150] なお、上述の実施の形態は本技術を具現化するための一例を示したものであり、実施の形態における事項と、特許請求の範囲における発明特定事項とはそれぞれ対応関係を有する。同様に、特許請求の範囲における発明特定事項と、これと同一名称を付した本技術の実施の形態における事項とはそれぞれ対応関係を有する。ただし、本技術は実施の形態に限定されるものではなく、その要旨を逸脱しない範囲において実施の形態に種々の変形を施すことにより具現化することができる。

[0151] なお、本明細書に記載された効果はあくまで例示であって、限定されるものではなく、また、他の効果があってもよい。

[0152] なお、本技術は以下のような構成もとることができる。

（１）ＳＯＩ(Silicon On Insulator)基板内の所定のウェルに形成されたトランジスタと、

前記ウェルに印加するボディバイアスを生成するボディバイアス生成回路と、

前記ウェルと前記ボディバイアス生成回路との間の経路を開閉する接続スイッチと、

前記接続スイッチを制御する制御回路と

を具備する半導体装置。

（２）前記制御回路は、アナログ信号に対するＣＤＳ（Correlated Double Sampling）処理が実行されるＣＤＳ期間内に前記接続スイッチをオフ状態に制御し、前記ＣＤＳ期間外に前記接続スイッチをオン状態に制御する

前記（１）記載の半導体装置。

（３）前記アナログ信号のレベルは、リセットレベルおよび信号レベルを含み、

前記ＣＤＳ期間は、前記リセットレベルのサンプリング期間と前記信号レベルのサンプリング期間とを含み、

前記制御回路は、前記ＣＤＳ期間のうち前記サンプリング期間内に前記接続スイッチをオフ状態に制御し、前記サンプリング期間外に前記接続スイッチをオン状態に制御する

前記（１）記載の半導体装置。

（４）前記トランジスタは、Ｎウェルに形成されたｎＭＯＳトランジスタとＰウェルに形成されたｐＭＯＳトランジスタとを含み、

前記接続スイッチは、前記Ｎウェルおよび前記ボディバイアス生成回路の間の経路を開閉するＮ側接続スイッチと前記Ｐウェルおよび前記ボディバイアス生成回路の間の経路を開閉するＰ側接続スイッチとを含む

前記（１）から（３）のいずれかに記載の半導体装置。

（５）前記接続スイッチおよび前記ウェルの間の経路と所定の基準電位との間の経路を開閉するプルダウンスイッチをさらに具備する前記（１）から（４）のいずれかに記載の半導体装置。

（６）前記トランジスタは、Ｎウェルに形成されたｎＭＯＳトランジスタとＰウェルに形成されたｐＭＯＳトランジスタとを含み、

前記接続スイッチは、前記Ｎウェルおよび前記ボディバイアス生成回路の間の経路を開閉するＮ側接続スイッチと前記Ｐウェルおよび前記ボディバイアス生成回路の間の経路を開閉するＰ側接続スイッチとを含み、

前記プルダウンスイッチは、

前記Ｎ側接続スイッチおよび前記Ｎウェルの間の経路と前記基準電位との間の経路を開閉するＮ側プルダウンスイッチと、

前記Ｐ側接続スイッチおよび前記Ｐウェルの間の経路と前記基準電位との間の経路を開閉するＰ側プルダウンスイッチと

を含む前記（５）記載の半導体装置。

（７）所定のクロック信号を生成して前記ボディバイアス生成部に供給するクロック生成部をさらに具備する前記（１）記載の半導体装置。

（８）前記クロック生成部は、所定の共有周波数に該当しない周波数の前記クロック信号を生成する

前記（７）記載の半導体装置。

（９）前記制御回路は、前記クロック生成部を制御してアナログ信号に対するＣＤＳ処理が実行されるＣＤＳ期間内に周波数が所定値より高い前記クロック信号を生成させ、前記ＣＤＳ期間外に周波数が前記所定値より低い前記クロック信号を生成させる

前記（７）記載の半導体装置。

（１０）ＳＯＩ(Silicon On Insulator)基板内のトランジスタが形成されたウェルに印加するボディバイアスを生成するボディバイアス生成手順と、

前記ウェルと前記ボディバイアス生成回路との間の経路を開閉する接続スイッチを制御する制御手順と

を具備する半導体装置の制御方法。

## 符号の説明

[0153] １００　撮像装置

１１０　光学部

１２０　ＤＳＰ回路

１３０　表示部

１４０　操作部

１５０　バス

１６０　フレームメモリ

１７０　記憶部

１８０　電源部

２００　固体撮像素子

２１０　アナログ回路

２１１　画素

２２０　ＡＤＣ

２２１　コンパレータ

２２２　カウンタ

２３０、２４０、２５０　ロジック回路

２３１　ＯＴＰメモリ

２３２　レジスタ回路

２３３　クロック生成部

２３４　ｐＭＯＳトランジスタ

２３５　ｎＭＯＳトランジスタ

３００　ボディバイアス制御部

３１０レギュレータ回路

３２１～３２４　電源スイッチ

３３０、３４０、３５０、３６０　ボディバイアス生成ブロック

３３１　Ｐ側接続スイッチ

３３２　Ｎ側接続スイッチ

３３３　Ｐ側プルダウンスイッチ

３３４　Ｎ側プルダウンスイッチ

３７０　制御回路

４００　ボディバイアス生成部

４１０　Ｐ側チャージポンプ

４２０　Ｎ側チャージポンプ

４３０　制御ブロック

４４０　Ｐ側電圧調整部

４５０　Ｎ側電圧調整部

５００　ＳＯＩ基板

５０１　Ｐ基板

５０２　ディープＮウェル

５０３　絶縁層

５０４、５０５　絶縁膜

５１１　Ｎ⁻層

５１２　Ｐ⁺層

５１３、５２３　ソース

５１４、５２４　ゲート

５１５、５２５　ドレイン

５２１　Ｐ⁻層

５２２　Ｎ⁺層

１２０３１　撮像部

# 請求の範囲

[請求項1] ＳＯＩ(Silicon On Insulator)基板内の所定のウェルに形成されたトランジスタと、

前記ウェルに印加するボディバイアスを生成するボディバイアス生成回路と、

前記ウェルと前記ボディバイアス生成回路との間の経路を開閉する接続スイッチと、

前記接続スイッチを制御する制御回路と

を具備する半導体装置。

[請求項2] 前記制御回路は、アナログ信号に対するＣＤＳ（Correlated Double Sampling）処理が実行されるＣＤＳ期間内に前記接続スイッチをオフ状態に制御し、前記ＣＤＳ期間外に前記接続スイッチをオン状態に制御する

請求項１記載の半導体装置。

[請求項3] 前記アナログ信号のレベルは、リセットレベルおよび信号レベルを含み、

前記ＣＤＳ期間は、前記リセットレベルのサンプリング期間と前記信号レベルのサンプリング期間とを含み、

前記制御回路は、前記ＣＤＳ期間のうち前記サンプリング期間内に前記接続スイッチをオフ状態に制御し、前記サンプリング期間外に前記接続スイッチをオン状態に制御する

請求項１記載の半導体装置。

[請求項4] 前記トランジスタは、Ｎウェルに形成されたｎＭＯＳトランジスタとＰウェルに形成されたｐＭＯＳトランジスタとを含み、

前記接続スイッチは、前記Ｎウェルおよび前記ボディバイアス生成回路の間の経路を開閉するＮ側接続スイッチと前記Ｐウェルおよび前記ボディバイアス生成回路の間の経路を開閉するＰ側接続スイッチとを含む

請求項１記載の半導体装置。

[請求項5] 前記接続スイッチおよび前記ウェルの間の経路と所定の基準電位との間の経路を開閉するプルダウンスイッチをさらに具備する請求項１記載の半導体装置。

[請求項6] 前記トランジスタは、Ｎウェルに形成されたｎＭＯＳトランジスタとＰウェルに形成されたｐＭＯＳトランジスタとを含み、

前記接続スイッチは、前記Ｎウェルおよび前記ボディバイアス生成回路の間の経路を開閉するＮ側接続スイッチと前記Ｐウェルおよび前記ボディバイアス生成回路の間の経路を開閉するＰ側接続スイッチとを含み、

前記プルダウンスイッチは、

前記Ｎ側接続スイッチおよび前記Ｎウェルの間の経路と前記基準電位との間の経路を開閉するＮ側プルダウンスイッチと、

前記Ｐ側接続スイッチおよび前記Ｐウェルの間の経路と前記基準電位との間の経路を開閉するＰ側プルダウンスイッチと

を含む請求項５記載の半導体装置。

[請求項7] 所定のクロック信号を生成して前記ボディバイアス生成部に供給するクロック生成部をさらに具備する請求項１記載の半導体装置。

[請求項8] 前記クロック生成部は、所定の共有周波数に該当しない周波数の前記クロック信号を生成する

請求項７記載の半導体装置。

[請求項9] 前記制御回路は、前記クロック生成部を制御してアナログ信号に対するＣＤＳ処理が実行されるＣＤＳ期間内に周波数が所定値より高い前記クロック信号を生成させ、前記ＣＤＳ期間外に周波数が前記所定値より低い前記クロック信号を生成させる

請求項７記載の半導体装置。

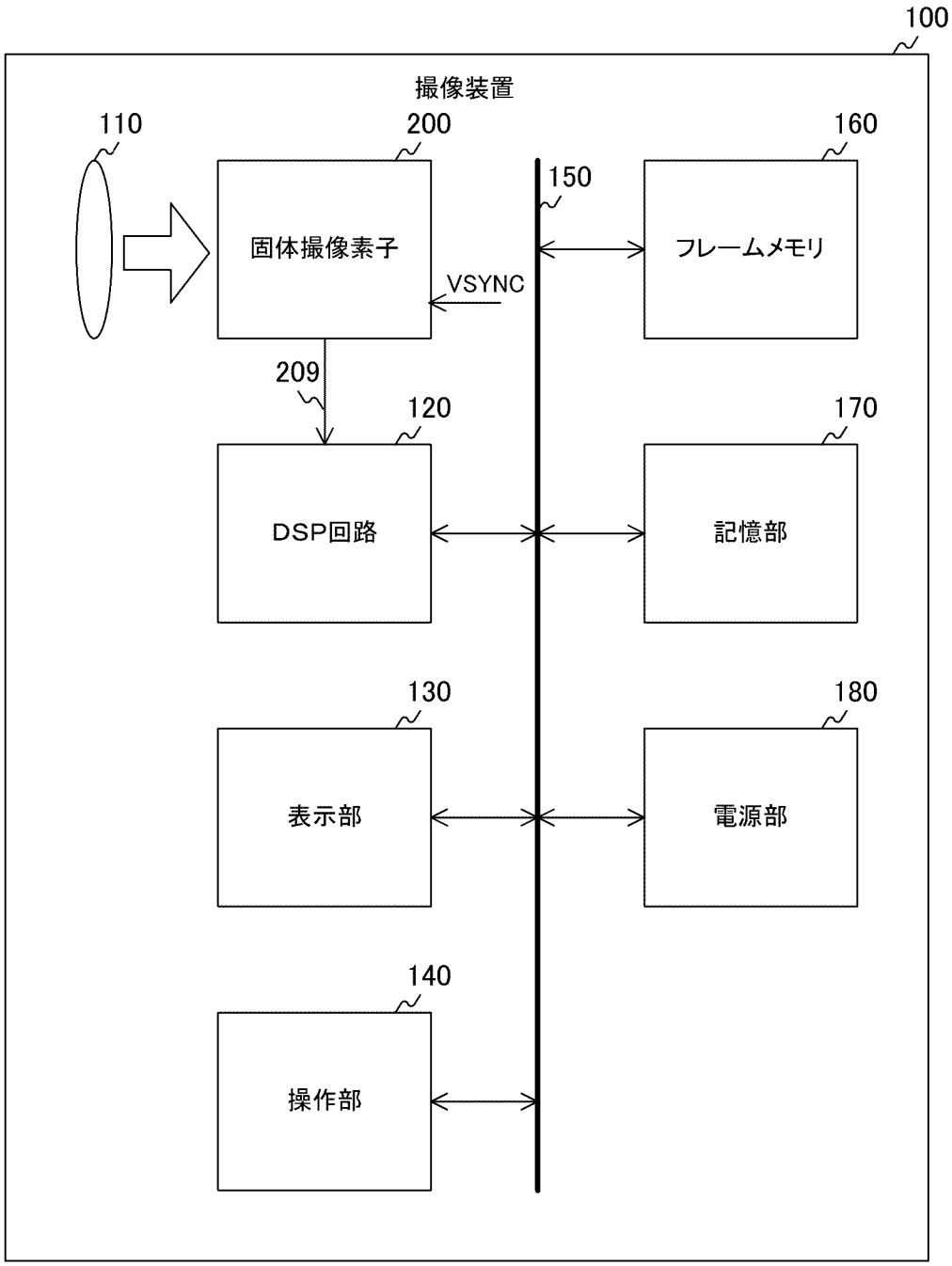
[請求項10] ＳＯＩ(Silicon On Insulator)基板内のトランジスタが形成されたウェルに印加するボディバイアスを生成するボディバイアス生成手順

と、

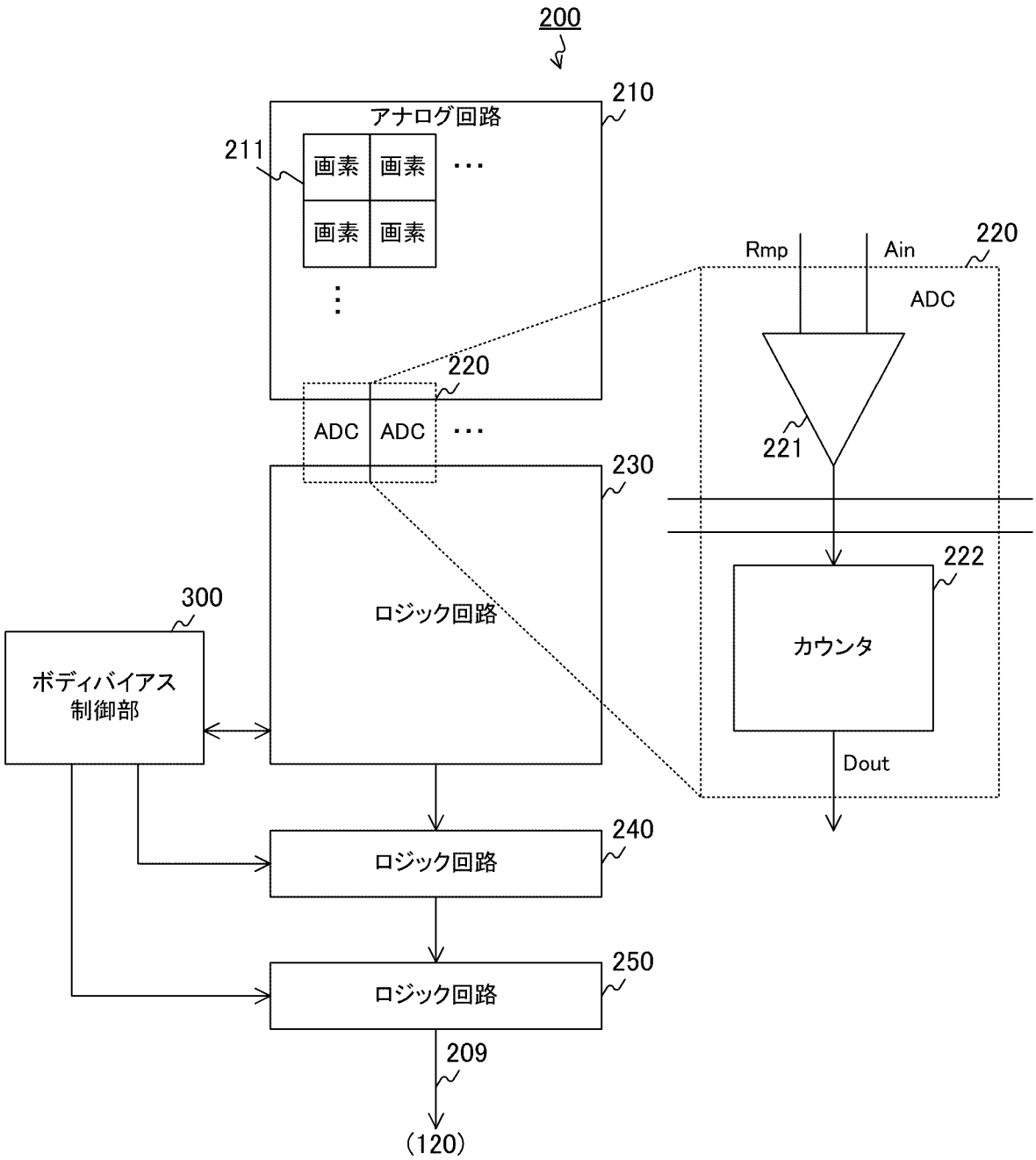
前記ウェルと前記ボディバイアス生成回路との間の経路を開閉する接続スイッチを制御する制御手順と

を具備する半導体装置の制御方法。

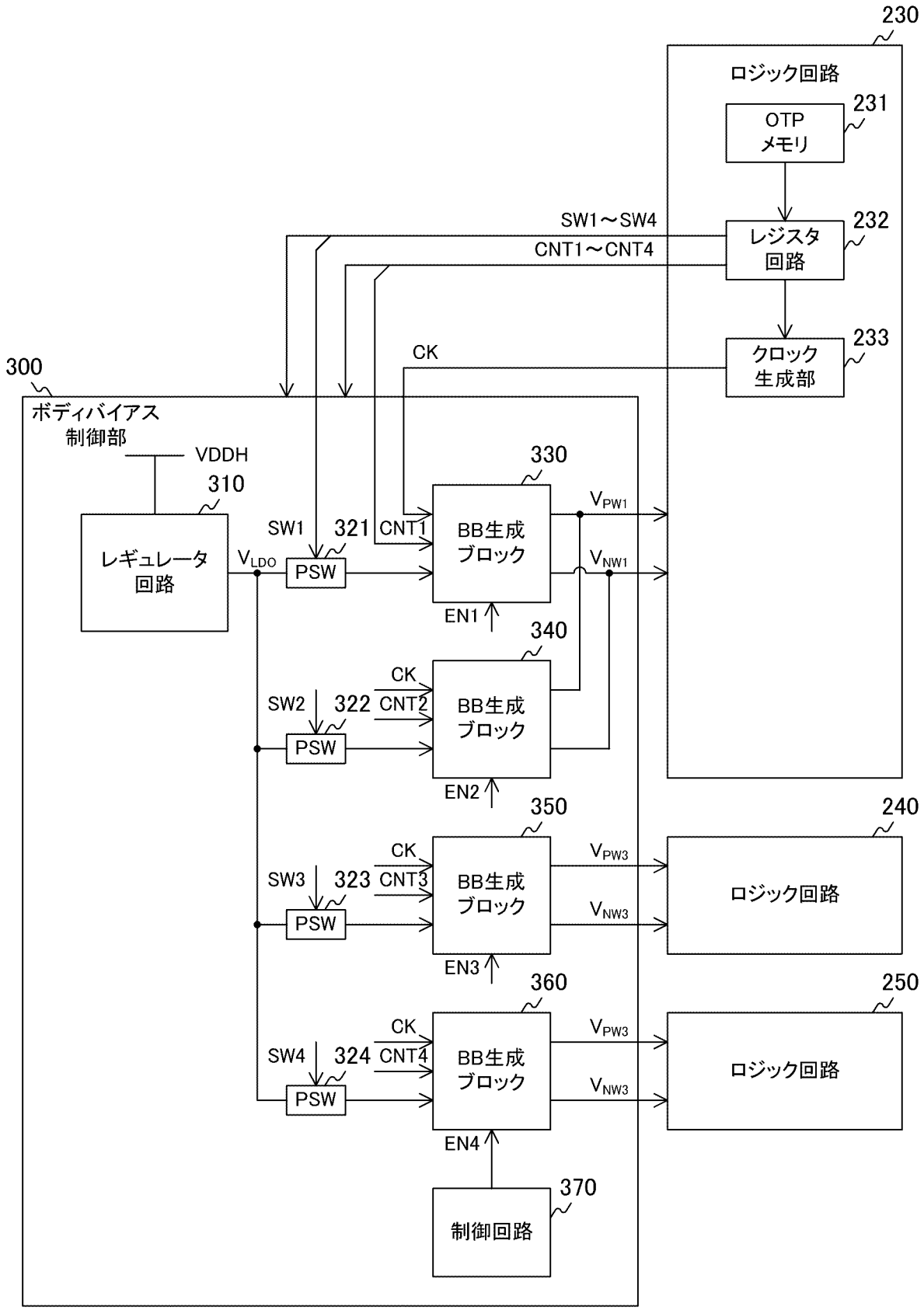
[図1]


100
撮像装置
110
200
160
150
固体撮像素子
VSYNC
フレームメモリ
209
120
170
DSP回路
記憶部
130
180
表示部
電源部
140
操作部

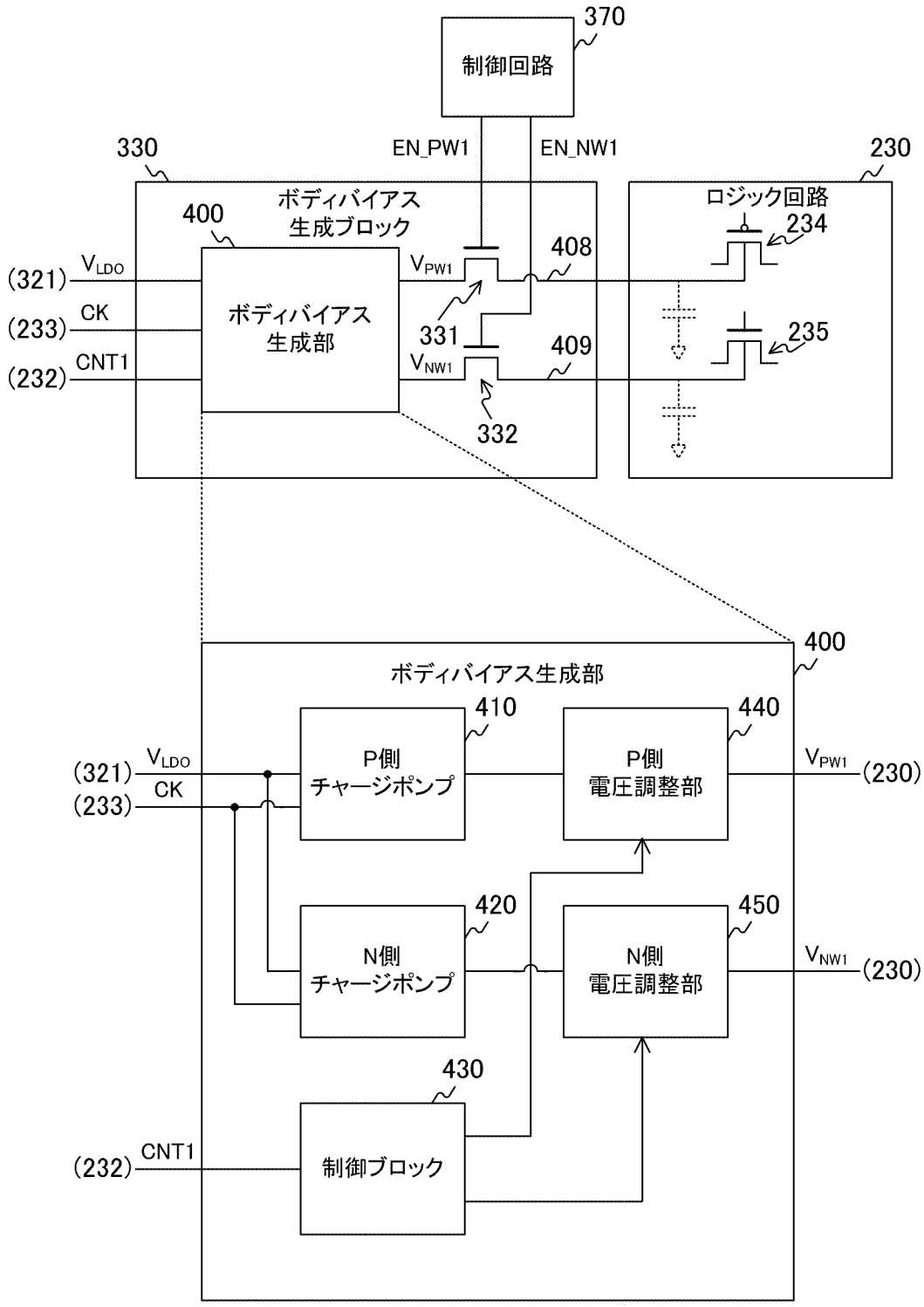
[図2]


200
210
アナログ回路
211
画素
画素
画素
画素
220
ADC
ADC
230
ロジック回路
300
ボディバイアス
制御部
240
ロジック回路
250
ロジック回路
209
(120)
220
Rmp
Ain
ADC
221
222
カウンタ
Dout

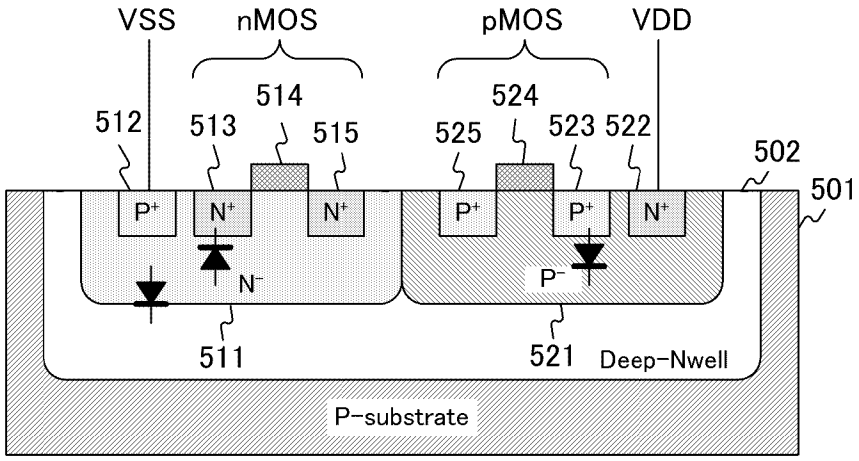
[図3]


230
ロジック回路
231
OTP
メモリ
232
レジスタ
回路
SW1～SW4
CNT1～CNT4
233
クロック
生成部
CK
300
ボディバイアス
制御部
VDDH
310
レギュレータ
回路
$V_{LDO}$
SW1
321
CNT1
PSW
330
BB生成
ブロック
$V_{PW1}$
$V_{NW1}$
EN1
340
CK
SW2
322
CNT2
PSW
BB生成
ブロック
EN2
350
CK
SW3
323
CNT3
PSW
BB生成
ブロック
$V_{PW3}$
$V_{NW3}$
EN3
240
ロジック回路
360
CK
SW4
324
CNT4
PSW
BB生成
ブロック
$V_{PW3}$
$V_{NW3}$
EN4
250
ロジック回路
370
制御回路

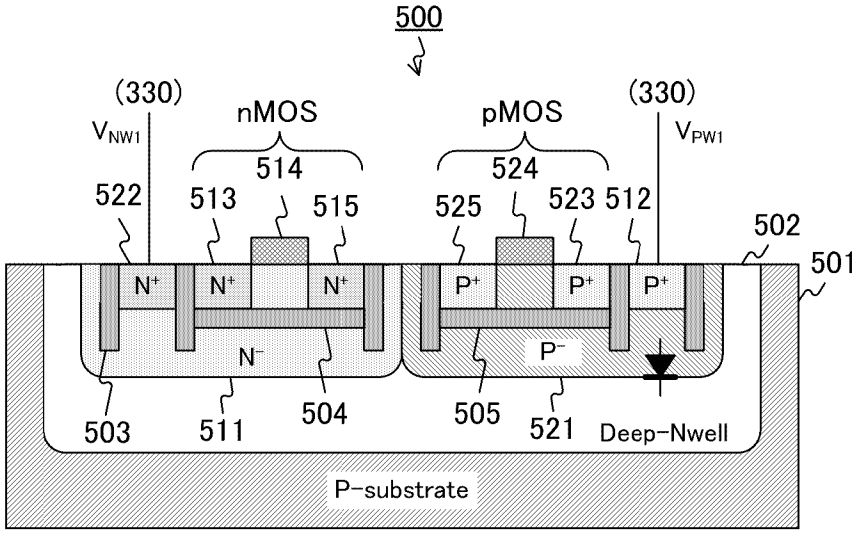
[図4]


370
制御回路
330
EN_PW1
EN_NW1
230
ボディバイアス
生成ブロック
400
ロジック回路
234
408
(321)
$V_{LDO}$
$V_{PW1}$
(233)
CK
ボディバイアス
生成部
331
235
409
(232)
CNT1
$V_{NW1}$
332
400
ボディバイアス生成部
410
440
(321)
$V_{LDO}$
P側
チャージポンプ
P側
電圧調整部
$V_{PW1}$
(230)
(233)
CK
420
450
N側
チャージポンプ
N側
電圧調整部
$V_{NW1}$
(230)
430
(232)
CNT1
制御ブロック

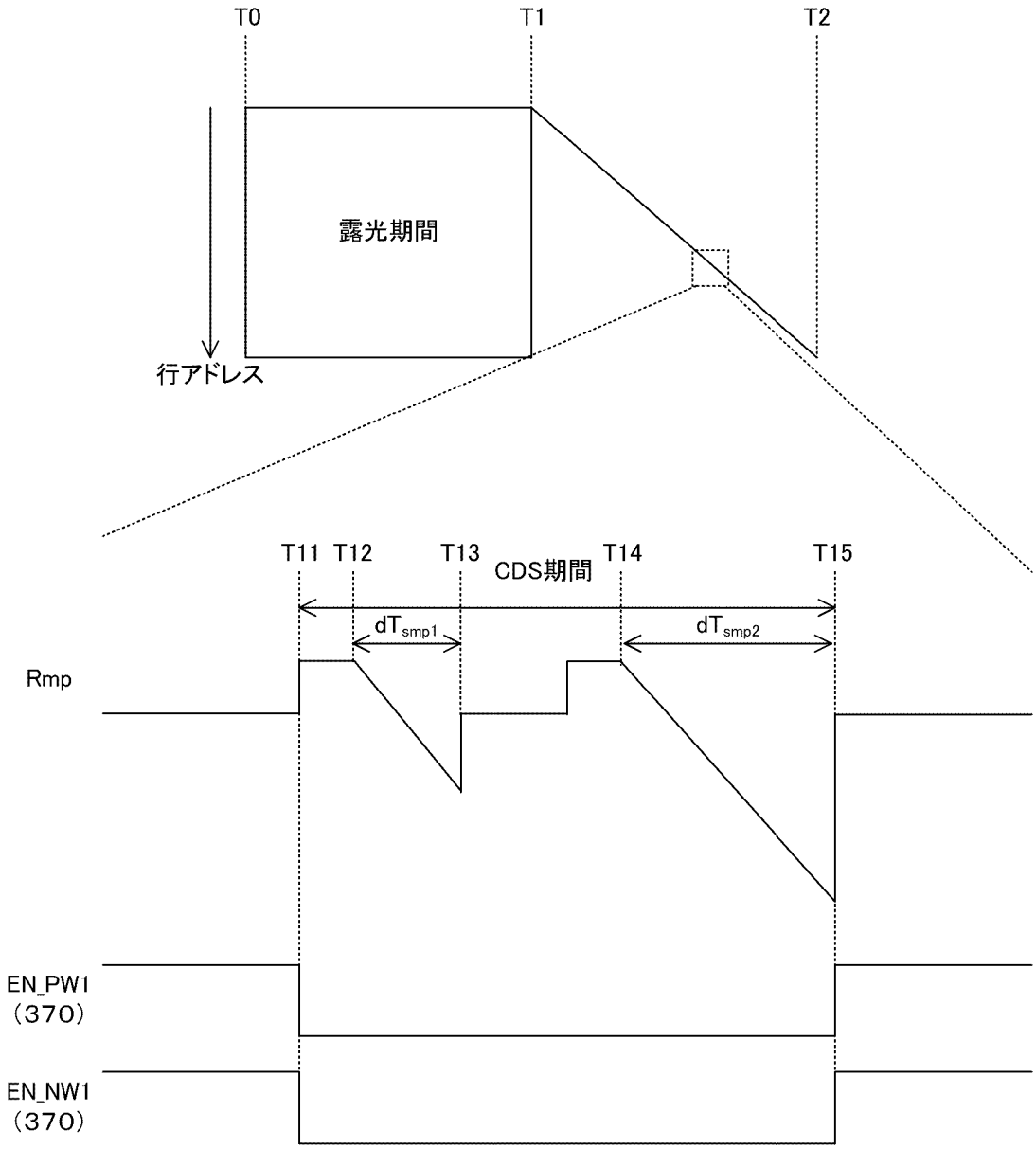
[図5]


VSS
nMOS
pMOS
VDD
512
513
514
515
524
525
523
522
502
501
P+
N+
N−
P−
511
521
Deep-Nwell
P-substrate

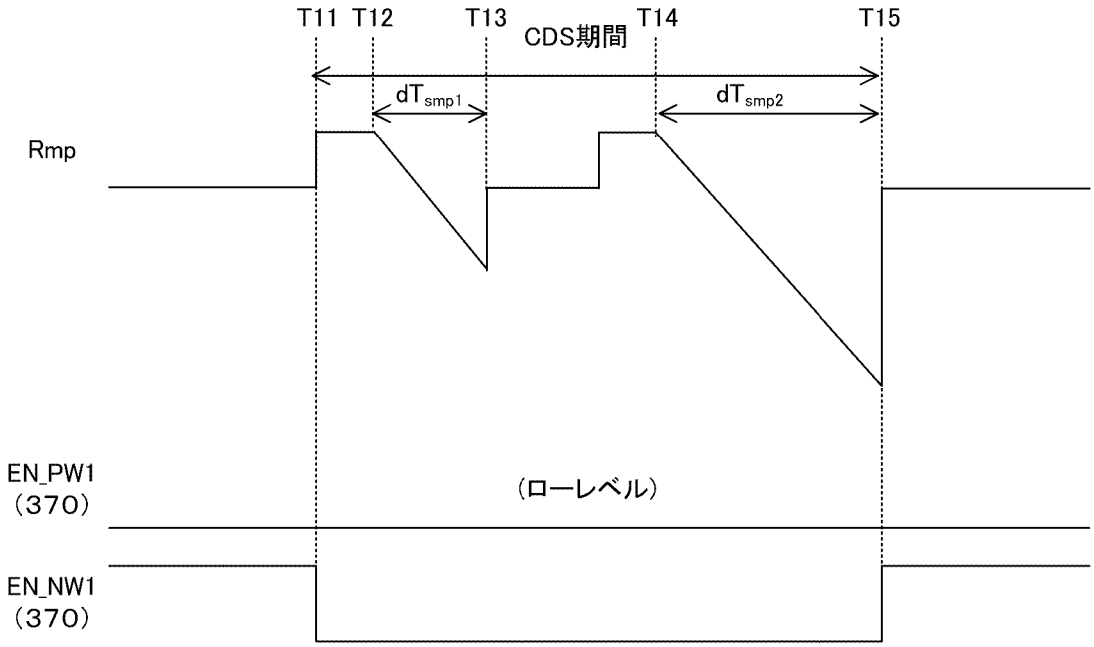
[図6]


500
(330)
$V_{NW1}$
nMOS
pMOS
(330)
$V_{PW1}$
522
513
514
515
524
525
523
512
502
501
N+
P+
N−
P−
503
511
504
505
521
Deep-Nwell
P-substrate

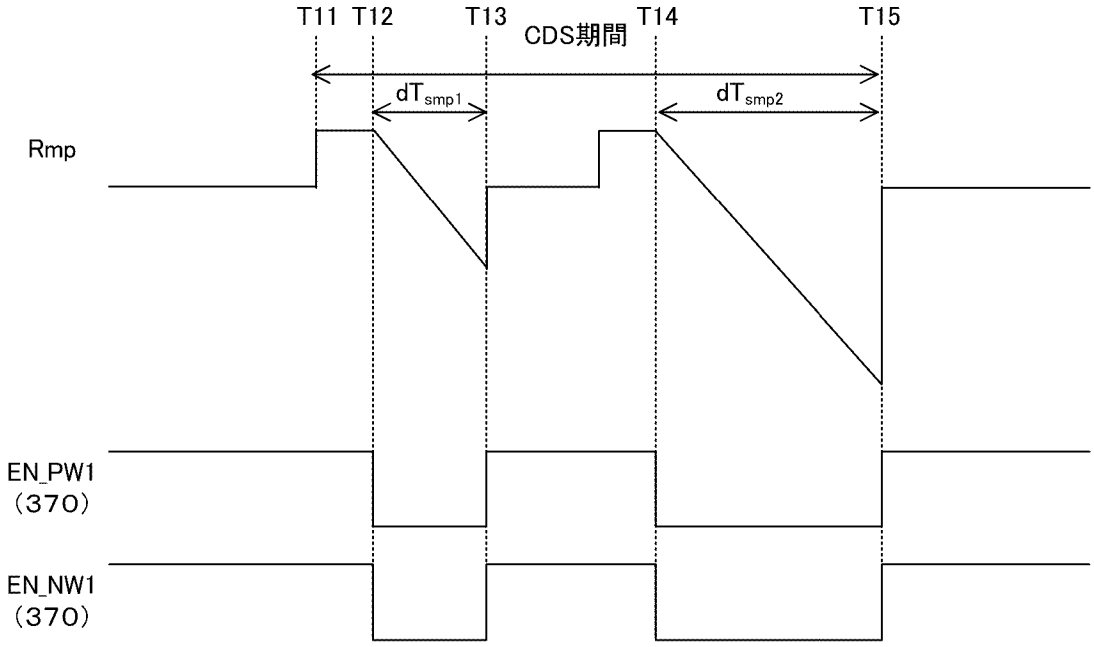
[図7]


T0
T1
T2
露光期間
行アドレス
T11
T12
T13
CDS期間
T14
T15
dTsmp1
dTsmp2
Rmp
EN_PW1
(370)
EN_NW1
(370)

[図8]

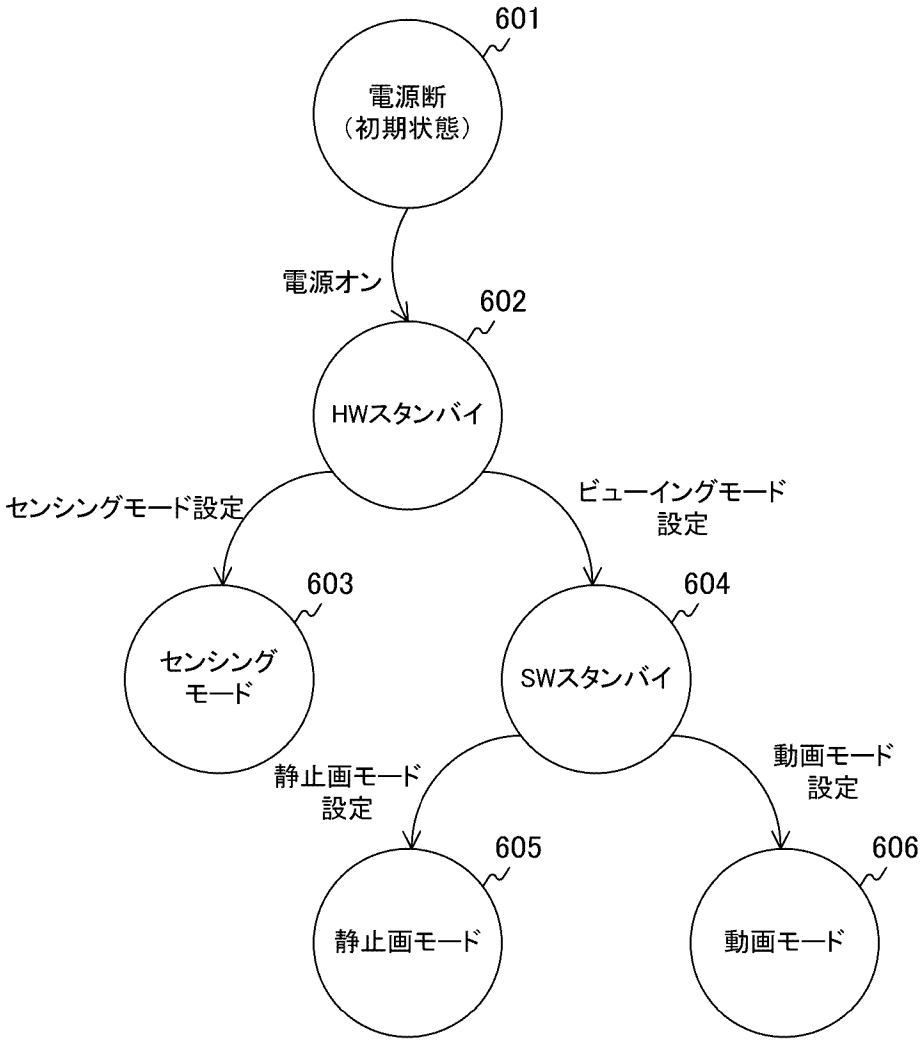

T11
T12
T13
CDS期間
T14
T15
dTsmp1
dTsmp2
Rmp
EN_PW1
(370)
(ローレベル)
EN_NW1
(370)

a


T11
T12
T13
CDS期間
T14
T15
dTsmp1
dTsmp2
Rmp
EN_PW1
(370)
EN_NW1
(370)

b

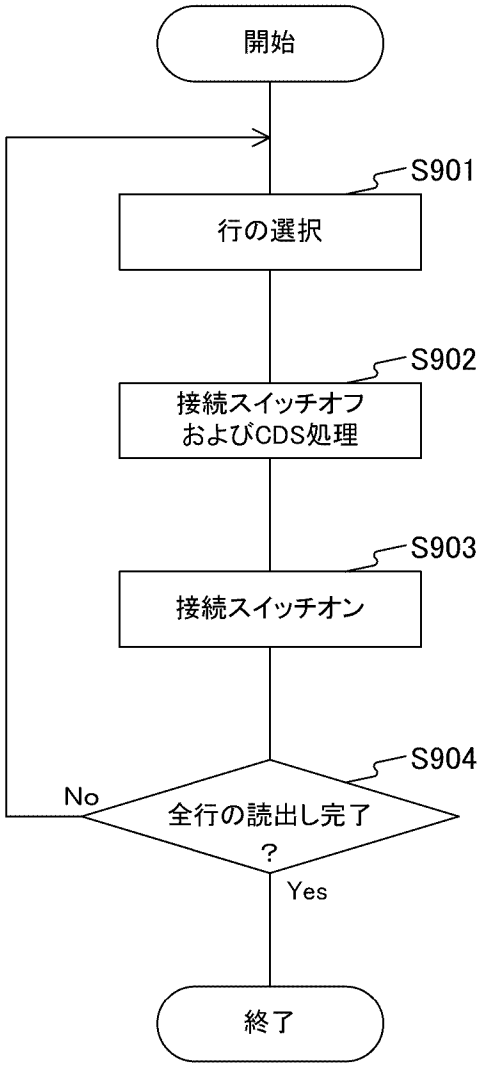
[図9]


601
電源断
（初期状態）
電源オン
602
HWスタンバイ
センシングモード設定
ビューイングモード
設定
603
センシング
モード
604
SWスタンバイ
静止画モード
設定
動画モード
設定
605
静止画モード
606
動画モード

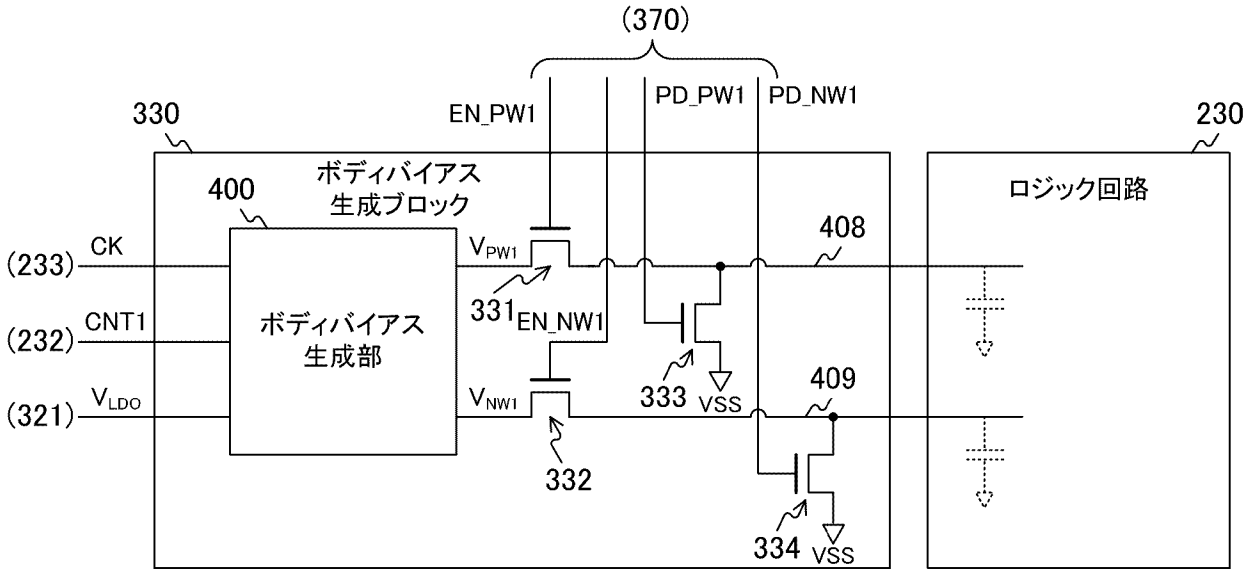
[図10]

| モード | | 画質 | BB制御部 |
|---|---|---|---|
| センシングモード | | 低画質 | 常に接続スイッチオフ |
| ビューイングモード | 静止画モード | 高画質 | CDS期間中に接続スイッチオフ |
| | 動画モード | 高画質 | CDS期間中に接続スイッチオフ |

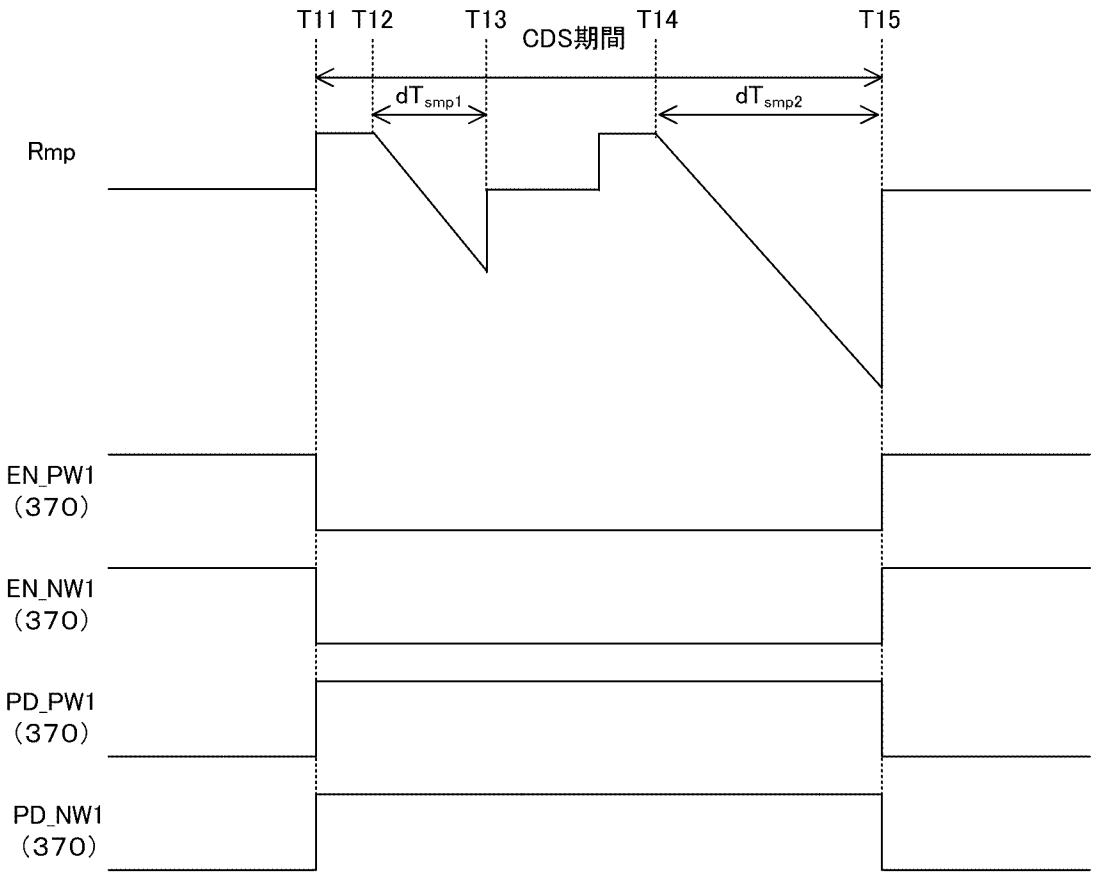
[図11]


開始
S901
行の選択
S902
接続スイッチオフ
およびCDS処理
S903
接続スイッチオン
S904
No
全行の読出し完了
？
Yes
終了

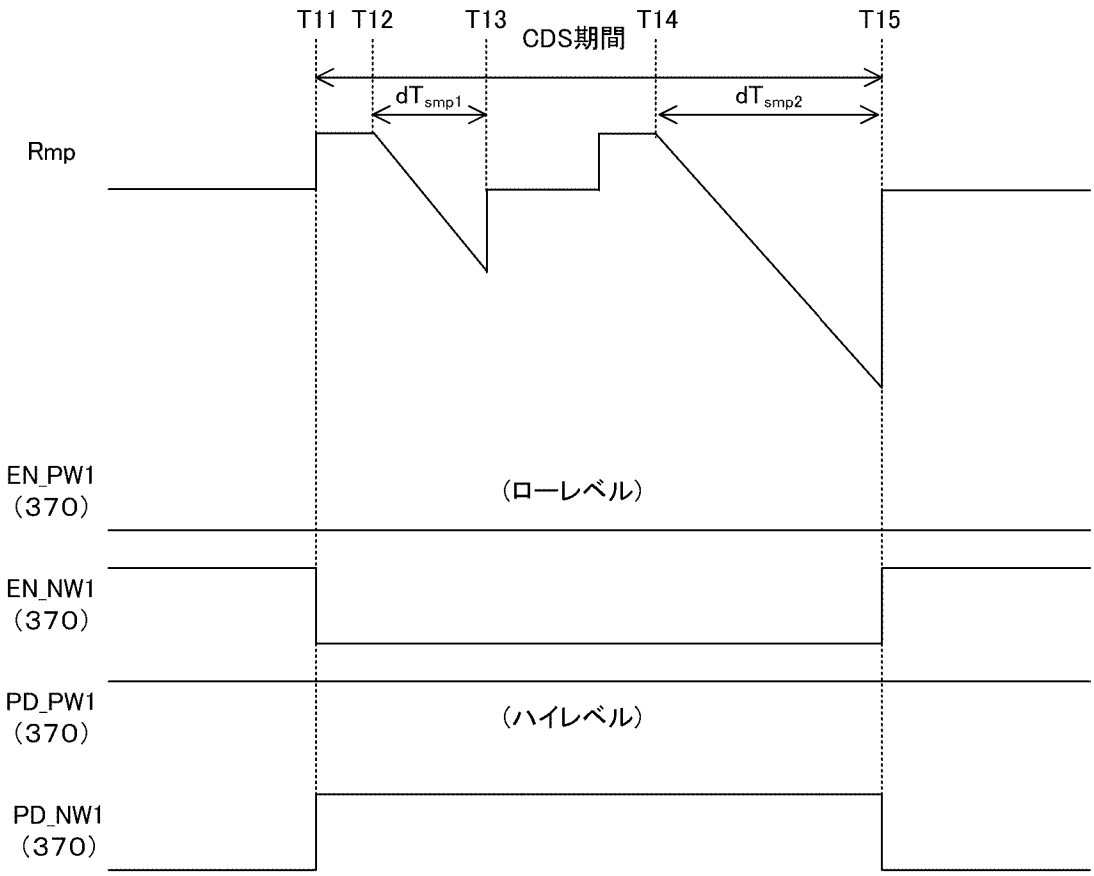
[図12]


(370)
330
EN_PW1
PD_PW1
PD_NW1
230
400
ボディバイアス
生成ブロック
ロジック回路
408
(233)
CK
(232)
CNT1
(321)
VLDO
ボディバイアス
生成部
VPW1
331
EN_NW1
VNW1
332
333
VSS
409
334
VSS

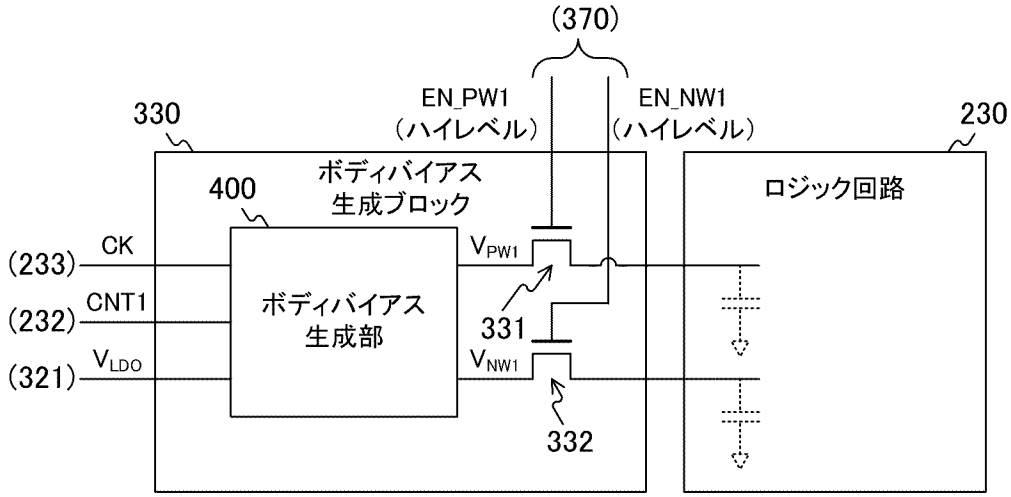
[図13]


T11
T12
T13
CDS期間
T14
T15
dTsmp1
dTsmp2
Rmp
EN_PW1
(370)
EN_NW1
(370)
PD_PW1
(370)
PD_NW1
(370)

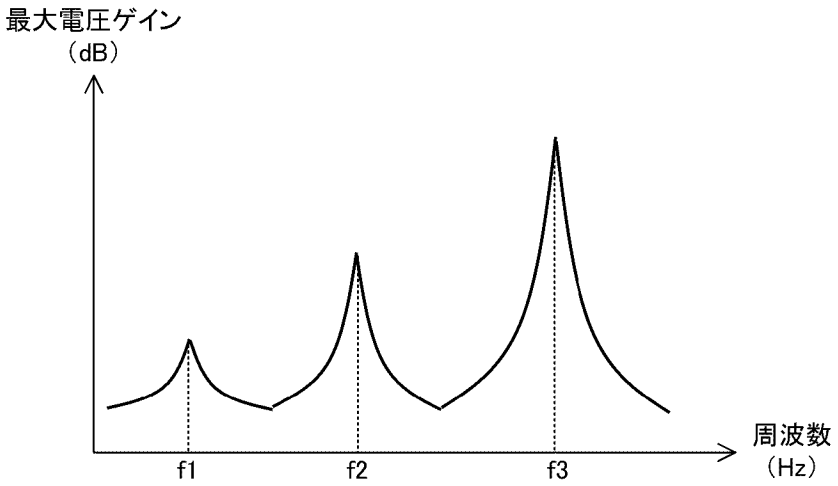
[図14]


T11
T12
T13
CDS期間
T14
T15
dTsmp1
dTsmp2
Rmp
EN_PW1
(370)
(ローレベル)
EN_NW1
(370)
PD_PW1
(370)
(ハイレベル)
PD_NW1
(370)

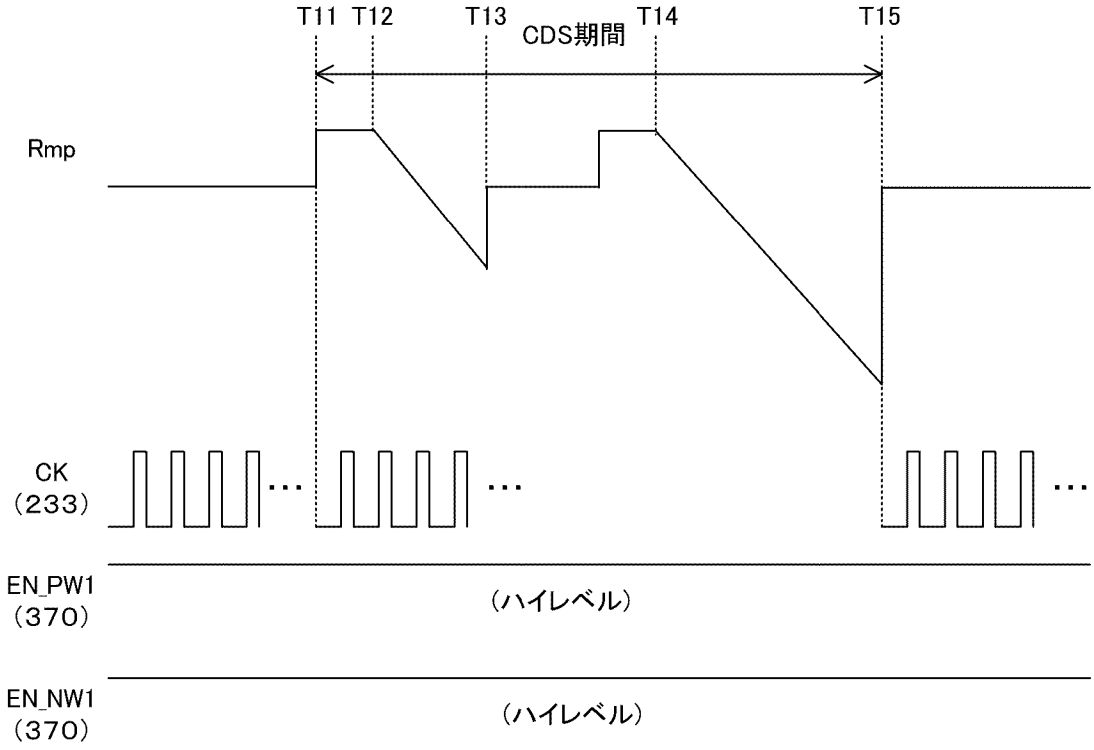
[図15]


(370)
EN_PW1
(ハイレベル)
EN_NW1
(ハイレベル)
330
230
400
ボディバイアス
生成ブロック
ロジック回路
(233)
CK
(232)
CNT1
(321)
VLDO
ボディバイアス
生成部
VPW1
331
VNW1
332

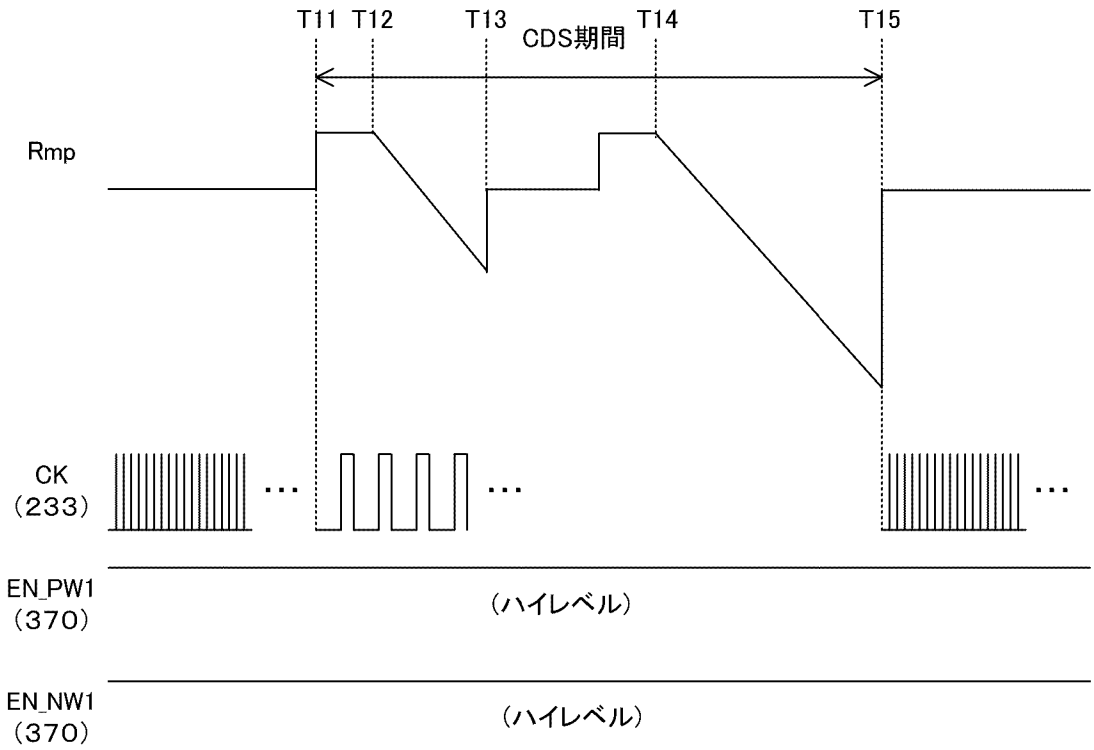
[図16]


最大電圧ゲイン
（dB）
周波数
（Hz）
f1
f2
f3

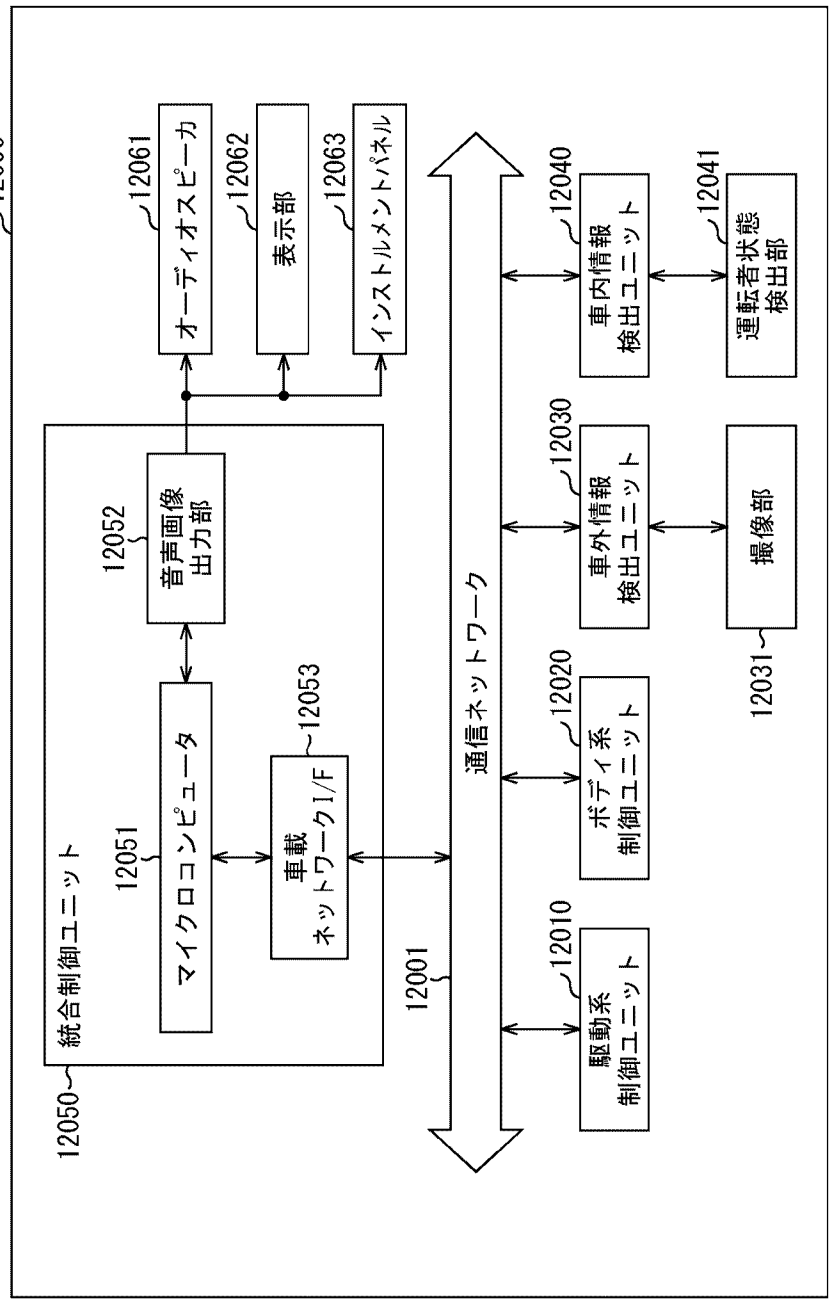
[図17]


T11
T12
T13
CDS期間
T14
T15
Rmp
CK
（233）
EN_PW1
（370）
（ハイレベル）
EN_NW1
（370）
（ハイレベル）

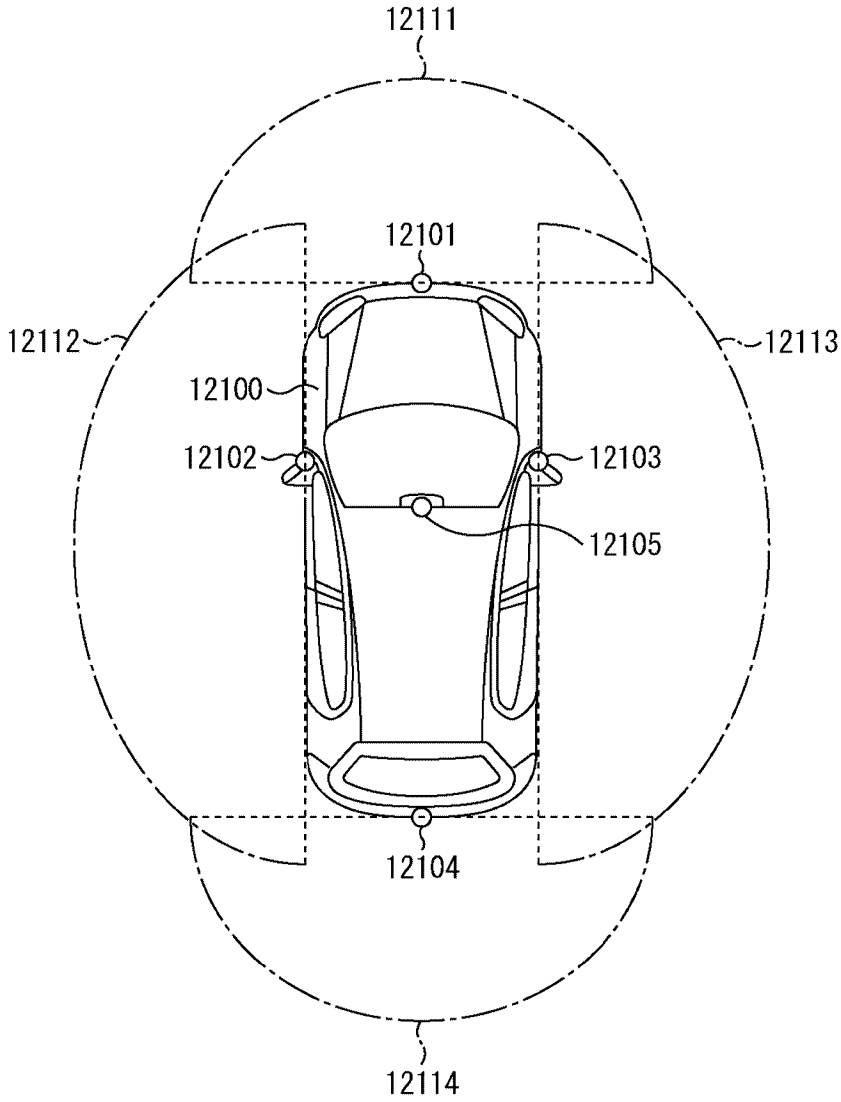
[図18]


T11
T12
T13
CDS期間
T14
T15
Rmp
CK
(233)
EN_PW1
(370)
(ハイレベル)
EN_NW1
(370)
(ハイレベル)

[図19]


12000
12061
オーディオスピーカ
12062
表示部
12063
インストルメントパネル
12040
車内情報
検出ユニット
12041
運転者状態
検出部
12052
音声画像
出力部
12030
車外情報
検出ユニット
撮像部
12031
12053
車載
ネットワークI/F
12051
マイクロコンピュータ
12020
ボディ系
制御ユニット
12001
通信ネットワーク
12010
駆動系
制御ユニット
統合制御ユニット
12050

[図20]


12111
12101
12112
12113
12100
12102
12103
12105
12104
12114

# INTERNATIONAL SEARCH REPORT

International application No.
**PCT/JP2024/026796**

## A. CLASSIFICATION OF SUBJECT MATTER

***H04N 25/60***(2023.01)i; ***H01L 21/8238***(2006.01)i; ***H01L 27/088***(2006.01)i; ***H01L 27/092***(2006.01)i; ***H01L 27/146***(2006.01)i; ***H04N 25/70***(2023.01)i; ***H04N 25/78***(2023.01)i
FI: H04N25/60; H04N25/78; H01L27/092 A; H01L27/088 331E; H01L27/146 A; H04N25/70

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H04N5/30-H04N5/33; H04N23/11; H04N23/20-H04N23/30; H04N25/00;H04N25/20-H04N25/61; H04N25/615-H04N25/79; H01L27/14-27/148; H10K39/30-39/38; H01L29/762-29/768

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
Published unexamined utility model applications of Japan 1971-2024
Registered utility model specifications of Japan 1996-2024
Published registered utility model applications of Japan 1994-2024

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages | Relevant to claim No. |
|---|---|---|
| Y | JP 2007-149790 A (SONY CORPORATION) 14 June 2007 (2007-06-14) paragraphs [0037]-[0065], fig. 6, 12, 14 | 1, 4-8, 10 |
| A | | 2-3, 9 |
| Y | JP 2017-120972 A (OLYMPUS CORPORATION) 06 July 2017 (2017-07-06) paragraphs [0055]-[0058], fig. 3 | 1, 4-8, 10 |
| Y | JP 2021-52581 A (SAMSUNG ELECTRONICS CO., LTD.) 01 April 2021 (2021-04-01) paragraph [0019], fig. 1 | 7-8 |
| A | JP 2005-322901 A (AGILENT TECHNOLOGIES, INC.) 17 November 2005 (2005-11-17) paragraphs [0021]-[0029], fig. 5 | 1-10 |
| A | WO 2017/183451 A1 (PANASONIC INTELLECTUAL PROPERTY MANAGEMENT CO., LTD.) 26 October 2017 (2017-10-26) entire text, all drawings | 1-10 |

☐ Further documents are listed in the continuation of Box C. ☑ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"D" document cited by the applicant in the international application
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

| Date of the actual completion of the international search | Date of mailing of the international search report |
|---|---|
| **21 August 2024** | **03 September 2024** |

| Name and mailing address of the ISA/JP | Authorized officer |
|---|---|
| **Japan Patent Office (ISA/JP)**<br>**3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915**<br>**Japan** | Telephone No. |

**INTERNATIONAL SEARCH REPORT**
**Information on patent family members**

International application No.
**PCT/JP2024/026796**

| Patent document cited in search report | Publication date (day/month/year) | Patent family member(s) | Publication date (day/month/year) |
|---|---|---|---|
| JP 2007-149790 A | 14 June 2007 | US 2007/0114630 A1<br>paragraphs [0080]-[0108], fig. 6, 12, 14 | |
| JP 2017-120972 A | 06 July 2017 | (Family: none) | |
| JP 2021-52581 A | 01 April 2021 | US 2021/0092315 A1<br>paragraph [0033], fig. 1<br>EP 3796645 A2<br>KR 10-2021-0034918 A<br>CN 112543293 A | |
| JP 2005-322901 A | 17 November 2005 | US 2005/0248673 A1<br>paragraphs [0027]-[0035], fig. 5<br>GB 2414132 A<br>DE 102005007330 A1<br>CN 1697492 A<br>TW 200537919 A | |
| WO 2017/183451 A1 | 26 October 2017 | US 2019/0020836 A1<br>entire text, all drawings<br>EP 3448018 A1<br>CN 108886591 A | |

# 国際調査報告

国際出願番号
PCT/JP2024/026796

A.　発明の属する分野の分類（国際特許分類（ＩＰＣ））

H04N 25/60(2023.01)i; H01L 21/8238(2006.01)i; H01L 27/088(2006.01)i; H01L 27/092(2006.01)i; H01L 27/146(2006.01)i; H04N 25/70(2023.01)i; H04N 25/78(2023.01)i
FI: H04N25/60; H04N25/78; H01L27/092 A; H01L27/088 331E; H01L27/146 A; H04N25/70

B.　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

H04N5/30-H04N5/33; H04N23/11; H04N23/20-H04N23/30; H04N25/00;H04N25/20-H04N25/61; H04N25/615-H04N25/79; H01L27/14-27/148; H10K39/30-39/38; H01L29/762-29/768

最小限資料以外の資料で調査を行った分野に含まれるもの

| | |
|---|---|
| 日本国実用新案公報 | １９２２－１９９６年 |
| 日本国公開実用新案公報 | １９７１－２０２４年 |
| 日本国実用新案登録公報 | １９９６－２０２４年 |
| 日本国登録実用新案公報 | １９９４－２０２４年 |

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C.　関連すると認められる文献

| 引用文献のカテゴリー* | 引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示 | 関連する請求項の番号 |
|---|---|---|
| Y | JP 2007-149790 A (ソニー株式会社) 14.06.2007 (2007-06-14)<br>段落［００３７］－［００６５］、図６，１２，１４ | １，４－８，１０ |
| A | | ２－３，９ |
| Y | JP 2017-120972 A (オリンパス株式会社) 06.07.2017 (2017-07-06)<br>段落［００５５］－［００５８］、図３ | １，４－８，１０ |
| Y | JP 2021-52581 A (三星電子株式会社) 01.04.2021 (2021-04-01)<br>段落［００１９］、図１ | ７－８ |
| A | JP 2005-322901 A (アジレント・テクノロジーズ・インク) 17.11.2005 (2005-11-17)<br>段落［００２１］－［００２９］、図５ | １－１０ |
| A | WO 2017/183451 A1 (パナソニックＩＰマネジメント株式会社) 26.10.2017 (2017-10-26)<br>全文全図 | １－１０ |

☐ Ｃ欄の続きにも文献が列挙されている。

☑ パテントファミリーに関する別紙を参照。

*　引用文献のカテゴリー
“A” 特に関連のある文献ではなく、一般的技術水準を示すもの
“D” 国際出願で出願人が先行技術文献として記載した文献
“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
“O” 口頭による開示、使用、展示等に言及する文献
“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの
“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
“Y” 特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
“&” 同一パテントファミリー文献

| 国際調査を完了した日 | 国際調査報告の発送日 |
|---|---|
| 21.08.2024 | 03.09.2024 |

名称及びあて先
日本国特許庁(ISA/JP)
〒100-8915
日本国
東京都千代田区霞が関三丁目４番３号

権限のある職員（特許庁審査官）
櫃本　研太郎 2V 4411
電話番号 03-3581-1101 内線 3271

国際調査報告
パテントファミリーに関する情報

国際出願番号
PCT/JP2024/026796

| 引用文献 | 公表日 | パテントファミリー文献 | 公表日 |
|---|---|---|---|
| JP 2007-149790 A | 14.06.2007 | US 2007/0114630 A1<br>段落［００８０］－［０１０８］、図６，１２，１４ | |
| JP 2017-120972 A | 06.07.2017 | （ファミリーなし） | |
| JP 2021-52581 A | 01.04.2021 | US 2021/0092315 A1<br>段落［００３３］、図１<br>EP 3796645 A2<br>KR 10-2021-0034918 A<br>CN 112543293 A | |
| JP 2005-322901 A | 17.11.2005 | US 2005/0248673 A1<br>段落［００２７］－［００３５］、図５<br>GB 2414132 A<br>DE 102005007330 A1<br>CN 1697492 A<br>TW 200537919 A | |
| WO 2017/183451 A1 | 26.10.2017 | US 2019/0020836 A1<br>全文全図<br>EP 3448018 A1<br>CN 108886591 A | |