

(19) 日本国特許庁(JP)

## (12) 公開特許公報(A)

(11) 特許出願公開番号

特開2020-109842  
(P2020-109842A)

(43) 公開日 令和2年7月16日(2020.7.16)

(51) Int.Cl.

H01L 33/30 (2010.01)

F 1

H01L 33/30

テーマコード(参考)

5 F 2 4 1

審査請求 未請求 請求項の数 10 O L (全 15 頁)

(21) 出願番号 特願2019-235697 (P2019-235697)  
 (22) 出願日 令和1年12月26日 (2019.12.26)  
 (31) 優先権主張番号 107147857  
 (32) 優先日 平成30年12月28日 (2018.12.28)  
 (33) 優先権主張国・地域又は機関  
 台湾(TW)

(71) 出願人 598061302  
 晶元光電股▲ふん▼有限公司  
 Epistar Corporation  
 台灣新竹科學工業園區新竹市東區力行路2  
 1號  
 21, L i - h s i n R d . , S c i e  
 n c e - b a s e d I n d u s t r i a  
 l P a r k , H s i n c h u 3 0 0 ,  
 T A I W A N  
 (74) 代理人 100107766  
 弁理士 伊東 忠重  
 (74) 代理人 100070150  
 弁理士 伊東 忠彦  
 (74) 代理人 100091214  
 弁理士 大貫 進介

最終頁に続く

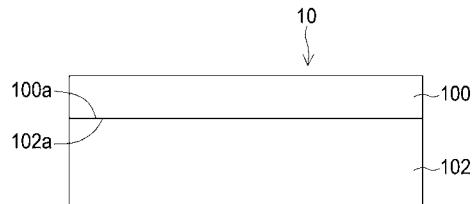
(54) 【発明の名称】半導体スタック層、半導体素子及びその製造方法

## (57) 【要約】

【課題】本発明は、半導体スタック層、半導体素子及びその製造方法を提供する。

【解決手段】かかる半導体素子は、第一半導体層及び発光構造を含む。第一半導体層は、第一III-V族半導体材料、第一不純物及び第二不純物を含む。発光構造は、第一半導体層に位置し、且つ活性構造を含む。第一半導体層では、第二不純物の濃度は、第一不純物の濃度よりも大きく、第一不純物は、炭素であり、第二不純物は、水素である。

【選択図】図1



**【特許請求の範囲】****【請求項 1】**

半導体素子であって、  
第一III-V族半導体材料、第一不純物、及び第二不純物を含む第一半導体層；及び  
前記第一半導体層に位置し、且つ活性構造を含む発光構造を含み、  
前記第一半導体層では、前記第二不純物の濃度は、前記第一不純物の濃度よりも大きく、  
前記第一不純物は、炭素であり、前記第二不純物は、水素である、半導体素子。

**【請求項 2】**

請求項1に記載の半導体素子であって、  
前記第一半導体層に位置する第二半導体層をさらに含み、  
前記第二半導体層は、第二III-V族半導体材料を含み、前記第一III-V族半導体材料は、  
前記第二III-V族半導体材料とは異なる、半導体素子。

10

**【請求項 3】**

請求項1に記載の半導体素子であって、  
前記第一半導体層と前記発光構造との間に位置する第三半導体層をさらに含み、  
前記第三半導体層は、第三III-V族半導体材料を含み、前記第一III-V族半導体材料は、  
前記第三III-V族半導体材料と同じである、半導体素子。

**【請求項 4】**

請求項3に記載の半導体素子であって、  
前記第一半導体層及び前記第三半導体層は、第三不純物をさらに含み、前記第三不純物  
の前記第一半導体層中の濃度は、前記第三不純物の前記第三半導体層中の濃度よりも低い  
、半導体素子。

20

**【請求項 5】**

半導体素子の製造方法であって、  
第一III-V族半導体材料、第一不純物、及び第二不純物を含む第一半導体層を提供し；  
及び  
前記第一半導体層に位置し、且つ活性構造を含む発光構造を形成することを含み、  
前記第一半導体層では、前記第二不純物の濃度は、前記第一不純物の濃度より大きく、  
前記第一不純物は、炭素であり、前記第二不純物は、水素である、半導体素子の製造方法  
。

30

**【請求項 6】**

請求項5に記載の半導体素子の製造方法であって、  
前記第一半導体層を提供することは、  
第一温度下で前記第一半導体層の一部を成長させる第一ステップ；  
前記第一温度よりも高い第二温度を提供する第二ステップであって、前記第二温度は、  
750°C以上である、第二ステップ；及び  
前記第一ステップ及び前記第二ステップを繰り返して実行することを含む、半導体素子  
の製造方法。

**【請求項 7】**

請求項6に記載の半導体素子の製造方法であって、  
前記第一ステップ及び前記第二ステップを10回以上繰り返して実行する、半導体素子の  
製造方法。

40

**【請求項 8】**

請求項6に記載の半導体素子の製造方法であって、  
前記第一温度と前記第二温度との差は、300°C以上である、半導体素子の製造方法。

**【請求項 9】**

半導体スタック層であって、  
第一III-V族半導体材料、第一不純物、及び第二不純物を含む第一半導体層；及び  
前記第一半導体層に位置し、且つ第二III-V族半導体材料を含む第二半導体層を含み、  
前記第一半導体層では、前記第二不純物の濃度は、前記第一不純物の濃度よりも大きく

50

、前記第一不純物は、炭素であり、前記第二不純物は、水素であり、前記第一半導体層のXRD (X-ray diffraction analysis) FWHM (Full width at half maximum) は、300arcsec以下である、半導体スタック層。

#### 【請求項 10】

請求項9に記載の半導体スタック層であって、

前記第一半導体層及び前記第二半導体層は、第三不純物をさらに含み、前記第三不純物の前記第一半導体層中の濃度は、前記第三不純物の前記第二半導体層中の濃度よりも低い、半導体スタック層。

#### 【発明の詳細な説明】

##### 【技術分野】

10

##### 【0001】

本発明は、半導体素子に関し、特に、半導体スタック層を含む発光素子に関する。

##### 【背景技術】

##### 【0002】

科学技術の日進月歩に伴い、半導体素子は、情報伝送、エネルギー変換などの分野において非常に重要な役割を果たしており、関連する材料の研究開発も持続的に行われている。例えば、第III族及び第V族元素を含むIII-V族半導体材料は、各種の光電素子、例えば、発光ダイオード (Light emitting diode、LED)、レーザーダイオード (Laser diode、LD)、太陽電池 (Solar cell) などに応用することができ、また、照明、医療、表示、通信、検出、電源システムなどの分野に応用することもできる。発光ダイオード素子は、固体照明光源に適し、且つ消費電力が低く、使用寿命が長いなどの利点を有するため、従来の光源の代わりに、交通信号機、バックライトモジュール、各種の照明、医療機器などに大量応用されている。

20

##### 【発明の概要】

##### 【発明が解決しようとする課題】

##### 【0003】

本発明の目的は、半導体スタック層、半導体素子及びその製造方法を提供することにある。

##### 【課題を解決するための手段】

##### 【0004】

本発明の一側面によれば、半導体素子が提供され、それは、第一半導体層及び発光構造を含む。第一半導体層は、第一III-V族半導体材料、第一不純物及び第二不純物を含む。発光構造は、第一半導体層に位置し、且つ活性構造を含む。第一半導体層では、第二不純物の濃度は、第一不純物の濃度よりも高く、第一不純物は、炭素であり、第二不純物は、水素である。

30

##### 【0005】

本発明の他の側面によれば、半導体素子の製造方法が提供され、それは、第一半導体層を形成し、第一半導体層は、第一III-V族半導体材料、第一不純物及び第二不純物を含み；及び、発光構造を形成し、発光構造は、第一半導体層に位置し、且つ活性構造を含む、ことを含む。第一半導体層では、第二不純物の濃度は、第一不純物の濃度よりも高く、第一不純物は、炭素であり、第二不純物は、水素である。

40

##### 【0006】

本発明の他の側面によれば、半導体スタック層が提供され、それは、第一半導体層及び第二半導体層を含む。第一半導体層は、第一III-V族半導体材料、第一不純物及び第二不純物を含む。第二半導体層は、第一半導体層に位置し、且つ第二III-V族半導体材料を含む。第一半導体層では、第二不純物の濃度は、第一不純物の濃度よりも高く、第一不純物は、炭素であり、第二不純物は、水素であり、第一半導体層のXRD FWHMは、300arcsec以下である。

##### 【図面の簡単な説明】

##### 【0007】

50

【図1】本発明の一実施例における半導体スタック層の構造図である。

【図2A】本発明の一実施例における半導体素子の一部の構造図である。

【図2B】本発明の一実施例における半導体素子の一部の構造図である。

【図3】本発明の一実施例における半導体素子の構造図である。

【図4】本発明の一実施例における半導体素子の構造図である。

【図5A】本発明の一実施例における半導体スタック層の製造方法を示す図である。

【図5B】本発明の一実施例における半導体スタック層の製造方法を示す図である。

【図5C】本発明の一実施例における半導体スタック層の製造方法を示す図である。

【図5D】本発明の一実施例における半導体スタック層の製造方法を示す図である。

【図5E】本発明の一実施例における半導体素子の一部の範囲における元素の濃度と深さの関係図である。 10

【図5F】図5Eに示す炭素(C)の濃度曲線の局部拡大図である。

【図6】本発明の一実施例における半導体素子のパッケージ構造図である。

【発明を実施するための形態】

【0008】

以下、幾つかの実施例を説明することにより、当業者が本発明をより容易に理解し得るようにする。なお、これらの実施例は、例示に過ぎず、本発明を限定するものでない。また、当業者は、ニーズに応じて、以下に記載の実施例を調整しても良く、例えば、プロセスの順序を変更し、及び/又は、幾つかのステップを増減しても良い。

【0009】

一般式 $InGaAsP$ は、 $In_{x_1}Ga_{1-x_1}As_{1-y_1}P_{y_1}$ を表し、そのうち、 $0 < x_1 < 1$ 、 $0 < y_1 < 1$ であり； $AlGaInAs$ は、 $(Al_{y_2}Ga_{(1-y_2)})_{1-x_2}In_{x_2}As$ を表し、そのうち、 $0 < x_2 < 1$ 、 $0 < y_2 < 1$ であり；一般式 $AlGaInP$ は、 $(Al_{y_3}Ga_{(1-y_3)})_{1-x_3}In_{x_3}P$ を表し、そのうち、 $0 < x_3 < 1$ 、 $0 < y_3 < 1$ であり；一般式 $InGaAs$ は、 $In_{x_4}Ga_{1-x_4}As$ を表し、そのうち、 $0 < x_4 < 1$ であり；本発明における半導体素子に含まれる各層の組成及び添加物、不純物(ドーパント)は、任意の適切な方法、例えば、SIMS (secondary ion mass spectrometer)により分析することができ、各層の厚さも、任意の適切な方法、例えば、TEM (transmission electron microscopy) 又はSEM (scanning electron microscope)により分析することができる。また、本発明に言及される各不純物は、故意に添加され又は非故意に添加されるものである。故意に添加されることとは、例えば、エピタキシャル成長期間内でイン・サイチュ(in-situ)ドーピングを行うこと、及び/又は、エピタキシャル成長後にP型又はN型ドーパントを用いて植え込み(implanting)プロセスを実行することを指す。非故意に添加されることは、例えば、プロセスの設計により生成されることを意味する。 30

【0010】

当業者が理解すべきは、以下に説明される各実施例をもとに、他の構成要素を追加しても良いということである。例えば、特別な説明がない限り、「第一層に第二層を形成する」のような説明は、第一層が第二層に直接接觸する実施例を含む可能性があり、第一層と第二層との間に他の層があり、両者が互いに直接接觸しない実施例を含む可能性もある。また、各層の上下の関係は、構造又は素子の異なる方位での操作又は使用に伴って変わることがある。さらに、本発明では、「実質的にX材料のみからなる」層というような表現は、該層の主な組成がX材料であることを表すが、ドーパントや不可避不純物も含むことを排除しない。 40

【0011】

図1は、本発明の一実施例における半導体スタック層10の構造図である。半導体スタック層10は、第一半導体層100及び第二半導体層102を含む。第二半導体層102は、第一半導体層100に隣接する。本実施例では、第一半導体層100の表面100aは、第二半導体層102の表面102aに直接接觸する。第一半導体層100と第二半導体層102との間には、他の構造(例えば、緩衝層など)が存在しない。

【0012】

本実施例では、第一半導体層100は、第一III-V族半導体材料を含む。第一III-V族半導

10

20

30

40

50

体材料は、例えば、二元系のIII-V族半導体材料 (binary III-V semiconductor material) である。第一III-V族半導体材料は、化学元素周期表中の第III族及び第V族元素からなる材料である。第III族元素は、Ga又はInであっても良い。第V族元素は、As又はPであっても良く、好ましくは、Nを含まない。一実施例では、第一半導体層100は、実質的に第一III-V族半導体材料のみからなり、例えば、実質的に二元系のIII-V族半導体材料のみからなる。一実施例では、第一半導体層100は、InPを含み、好ましくは、実質的にInPのみからなる。第一半導体層100は、不純物を含んでも良い。一実施例では、第一半導体層100は、第一不純物及び第二不純物を含む。本実施例では、第一半導体層100中の第二不純物の濃度は、第一不純物の濃度よりも大きい。第一不純物は、例えば、炭素 (C) であり、第二不純物は、例えば、水素 (H) である。これにより、第一半導体層100は、性質が安定で且つ結晶欠陥が比較的少ない表面を有し、このような表面は、例えば、エピタキシャル層成長用の表面とされ得る。一実施例では、第一半導体層100は、第三不純物を含んでも良い。第三不純物は、例えば、Siである。一実施例では、第一半導体層100中の不純物は、各自独立して約 $1 \times 10^{16} \text{ cm}^{-3}$  ~ 約 $1 \times 10^{19} \text{ cm}^{-3}$  の不純物濃度を有しても良く、例えば、約 $5 \times 10^{16} \text{ cm}^{-3}$  ~ 約 $5 \times 10^{17} \text{ cm}^{-3}$  の不純物濃度、又は、約 $6 \times 10^{17} \text{ cm}^{-3}$  ~ 約 $5 \times 10^{18} \text{ cm}^{-3}$  の不純物濃度などを有する。一実施例では、第一半導体層100中の第三不純物の濃度は、 $1 \times 10^{19} \text{ cm}^{-3}$  よりも小さく、例えば、約 $6 \times 10^{16} \text{ cm}^{-3}$  ~ 約 $1 \times 10^{17} \text{ cm}^{-3}$  の範囲内にある。第一半導体層100中の不純物が適切な不純物濃度を有するときに、第一半導体層100は、比較的良い導電性を有する。一実施例では、第一半導体層100の導電型は、N型である。

## 【0013】

本実施例では、第二半導体層102は、第二III-V族半導体材料を含む。第二III-V族半導体材料は、例えば、二元系のIII-V族半導体材料である。第二III-V族半導体材料は、化学元素周期表中の第III族及び第V族元素からなる材料である。第III族元素は、Ga又はInであっても良い。第V族元素は、As又はPであっても良いが、好ましくは、Nを含まない。第二III-V族半導体材料は、第一III-V族半導体材料とは異なる。一実施例では、第二III-V族半導体材料の各組成元素は、第一III-V族半導体材料の各組成元素とはすべて異なる。一実施例では、第二半導体層102は、実質的に第二III-V族半導体材料のみからなり、例えば、実質的に二元系のIII-V族半導体材料のみからなる。一実施例では、第二半導体層102は、GaAsを含み、好ましくは、実質的にGaAsのみからなる。第二半導体層102は、複数の不純物を含んでも良い。第二半導体層102中の複数の不純物は、各自独立して約 $5 \times 10^{15} \text{ cm}^{-3}$  ~ 約 $1 \times 10^{20} \text{ cm}^{-3}$  の不純物濃度を有しても良く、例えば、約 $1 \times 10^{17} \text{ cm}^{-3}$  ~ 約 $1 \times 10^{18} \text{ cm}^{-3}$  の不純物濃度、約 $1 \times 10^{18} \text{ cm}^{-3}$  ~ 約 $1 \times 10^{19} \text{ cm}^{-3}$  の不純物濃度、又は、約 $1 \times 10^{19} \text{ cm}^{-3}$  ~ 約 $1 \times 10^{20} \text{ cm}^{-3}$  の不純物濃度を有する。第二半導体層102中の不純物が適切な不純物濃度を有するときに、第二半導体層102は、比較的良い導電性を有する。第二半導体層102中の不純物は、Si、Zn、C、又はHなどを含んでも良い。一実施例では、第二半導体層102の導電型は、N型である。幾つかの実施例では、第一半導体層100は、第二半導体層102と同じ導電型を有し、例えば、ともにP型又はN型である。一実施例では、第二半導体層102の電気抵抗率 (resistivity) は、 $10^7 \text{ } \cdot \text{ cm}$  以上且つ $10^9 \text{ } \cdot \text{ cm}$  以下の範囲内にあり、例えば、 $10^8 \text{ } \cdot \text{ cm}$  以上である。

## 【0014】

幾つかの実施例では、第一半導体層100及び第二半導体層102には、ともに、第一不純物、第二不純物及び第三不純物が含まれる。幾つかの実施例では、第二半導体層102中の第三不純物の濃度は、第一半導体層100中の第三不純物の濃度よりも高い。幾つかの実施例では、第二半導体層102中の第二不純物の濃度は、第一半導体層100中の第二不純物の濃度よりも高い。幾つかの実施例では、第二半導体層102中の第一不純物の濃度は、第一半導体層100中の第一不純物の濃度よりも低い。上述の第一不純物は、例えば、炭素 (C) であり、第二不純物は、例えば、水素 (H) であり、第三不純物は、例えば、ケイ素 (Si) である。このような特定の不純物を含有することで、第一半導体層100及び第二半導体層102は、適切な導電性及びエピタキシャル成長品質を得ることができる。

## 【0015】

10

20

30

40

50

また、第一半導体層100は、第一格子定数L1を有し、第二半導体層102は、第二格子定数L2を有する。本実施例では、第一格子定数L1は、第二格子定数L2よりも大きく、第一格子定数L1と第二格子定数L2との間の差 L%は、2%以上であり、好ましくは、2.5%以上又は3%以上であり、且つ10%以下であり、好ましくは、5%以下である。詳細に言えば、第一格子定数L1と第二格子定数L2との間の差は、公式  $L\% = (L1 - L2) / L2 * 100\%$  より計算することができる。上述の格子定数とは、温度が300kのときに測定された半導体材料のX線回折スペクトルから得るものである。ここで、以下の表1に示すように、数種類のみの半導体化合物の格子定数を例として挙げる。

【0016】

【表1】

10

表1

	格子定数 (Å)
GaP	5.45
AlP	5.45
GaAs	5.65
InP	5.87
GaSb	6.09

20

第一半導体層100及び第二半導体層102は、LPE (Liquid Phase Epitaxy)、MBE (Molecular Beam Epitaxy)、CBE (Chemical Beam Epitaxy)、MOCVD (Metal Organic Chemical Vapor Deposition)、又は、HVPE (hydride vapor phase epitaxial) により形成されても良い。本実施例では、第一半導体層100は、基板 (substrate) としての第二半導体層102に直接形成される。第一半導体層の厚さは、20 μm以下であっても良く、好ましくは、10 μm以下であり、より好ましくは、5 μm以下であり、且つ1 μm以上であっても良い。一実施例では、第一半導体層の厚さは、2 μmである。第一半導体層100は、厚さがこのような範囲内にあるときに、比較的良い構造上の安定性を有し、且つ格子不整合による影響をさらに低減することができる。第二半導体層102の厚さは、約50 μm～約1000 μmの範囲内にあっても良く、例えば、約100 μm～約400 μm又は約150 μm～約350 μmなどにある。厚さをこのような範囲内に設定することで、その後にその上に成長させられる半導体構造に、より安定な構造を持たせることができる。電子顕微鏡で第一半導体層100及び第二半導体層102を含む半導体スタック層10を観察するときに、第一半導体層100の表面の結晶欠陥が少ないことを観察することができる。幾つかの実施例では、X線回折分析 (X-ray diffraction analysis、XRD) を行うことによれば、第一半導体層100のXRD FWHM (Full width at half maximum) が500arcsec以下であり、好ましくは、350arcsec以下であり、より好ましくは、300arcsec以下であり、例えば、100arcsec以上～200arcsec以下の範囲内にある。これにより、第一半導体層100の表面は、他のエピタキシャル層の成長用にさらに適するようになる。具体的に言えば、第一半導体層100、又は第一半導体層100及び第二半導体層102を含む半導体スタック層10は、半導体素子の成長用基板として使用することができる。

30

【0017】

40

図2Aは、本発明の一実施例における半導体素子20の一部の構造図である。本実施例では、半導体素子20は、第一半導体層100、第三半導体層204及び発光構造206を含む。第一半導体層100の組成などに関しては、前述の第一半導体層100についての説明を参照することができるため、ここでは、その詳しい説明を省略する。また、第三半導体層204及び発光構造206は、LPE (Liquid Phase Epitaxy)、MBE (Molecular Beam Epitaxy)、CBE (Chemical Beam Epitaxy)、MOCVD (Metal Organic Chemical Vapor Deposition)、又はHVPE (hydride vapor phase epitaxial) により、第一半導体層100に順次形成することができる。幾つかの実施例では、第一半導体層100、第三半導体層204及び発光構

50

造206を順に前の実施例に記載の第二半導体層102に形成し、そして、第二半導体層102を除去することで、図2Aに示す構造を形成するのである。

【0018】

図2Aに示すように、第三半導体層204は、第一半導体層100に位置し、且つ第一半導体層100に隣接する。本実施例では、第一半導体層100と第三半導体層204との間には、他の構造（例えば、緩衝層など）が存在しない。第三半導体層204は、第三III-V族半導体材料を含んでも良い。第三III-V族半導体材料は、例えば、二元系のIII-V族半導体材料である。第三III-V族半導体材料は、化学元素周期表中の第III族及び第V族元素からなる材料である。第III族元素は、Ga又はInであっても良い。第V族元素は、As又はPであっても良く、好ましくは、Nを含まない。幾つかの実施例では、第三III-V族半導体材料は、前述の第一III-V族半導体材料と同じである。詳細に言えば、幾つかの実施例では、第三半導体層204は、実質的に第三III-V族半導体材料のみからなり、例えば、実質的に二元系のIII-V族半導体材料のみからなる。一実施例では、第三半導体層204は、InPを含み、好ましくは、実質的にInPのみからなる。また、第三半導体層204は、複数の不純物を含んでも良い。幾つかの実施例では、第三半導体層204中の複数の不純物は、各自独立して約 $5 \times 10^{16} \text{ cm}^{-3}$ ～約 $5 \times 10^{18} \text{ cm}^{-3}$ の不純物濃度を有しても良く、例えば、約 $5 \times 10^{17} \text{ cm}^{-3}$ ～約 $2 \times 10^{18} \text{ cm}^{-3}$ の不純物濃度又は約 $5 \times 10^{16} \text{ cm}^{-3}$ ～約 $5 \times 10^{17} \text{ cm}^{-3}$ の不純物濃度を有する。幾つかの実施例では、第一半導体層100及び第三半導体層204には、ともに、第一不純物、第二不純物及び第三不純物が含まれる。第一不純物は、例えば、炭素(C)であり、第二不純物は、例えば、水素(H)であり、第三不純物は、例えば、ケイ素(Si)である。幾つかの実施例では、第一半導体層100に第三半導体層204を形成することにより、エピタキシャル成長品質の更なる安定化を助けることができる。幾つかの実施例では、第三半導体層204は、ウインドウ層として半導体素子20の発光効率を向上させることができ、第三半導体層204は、発光構造206が発する光に対して透明である。また、一実施例では、第三半導体層204の導電型は、N型である。

【0019】

発光構造206は、活性構造210、第四半導体層208及び第五半導体層212を含む。活性構造210は、SH (single heterostructure)、DH (double heterostructure)、DDH (double-side double heterostructure)、又はMQW (multiple quantum wells) 構造を含んでも良い。半導体素子20がワーキングする（操作される）ときに、活性構造210は、放射光を発することができる。この放射光は、好ましくは、赤外光であり、例えば、近赤外光(Near Infrared、NIR)である。詳細に言えば、放射光は、近赤外光であるときに、800nm～1700nmの間のピーク波長(peak wavelength)、例えば、810nm、840nm、910nm、940nm、1050nm、1070nm、1100nm、1200nm、1300nm、1400nm、1450nm、1550nm、1600nm、1650nm、1700nmなどを有する。活性構造210は、第四III-V族半導体材料を含んでも良く、好ましくは、実質的に第四III-V族半導体材料のみからなる。第四III-V族半導体材料は、化学元素周期表中の第III族及び第V族元素からなる材料である。第III族元素は、Ga又はInであっても良い。第V族元素は、As又はPであっても良く、好ましくは、Nを含まない。第四III-V族半導体材料は、四元系のIII-V族半導体材料からなっても良い。幾つかの実施例では、活性構造210は、実質的に第四III-V族半導体材料のみからなる。例えば、活性構造210は、四元系のIII-V族半導体材料（例えば、InGaAsP又はAlGaInAs）を含み、好ましくは、実質的に四元系のIII-V族半導体材料（例えば、InGaAsP又はAlGaInAs）のみからなる。

【0020】

第四半導体層208及び第五半導体層212は、それぞれ、活性構造210の両側に位置し、且つ第四半導体層208及び第五半導体層212は、相反する導電型を有する。例えば、第四半導体層208及び第五半導体層212は、それぞれ、n型半導体及びp型半導体であり、それぞれ、電子及び正孔を提供しても良い。或いは、第四半導体層208及び第五半導体層212は、それぞれ、p型半導体及びn型半導体であり、それぞれ、正孔及び電子を提供しても良い。第四半導体層208は、第三半導体層204と同じ導電型を有しても良く、例えば、ともにn型半導体層である。また、第四半導体層208及び第五半導体層212は、それぞれ、第五III-V族半

10

20

30

40

50

導体材料及び第六III-V族半導体材料を含む。第五III-V族半導体材料及び第六III-V族半導体材料は、それぞれ、二元系、三元系(ternary)又は四元系(quaternary)のIII-V族半導体材料からなっても良い。III-V族半導体材料とは、化学元素周期表中の第III族及び第V族元素からなる材料である。第III族元素は、Ga又はInであっても良い。第V族元素は、As又はPであっても良く、好ましくは、Nを含まない。一実施例では、第四半導体層208及び第五半導体層212は、それぞれ、四元系のIII-V族半導体材料(例えば、InGaAsP、AlGaInP又はAlGaInAs)を含み、好ましくは、実質的に四元系の半導体材料(例えば、InGaAsP、AlGaInP又はAlGaInAs)のみからなる。

## 【0021】

第四半導体層208及び第五半導体層212は、異なる不純物を添加することにより、異なる導電型を有する。具体的に言えば、不純物は、Mg、Zn、Si、Teなどを含むが、これに限定されない。幾つかの実施例では、エピタキシャル成長期間内でイン・サイチュ(in-situ)ドーピングを行うこと、及び/又は、エピタキシャル成長後にP型又はN型ドーパントを用いて植え込み(implanting)プロセスを実行することにより、第四半導体層208及び第五半導体層212中の不純物は、各自独立して約 $2 \times 10^{17} \text{ cm}^{-3}$ ~約 $1 \times 10^{20} \text{ cm}^{-3}$ の不純物濃度を有しても良く、例えば、約 $5 \times 10^{17} \text{ cm}^{-3}$ ~約 $5 \times 10^{19} \text{ cm}^{-3}$ の不純物濃度を有する。

## 【0022】

幾つかの実施例では、第一半導体層100と発光構造206との間にさらにエッチング阻止層を設けても良い。図2Aに示すように、例えば、エッチング阻止層(図示せず)は、第一半導体層100と第三半導体層204との間に位置しても良い。次に、素子構造のニーズに応じて第一半導体層100を除去することで、図2Bに示すような半導体素子20'を形成することができる。エッチング阻止層を設置することにより、第一半導体層100を除去するときに第三半導体層204及び発光構造206を破壊することが避けられる。続いて、半導体素子20'は、接続層(図示せず)を含んでも良く、且つ、接続層により支持基板に接続され、また、後続のプロセスを行うことができる。一実施例では、半導体素子20'は、図2Bに示すような構造のみを含み、即ち、支持基板を有しない。幾つかの実施例では、エッチング阻止層は、第七III-V族半導体材料を含む。第七III-V族半導体材料は、三元系又は四元系のIII-V族半導体材料であっても良い。III-V族半導体材料は、化学元素周期表中の第III族及び第V族元素からなる材料である。第III族元素は、Al、Ga又はInであっても良い。第V族元素は、As又はPであっても良く、好ましくは、Nを含まない。エッチング阻止層は、好ましくは、第一半導体層100の組成のうちの第V族元素とは異なる第V族元素を含む。一実施例では、エッチング阻止層は、三元系のIII-V族半導体材料(例えば、InGaAs)を含む。一実施例では、エッチング阻止層は、実質的に三元系の半導体材料(例えば、InGaAs)のみからなる。

## 【0023】

上述により、第一半導体層100は、欠陥の密度が比較的低い表面を有するため、半導体エピタキシャル層成長用のベース層(base layer)として用いるのにさらに適する。具体的に言えば、第一半導体層100に第三半導体層204及びその他の半導体層をさらに形成するときに、各半導体層は、依然として良いエピタキシャル成長品質を有する。

## 【0024】

図3は、本発明の一実施例における半導体素子の構造図である。この実施例では、半導体素子30は、第一半導体層300、第三半導体層304、発光構造306、ウインドウ層314、第一電極318及び第二電極320を含む。第一半導体層300、第三半導体層304及び発光構造306の組成などに関しては、それぞれ、前述の第一半導体層100、第三半導体層204及び発光構造206についての説明を参照することができ、ここでは、その詳しい説明を省略する。詳細に言えば、発光構造306中の第四半導体層308、活性構造310及び第五半導体層312の組成などは、それぞれ、前述の第四半導体層208、活性構造210及び第五半導体層212についての説明を参照することができる。

## 【0025】

10

20

30

40

50

本実施例では、ウィンドウ層314は、発光構造306に位置し、発光構造306中の第五半導体層312に隣接する。また、ウィンドウ層314の導電型は、第三半導体層304の導電型とは相反し、例えば、ウィンドウ層314がP型の半導体層であるときに、第三半導体層304は、N型半導体層である。ウィンドウ層314は、光取出層とされても良く、これにより、半導体素子30の発光効率をより一層向上させることができる。また、ウィンドウ層314は、発光構造306が発する光に対して透明である。

【0026】

第一電極318及び第二電極320は、外部電源と電気接続するために用いられ、且つ第一電極318及び第二電極320は、発光構造306に電気接続される。この実施例では、第一電極320は、ウィンドウ層314に隣接し、第二電極318は、第一半導体層300に隣接するが、実際には、これに限定されない。また、第一電極318及び第二電極320の材料は、同じであり又は異なり、例えば、透明導電材料、金属又は合金を含んでも良い。透明導電材料は、金属酸化物、例えば、ITO、InO、SnO、CTO、ATO、AZO、ZTO、GZO、IWO、ZnO又はIZOなどを含んでも良い。金属は、例えば、Au、Pt、Ti、Al、Cu又はNiなどが挙げられる。合金は、例えば、GeAuNi、BeAu、GeAu、ZnAuなどである。

10

【0027】

図4は、本発明の一実施例における半導体素子の構造図である。この実施例では、半導体素子40は、第一半導体層400、第二半導体層402、第三半導体層404、発光構造406、ウィンドウ層414、接触層416、第一電極420及び第二電極418を含む。半導体素子40と前述の半導体素子30との主な相違点は、第二半導体層402及び接触層416をさらに含むことにある。第一半導体層400、第二半導体層402、第三半導体層404、発光構造406、ウィンドウ層414、第一電極420及び第二電極418の組成などに関しては、前述の実施例の説明を参照することができ、ここでは、その詳しい説明を省略する。詳細に言えば、発光構造406中の第四半導体層408、活性構造410及び第五半導体層412の組成などは、それぞれ、前述の第四半導体層208、活性構造210及び第五半導体層212についての説明を参照することができる。

20

【0028】

接触層416は、第一電極420とウィンドウ層414との間に位置し、電流を伝導するために用いられる。接触層416は、ウィンドウ層314と同じ導電型を有しても良く、例えば、P型半導体層である。本実施例では、接触層416は、第一電極420に隣接する。詳細に言えば、接触層416は、例えば、ドーピングされており又はドーピングされない半導体材料層であり、第八III-V族半導体材料を含んでも良い。第八III-V族半導体材料は、二元系又は三元系のIII-V族半導体材料、例えば、GaAs又はInGaAsであっても良い。第一電極420が金属又は合金を含むときに、第一電極420と接触層416との間は、オーム接触(ohmic contact)を形成することで、第一電極420と発光構造406との間に良い電気的接触を形成することができる。

30

【0029】

図5A～図5Bは、本発明の一実施例における半導体スタック層の製造方法を示す断面図である。図5Cは、一実施例の半導体スタック層の製作フローチャートである。このような半導体スタック層は、例えば、半導体素子の一部の構造とされ得る。図5A及び図5Bに示すように、まず、第二半導体層502を提供し、そして、第二半導体層502に第一半導体層500を形成する。第一半導体層500及び第二半導体層502に関する説明は、前述の実施例中の第一半導体層100及び第二半導体層102についての説明を参照することができ、ここでは、その詳しい説明を省略する。

40

【0030】

図5A～図5Cを参照するに、ステップS510を行い、第一温度下で第一半導体層500の一部を成長させる。第一半導体層500の成長は、例えば、LPE (Liquid Phase Epitaxy)、MBE (Molecular Beam Epitaxy)、CBE (Chemical Beam Epitaxy)、MOCVD (Metal Organic Chemical Vapor Deposition)、又は、HVPE (hydride vapor phase epitaxy)により達成することができる。第一温度は、例えば、650 °C以下且つ400 °C以上であり、好ましくは、520 °C以下であり、より好ましくは、450 °C～510 °C又は420 °C～500

50

°Cの範囲内にある。このような温度範囲内で第一半導体層500の成長を行うことにより、より良いエピタキシャル成長品質を得ることができる。

#### 【0031】

続いて、ステップS520を行い、第一温度よりも大きい第二温度を提供する。第二温度は、例えば、700 °C以上かつ850 °C以下であり、好ましくは、750 °Cよりも大きく、より好ましくは、760 °C～810 °C又は780 °C～800 °Cの範囲内にある。ステップS520では、例えば、エピタキシャル成長環境温度を第一温度から第二温度に調整する。幾つかの実施例では、第一温度と第二温度との差が300 °C以上であり、これにより、より良いエピタキシャル成長効果を達成することができる。また、第二温度下で、第一半導体層500の成長を行わなくても良い。このステップでは、環境温度を比較的高い第二温度に調整して高温焼戻し(tempering)を行う。第二温度下で第一半導体層500の成長を行わないことで、前の第一温度下で成長させられた一部の第一半導体層500中の応力を調節することができるため、結晶欠陥を減少させることができる。

10

#### 【0032】

その後、ステップS530に進み、第一半導体層500の厚さが所定の厚さに達しているかを確認する。第一半導体層500が所定の厚さに達しているときに、第一半導体層500及び第二半導体層502の製造が完成することを意味する。幾つかの実施例では、所定の厚さは、20 μm以下であり、好ましくは、10 μm以下であり、より好ましくは、5 μm以下であり、且つ1 μm以上であっても良い。第一半導体層500が所定の厚さに達しないときに、ステップS540に進み、ステップS510及びステップS520を繰り返して行い、例えば、ステップS510及びステップS520を少なくとも2回以上繰り返して実行する。幾つかの実施例では、ステップS510及びステップS520を10回以上繰り返して行っても良く、これにより、適切な厚さの半導体スタック層及び比較的安定なエピタキシャル成長品質を得ることができる。また、ステップS510及びステップS520を繰り返して実行する回数は、30回以下であっても良い。

20

#### 【0033】

上述により、前述の第一半導体層500の製造プロセスにおいて昇温及び降温を行う方式で、他の緩衝構造又はプロセスにより第一半導体層500と第二半導体層502との間の格子不整合による応力の問題を解決する必要がなくても、良いエピタキシャル成長品質の構造を得ることができる。

30

#### 【0034】

幾つかの実施例では、第一半導体層500と第二半導体層502とのスタック層をベース層とし、ニーズに応じて後続のエピタキシャル成長を行っても良く、例えば、第一半導体層500及び第二半導体層502のスタック層にさらに発光構造などを直接形成することができる。

#### 【0035】

図5Dに示すように、第一半導体層500及び第二半導体層502にさらに第三半導体層504を形成することができる。第三半導体層504に関する説明は、前述の実施例中の第三半導体層204についての説明を参照することができ、ここでは、その詳しい説明を省略する。前述のように、発光構造は、第三半導体層504に形成することができる。第一半導体層500の一方側は、第二半導体層502に隣接し、他方側は、第三半導体層504に隣接し、第一半導体層500の表面500aは、第二半導体層502の表面502aに直接接觸し、もう1つの表面500bは、第三半導体層504の表面504aに直接接觸する。

40

#### 【0036】

図5Eは、本発明の一実施例における半導体素子の一部の範囲における元素の濃度と深さの関係図である。具体的に言えば、図5Eは、図5Dに示すような構造を含む半導体素子の一部の領域に対してSIMS分析を行った結果である。図5Eに示すように、半導体素子中の各層の厚さ及び順序に従って、大体、第一領域Z1、第二領域Z2及び第三領域Z3に分けることができる。詳細に言えば、第一領域Z1は、第二半導体層502に対応し、第二領域Z2は、第一半導体層500に対応し、第三領域Z3は、第三半導体層504に対応し、また、この実施例では、第一半導体層500及び第三半導体層504の両方は複数の不純物を含み、且つ第一半導体層500及び第三半導体層504は実質的にInPのみからなり、第二半導体層502は複数の不純物を

50

含み、且つ第二半導体層502は実質的にGaAsのみからなる。これらの不純物は、少なくとも、第一不純物、第二不純物及び第三不純物を含む。第一不純物は、炭素(C)で且つC<sub>1</sub>で表され、第二不純物は、水素(H)で且つC<sub>2</sub>で表され、第三不純物は、ケイ素(Si)で且つC<sub>3</sub>で表される。第一、第二及び第三不純物のC<sub>1</sub>、C<sub>2</sub>及びC<sub>3</sub>の濃度は、図5Eの左側の縦軸に示される。この実施例では、第一不純物及び第二不純物は、非故意に添加されるものであり、第三不純物は、故意に添加されるものである。

#### 【0037】

上述の方式で単層構造の第一半導体層500を成長させることで、非故意に添加される第一不純物及び第二不純物が第一半導体層500中で $10^{16}\text{cm}^{-3}$ よりも大きい不純物濃度を有し、且つ炭素(C)の濃度曲線が周期的な変化のようなパターンを有するようにさせることができ。図5Eに示すように、第二領域Z2では、第二不純物の濃度は、第一不純物の濃度よりも高く、即ち、第一半導体層500中の水素(H)濃度は、炭素(C)濃度よりも高い。また、第二領域Z2中の第三不純物の濃度は、第一領域Z1中の第三不純物の濃度よりも低く、第三領域Z3中の第三不純物の濃度よりも低い。即ち、第一半導体層500中のケイ素(Si)濃度は、第二半導体層502又は第三半導体層504中のケイ素(Si)濃度よりも低い。また、第二領域Z2では、第二不純物の濃度は、第三不純物の濃度よりも高く、即ち、第一半導体層500中の水素(H)濃度は、ケイ素(Si)濃度よりも高い。

#### 【0038】

図5Fは、図5Eの第二領域Z2中の点線枠領域内の第一不純物(炭素(C))の濃度曲線の局部拡大図である。図5Fに示すように、この実施例では、第一不純物(炭素(C))の濃度の分布は、少なくとも、i個の局部最大値(図に示す濃度C<sub>L1</sub>、C<sub>L2</sub>、…、C<sub>Li</sub>)及びi個の局部最小値(図に示す濃度C<sub>M1</sub>、C<sub>M2</sub>、…、C<sub>Mi</sub>)を含み、iは、例えば、5以上の正整数であり、図5Fに示すような局部領域には、i=8である。局部最大値及び局部最小値は、交互で出現し、また、局部最大値のうちの何れか1つは、局部最小値のうちの何れか1つによりも大きい。図5Eに示すように、第二領域Z2で幾つの深さ位置では、第三不純物の濃度は、局部最大値よりも小さく、第二領域Z2で幾つの深さ位置では、第三不純物の濃度は、局部最小値よりも大きい。即ち、第二領域Z2で、第三不純物の濃度は幾つの局部最大値よりも小さく、且つ幾つの局部最小値より大きい。

#### 【0039】

図5Eに示すように、この実施例では、第一半導体層500中のケイ素(Si)の不純物濃度は、 $1 \times 10^{17}\text{cm}^{-3}$ 以下であり、約 $5 \times 10^{16}\text{cm}^{-3}$ ～約 $9 \times 10^{16}\text{cm}^{-3}$ の範囲内にあり；炭素(C)濃度は、約 $4 \times 10^{16}\text{cm}^{-3}$ ～約 $9 \times 10^{16}\text{cm}^{-3}$ の範囲内にあり；水素(H)濃度は、約 $1 \times 10^{17}\text{cm}^{-3}$ ～約 $5 \times 10^{17}\text{cm}^{-3}$ の範囲内にある。また、幾つかの実施例では、第一領域Z1、第二領域Z2及び第三領域Z3には、さらに、不可避免の不純物、例えば、酸素(O)なども含まれているが、便宜のため、ここでは示されない。一実施例では、第一領域Z1、第二領域Z2及び第三領域Z3中の酸素(O)濃度の分布は、 $3 \times 10^{15}\text{cm}^{-3}$ ～ $2 \times 10^{16}\text{cm}^{-3}$ の範囲内にあり、SIMS分析による検出の極限に近い。

#### 【0040】

図6は、本発明の一実施例における半導体素子のパッケージ構造図である。図6に示すように、パッケージ構造600は、半導体素子60、パッケージ基板61、載置体63、接続線(またはボンディングワイヤ)65、接触構造66及びパッケージ材料68を含む。パッケージ基板61は、セラミックス又はガラス材料を含んでも良い。パッケージ基板61には、複数の貫通孔(through hole)62がある。貫通孔62に導電性材料、例えば、金属などが充填されることで、導電又は/及び放熱を助けることができる。載置体63は、パッケージ基板61の一方側の表面に位置し、且つ導電性材料、例えば、金属を含む。接触構造66は、パッケージ基板61の他方側の表面に位置する。本実施例では、接触構造66は、接触パッド66a及び接触パッド66bを含み、接触パッド66a及び接触パッド66bは、貫通孔62により載置体63に電気接続され得る。一実施例では、接触構造66は、さらに、放熱パッド(thermal pad)(図示せず)を含んでも良く、放熱パッドは、例えば、接触パッド66aと接触パッド66bとの間に位置する。半導体素子60は、載置体63に位置し、本発明の任意の1つの実施例に記載

10

20

30

40

50

の半導体素子であっても良い。本実施例では、載置体63は、第一部分63a及び第二部分63bを含み、半導体素子60は、接続線65により、載置体63の第二部分63bに電気接続することができる。接続線65の材質(材料)は、金属、例えば、金、銀、銅、アルミニウム、又は少なくともこれらのうちの任意の1つの元素を含む合金を含んでも良い。パッケージ材料68は、半導体素子60に覆われ、半導体素子60を保護する効果を有する。具体的に言えば、パッケージ材料68は、樹脂材料、例えば、エポキシ樹脂(epoxy)、シリコーン樹脂(silicone)などを含んでも良い。パッケージ材料68は、さらに、複数の波長変換粒子(図未示)を、半導体素子60が発する第一光を第二光に変換するために含んでも良い。第二光の波長は、第一光の波長よりも大きい。

## 【0041】

10

本発明による半導体素子は、照明、医療、表示、通信、検出、電源システムなどの分野における製品、例えば、照明器具、監視器、携帯電話、タブレットコンピュータ、車載用計器盤、テレビ、検出器、コンピュータ、ウェアラブルデバイス(例えば、腕時計、ブレスレット、ネックレスなど)、交通信号機、屋外表示器、医療機器などに応用することができる。

## 【0042】

20

上述のことから、本発明の幾つかの実施例により、半導体構造を提供することができ、それは、表面に良いエピタキシャル成長品質を有し、例えば、半導体素子の基板として使用することができ、且つ半導体素子の生産コストの更なる削減に有利である。また、本発明の幾つかの実施例により、半導体素子及びその製造方法を提供することができ、それらは、異質のエピタキシャル成長時に格子不整合(lattice mismatch)による応力の調節の面において優れた技術的効果を達成することができるため、エピタキシャル層の界面における欠陥の出現を避けることができる。

## 【0043】

以上、本発明の好ましい実施形態を説明したが、本発明はこの実施形態に限定されず、本発明の趣旨を離脱しない限り、本発明に対するあらゆる変更は本発明の技術的範囲に属する。

## 【符号の説明】

## 【0044】

30

10：半導体スタック層

20、20'、30、40、60：半導体素子

61：パッケージ基板

62：貫通孔

63：載置体

63a：第一部分

63b：第二部分

65：接続線

66：接触構造

66a、66b：接触パッド

68：パッケージ材料

40

100、300、400、500：第一半導体層

102、402、502：第二半導体層

204、304、404、504：第三半導体層

206、306、406：発光構造

208、308、408：第四半導体層

210、310、410：活性構造

212、312、412：第五半導体層

414：ウインドウ層

416：接触層

600：パッケージ構造

50

318、418：第一電極

320、420：第二電極

S510、S520、S530、S540：ステップ

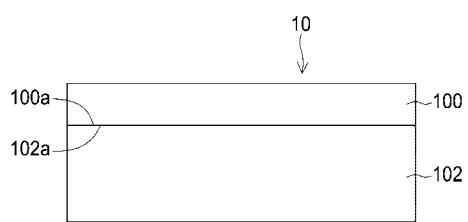
$C_1$ ：第一濃度

$C_2$ ：第二濃度

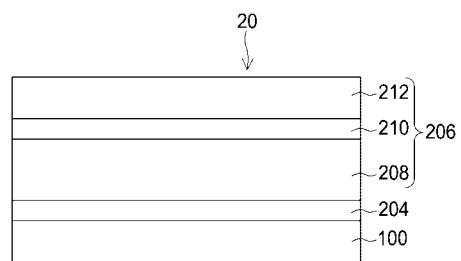
$C_3$ ：第三濃度

$C_{L1}$ 、 $C_{L2}$ 、 $C_{Li}$ 、 $C_{M1}$ 、 $C_{M2}$ 、 $C_{Mi}$ ：濃度

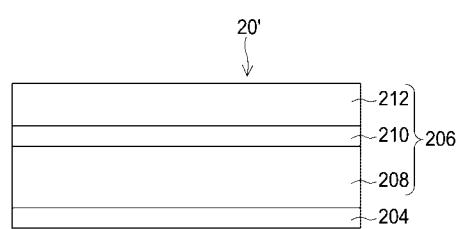
【図 1】



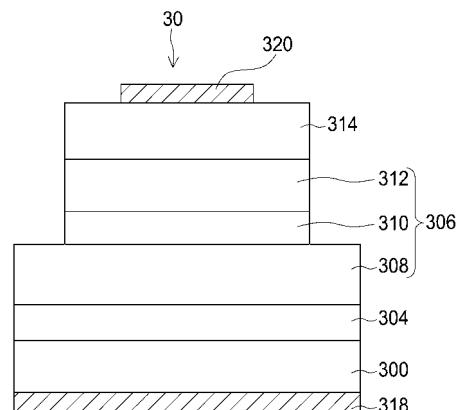
【図 2 A】



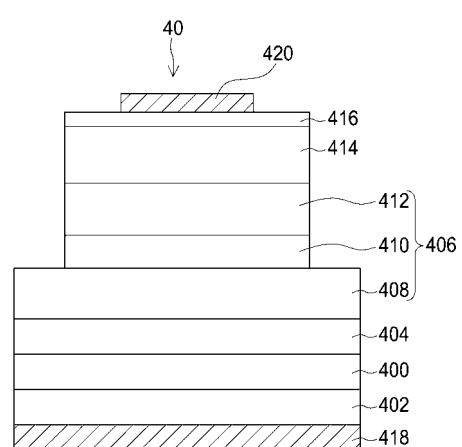
【図 2 B】



【図 3】



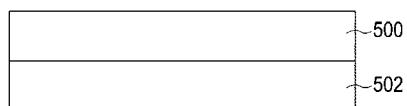
【図 4】



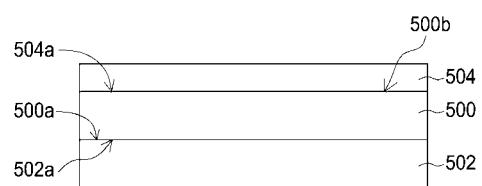
【図 5 A】



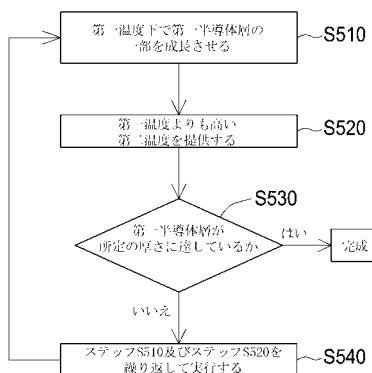
【図 5 B】



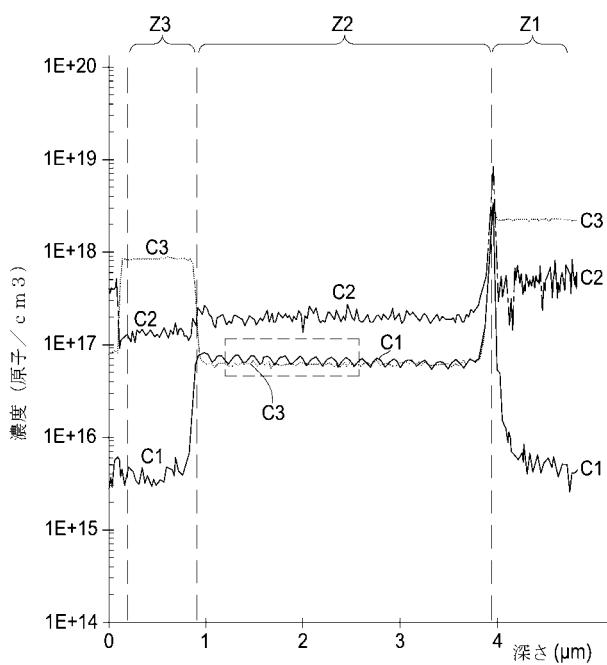
【図 5 D】



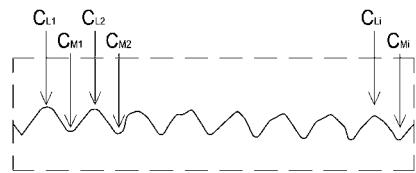
【図 5 C】



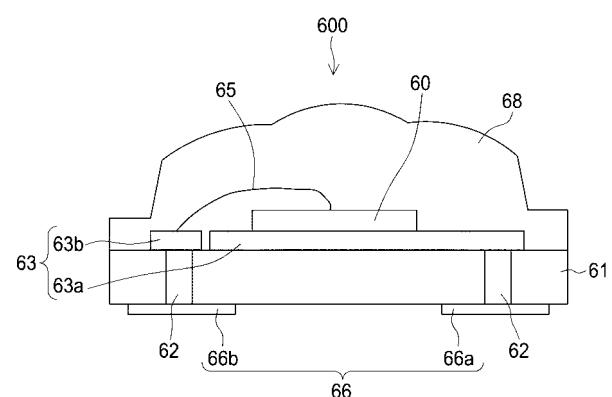
【図 5 E】



【図 5 F】



【図 6】



---

フロントページの続き

(72)発明者 モン - ヤン チェヌ

台湾 シンチュ シティ , サイエンス - ベースド インダストリアル パーク , リ - シン ロード  
21

(72)発明者 ジュン - ジェヌ リ

台湾 シンチュ シティ , サイエンス - ベースド インダストリアル パーク , リ - シン ロード  
21

F ターム(参考) 5F241 AA31 CA03 CA04 CA05 CA36 CA39 CA57 CA63 CA64 CA65  
CA66 CA88 FF01 FF11 FF14