

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-31817

(P2009-31817A)

(43) 公開日 平成21年2月12日(2009.2.12)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	2H092
G09G 3/20 (2006.01)	G09G 3/20 611E	2H093
G02F 1/1345 (2006.01)	G09G 3/20 622D	5C006
G02F 1/1368 (2006.01)	G09G 3/20 621A	5C080
G02F 1/133 (2006.01)	G02F 1/1345	
審査請求 有 請求項の数 6 O L (全 22 頁) 最終頁に続く		

(21) 出願番号	特願2008-272412 (P2008-272412)	(71) 出願人	596170170
(22) 出願日	平成20年10月22日(2008.10.22)		ゼロックス コーポレーション
(62) 分割の表示	特願平9-155118の分割		XEROX CORPORATION
原出願日	平成9年6月12日(1997.6.12)		アメリカ合衆国 コネチカット州 スタン
(31) 優先権主張番号	08/666,033		フォード、ロング・リッジ・ロード 80
(32) 優先日	平成8年6月19日(1996.6.19)		O
(33) 優先権主張国	米国 (US)	(74) 代理人	100075258
			弁理士 吉田 研二
		(74) 代理人	100096976
			弁理士 石田 純
		(72) 発明者	アラン ジー ルイス
			アメリカ合衆国 カリフォルニア州 サニ
			ーペイル サウス マリー アベニュー
			1610
		最終頁に続く	

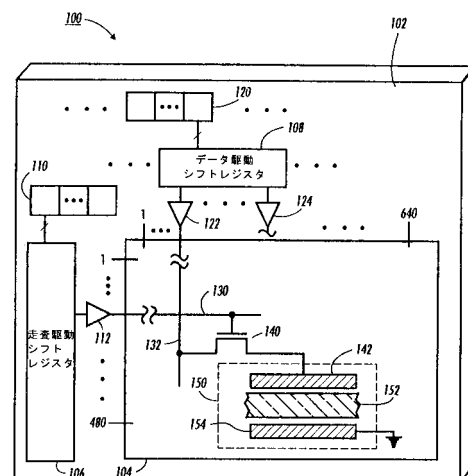
(54) 【発明の名称】 ディスプレイ

(57) 【要約】

【課題】簡単な回路構成でフリッカの発生を防止しつつ精細なグレースケールを表示する。

【解決手段】ディスプレイ又はライトバルブのような画像出力装置はセルを有し、各セルは電気光学素子とスイッチング素子を持つ。走査線における走査信号が選択期間の間、電気光学素子はスイッチング素子によりデータ線に電氣的に接続され、データ線からデータ信号を受ける。走査駆動回路は、電気光学素子の最大応答周波数と、通常の観察者の最大知覚可能周波数のいずれか小さい方の少なくともK倍の走査周波数を持つ走査信号を供給する。Kは、8以上である。データ駆動回路はデジタル入力信号を受け、これに応じて走査信号の各選択期間に、最大又は最小電圧値のいずれかの信号セグメントを供給する。電気光学素子は、各選択期間中にほぼ最大又は最小の電圧値のいずれかを受け、時間平均をとり、任意のKでフリッカの無い連続するグレーレベルの表示を実現する。

【選択図】 図3



【特許請求の範囲】

【請求項 1】

基板上に、アレイ回路と、走査駆動回路と、データ駆動回路を有するディスプレイであり、

前記アレイ回路は、走査線と、データ線と、対をなす前記走査線及び前記データ線の各組毎に前記走査線及び前記データ線に接続されたセル回路を含み、

前記セル回路は、

画像要素の表示を制御する電気光学素子と、

スイッチング素子と、を有し

前記スイッチング素子は、前記走査駆動回路から走査線に供給される走査信号を受け取るように接続され、

前記走査信号は走査周波数の周期を有し、各周期は選択期間を含み、この選択期間の期間中、前記スイッチング素子が、データ線と、前記電気光学素子の電気構成要素であるデータ導線とを電氣的に接続し、

前記データ駆動回路が、前記選択期間の期間中、所定の電圧値を有する信号セグメントを含むデータ信号を前記データ線に供給するディスプレイであって、

前記走査駆動回路は、前記走査周波数を有する前記走査信号を供給するよう構成され、前記走査周波数は、前記電気光学素子の最大応答周波数と、通常の観察者の最大知覚可能周波数とのいずれか小さい方の少なくとも K 倍であり、 K は、8 以上の数値であり、

前記データ駆動回路は、デジタル入力導線からデジタル入力信号を受けるよう構成され、また、このデジタル入力信号に応じて、各選択期間の期間中、最大電圧値又は最小電圧値のいずれかを有する前記信号セグメントを前記データ線に供給し、

前記電気光学素子は、各選択期間の期間中、ほぼ最大電圧値又はほぼ最小電圧値のいずれかを受け、その時間平均をとり、任意の K のそれぞれ異なる連続的なグレーレベルを表示するディスプレイ。

【請求項 2】

請求項 1 に記載のディスプレイにおいて、

前記 K が、 $K = 16$ であるディスプレイ。

【請求項 3】

請求項 1 に記載のディスプレイにおいて、

前記 K が、 $K = 32$ であるディスプレイ。

【請求項 4】

請求項 1 に記載のディスプレイにおいて、

前記 K が、 $K = 64$ であるディスプレイ。

【請求項 5】

請求項 1 に記載のディスプレイにおいて、

前記電気光学素子は、低電圧状態を有し、

前記最小電圧値が、前記電気光学素子とその前記低電圧状態から変化しないで受けることのできる最大電圧値にほぼ等しいディスプレイ。

【請求項 6】

請求項 1 に記載のディスプレイにおいて、

前記ディスプレイは、アクティブマトリクス液晶ディスプレイであるディスプレイ。

【請求項 7】

表面に回路が形成される基板と、

前記基板の表面に形成され、画像の表示を制御するためのアレイ回路であって、走査線と、データ線と、対をなす前記走査線及び前記データ線の各組毎に前記走査線及び前記データ線に接続されるセル回路と、を有するアレイ回路と、

前記基板の表面に形成され、前記走査線に走査信号を供給する走査駆動回路と、前記基板の表面に形成され、デジタル入力信号が供給されるデジタル入力導線を有し、前記デジタル入力信号に応じて、データ信号を前記データ線に供給するデータ駆動回路と、

を有し、

前記セル回路は、

画像要素の表示を制御し、データ導線を有する電気光学素子と、

前記走査線での信号の制御のもとに、前記データ線と前記電気光学素子の前記データ導線とを電氣的に接続するスイッチング素子と、

を有し、

前記走査駆動回路から供給される前記走査信号は、走査周波数の周期を持ち、各周期は、選択期間を含み、前記走査周波数は、前記電気光学素子の最大応答周波数と、通常の観察者の知覚可能周波数と、のいずれか小さい方の少なくともK倍であり、Kは8以上の数値であり、

10

前記データ駆動回路から供給される各データ線における前記データ信号は、各選択期間の期間中、最大電圧値又は最小電圧値のいずれかを有する信号セグメントを含み、

前記スイッチング素子は、前記対をなす前記走査線及び前記データ線の各組毎に、前記走査線での走査信号の各選択期間の期間中、前記データ線を前記電気光学素子の前記データ導線に接続し、

前記電気光学素子は、各選択期間の期間中、前記データ駆動回路からのほぼ最大電圧値又はほぼ最小電圧値のいずれかを受け、その時間平均をとり、任意のKのそれぞれ異なる連続的なグレーレベルを表示する装置。

【請求項8】

請求項7に記載の装置において、

20

前記最大電圧値によって、前記電気光学素子が第一の状態に駆動され、この状態において、前記電気光学素子が、画像要素の表示を制御して、この画像要素が、最大強度で表示され、

前記最小電圧値によって、前記電気光学素子が第二の状態に駆動され、この状態において、前記電気光学素子が、画像要素の表示を制御して、この画像要素が、最小強度で表示される装置。

【請求項9】

請求項7に記載の装置において、

前記最大電圧値によって、前記電気光学素子が第一の状態に駆動され、この状態において、前記電気光学素子が、画像要素の表示を制御して、この画像要素が、最小強度で表示され、

30

前記最小電圧値によって、前記電気光学素子が第二の状態に駆動され、この状態において、前記電気光学素子が、画像要素の表示を制御して、この画像要素が、最大強度で表示される装置。

【請求項10】

請求項7に記載の装置において、

前記スイッチング素子は薄膜トランジスタである装置。

【請求項11】

請求項10に記載の装置において、

前記スイッチング素子が、ポリシリコン薄膜トランジスタである装置。

40

【請求項12】

請求項10に記載の装置において、

前記薄膜トランジスタがシングルゲートを有する装置。

【請求項13】

請求項7に記載の装置において、

前記セル回路が記憶キャパシタを含まない装置。

【請求項14】

請求項7に記載の装置において、

前記走査駆動回路が、ポリシリコン薄膜トランジスタを含む装置。

【請求項15】

50

請求項 7 に記載の装置において、

前記データ駆動回路が、ポリシリコン薄膜トランジスタを含む装置。

【請求項 16】

請求項 7 に記載の装置において、

前記走査周波数が、少なくとも毎秒 480 サイクルである装置。

【請求項 17】

表面に回路が形成される基板と、

前記基板の表面に形成され、走査線と、データ線と、対をなす前記走査線及び前記データ線の各組毎に前記走査線及び前記データ線に接続されるセル回路と、を有するアレイ回路と、

前記基板の表面に形成され、前記走査線に走査信号を供給する走査駆動回路と、

前記基板の表面に形成され、前記アレイ回路での制御に基づいて表示される画像を規定するデジタル入力信号が供給されるデジタル入力導線を有し、前記デジタル入力信号に応じて、データ信号を前記データ線に供給するデータ駆動回路と、

を有し、

前記セル回路は、データ導線を有し、このデータ導線を介して信号を受けるよう電氣的に接続される電気光学素子と、

前記走査線における信号の制御のもとに、前記データ線と前記データ導線を電氣的に接続するスイッチング素子と、を含み、

前記走査駆動回路から供給される前記走査信号は、走査周波数の周期を持ち、各周期は、選択期間を含み、前記走査周波数は、前記電気光学素子の最大応答周波数と、通常の観察者の最大知覚可能周波数と、のいずれか小さい方の少なくとも K 倍であり、K は、8 以上の数値であり、

前記データ駆動回路から前記データ線に供給される前記データ信号は、各選択期間の期間中に、最大電圧値又は最小電圧値のいずれかを有する信号セグメントを含み、

前記スイッチング素子は、前記対をなす前記走査線及び前記データ線の各組毎に、前記走査線での前記走査信号の各選択期間の期間中、前記データ線を前記データ導線に電氣的に接続し、

前記電気光学素子は、各選択期間の期間中、ほぼ最大電圧値、又はほぼ最小電圧値のいずれかを受け、画像領域の光を制御し、時間平均をとり、任意の K のそれぞれ異なる連続的なグレーレベルを表示するライトバルブ。

【請求項 18】

請求項 17 に記載のライトバルブにおいて、

前記最大電圧値によって、前記電気光学素子が第一の状態に駆動され、この状態において、前記電気光学素子が、画像領域での表示を制御し、その画像領域が、最大強度で表示され、

前記最小電圧値によって、前記電気光学素子が第二の状態に駆動され、この状態において、前記電気光学素子が、画像領域の表示を制御し、その画像領域が、最小強度で表示されるライトバルブ。

【請求項 19】

請求項 17 に記載のライトバルブにおいて、

前記最大電圧値によって、前記電気光学素子が第一の状態に駆動され、この状態において、前記電気光学素子が、画像領域の表示を制御し、その画像領域が、最小強度で表示され、

前記最小電圧値によって、前記電気光学素子が第二の状態に駆動され、この状態において、前記電気光学素子が、画像領域の表示を制御し、その画像領域が、最大強度で表示されるライトバルブ。

【請求項 20】

請求項 16 に記載のライトバルブにおいて、

さらに、前記アレイ回路に沿って配置される液晶を含み、

対をなす前記走査線及び前記データ線の各組毎の前記電気光学素子は、液晶領域を含み、
この液晶領域がデータ線からの信号に応じて、画像領域における光を制御するライトバルブ。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、ディスプレイアレイ (display arrays) に関し、特に、このようなディスプレイアレイを駆動する技術に関する。

【背景技術】

10

【0002】

駆動回路と同一の基板上に、ディスプレイのためのアクティブマトリクスアレイを集積する装置の開発が行われている。例えば、ポリシリコン薄膜トランジスタ (polysilicon thin film transistor (poly-Si TFT)) が、アクティブマトリクスアレイのスイッチング素子として使用され、同様に、アレイと同一の基板上に集積される駆動回路に使用される。透過モードのアクティブマトリクス液晶ディスプレイ (active matrix liquid crystal display (AMLCD)) のために、アレイとその駆動回路が、双方とも、透明水晶ウェーハ、または大きなガラス基板上に形成される。

【0003】

同一基板上にアレイと駆動回路を集積することの大きな利点は、簡単で、信頼性の高い実装、低コストと、最も重要な、高い表示画素密度が得られることである。高画素密度と、高グレースケール精度 (gray scale precision) が要求される用途には、LCD 投射システム、ビューファインダー、バーチャルリアリティゴーグル (virtual reality (VR) goggles) が含まれる。

20

【0004】

【特許文献1】特開平4-116688号公報

【特許文献2】特開平8-36371号公報

【特許文献3】特開昭61-205983号公報

【特許文献4】特開平2-913号公報

【発明の開示】

30

【発明が解決しようとする課題】

【0005】

本発明の第一の観点は、駆動回路の形成される基板と同一の基板上に、アクティブマトリクスディスプレイを集積する上での基本問題を解決することにある。高画素密度と、回路の複雑さとの間には拮抗関係があり、この関係をここでは“密度対複雑さの問題”と呼ぶ。

【0006】

密度対複雑さの問題は、(多くのグレースケールビットを供給する) 複雑な集積データ駆動回路には、大きな領域が要求されることにより生じる。これは、画素密度を制限する。従って、集積データ駆動回路を用いて高グレースケール精度にすると、外部駆動電子回路の複雑さとコストを増すことなしには、高画素密度の達成は難しくなる。

40

【課題を解決するための手段】

【0007】

本発明の第一の観点は、密度対複雑さの問題を簡潔に解決する技術の発見に基礎をおいている。この技術により、グレースケール精度を増加させることが可能となる一方で、簡単な集積駆動回路及びデジタル入力インタフェースによってこれらの構成を得ることができる。

【0008】

この技術は、走査信号が走査周波数の周期を有し、各周期は選択期間 (duty interval) を含み、この選択期間の期間中、データ信号がある電圧値の信号セグメントを含むよう

50

なディスプレイに適用される。この技術は、電気光学ディスプレイの各セルの電気光学素子が、最大応答周波数を有しており、この周波数を超えると、続く次の周期に受信する信号に対して個別には応答できないという事実の上に構築されている。この技術は、また、通常の観察者が、最大知覚可能周波数を持ち、これを超えては、2つの異なる色の切り替えを知覚することができなく、連続する中間色として知覚するという事実の上に構築されている。

【0009】

この技術はディスプレイにおいて適用される。そのようなディスプレイは、走査駆動回路を有し、電気光学素子の最大応答周波数 (maximum response frequency) と、通常の観察者の最大知覚可能周波数 (normal human viewer's maximum perceptual frequency) と、のいずれか小さい方の少なくとも K 倍の走査周波数を供給するよう構成される。加えて、データ駆動回路は、デジタル入力信号を受信し、これに応じて、各選択期間の期間中、最大電圧値又は最小電圧値のいずれかの信号セグメントを供給するよう構成される。電気光学素子は、各選択期間に、最大電圧値又は最小電圧値のいずれかを受信し、その時間平均をとり、知覚可能なフリッカの無い、任意の K のそれぞれ別の (distinct) 連続的なグレーレベルを表示する。

10

【0010】

また、この技術は、更に広く、基板上のアレイ回路、走査駆動回路及びデータ駆動回路を備える装置に適用される。アレイ回路は、対をなす走査線及びデータ線の各組毎に、走査線及びデータ線に接続されるセル回路を有する。このセル回路は、画像要素の表示を制御する電気光学素子と、走査線上の信号の制御のもとに、データ線と電気光学素子を電気的に接続するスイッチング素子を含む。電気光学素子は、データ線から信号を受信するデータ導線を持つ。

20

【0011】

走査駆動回路は、各走査線に走査信号を供給し、各走査信号は、走査周波数の周期を持ち、各周期は選択期間を含む。走査周波数は、電気光学素子の最大応答周波数と、通常の観察者の最大知覚可能周波数と、のいずれか小さい方の少なくとも K 倍であり、ここで K は 8 またはそれ以上、つまり 8 以上の数値である。

【0012】

データ駆動回路は、デジタル入力信号に応じて、データ信号をデータ線に供給する。各セル回路のスイッチング素子は、走査線での走査信号の各選択期間の期間中、データ線と電気光学素子の構成要素であるデータ導線とを電気的に接続する。

30

【0013】

データ駆動回路によりデータ線に供給されるデータ信号は、走査信号の選択期間の間、2つのみの電圧値、つまり最大電圧値と最小電圧値の内の一方の信号セグメントを含む。

【0014】

このため、電気光学素子は、選択期間の期間中、ほぼ最大電圧値又はほぼ最小電圧値のいずれかを受け取る。そして、電気光学素子は、時間平均をとって、知覚可能なフリッカが無い、任意の K であってそれぞれ異なる連続的なグレーレベルを表示する。

【0015】

液晶における適用例では、例えば、走査周波数は、毎秒 480 であり、これは、8 個の異なる連続的なグレーレベルが表示可能である。また、走査周波数が毎秒 1920 の場合には、32 個の異なる連続的なグレーレベルを表示し、毎秒 3840 では、64 個の異なる連続的なグレーレベルを表示することができる。

40

【0016】

最小電圧値は、電気光学素子の低電圧状態を変化させることなしに、この電気光学素子に印加される最高電圧にほぼ等しい。ノーマリホワイトの構成では、最大電圧値によって、画像要素が最小強度の表示を行う状態に電気光学素子が駆動され、一方、最小電圧値により、画像要素が最大強度の表示を行う状態に電気光学素子が駆動される。ノーマリブラックの場合には、表示強度は逆となる。ここで、最小電圧値は、約 0 ボルト RMS であり

50

、最大電圧値は、約 5 ボルト R M S、または、駆動される電気光学素子の種類に適した電圧が適用可能である。

【0017】

ライトバルブ(light valve)のためのアクティブマトリクス回路として使用される装置としては、例えば、アクティブマトリクス液晶ディスプレイ (AMLCD)、或いは電界発光ディスプレイ (electrooptical display) 又はプラズマディスプレイのような他の電気光学ディスプレイ等が適用されうる。走査周波数、選択期間、信号セグメントが、適切に関係付けられれば、データ駆動回路が、2 個の電圧値のみの信号を供給する場合でも、AMLCD の観察者は、K レベルの色を識別できる。

【0018】

各セルのスイッチング素子は、ポリシリコン T F T を採用可能であり、走査駆動回路と、データ駆動回路もまた、ポリシリコン T F T を採用可能である。各電気光学素子には、高駆動周波数と短充電時間が要求されるため、各素子の記憶キャパシタは、一般的な AMLCD のものより低く、スイッチ漏れ電流を低くすることに対する通常の厳しい要求は、本発明の場合には緩和される。従って、各セル回路では、記憶キャパシタを減らすか、または省くことによって簡単な構成となり、更に、二重ゲートや L D D (lightly doped drain) 装置のような漏れ電流 (leakage) を低くするために設計されたものに替えて、簡単な T F T を使用することによって簡単に構成される。

【0019】

上に述べた技術は、デジタル入力信号を受け取るより簡単な集積回路によって、6 から 8 ビットの良いグレースケール精度を提供でき有効である。データ駆動回路は、アナログ値ではなく、2 個の電圧値のみの信号を供給するので、この技術には、スチュワート／リーチョップランプ走査回路 (Stewart/Lee chop rampscannig circuit) のような D A C は要求されない。

【0020】

走査駆動回路と、データ駆動回路が、上に述べた条件を満たす周波数の信号を供給すれば、各セルの付加キャパシタの必要性が軽減される。この付加キャパシタは、液晶 (liquid crystal (LC)) で生じる、キャパシタンスの電圧に依存する変化を減らすことにより、直線性を保証するものである。付加キャパシタの必要性が軽減されるのは、L C 容量が、走査周期の間に変化する時間が無いためである。

【0021】

このように回路構成が簡単になる結果、全体としての集積回路の歩留まりが向上する。加えて、この技術によれば、各走査線の構成部分を記憶キャパシタ電極として使用することにより、走査線キャパシタンスを増やす必要性が無くなり、高走査周波数が容易に得られる。

【0022】

上に述べた技術は、高解像度や高画像忠実度表示のために、多くの入力線を必要としないので有利である。データ線の充電に必要な時間は、典型的には、高解像度ディスプレイにおいては約 $1 \mu s$ であるが、マルチプレクサは、広帯域にはできない。よって、各マルチプレクサに対し 1 つという、多くのアナログ入力が必要されることを意味する。また、マルチプレクサを使用する設計は、充電される最後の線が、充電される最初の線からの異なる寄生結合を受けやすいので、本質的に均一性の問題を持つ。上述の技術によれば、全てのデータ線は、同時に充電され、この問題は軽減される。最後に、多重化アナログアーキテクチャでは、一般的には、各入力線に外部高電圧 D A C が必要であるが、一方、上述の技術では、電気光学素子においてディザリングを行うか、または時間平均をとることにより、デジタルアナログ変換を行っており、このような技術によれば、2 つのみの外部 d c 信号レベル、或いは、バックプレーン (backplane) 又は対向電極がスイッチされない場合は、3 または 4 個の外部 d c 信号レベルが必要とされるのみである。

【0023】

上述の技術では、すでに説明したように、ディスプレイガラス上に簡単な回路が形成さ

10

20

30

40

50

れ有利である。集積 D A C を持つ各データ線を駆動するために要求される大規模な回路では、データ線ピッチを細かくすることは難しく、従って、マトリクス密度が制限される。しかし、本発明に係る上述の技術によれば、高マトリクス密度が可能となる。加えて、集積 D A C では、一般的には、8 またはそれ以上の精細な d c レベルの生成、または一対の外部ランプ (external ramp) 信号が必要となる。これに対して、この発明では、2 または 3 個の外部信号レベルのみにより実現される。

【発明を実施するための最良の形態】

【0024】

図 1 と図 2 は、本発明の好適な実施の形態に係る一般的な特徴を示す。図 1 において、走査駆動回路 16 は、選択期間を有する走査周波数を供給し、また、データ駆動回路 18 は、外部から供給されるデジタル入力信号に応じて、最大電圧値または最小電圧値のいずれかを供給し、これにより、アレイにおける電気光学素子は、選択期間の期間中、ほぼ最大電圧値又はほぼ最小電圧値のいずれかを受け取る。図 2 は、図 1 の走査駆動回路 16 により供給される信号の走査周波数が、電気光学素子の最大応答周波数と、最大知覚可能周波数と、のいずれか小さい方の少なくとも K 倍の大きさであることを示す。ここで K は、8 またはそれ以上である ($K \geq 8$)。

【0025】

図 1 の装置 (article) 10 は、表面に回路が形成される基板 12 を含む。回路は、アレイ回路 14、走査駆動回路 16、データ駆動回路 18 を含む。

【0026】

アレイ回路 14 は、M 本の走査線と、N 本のデータ線を含む。またアレイ回路 14 は、走査線／データ線の対、つまり対をなす走査線及びデータ線の各組毎に、走査線及びデータ線に接続されるセル回路を含む。図においては、m 番目の走査線 30 と、n 番目のデータ線 32 に接続されるセル回路 20 が、例示されている。

【0027】

セル回路 20 は、電気光学素子 22 を含み、電気光学素子 22 は、データ導線 24 を持つ。セル回路 20 は、また、スイッチング素子 26 を含み、m 番目の走査線 30 上の信号の制御により、n 番目のデータ線 32 と、データ導線 24 を電氣的に接続する。

【0028】

走査駆動回路 16 は、各走査線に走査信号を供給する。図 1 に示されるように、走査信号は、走査周波数で供給される周期信号であり、各周期に選択期間を持つ。選択期間は、例えば、周期の約 $1/M$ 、またはそれ以下であり、走査信号は、同期がとられ、2 本の走査線の選択期間が重なることはない。

【0029】

データ駆動回路 18 は、デジタル入力信号を受ける導線を持ち、デジタル入力信号に 응답し、各データ線上にデータ信号を供給する。データ駆動回路 18 により各データ線に供給されるデータ信号は、各走査信号選択期間の間、信号セグメントを含み、信号セグメントは、2 個のみの電圧値の 1 個である。2 個の電圧値の内の大きい方、または最大電圧値は、図 1 において、“MAX” として示され、一方、2 個の内の小さい方、または、最小電圧値は、“MIN” として表されている。示されているように、電気光学素子 22 は、各選択期間の間、ほぼ MAX、またはほぼ MIN のいずれかを受ける。

【0030】

対数周波数 $[\log F]$ 軸に沿った関連する周波数の間の関係が、図 2 にさらに詳しく示されている。最大知覚可能周波数 (maximum perceptual frequency (MPF))、すなわち、通常の観察者が、2 個の色の切り替えを知覚できる最大周波数、つまり、それを超えると、連続する中間色としてしか知覚できない最大周波数は、60 Hz である。これは、ヌマオ (Numao) による、米国特許第 5,488,495 号、4 欄、35～39 行に示されている。最大応答周波数 (maximum response frequency (MRF))、すなわち、電気光学素子 22 が、続く信号に対してそれぞれ独立に応答することのできる最大周波数は、電気光学素子 22 の実現方法に依存する。例えば、LCD においては、MRF は、アレイ回路 14 に沿って一定ではな

10

20

30

40

50

いが、一般的には、約 20～60Hzであり、これは、フィスケ(Fiske T.)、ハック(Hack, M)、マーチン(Martin,R.A.)、スティーマース(Steemers,H.)による、“Analysis of Transient Optical Response of Active-Matrix LCDs”、SID 95 Digest、1995年5月、743～746ページに示されている。

【0031】

走査周波数(scanning frequency(SF))は、MPF、またはMRFの、いずれか小さい方の少なくともK倍であり、ここで、Kはグレーレベルの数であり、 $K \geq 8$ である。言い換えれば、MPFとMRFの、いずれか小さい方から、(図2において、Min(MPF、MRF)として示されている)、SFまでのlog F軸に沿う距離は、少なくともlog Kと同じ大きさである。従って、電気光学素子は、時間平均をとり、知覚可能なフリッカの無い、K個のそれぞれ異なった(distinct)連続的なグレーレベルを表示することができる。

10

【0032】

$K = 8$ のグレーレベルにおいて、 $\text{Min}(MPF, MRF) = 60\text{Hz}$ をとると、最小値 $SF = 480\text{Hz}$ が得られ、これは、全アレイが、毎秒480回走査されることを意味する。このSFは、各M本の走査線について、 $(1/480M)$ 秒の最大選択期間を与える。グレーレベルの数を64に増やすには、SFは、少なくとも8が乗ぜられ、従って、最小でも $SF = 3840\text{Hz}$ とする必要がある。

【0033】

上述の一般的な特徴は、多くの方法により実現される。下に述べる実施形態は、poly-Si TFTを持つ液晶ライトバルブを提案するものである。例として、この実施形態は、 640×480 の電気光学素子(簡単に画素とも称される)を持つディスプレイを供給する。

20

【0034】

ライトバルブ

図3は、上に述べた一般的な特徴が実施される液晶ライトバルブの関連する特徴を示す。

【0035】

図3のライトバルブ100は、基板102を含み、その上に、アレイ104、走査駆動レジスタ106、データ駆動レジスタ108を含む回路が形成される。走査駆動シフトレジスタ106は、パッド110に接続され、外部同期信号を受け、例示されるバッファ112を持つバッファを介して、アレイ104の480本の各走査線に走査信号を供給する。データ駆動シフトレジスタ108は、パッド120に接続され、外部デジタル入力信号を受け、図3に例示されるドライバ122と124を有するドライバを介して、アレイ104の640本の各データ線にデータ信号を供給する。

30

【0036】

走査線130とデータ線132が交差する領域において、アレイ104は、セル回路を含み、この構成が図3に概略的に示されている。TFT140は、走査信号を受けるよう接続されるゲートを有し、走査線130に供給される走査信号を受ける。走査信号の選択期間の間、つまり期間中、TFT140のチャンネルは、データ線132を電極142に電氣的に接続し、これにより、データ線132に供給されるデータ信号が、電極142に到達する。電極142は、断面の詳細150に示される他の構成要素と共に、キャパシタとして機能し、データ線132から受けるデータ信号を一時的に記憶する。液晶領域152の光透過率は、データ線132から受けるデータ信号により制御される。電極154は、液晶領域152の反対側にある異なる基板上に形成されており、図示されるように接地されている。

40

【0037】

基板102は、透明水晶ウェーハ、または広いガラス基板である。TFT140には、ポリシリコン(poly-Si)TFTが使用され、走査駆動回路とデータ駆動回路の構成要素には、同様に、下でさらに詳細に述べるように、poly-Si TFTが使用される。

【0038】

50

走査線 1 3 0 とその他の走査線、データ線 1 3 2 とその他のデータ線は、従来の技術により実現される。その幾つかは、ここに双方とも参照され取り入れられている、同時出願中の、同一人に譲渡された“Array with Metal Scan Lines Controlling Semiconductor Gate Lines”と題する、米国特許出願第08/572,357号と、“Forming Array with Metal Scan Lines to Control Semiconductor GateLines”と題する、米国特許出願第08/367,983号に記載されている。

【0039】

図 3 により理解されるように、走査線 1 3 0 での走査信号は、走査周波数の各周期の 1 / 4 8 0 より短い選択期間を有する。選択期間の期間中、データ線 1 3 2 と他のすべてのデータ線は、データ信号を供給し、これは、走査線 1 3 0 に接続された行のセルに受け取られる。電極 1 4 2 は、選択期間と選択期間の間は、データ線 1 3 2 から信号を受けないが、細部 1 5 0 に示すキャパシタンスが十分に大きければ、1 選択期間内に受けた信号は、次の選択期間まで記憶される。

10

【0040】

走査駆動回路

走査駆動回路の図 3 に示す構成例では、走査駆動シフトレジスタ 1 0 6 と、バッファ 1 1 2 として例示された各走査線毎のバッファを含む。図 4 は、走査駆動シフトレジスタの構成例を示す。図 5 は、T F T レベルで実現されるシフトレジスタのある段 (stage) を示す。

【0041】

図 4 の走査駆動回路 2 0 0 は、2 4 0 段のシフトレジスタを含み、その各段は、2 本の走査線に走査信号を供給する。各段は、2 1 0、2 1 2、2 1 4 ~ 2 1 6 の D タイプのラッチの一つを含む。各段は、また、一对の A N D ゲートを含む。この第一の段は、A N D ゲート 2 2 0、2 2 2、第二の段は、A N D ゲート 2 2 4、2 2 6、第三の段は、A N D ゲート 2 3 0、2 3 2、最後の段は、A N D ゲート 2 3 4、2 3 6 を含む。また、第一の段は、インバータ 2 4 0 を含み、最後の段には、シフトレジスタ出力信号(shift register output signal(SR out))を供給するバッファ 2 4 2 が続く。

20

【0042】

A N D ゲート 2 2 0 ~ 2 3 6 は、アレイの走査線により与えられるキャパシタンス負荷を駆動するよう設計される。上の図 3 に関連して述べたセル回路により、キャパシタンス負荷は、走査線が記憶キャパシタの電極として機能する従来技術のものに比べ小さくなる。

30

【0043】

2 個のゲート信号(Gate-1とGate-2)は、シフトレジスタ出力パルスの形成に使用され、ディスプレイ上で重ならないことを保証する。各段が 2 本の走査線を受け持つ配置により、2 つの主な利点を得られる。第一の利点は、小さなシフトレジスタが使用され、領域が減り、歩留まりが上がることである。第二の利点は、対応するフレームの、各奇数、または偶数の走査線のみ動作可とされ、インタレースモードと、非インタレースモードのいずれの表示動作も可能となることである。

【0044】

図 4 のシフトレジスタは、各 D タイプラッチの R 入力に接続されるリセット入力(Reset input)が H (high) になることにより起動される。これにより、ラッチ 2 1 0、2 1 2、2 1 4 ~ 2 1 6 までの全ての Q 出力が L (low) となる。一方、第一段のインバータ 2 4 0 は、第一段からの出力を反転して H とする。シフトレジスタ入力(shift register input(SR in))が、2 相クロック信号の印加により、H を保持していれば、H 値は、シフトレジスタに沿って進み、要求に従い走査線に走査信号が供給される。

40

【0045】

図 5 の段 2 6 0 は、D タイプラッチ 2 6 2 と、A N D ゲートドライバ 2 6 4、2 6 6 を含む。クロックバッファ 2 7 0 は、クロック信号 p h i - 1 ' を受け、クロック信号 p h i - 1 と、n p h i - 1 を供給し、一方、クロックバッファ 2 7 2 は、クロック信号 n p

50

h i - 2 ' を受け、クロック信号 n p h i - 2 と、p h i - 2 を供給する。各段において、2 相クロック信号をバッファに記憶することにより、クロックスキュー (clock skew) 問題が軽減され、単一のバッファが全てのレジスタを受け持つ必要性が無くなり、回路動作はシフトレジスタ長と独立に行われる。A N D ゲートドライバ 2 6 4 と 2 6 6 は、一般的な C M O S 構造であり、この C M O S 構造は、(out-1 と out-2 を供給する) 最終インバータに T F T を持ち、これは、要求される速度において、走査線キャパシタンスを駆動するに十分な大きさである。言い換えれば、シフトレジスタが、1 M H z を十分に超えるクロック速度で動作しているとき、A N D ゲートドライバ 2 6 4 と 2 6 6 は、1 0 0 n s 以下の立ち上がり立ち下がり時間で走査線を駆動することができる必要がある。

【0046】

ルイス (Lewis, A.G.)、リー (Lee, D.D.) 及びブルース (Bruce, R.H.) による、“Polysilicon TFT Circuit Design and Performance”、IEEE Journal of Solid-State Circuits、27 巻、12 号、1992 年 12 月、1833～1842 ページによれば、その図 4 及び図 5 のような簡単な走査駆動回路について、さらに詳細な情報が得られる。また、その 1837 ページの図 6 に関連し、ルイス他は、poly-Si T F T C M O S ダイナミックシフトレジスタを使用し、9～30 M H z の範囲の周波数において、誤りのないデータ転送が得られることを示している。その範囲の周波数は、図 2 に関連し述べた走査駆動回路に十分に短い選択期間を与える。

【0047】

データ駆動回路

データ駆動回路の図 3 に示す構成例では、データ駆動シフトレジスタ 108 と、バッファ 122 と 124 で例示された各データ線のバッファを含む。図 6 は、データ駆動波形を示す。

【0048】

シフトレジスタ 108 と、データ線バッファを含むデータ駆動回路は、一般的には、ここに参照され取り入れられている、アレン (Allen) 他による、米国特許第 5,491,347 号に記載されているように実施される。アレン他は、その図 12～図 15 に関連した 14 欄 31 行～15 欄 17 行に、使用されるデータ駆動回路について述べている。本発明の実施形態では、データ駆動回路は、アレン他が述べている大きなデザインルールによる別のチップにではなく、1 または 2 μ m デザインルールが使用され、アレイと同一の基板に集積される。

【0049】

各データ駆動シフトレジスタの各段は、また、ここに参照され取り入れられている、ルイス (Lewis, A.G.)、リー (Lee, D.D.) 及びブルース (Bruce, R.H.) による、“Polysilicon TFT Circuit Design and Performance”、IEEE Journal of Solid-State Circuits、27 巻、12 号、1992 年 12 月、1833～1842 ページに記載されているように実現される。また、その 1836 ページと 1837 ページにおいて、ルイス他は、図 6 のインセット (inset) に関連するレジスタ段について述べている。

【0050】

アレン他のデータ駆動回路は、バックプレーン電圧が固定されているとすると、3 レベルデータドライバ (three level data drivers) を含む。各セルの液晶領域により見られる駆動極性は、各フレーム毎に反転されるので、少なくとも、3 個の電圧レベルが必要である。固定バックプレーン電圧には、4 レベルドライバ (four level drivers) も使用される。

【0051】

バックプレーン電圧が、フレーム毎に反転される代わりに、反転されるデータを使用し、必要な極性反転を行う、2 レベルドライバ (two level drivers) も使用され得る。これは、アモルファスシリコンディスプレイに使用される技術であり、ここに参照され取り入れられている、ルイス (Lewis, A.G.) と、ターナー (Turner, W.) による、“Driver Circuit for AMLCDs”、Conference Record of the 1994 International Display Research Confe

10

20

30

40

50

rence and International Workshop on Active-Matrix LCDs & Display Materials、カリフォルニア、モントレー、1994年、10月10日～13日、56～64ページの図5に関連し記載されているものである。バックプレーンが、Hレベルであれば、画素は、“0”に対しHレベルに駆動され、“1”に対しLレベルに駆動され、バックプレーンが、Lレベルであれば、この逆になる。

【0052】

セパレートされた記憶キャパシタが、各画素に使用されれば、画素の対向電極は、バックプレーンとともにスイッチされる必要がある。スイッチされるバックプレーン駆動方法の問題は、寄生キャパシタンスのため、画素電圧がバックプレーンに正確に追従しないことである。この追従の失敗により、不均一性が持ち込まれる。これは、バックプレーンの追従が画素電圧に影響されるようになるためである。必要であれば、この問題は、バックプレーンがスイッチされる直前に、ダミーのサブフレームを書き込み、スイッチによるいずれの誤りも、各画素に対し同一になるよう保証することで解決される。

【0053】

図6は、データ駆動波形を示す。波形300は、固定バックプレーン電圧に適し、波形302は、スイッチされるバックプレーン電圧に適している。電圧は、双方の組の波形について、同一スケールでは示されていない。双方とも、走査線*i*と(*i*+1)での走査信号が示されており、走査線(*i*+1)での選択期間の直前に、走査線*i*での選択期間がある。双方とも、波形は、複数のサブフレーム間でのデータ駆動の反転を示すが、他の方法も使用される。

【0054】

固定バックプレーン電圧では、“1”を表すデータ信号は、正のフレームの間、 V_{1+} で供給され、一方、“0”を表すデータ信号は、正フレームの間、 V_{0+} で供給される。負フレームの間は、“1”を表すデータ信号は、 V_{1-} で供給され、一方、“0”を表すデータ信号は、 V_{0-} で供給される。 V_{0+} と V_{0-} が等しければ、3電圧レベルのみになり、 V_{0+} と V_{0-} が等しくなければ、4電圧レベルになる。

【0055】

スイッチされるバックプレーン電圧では、“1”を表すデータ信号は、正のフレームの間、 V_{DH} で供給され、一方、“0”を表すデータ信号は、正フレームの間、 V_{DL} で供給される。負フレームの間は、“1”を表すデータ信号は、 V_{DL} で供給され、一方、“0”を表すデータ信号は、 V_{DH} で供給される。従って、この技術では、2電圧レベルのみ要求される。

【0056】

上で述べたデータ駆動回路は、時間平均をとりデジタルアナログ変換を行う。この変換は、本質的に線形である。しかし、液晶材は、非線形の電圧透過率変換特性を持つ。従って、低電圧状態の液晶を変えることなく加えられる最大電圧値である V_{OFF} を、最小電圧値に選ばば有利である。これにより、液晶の低電圧状態の範囲の使用が不要になる。ノーマリホワイト色のLCDでは、画素は、 V_{OFF} では白であり、 V_{ON} では黒である。一方、ノーマリブラック色のLCDでは、画素は、 V_{ON} では白であり、 V_{OFF} では黒である。

【0057】

波形300の固定バックプレーン電圧では、電圧レベルは、次に示すように調整される。

【0058】

$$V_{OFF} = V_{0+} - V_{BP} = V_{BP} - V_{0-}, \text{ および}$$

$$V_{ON} = V_{1+} - V_{BP} = V_{BP} - V_{1-}$$

波形302のスイッチされるバックプレーン電圧では、電圧レベルは、次に示すように調整される。

【0059】

$$V_{OFF} = V_{DL} - V_{BPL} = V_{BPH} - V_{DH} \text{ および}$$

$$V_{ON} = V_{DH} - V_{BPL} = V_{BPH} - V_{DL}$$

ここで $V_{DL} > V_{BPL}$ であり、 $V_{BPH} > V_{DH}$ である。

【0060】

セル回路

図3のアレイは、ここに双方とも参照され取り入れられている、ウー(Wu, I-W)による、“High-definition displays and technology trends in TFT-LCDs”, Journal of the SID, 2巻、1号、1994年、1～14ページに記載されているような簡単なセル回路、または、同時出願中の、同一人に譲渡された、“Array with Metal Scan Lines Controlling Semiconductor Gate Lines”と題する、米国特許出願第08/572,357号に記載されているさらに複雑なセル回路に、受容可能なレベルのキャパシタンスを与えるよう特性を適切に調整し実現される。図7は、図3の構成に使用される別のセル配置を示す。

10

【0061】

図7は、 m 番目の走査線350、 $(m+1)$ 番目の走査線352、点線で示される n 番目のデータ線354、 $(n+1)$ 番目のデータ線356を持つアレイ104の一部を示す。図7は、また、 m 番目の走査線350と、 n 番目のデータ線354に接続されるセルの、セル回路の一部を示す。

【0062】

セル回路は、第一の接続点362から、第二の接続点364まで延びる線のpoly-Siパターン360を含む。第一の接続点362は、 n 番目のデータ線354のエッジ内に実質的にすべて入り、この接続点は、金属による接続などにより、データ線に電氣的に接続される。

20

【0063】

また、セル回路は、ゲートパターン370を含む。これは、チャンネル372においてpoly-Siパターン360と交差する線である。ゲートパターン370は、 m 番目の走査線350から延び、この走査線350に電氣的に接続される。ゲートパターン370は、 m 番目の走査線と同一の層に形成され、双方ともpoly-Si、または、双方とも金属によって形成されている。或いは、ゲートパターンは、異なった層に形成される。この層は、ここに双方とも参照され取り入れられている、同時出願中の、同一人に譲渡された、“Array with Metal Scan Lines Controlling Semiconductor Gate Lines”と題する、米国特許出願第08/572,357号と、“Forming Array with Metal Scan Controlling Semiconductor Gate Lines”と題する、米国特許出願第08/367,983号に記載されている異なる層である。いずれの場合も、走査線は、分路（シャント：shunt）380、382で例示されている導電率を増すための分路層を含む。

30

【0064】

図示された構成において、 m 番目の走査線350での走査信号は、第一接続点362と、第二接続点364の間のpoly-Siパターンの導電率を制御する。 m 番目の走査線350での電圧がHであれば、チャンネル372は、高い導電性になり、 m 番目の走査線350での電圧がLであれば、チャンネル372は、漏れ電流のみ通す。

【0065】

図7のセル回路は、独立の（セパレートされた）記憶キャパシタンスを用いず設計される。これは、セルの応答を改善し、加えて、各走査線に沿ってキャパシタ電極を設ける必要がなくなるので、走査線キャパシタンスを最小にできる。集積されたダークマトリクスは、開口の犠牲を最小にとどめ、エッジなどに生じる迷光（stray illumination）を阻止することによって画像品質を改善するために使用することができる。

40

【0066】

図7に示されるセルの設計では、漏れ電流を減らすため従来使用されている二重ゲート（デュアルゲート）TFTではなく、シングルゲートTFTが使用される。このセルの設計は、セルの記憶キャパシタンスを減らす。しかし、高速リフレッシュにより、セルの動的な記憶に対する要求が減るので、この設計で十分である。

【0067】

また、セル記憶キャパシタンスは、従来、キャパシタンスの線形化を行っている。これ

50

は、液晶キャパシタンスが、電圧に大きく依存するので、液晶応答時間が、リフレッシュ時間と同等の場合には重要である。線形化キャパシタンスが無いと、セルでの電圧の変化が、液晶をフレーム時間中に応答させ、液晶のキャパシタンスを変え、セルでの電圧を変える。セルに正しい電圧、つまり、正しいグレーレベルを与えるためには、幾つかのフレームが必要となる。しかし、この構成では、各セルの電圧は、液晶が応答するよりも速く更新され、従って、この線形化機能を発揮する記憶キャパシタンスは不要となる。

【0068】

記憶キャパシタが不要となると、キャパシタ電極の形成と、それに必要なマスクステップが除かれ、製造が簡単になり有利になる。加えて、記憶キャパシタは、従来、ゲート誘電体を使用して形成されるので、キャパシタの除去により、全体のゲート誘電体領域が減り、歩留まりが改善される。記憶キャパシタが無くなれば、走査線キャパシタンスが減り、走査ドライバに小さなTFTを使用することが可能となり、さらに歩留まりが改善される。また、記憶キャパシタが無くなれば、全体の画素キャパシタンスが減り、必要な高速画素充電が容易に行なわれる。

10

【0069】

上に述べたアレイは、例えば、ここに参照され取り入れられている、ウー(Wu, I-W.)、スチューバー(Stuber, S.)、ツァイ(Tsai, C.C.)、ヤオ(Yao, W.)、ルイス(Lewis, A.)、フォルクス(Fulks, R.)、チャン(Chiang, A.)、トンプソン(Thompson, M)による、“Processing and Device Performance of Low-Temperature CMOS Poly-TFTs on 18.4-in.-Diagonal Substrates for AMLCD Application”、SID 92 DIGEST、1992年、615～618ページに記載されている、従来技術が使用され製造される。

20

【0070】

駆動方法

上に述べたように製造されるライトバルブは、多くの方法により駆動される。図8は、その様なライトバルブを駆動する信号を供給するために実行される機能ブロックを示す。

【0071】

ホストマシン400は、Kグレーレベルを持つ画像データを、フレームバッファ402に供給し、同期信号を同期回路404に供給する。フレームバッファ402は、一般的な技術を用いて、同期回路からのリード／ライト信号に応じて、画像データを記憶し、供給する。

30

【0072】

また、同期回路404は、インクリメントおよびクリア信号をサブフレームカウンタ410に供給する。このカウンタは、データが供給される現在のサブフレームを示すカウントを保持する一般的なカウンタである。同期回路404は、また、適切な走査およびデータタイミング信号を供給する。この信号は、知覚可能なフリッカが無く、時間平均がとられた現画像に要求される高周波数でのタイミング信号の供給を除いては、従来のもと同じである。

【0073】

一方、ディザロジック414は、フレームバッファ402からKグレーレベルの画像データを受け、また同様に、サブフレームカウンタ410から現行サブフレームカウントを受ける。これにตอบสนองし、ディザロジック414は、画像データを使用し、サブフレームデータを供給する。このサブフレームデータは、各サブフレーム毎に、ライトバルブ420で表示される画像の画素毎の1ビットを含む。サブフレームデータと、データタイミング信号は、データ駆動回路422に受けられ、一方、走査タイミング信号は、走査駆動回路424で受け取られる。これに応じて、データ駆動回路422は、アレイ426のデータ線にデータ信号を供給し、走査駆動回路424は、アレイ426の走査線に走査信号を供給し、これにより、アレイ426は、時間平均をとり、知覚可能なフリッカの無い、Kグレーレベルの画像データにより規定される画像を表示する。

40

【0074】

例えば、ディザロジック414は、適切なアルゴリズムを使用し、時間的にディザを実

50

行し、K グレーレベル画像データから P サブフレーム画像を規定するサブフレームデータを生成する。これらの P サブフレーム画像は、互いに一つのフレームを規定し、また、サブフレーム画像の時間平均がとられ、K グレーレベル画像データにより規定される画像が表示される。スイッチされるバックプレーンが使用される場合は、フレームには、バックプレーンの各スイッチに先行するダミーサブフレームが含まれ、スイッチにより引き起こされるどの誤りも各フレームに対し同一となるよう保証される。

【0075】

表1は、ディザロジック414が、P=15の場合において、16グレースケールレベルの1つを示す4ビット値を15サブフレームに割り付ける方法を示す。例えば、4ビット値が1111であれば、15全てのサブフレームは、ONであり、4ビット値が1010であれば、奇数サブフレームと、サブフレーム4、12のみが、ONであり、4ビット値が0101であれば、サブフレーム4、12を除く偶数サブフレームが、ONであり、以下同様である。

【0076】

【表1】

サブフレーム	通されるビット
1	ビット0 (MSB)
2	ビット1
3	ビット0
4	ビット2
5	ビット0
6	ビット1
7	ビット0
8	ビット3 (LSB)
9	ビット0
10	ビット1
11	ビット0
12	ビット2
13	ビット0
14	ビット1
15	ビット0
16 (任意)	常にオフ

表1の方法は、そのまま拡張され、必要に応じ、さらに多い、または少ないサブフレームにより、さらに多い、または少ないグレーレベルが形成される。例えば、8グレーレベルに対しては、表1のサブフレーム1から7までが利用され、7個のサブフレームが使用される。32グレーレベルに対しては、表1が2回使用されて、サブフレーム1から15までが繰り返し用いられ、ビット4を通過させる16番目のサブフレームにより区分される、31個のサブフレームが使用される。64のグレーレベルに対しては、32のグレーレベルに対する31のサブフレームが2回繰り返し用いられ、ビット5を通す32番目のサブフレームにより区分される、63個のサブフレームが使用される。

【0077】

ディザロジック414は、一度に1ビットを選ぶ簡単な組み合わせロジックにより実現される。必要であれば、ディザロジック414は、表索引 (table lookup)、例えば、画像画素値をサブフレーム画素値に高速に変換する表索引により実現される。ディザロジック414は、これに替えて一般的なフレームバッファ記憶技術を使用し、一方で、サブフレームごとに、画素毎の1ビットのみ記憶するので簡単な、サブフレームバッファによっても実現される。メモリは、各画素の全画素値に等しい長さのビット列を記憶し、記憶された値は、サブフレームカウンタ410からのカウントに応答し、ビット直列に読み出される。

【0078】

表1に示されるように、高次ビットに対するリフレッシュ速度は、低次ビットに対するものより速い。従って、液晶材が、フリッカを発生するに十分な早さで応答するものであれば、フリッカの大きさは、周波数の低下に従い減る。人のフリッカに対する感度は、フリッカ輝度の大きさの減少に従い低下するので、サブフレームの速度を上げると共に全体のフレーム時間を増やすことにより、グレースケール精度（すなわち、サブフレーム数）を上げることができる。例えば、8ビット精細度グレースケールに、2kHzサブフレーム速度が使用され、これは、8Hzフレーム速度を与える。5個の最上位データビットが、64Hzまたはそれ以上でディスプレイに書き込まれ、この速度でデータが更新される。速く動く画像は、少しグレースケールを犠牲にすれば、円滑に動き、一方、静止画像は、8ビットグレースケールを全て表示する。

10

【0079】

表1の方法では、時間的にディザを行う方法に基づき、低い周波数で低振幅の色変化を表示する。このような色は、知覚される明るさの差が小さいので、フリッカは、高い強度の色の間で知覚されるよりも小さくなる。結果的に、表1の方法によれば、高振幅の色変化のフリッカを引き起こすサブフレーム時間においても目に見えるフリッカは発生しない。

【0080】

表1の方法では、このようにして、フリッカを除きながら、復号されていない2進データが、ディスプレイに書き込まれる。

【0081】

同期回路404は、タイミング信号を、走査駆動回路424と、データ駆動回路422に供給し、これにより、サブフレームが、連続的にアレイのセルに供給される。例えば、通常のフレーム時間は、要求されるグレースケール精度の、K個のサブフレームに分割される。ここでKは、要求されるグレースケール精度であり、また、各サブフレーム時間は、セルの液晶領域の応答時間と、フリッカが知覚される最小切り替え周期と、のいずれか長い方より、はるかに短い時間である。適切な走査信号により、また、1サブフレームの各画素に、データ信号として1ビット値を供給することにより、セルの全てのアレイは、各サブフレームの間に1度更新される。特定のセルに対するONとOFFのサブフレームの適切な組み合わせにより、セルの液晶領域は、所望のグレーレベルを示すRMS電圧を受ける。

20

30

【0082】

別の方法による構成例

上に述べた実施形態では、水晶またはガラスのような、絶縁基板上に薄膜回路が形成される。本発明は、他の種類の基板上に、他の種類の回路を形成することによっても実現される。

【0083】

上に述べた実施形態では、液晶が使用され、光透過率を制御する電気光学素子が含まれる。しかし、本発明は、光の放射か、または透過率ではなく反射率を制御する電気光学素子により、または、電界発光ディスプレイ（electroluminescent display）、またはプラズマディスプレイのような、液晶を使用しない電気光学素子によっても実現される。

40

【0084】

上に述べたように、本発明は、2レベルデータドライバとバックプレーンスイッチング、または、3または4レベルドライバにより実現される（この場合、バックプレーンスイッチングは不要である）。

【0085】

上に述べた実施形態では、アレイの一方の側にのみ配置されるデータ駆動回路が含まれる。しかし、本発明は、アレイの2つの対向する側に配置されるデータ駆動回路によっても実現される。

【0086】

上に述べた実施形態では、アレイの一方の側にのみ配置される走査駆動回路でも実現さ

50

れる。一方で、本発明は、アレイの2つの対向する側に配置される走査駆動回路でも実現される。また、ここに双方とも参照され取り入れられている、同時出願中の、同一人に譲渡された、“Array with Redundant Integrated Self-Testing Scan Drivers”と題する、米国特許出願第08/575,784号と、“Array with Repairable Integrated Scan Drivers”と題する、米国特許出願第08/575,785号に記載されている冗長性、試験、修理技術によっても実現される。

【0087】

上に述べた実施形態では、現在可能な技術により実現できる特定の駆動速度が使用されるが、本発明は、技術が進めばさらに速い駆動速度によっても実現される。また、速い駆動速度によれば、さらに多くのグレースケールレベルが得られる。

10

【0088】

上に述べた実施形態では、特定の形状および電気特性を持つ回路が供給されるが、本発明は、異なる形状と異なる回路によっても実現される。

【0089】

上に述べた実施形態では、特定のプロセスにより特定の材料から製造される特定の厚さの層が含まれるが、TFTの性能を改善するための薄い半導体と、ゲート酸化層のような、他の厚さ、他の材料と他のプロセスも使用される。また、poly-Siではなく、十分に速いTFTを供給する他の半導体材料が、半導体層に使用され得る。これには、CdSe、SiGe、または、poly-SiとSiGeの複合層が含まれるが、これに制約されるものではない。また、本発明は、広い範囲の他の絶縁ゲート電界効果トランジスタによっても実現される。これには、SOI(silicon on insulator)、SOQ(silicon on quartz)、SOS(silicon on sapphire)、バルクシングルクリスタルMOSFETが含まれるが、これに制約されるものではない。

20

【0090】

上に述べた実施形態では、ディスプレイに使用されるライトバルブに適した配置と、透過性のITO層が使用されるが、他の応用に使用されるライトバルブのような、他の応用に適した配置や層も使用される。ツイストネマティック液晶のLCDライトバルブであれば、 $VDD \leq 12V$ での動作に適したアレイが要求され、PDL、またはコレステリック液晶材であれば、高い電圧での動作に適したアレイが求められる。

【0091】

上の実施形態では、ゲート電圧がHのとき、高い導電性を持つエンハンスモードのnチャネルTFTが使用されるが、ディプリーション(空乏)モードTFT、またはpチャネルTFTによる本発明の実現も可能である。

30

【0092】

上に述べた実施形態では、セル回路にシングルゲートTFTが使用されるが、本発明は、複数ゲートTFT、また、ここに全て参照され取り入れられている、同時出願中の、同一人に譲渡された、“Circuitry with Gate Line Crossing Semiconductor Line at Two or More Channels”と題する、米国特許出願第08/367,984号や、“Array Having Multiple Channel Structures with Continuously Doped Interchannel Regions”と題する、第08/559,862号、“Forming Array Having Multiple Channel Structures with Continuously Doped Interchannel Regions”と題する第08/560,724号、に記載されている漏れ電流を減らす技術によっても実現される。

40

【0093】

上に述べた実施形態は、ここに双方とも参照され取り入れられている、同時出願中の、同一人に譲渡された、“Array with Metal Scan Lines Controlling Semiconductor Gate Lines”と題する、米国特許出願第08/572,357号、“Forming Array with Metal Scan Lines to Control Semiconductor Gate Lines”と題する、第08/367,983号、に記載されている発明に従い、半導体ゲート線を制御する金属走査線を持つアレイに実施される。しかし、本発明は、また、他の回路を形成する他の技術によっても実現される。例えば、一回のリソグラフィ操作によりパターンを作成し、同一の金属又は半導体材料に、走査線とゲー

50

ト領域の双方を形成することによっても実現される。

【0094】

上に述べた実施形態では、poly-Si TFTのチャネルとチャネル導線(channel lead)が、同一層に形成されるが、チャネル導線は、チャネルとは異なる層にも形成され得る。

【0095】

本発明は、多くの方面に応用される。これには、ライトバルブのアレイ、直視型ディスプレイと投射型ディスプレイを含む多くの種類のディスプレイのアレイが含まれる。本発明は、投射型ディスプレイ、ビューファインダ、VRゴーグルなどの高密度アレイを採用する応用に特に適している。

【0096】

また、本発明は、薄膜化技術に関連し述べられているが、本発明は、単結晶技術によっても実現される。

【0097】

なお、本発明は、その修正、変更、拡張と共に、多くの実施形態に関連し述べられているが、他の実施、修正、変更、拡張も、本発明の範囲に含まれる。従って、本発明は、ここに含まれる記述、または、図により制限されるものではなく、請求項によってのみ規定される。

【図面の簡単な説明】

【0098】

【図1】 走査駆動回路とデータ駆動回路を示す概要図である。

【図2】 図1の走査駆動回路により供給される信号の周波数を示す図である。

【図3】 図1のデータ駆動回路と走査駆動回路を含む液晶ライトバルブを示す図である。

【図4】 図3の走査駆動レジスタの構成例を示す概要図である。

【図5】 図4の走査駆動シフトレジスタ段の構成例を示す概要図である。

【図6】 図3の走査線とデータ線上に供給される信号波形を示すタイミング図である。

【図7】 図3のアレイのセルの配置を示す概要配置図である。

【図8】 Kグレーレベルを有する画像を規定するデータを用いて実行する機能構成を示すブロック図である。

【符号の説明】

【0099】

12 基板、14 アレイ回路、16 走査駆動回路、18 データ駆動回路、20 セル回路、22 電気光学素子、24 データ導線、26 スイッチング素子、30 走査線、32 データ線、100 ライトバルブ、102 基板、104 アレイ、106 走査駆動シフトレジスタ、108 データ駆動シフトレジスタ、110 パッド、112 バッファ、120 パッド、122, 124 ドライバ、130 走査線、132 データ線、140 TFT、142 電極、150 断面の詳細、152 液晶領域、154 電極、200 走査駆動回路、210, 212, 214, 216 Dタイプラッチ、220, 222, 224, 226, 230, 232, 234, 236 ANDゲート、240 インバータ、242 バッファ、260 段、262 Dタイプラッチ、264, 266 ANDゲートドライバ、270, 272 クロックバッファ、300, 302 波形、350 m番目の走査線、352 (m+1)番目の走査線、354 n番目のデータ線、356 (n+1)番目のデータ線、360 poly-Siパターン、362 第一接続点、364 第二接続点、370 ゲートパターン、372 チャネル、380, 382 分路、400 ホストマシン、402 フレームバッファ、404 同期回路、410 サブフレームカウンタ、414 ディザロジック、420 ライトバルブ、422 データ駆動回路、424 走査駆動回路、426 アレイ。

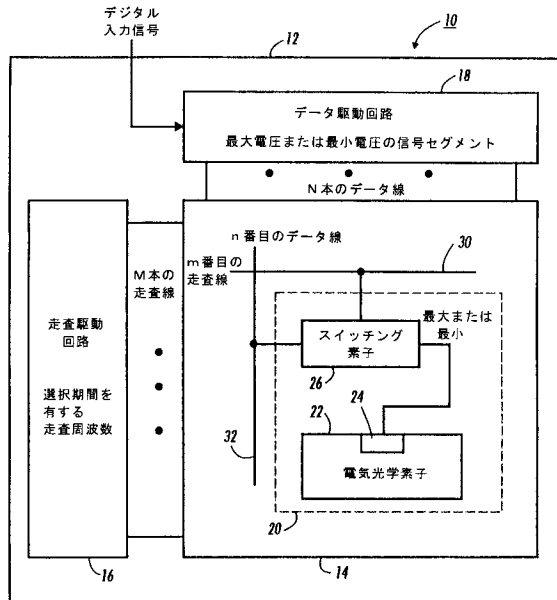
10

20

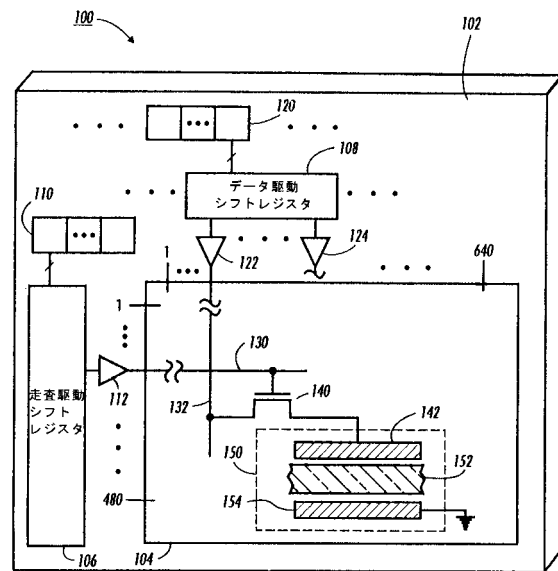
30

40

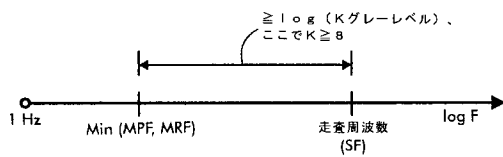
【図 1】



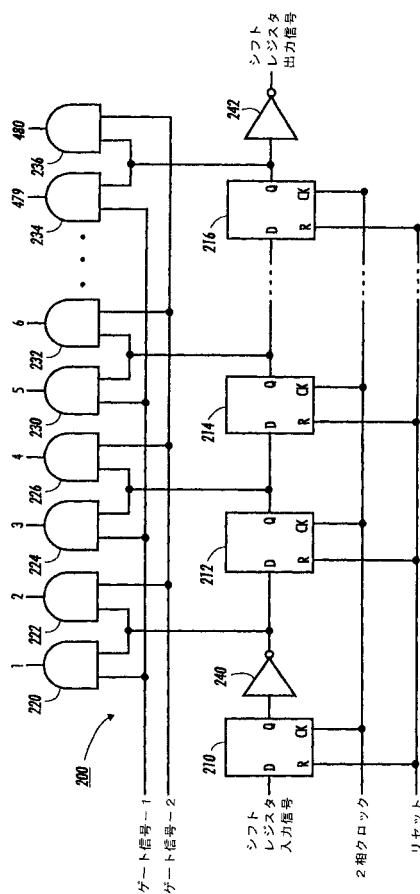
【図 3】



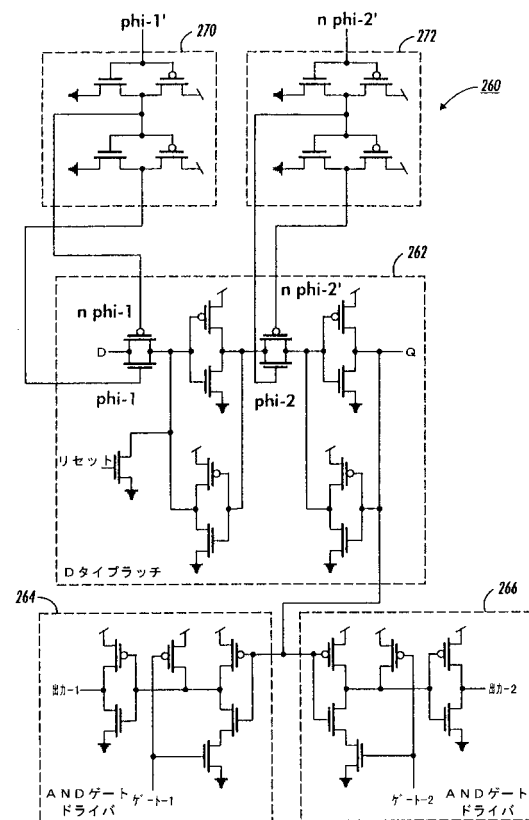
【図 2】



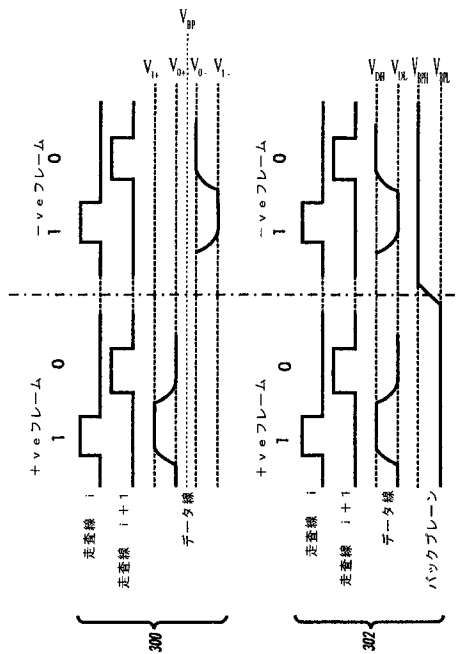
【図 4】



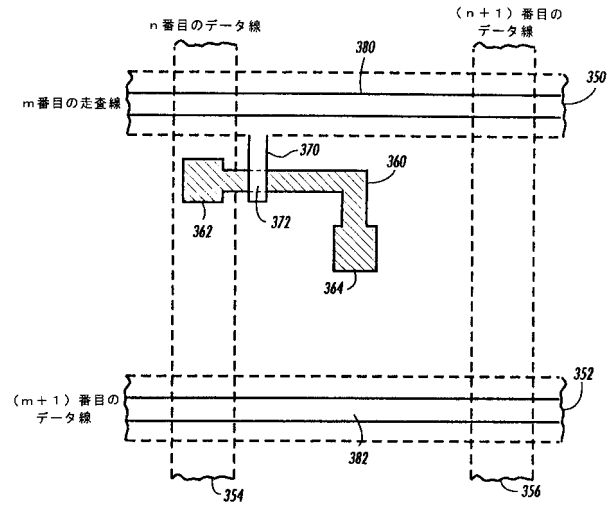
【図 5】



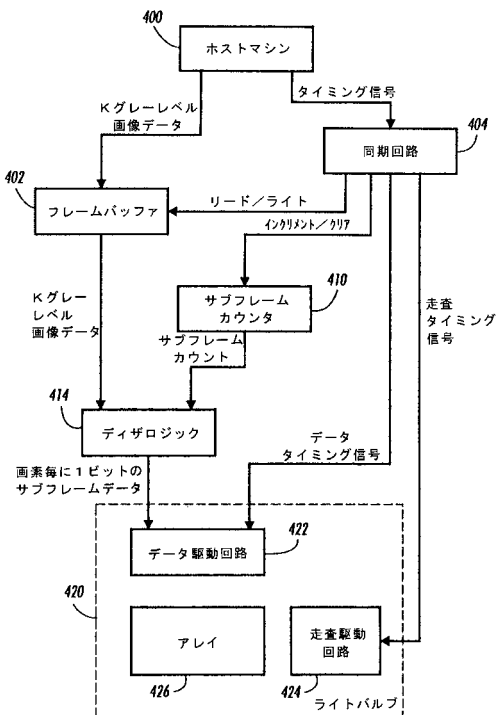
【図 6】



【圖 7】



【図 8】



【手続補正書】

【提出日】平成20年11月21日(2008.11.21)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

ディスプレイであって、
走査線と、データ線と、を有するアレイ回路と、
画像要素の表示を制御する電気光学素子と、薄膜トランジスタのスイッチング素子と、
を有し、かつ、前記走査線と前記データ線との組に接続されたセル回路と、
前記走査線に、少なくとも毎秒480サイクルの走査周波数で走査信号を供給する走査
駆動回路と、
を有するディスプレイ。

【請求項 2】

請求項 1 に記載のディスプレイにおいて、
前記薄膜トランジスタのスイッチング素子は、多結晶薄膜トランジスタであるディスプ
レイ。

【請求項 3】

請求項 1 または請求項 2 に記載のディスプレイは、アクティブマトリクス型液晶ディス
プレイであるディスプレイ。

【請求項 4】

請求項 1 ～請求項 3 のいずれか一項に記載のディスプレイにおいて、
データ駆動回路を有し、
該データ駆動回路は、デジタル入力導線からのデジタル入力信号を受けるよう構成され
、かつ、各選択期間の期間中において、前記デジタル入力信号の示す値に応じて、最大電
圧値または最小電圧値のいずれかを有する信号セグメントを供給するよう構成されている
ディスプレイ。

【請求項 5】

請求項 4 に記載のディスプレイにおいて、
前記電気光学素子は、供給される前記最大電圧値または前記最小電圧値のいずれかにつ
いて時間平均をとり、かつ、それぞれ異なり、少なくとも8であるKに等しい数のグレー
レベルを表示するディスプレイ。

【請求項 6】

請求項 5 に記載のディスプレイにおいて、
フレームバッファから前記Kのグレーレベルを有する画像データを受けるディザ回路を
有するディスプレイ。

フロントページの続き

(51)Int.Cl.

F I

テーマコード (参考)

G 0 2 F 1/1368

G 0 2 F 1/133 5 5 0

F ターム(参考) 2H092 GA59 JA24 JB22 JB31 JB61 KA04 KA07 NA01 PA01 PA06
RA05
2H093 NA51 NC10 NC12 NC22 ND10 NE01 NG11
5C006 AC22 AC24 BB11 BC20 FA23
5C080 AA10 BB05 DD06 FF11 FF12 JJ02 JJ03 JJ04 JJ06