

(12) 发明专利

(10) 授权公告号 CN 101556830 B

(45) 授权公告日 2011.06.15

(21) 申请号 200810103783.0

CN 1480952 A, 2004.03.10, 全文.

(22) 申请日 2008.04.10

US 2007195053 A1, 2007.08.23, 全文.

(73) 专利权人 北京京东方光电科技有限公司
地址 100176 北京市经济技术开发区西环中
路 8 号

审查员 冯慧萍

(72) 发明人 韩承佑

(74) 专利代理机构 北京同立钧成知识产权代理
有限公司 11205

代理人 刘芳

(51) Int. Cl.

G11C 19/28(2006.01)

G09G 3/36(2006.01)

(56) 对比文件

CN 1553456 A, 2004.12.08, 全文.

CN 1523553 A, 2004.08.25, 全文.

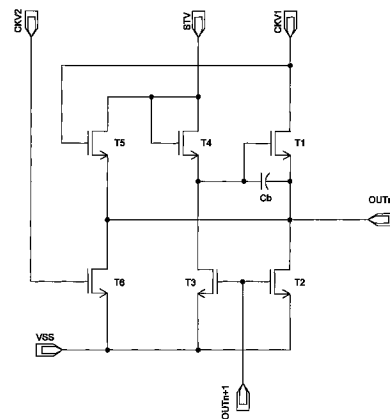
权利要求书 1 页 说明书 5 页 附图 4 页

(54) 发明名称

移位寄存器及其栅极驱动装置

(57) 摘要

本发明涉及一种移位寄存器及其栅极驱动装置。移位寄存器包括直接沉积在阵列基板上的六个薄膜晶体管,其中第一薄膜晶体管的栅极与源极之间设置电容,其漏极与第一时钟信号输出端连接;第二薄膜晶体管的栅极与第三薄膜晶体管的栅极连接;第四薄膜晶体管的栅极与其漏极连接,其漏极与移位起始信号输出端或上一级输出端连接,其源极与第一薄膜晶体管的栅极连接;第五薄膜晶体管的栅极与第一时钟信号输出端连接;第六薄膜晶体管的栅极与第二时钟信号输出端连接。本发明保持了本级输出端的无效状态,栅线不会出现漂浮,也不会受到与栅线相连的其它噪声电压的影响,移位寄存器可靠地保持无效状态,不会导致错误操作。



1. 一种移位寄存器,其特征在于,包括直接沉积在阵列基板上的六个薄膜晶体管,其中六个薄膜晶体管分别为:

第一薄膜晶体管,其栅极与源极之间设置电容,其漏极与第一时钟信号输出端连接,其源极与本级输出端连接;

第二薄膜晶体管,其栅极与下一级输出端连接,其漏极与本级输出端连接,其源极与电源负端连接;

第三薄膜晶体管,其栅极分别与第二薄膜晶体管的栅极和下一级输出端连接,其漏极与第一薄膜晶体管的栅极连接,其源极与电源负端连接;

第四薄膜晶体管,其栅极与其漏极连接,其漏极与移位起始信号输出端或上一级输出端连接,其源极分别与第一薄膜晶体管的栅极和第三薄膜晶体管的漏极连接;

第五薄膜晶体管,其栅极与第一时钟信号输出端连接,其漏极分别与第四薄膜晶体管的栅极和漏极连接,其源极与本级输出端连接;

第六薄膜晶体管,其栅极与第二时钟信号输出端连接,其漏极与第五薄膜晶体管的源极和本级输出端连接,其源极与电源负端连接。

2. 一种包含权利要求 1 所述移位寄存器的栅极驱动装置,其特征在于,包括移位起始信号输出端和五个移位寄存器,其中五个移位寄存器分别与电源负端、第一时钟信号输出端和第二时钟信号输出端连接,并且所述五个移位寄存器中,第一移位寄存器与移位起始信号输出端连接,具有第一输出端;第二移位寄存器与第一移位寄存器的第一输出端连接,其第二输出端与所述第一移位寄存器连接;第三移位寄存器与第二移位寄存器的第二输出端连接,其第三输出端与所述第二移位寄存器连接;第四移位寄存器与第三移位寄存器的第三输出端连接,其第四输出端与所述第三移位寄存器连接;第五移位寄存器与第四移位寄存器的第四输出端连接,具有第五输出端。

移位寄存器及其栅极驱动装置

技术领域

[0001] 本发明涉及一种移位寄存器及其栅极驱动装置,特别是一种液晶显示器的移位寄存器及其栅极驱动装置。

背景技术

[0002] 薄膜晶体管液晶显示器(TFT-LCD)具有重量轻、厚度薄和耗电小等特点,广泛应用于手机、显示器、电视机等装置中。

[0003] 为了显示图像,TFT-LCD用 $m \times n$ 点排列的逐行扫描矩阵显示。TFT-LCD驱动器主要包括栅极驱动器和数据驱动器,数据驱动器将输入的显示数据及时钟信号定时顺序锁存,转换成模拟信号后输入到液晶面板的数据线,栅极驱动器将输入的时钟信号通过移位寄存器转换,切换成开启/关断电压,顺次施加到液晶面板的栅线上。在有源矩阵薄膜晶体管液晶显示器(AMTFT-LCD)中,栅极驱动器中的移位寄存器用于产生扫描栅线的扫描信号,数据驱动器中的移位寄存器用于选择数据线模块。

[0004] 在现有技术移位寄存器中,移位寄存器由数级(stage)连接构成,第一级中起始信号接于输入端,根据各级的输出信号,按顺序选择数个栅线。移位寄存器工作中,要求其各级在有效(enable)状态以外的其它全部时间均保持无效(disable)状态,但现有技术移位寄存器使栅线漂浮(floating),同时受噪声电压影响,移位寄存器的各级不能保持无效状态,导致错误操作。图4为现有技术移位寄存器的结构示意图,包括四个薄膜晶体管,其中第一薄膜晶体管M1的漏极连接时钟信号输出端CKV,栅极与源极之间设置电容Cb,源极与第二薄膜晶体管M2的漏极连接,且与本级输出端OUTn连接;第二薄膜晶体管M2的源极与电源负端VSS连接,栅极与第三薄膜晶体管M3的栅极连接,且与下一级输出端OUTn+1连接;第三薄膜晶体管M3的源极与电源负端VSS连接,漏极分别与第一薄膜晶体管M1的栅极和第四薄膜晶体管M4的源极连接;第四薄膜晶体管M4的漏极与其栅极连接,且与上一级输出端OUTn-1连接。如图4所示,在第一薄膜晶体管M1和第二薄膜晶体管M2为关闭的无效状态时,栅线会出现漂浮,因此,受到与栅线相连的其它噪声电压的影响,移位寄存器不能保持无效状态,并导致错误操作。

[0005] 现有技术为了保持移位寄存器各级的无效状态防止错误操作,一般采用增加额外供电电路的方法,但该方法直接导致成本上升。

发明内容

[0006] 本发明的目的是提供一种移位寄存器及其栅极驱动装置,有效克服现有移位寄存器栅极漂浮导致错误操作等技术缺陷。

[0007] 为了实现上述目的,本发明提供了一种移位寄存器,包括直接沉积在阵列基板上的六个薄膜晶体管,其中六个薄膜晶体管分别为:

[0008] 第一薄膜晶体管,其栅极与源极之间设置电容,其漏极与第一时钟信号输出端连接,其源极与本级输出端连接;

[0009] 第二薄膜晶体管,其栅极与下一级输出端连接,其漏极与本级输出端连接,其源极与电源负端连接;

[0010] 第三薄膜晶体管,其栅极分别与第二薄膜晶体管的栅极和下一级输出端连接,其漏极与第一薄膜晶体管的栅极连接,其源极与电源负端连接;

[0011] 第四薄膜晶体管,其栅极与其漏极连接,其漏极与移位起始信号输出端或上一级输出端连接,其源极分别与第一薄膜晶体管的栅极和第三薄膜晶体管的漏极连接;

[0012] 第五薄膜晶体管,其栅极与第一时钟信号输出端连接,其漏极分别与第四薄膜晶体管的栅极和漏极连接,其源极与本级输出端连接;

[0013] 第六薄膜晶体管,其栅极与第二时钟信号输出端连接,其漏极与第五薄膜晶体管的源极和本级输出端连接,其源极与电源负端连接。

[0014] 为了实现上述目的,本发明还提供了一种栅极驱动装置,包括移位起始信号输出端和五个移位寄存器,其中五个移位寄存器分别与电源负端、第一时钟信号输出端和第二时钟信号输出端连接,并且所述五个移位寄存器中,第一移位寄存器与移位起始信号输出端连接,具有第一输出端;第二移位寄存器与第一移位寄存器的第一输出端连接,其第二输出端与所述第一移位寄存器连接;第三移位寄存器与第二移位寄存器的第二输出端连接,其第三输出端与所述第二移位寄存器连接;第四移位寄存器与第三移位寄存器的第三输出端连接,其第四输出端与所述第三移位寄存器连接;第五移位寄存器与第四移位寄存器的第四输出端连接,具有第五输出端。

[0015] 本发明提出了一种直接沉积在阵列基板上的移位寄存器和栅极驱动装置,通过第一时钟信号输出端和第二时钟信号输出端依次输出的高电平有效保持了本级输出端的无效状态,栅线不会出现漂浮,也不会受到与栅线相连的其它噪声电压的影响,移位寄存器可靠地保持无效状态,不会导致错误操作。与现有技术为了防止错误操作采用增加额外供电电路的技术方案相比,本发明不需增加额外供电电路,具有成本低等特点。

[0016] 下面通过附图和实施例,对本发明的技术方案做进一步的详细描述。

附图说明

[0017] 图 1a 为本发明移位寄存器一种结构的等效电路图;

[0018] 图 1b 为本发明移位寄存器另一种结构的等效电路图;

[0019] 图 2 为本发明移位寄存器的工作时序图;

[0020] 图 3 为本发明栅极驱动装置的结构示意图;

[0021] 图 4 为现有技术移位寄存器的结构示意图。

具体实施方式

[0022] 图 1a 为本发明移位寄存器一种结构的等效电路图,图 1b 为本发明移位寄存器另一种结构的等效电路图。如图 1a、图 1b 所示,本发明移位寄存器的主体结构包括六个薄膜晶体管和相应的输入输出端,六个薄膜晶体管分别为第一薄膜晶体管 T1、第二薄膜晶体管 T2、第三薄膜晶体管 T3、第四薄膜晶体管 T4、第五薄膜晶体管 T5 和第六薄膜晶体管 T6,输入输出端分别为本级输出端 OUT_n 、上一级输出端 OUT_{n-1} 、下一级输出端 OUT_{n+1} 、第一时钟信号输出端 CKV1、第二时钟信号输出端 CKV2、移位起始信号输出端 STV 和电源负端 VSS。

[0023] 具体地,第一薄膜晶体管 T1 的栅极与源极之间设置电容 C_b ,其漏极与第一时钟信号输出端 CKV1 连接,其源极与本级输出端 OUT_n 连接;第二薄膜晶体管 T2 的栅极与第三薄膜晶体管 T3 的栅极连接,并连接下一级输出端 OUT_{n+1} ,其漏极与第一薄膜晶体管 T1 的源极连接,并连接本级输出端 OUT_n ,其源极与电源负端 VSS 连接;第三薄膜晶体管 T3 的栅极与第二薄膜晶体管 T2 的栅极连接,并连接下一级输出端 OUT_{n+1} ,其漏极分别与第一薄膜晶体管 T1 的栅极和第四薄膜晶体管 T4 的源极连接,其源极与电源负端 VSS 连接;第四薄膜晶体管 T4 的栅极与其漏极连接,其漏极分别与第五薄膜晶体管 T5 的漏极连接,并连接移位起始信号输出端 STV 或上一级输出端 OUT_{n-1} ,其源极分别与第一薄膜晶体管 T1 的栅极和第三薄膜晶体管 T3 的漏极连接;第五薄膜晶体管 T5 的栅极与第一时钟信号输出端 CKV1 连接,其漏极分别与第四薄膜晶体管 T4 的栅极和漏极连接,其源极与第六薄膜晶体管 T6 的漏极连接,并连接本级输出端 OUT_n ;第六薄膜晶体管 T6 的栅极与第二时钟信号输出端 CKV2 连接,其漏极与第五薄膜晶体管 T5 的源极连接,并连接本级输出端 OUT_n ,其源极与电源负端 VSS 连接。由于本发明上述薄膜晶体管直接沉积在阵列基板上,因此上述源极和漏极是相对的,实际使用中可以将相应的源极设置成漏极,将相应的漏极设置成源极。

[0024] 图 2 为本发明移位寄存器的工作时序图。如图 1a 和图 2 所示,对于位于第一个位置的移位寄存器,首先第一时钟信号输出端 CKV1 输出高电平(第二时钟信号输出端 CKV2 为低电平),由于第五薄膜晶体管 T5 的栅极与第一时钟信号输出端 CKV1 连接,所以第五薄膜晶体管 T5 启动,第五薄膜晶体管 T5 的源极与漏极导通;由于第五薄膜晶体管 T5 的漏极与移位起始信号输出端 STV 连接,第五薄膜晶体管 T5 的源极与本级输出端 OUT_n 连接,而此时移位起始信号输出端 STV 的输出为低电平,所以本级输出端 OUT_n 也为低电平,保持无效状态。此过程中,由于下一级输出端 OUT_{n+1} 为低电平,第二薄膜晶体管 T2 和第三薄膜晶体管 T3 处于截止状态;由于第二时钟信号输出端 CKV2 为低电平,第六薄膜晶体管 T6 处于截止状态。

[0025] 随后第二时钟信号输出端 CKV2 输出高电平(第一时钟信号输出端 CKV1 为低电平),由于第六薄膜晶体管 T6 的栅极与第二时钟信号输出端 CKV2 连接,所以第六薄膜晶体管 T6 启动,第六薄膜晶体管 T6 的源极与漏极导通;由于第六薄膜晶体管 T6 的漏极与本级输出端 OUT_n 连接,第六薄膜晶体管 T6 的源极与电源负端 VSS 连接,所以本级输出端 OUT_n 也为低电平,保持无效状态。此过程中,移位起始信号输出端 STV 的输出为高电平,由于第四薄膜晶体管 T4 的栅极与其漏极连接,所以第四薄膜晶体管 T4 则启动,第四薄膜晶体管 T4 的源极与漏极导通,第四薄膜晶体管 T4 的源极也为高电平,由于此时本级输出端 OUT_n 为低电平,所以处于高电平的第四薄膜晶体管 T4 的源极与低电平的本级输出端 OUT_n 之间的电容 C_b 充电。由于下一级输出端 OUT_{n+1} 为低电平,第二薄膜晶体管 T2 和第三薄膜晶体管 T3 处于截止状态。

[0026] 随后第一时钟信号输出端 CKV1 输出高电平(第二时钟信号输出端 CKV2 和移位起始信号输出端 STV 为低电平),则第五薄膜晶体管 T5 处于导通状态,第四薄膜晶体管 T4 处于截止状态,电容 C_b 积累的电荷使第一薄膜晶体管 T1 的栅极处于高电平,第一薄膜晶体管 T1 则启动,第一薄膜晶体管 T1 的源极与漏极导通,第一时钟信号输出端 CKV1 输出的高电平由本级输出端 OUT_n 输出。此过程中,由于下一级输出端 OUT_{n+1} 为低电平,第二薄膜晶体管 T2 和第三薄膜晶体管 T3 处于截止状态;由于第二时钟信号输出端 CKV2 为低电平,第六薄

膜晶体管 T6 处于截止状态。

[0027] 在此之后,移位起始信号输出端 STV 一直为低电平,第二时钟信号输出端 CKV2 输出高电平(第一时钟信号输出端 CKV1 为低电平),第六薄膜晶体管 T6 启动,第六薄膜晶体管 T6 的源极与漏极导通;由于第六薄膜晶体管 T6 的漏极与本级输出端 OUTn 连接,第六薄膜晶体管 T6 的源极与电源负端 VSS 连接,所以本级输出端 OUTn 也为低电平,保持无效状态。此过程中,由于下一级输出端 OUTn+1 为高电平,第二薄膜晶体管 T2 和第三薄膜晶体管 T3 处于导通状态,第二薄膜晶体管 T2 的源极与漏极导通使本级输出端 OUTn 与电源负端 VSS 连接,进一步保证了本级输出端 OUTn 的低电平,第三薄膜晶体管 T3 的源极与漏极导通使第四薄膜晶体管 T4 的源极与低电平的本地输出端 OUTn 之间的电容 Cb 放电。因此,无论第一薄膜晶体管 T1 和第二薄膜晶体管 T2 是否处于上拉(pull-up)或下拉(pull-down),本级输出端 OUTn 均保持无效状态。

[0028] 对于位于第二个位置及其以后位置的移位寄存器,其工作原理与前述过程基本相同,所不同的是,由于第四薄膜晶体管 T4 的栅极与上一级输出端 OUTn-1 连接,在上一级输出端 OUTn-1 输出高电平时,第四薄膜晶体管 T4 启动,使处于高电平的第四薄膜晶体管 T4 的源极与低电平的本地输出端 OUTn 之间的电容 Cb 充电,并在下一个时刻实现本级的高电平输出。

[0029] 如图 1b、图 2 所示,首先第一时钟信号输出端 CKV1 输出高电平(第二时钟信号输出端 CKV2 为低电平),第五薄膜晶体管 T5 启动,其源极与漏极导通,由于第五薄膜晶体管 T5 的漏极与低电平的上一级输出端连接,所以本级输出端也为低电平,保持无效状态。此过程中,第二薄膜晶体管 T2、第三薄膜晶体管 T3 和第六薄膜晶体管 T6 处于截止状态。

[0030] 随后第二时钟信号输出端 CKV2 输出高电平(第一时钟信号输出端 CKV1 为低电平),第六薄膜晶体管 T6 启动,其源极与漏极导通,由于第六薄膜晶体管 T6 的源极与电源负端 VSS 连接,所以本级输出端也为低电平,保持无效状态。此过程中,第二薄膜晶体管 T2 和第三薄膜晶体管 T3 处于截止状态。

[0031] 之后,第一时钟信号输出端 CKV1 输出高电平(第二时钟信号输出端 CKV2 为低电平),第五薄膜晶体管 T5 启动,其源极与漏极导通,由于此时上一级输出端输出高电平,而第五薄膜晶体管 T5 的漏极与上一级输出端连接,所以上一级输出端输出的高电平由本级输出端输出。此过程中,第二薄膜晶体管 T2、第三薄膜晶体管 T3 和第六薄膜晶体管 T6 处于截止状态。

[0032] 在此之后,上一级输出端一直为低电平,第二时钟信号输出端 CKV2 输出高电平(第一时钟信号输出端 CKV1 为低电平),第六薄膜晶体管 T6 启动,其源极与漏极导通,本级输出端为低电平,保持无效状态。此过程中,第二薄膜晶体管 T2 和第三薄膜晶体管 T3 处于导通状态,进一步保证了本级输出端的低电平,同时使第四薄膜晶体管 T4 的源极与低电平的本地输出端之间的电容 Cb 放电。因此,无论第一薄膜晶体管 T1 和第二薄膜晶体管 T2 是否处于上拉(pull-up)或下拉(pull-down),本级输出端均保持无效状态。

[0033] 其它位置移位寄存器的工作过程可通过如图 1b 所示结构和图 2 所示工作时序图得出,不再赘述。

[0034] 从本发明上述技术方案可以看出,本发明移位寄存器通过第一时钟信号输出端 CKV1 和第二时钟信号输出端 CKV2 依次输出的高电平有效保持了输出端的无效状态,栅线

不会出现漂浮,也不会受到与栅线相连的其它噪声电压的影响,移位寄存器可靠地保持无效状态,不会导致错误操作。

[0035] 本发明移位寄存器可以通过液晶显示器阵列工艺中的5次掩膜工艺或4次掩膜工艺来实现,通过在基板有源区域外的空余部分或基板边缘处排列薄膜晶体管,然后将其直接沉积在阵列基板上。

[0036] 图3为本发明栅极驱动装置的结构示意图。如图3所示,栅极驱动装置的主体结构包括五个移位寄存器、移位起始信号输出端STV、第一时钟信号输出端CKV1、第二时钟信号输出端CKV2和电源负端VSS,每个移位寄存器分别与电源负端VSS、第一时钟信号输出端CKV1和第二时钟信号输出端CKV2连接,其中每个移位寄存器与电源负端VSS连接用于接收栅极关断电压,每个移位寄存器与第一时钟信号输出端CKV1和第二时钟信号输出端CKV2连接用于接收第一时钟信号和第二时钟信号,进一步地,第一移位寄存器SFT1与第二移位寄存器SFT2的第二输出端OUT2连接,用于接收第二移位寄存器SFT2的第二输出信号,同时第一移位寄存器SFT1的第一输出端OUT1与第二移位寄存器SFT2连接,用于向第二移位寄存器SFT2输出第一输出信号。第二移位寄存器SFT2与第三移位寄存器SFT3的第三输出端OUT3连接,用于接收第三移位寄存器SFT3的第三输出信号,同时第二移位寄存器SFT2的第二输出端OUT2与第三移位寄存器SFT3连接,用于向第三移位寄存器SFT3输出第二输出信号。第三移位寄存器SFT3与第四移位寄存器SFT4的第四输出端OUT4连接,用于接收第四移位寄存器SFT4的第四输出信号,同时第三移位寄存器SFT3的第三输出端OUT3与第四移位寄存器SFT4连接,用于向第四移位寄存器SFT4输出第三输出信号。第四移位寄存器SFT4与第五移位寄存器SFT5的第五输出端OUT5连接,用于接收第五移位寄存器SFT5的第五输出信号,同时第四移位寄存器SFT4的第四输出端OUT4与第五移位寄存器SFT5连接,用于向第五移位寄存器SFT5输出第四输出信号。第五移位寄存器SFT5的第五输出端OUT5与第四移位寄存器SFT4连接,用于向第四移位寄存器SFT4输出第五输出信号。

[0037] 移位起始信号输出端STV首先输出起始脉冲,之后第一移位寄存器SFT1分别从第一时钟信号输出端CKV1和第二时钟信号输出端CKV2接收第一时钟信号和第二时钟信号,第一时钟信号为一高电平脉冲,第二时钟信号为紧接着第一时钟信号的一高电平脉冲,具有图1a所示结构的本发明第一移位寄存器SFT1工作,工作过程不再赘述;第一移位寄存器SFT1的第一输出端OUT1向第二移位寄存器SFT2输出第一输出信号后,第二移位寄存器SFT2分别从第一时钟信号输出端CKV1和第二时钟信号输出端CKV2接收第一时钟信号和第二时钟信号,第二时钟信号为一高电平脉冲,第一时钟信号为紧接着第二时钟信号的一高电平脉冲,具有图1b所示结构的本发明第二移位寄存器SFT2工作,重复上述流程,就实现了液晶显示器的逐行扫描。

[0038] 最后应说明的是:以上实施例仅用以说明本发明的技术方案而非限制,尽管参照较佳实施例对本发明进行了详细说明,本领域的普通技术人员应当理解,可以对本发明的技术方案进行修改或者等同替换,而不脱离本发明技术方案的精神和范围。

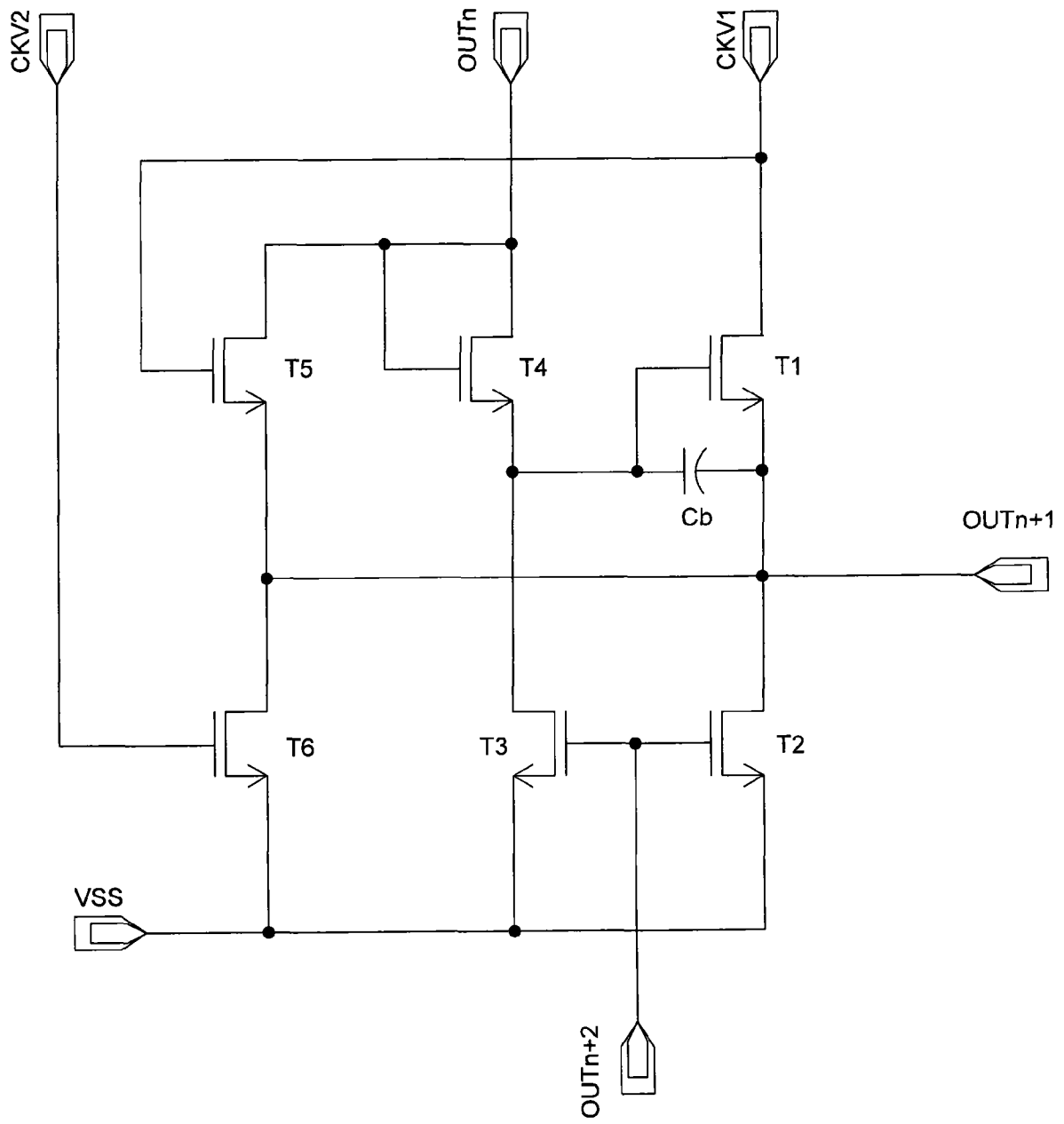


图 1b

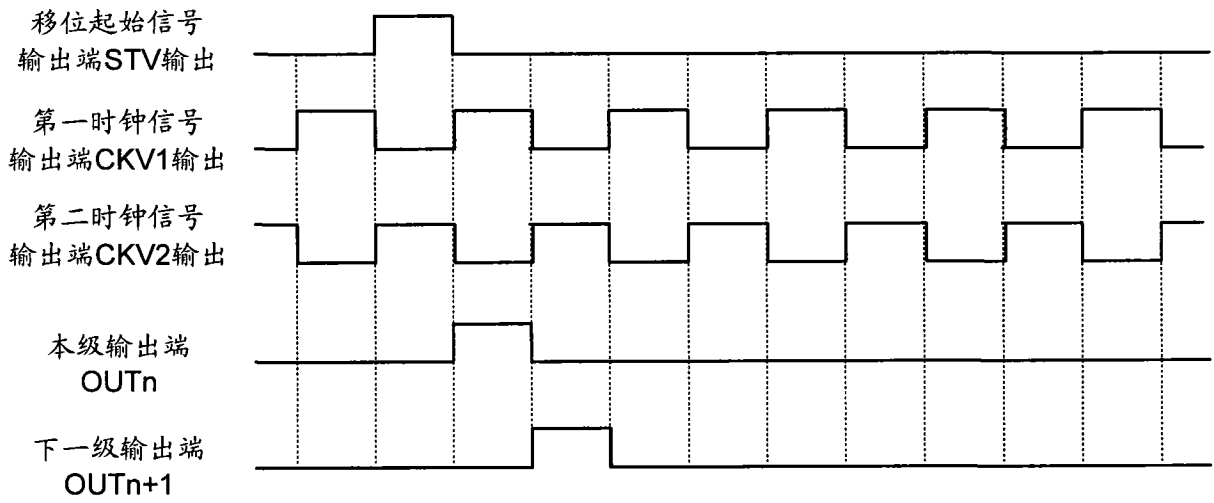


图 2

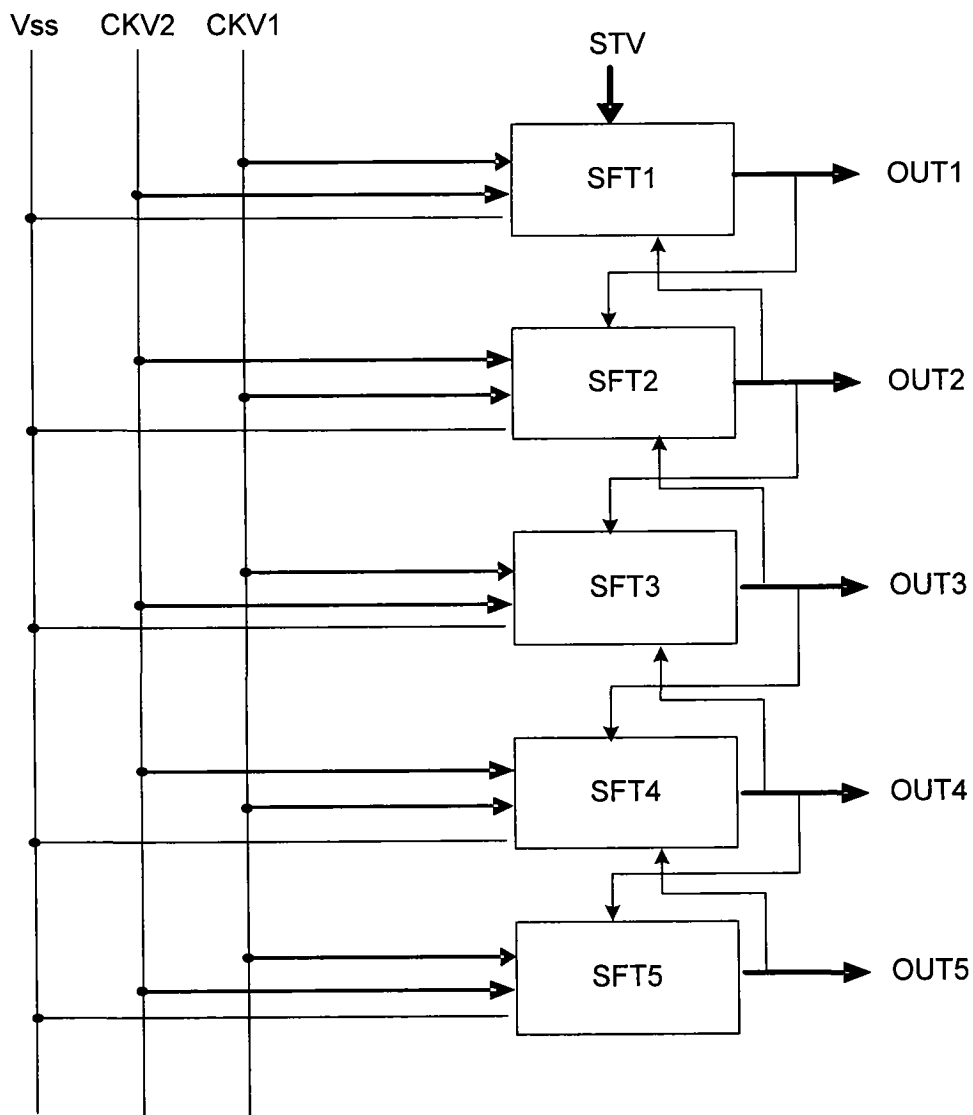


图 3

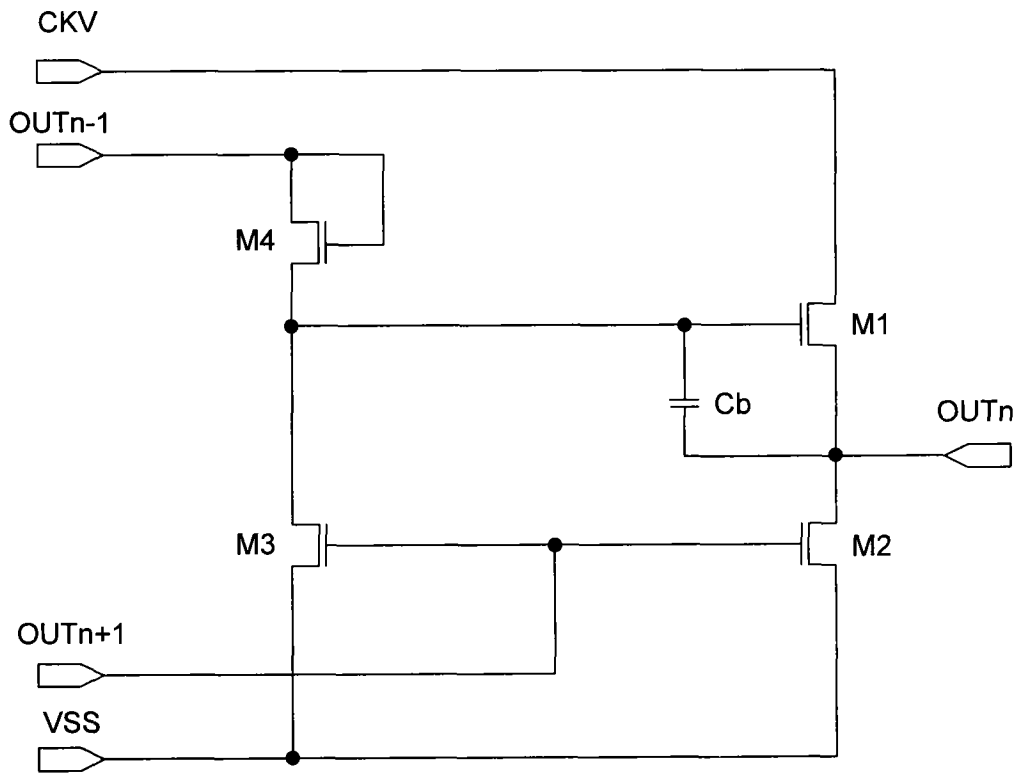


图 4