



(19) 中華民國智慧財產局

(12) 發明說明書公開本

(11) 公開編號：TW 201523710 A

(43) 公開日：中華民國 104 (2015) 年 06 月 16 日

(21) 申請案號：103129615

(22) 申請日：中華民國 103 (2014) 年 08 月 27 日

(51) Int. Cl. : *H01L21/28 (2006.01)* *G01N33/50 (2006.01)*

(30) 優先權：2013/08/27 日本 2013-176132

2013/08/28 日本 2013-177051

(71) 申請人：量子生物系統公司 (日本) QUANTUM BIOSYSTEMS INC. (JP)

日本

(72) 發明人：池田修二 IKEDA, SHUJI (JP)；歐德漢 馬克 OLDHAM, MARK (US)；諾德曼

艾瑞克 NORDMAN, ERIC (US)

(74) 代理人：陳長文

申請實體審查：無 申請專利範圍項數：69 項 圖式數：25 共 88 頁

(54) 名稱

奈米間隙電極及其製造方法

NANO-GAP ELECTRODE AND METHODS FOR MANUFACTURING SAME

(57) 摘要

本發明提供形成奈米間隙電極之方法。於一些情況中，可使用與第一電極形成部份接觸之側壁作為遮罩在第一電極形成部份與第二電極形成部份之間形成具有可藉由該側壁之膜厚度來調整之寬度之奈米間隙。可接著暴露該第一電極形成部份、該側壁及該第二電極形成部份之表面。可接著移去該側壁以在該第一電極形成部份與該第二電極形成部份之間形成奈米間隙。

The present disclosure provides methods for forming a nano-gap electrode. In some cases, a nano-gap having a width adjusted by a film thickness of a sidewall may be formed between a first electrode-forming part and a second electrode-forming part using sidewall which has contact with first electrode-forming part as a mask. Surfaces of the first electrode-forming part, the sidewall and the second electrode-forming part may then be exposed. The sidewall may then be removed to form a nano-gap between the first electrode-forming part and the second electrode-forming part.

- 1 . . . 奈米間隙電極
- 2 . . . 基板
- 3 . . . 矽基板
- 4 . . . 氧化矽層
- 5 . . . 電極
- 5a . . . 基底部份
- 5b . . . 電極前緣
- 6 . . . 電極
- 6a . . . 基底部份
- 6b . . . 電極前緣

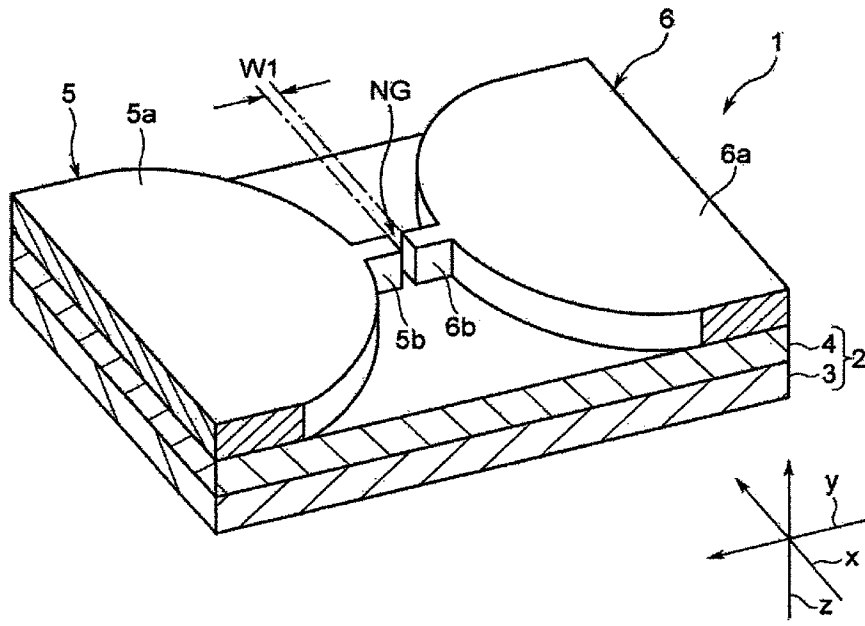


圖1

發明摘要

※ 申請案號：103129615

※ 申請日：103.8.27

※IPC 分類：H01L 21/28 (2006.01)

G01N 33/50 (2006.01)

【發明名稱】

奈米間隙電極及其製造方法

NANO-GAP ELECTRODE AND METHODS FOR
MANUFACTURING SAME

【中文】

本發明提供形成奈米間隙電極之方法。於一些情況中，可使用與第一電極形成部份接觸之側壁作為遮罩在第一電極形成部份與第二電極形成部份之間形成具有可藉由該側壁之膜厚度來調整之寬度之奈米間隙。可接著暴露該第一電極形成部份、該側壁及該第二電極形成部份之表面。可接著移去該側壁以在該第一電極形成部份與該第二電極形成部份之間形成奈米間隙。

【英文】

The present disclosure provides methods for forming a nano-gap electrode. In some cases, a nano-gap having a width adjusted by a film thickness of a sidewall may be formed between a first electrode-forming part and a second electrode-forming part using sidewall which has contact with first electrode-forming part as a mask. Surfaces of the first electrode-forming part, the sidewall and the second electrode-forming part may then be exposed. The sidewall may then be removed to form a nano-gap between the first electrode-forming part and the second electrode-forming part.

【代表圖】

【本案指定代表圖】：第（ 1 ）圖。

【本代表圖之符號簡單說明】：

- | | |
|----|--------|
| 1 | 奈米間隙電極 |
| 2 | 基板 |
| 3 | 矽基板 |
| 4 | 氧化矽層 |
| 5 | 電極 |
| 5a | 基底部份 |
| 5b | 電極前緣 |
| 6 | 電極 |
| 6a | 基底部份 |
| 6b | 電極前緣 |

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

無

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】

奈米間隙電極及其製造方法

NANO-GAP ELECTRODE AND METHODS FOR
MANUFACTURING SAME

【交叉參考】

本申請案主張2013年8月27日申請之日本專利申請案第JP 2013-176132號及2013年8月28日申請之第JP 2013-177051號之優先權，其等各以引用的方式以全文併入本文中。

【先前技術】

近年來，其中奈米級間隙形成於相對電極之間之電極結構(後文稱為奈米間隙電極)已成關注焦點。因此，對使用奈米間隙電極之電子裝置、生物裝置、及類似裝置實施主動研究。例如，已在生物裝置領域設想利用奈米間隙電極之用於分析DNA之核苷酸序列的分析型設備(參見(例如)WO2011/108540)。

於該分析型設備中，使單股DNA通過介於奈米間隙電極之電極之間之奈米級(中空)間隙(後文稱為奈米間隙)。可在單股DNA之鹼基通過介於電極之間之奈米間隙時測得流經該等電極之電流，因而能夠基於電流值來確定構成單股DNA之鹼基。

於如上文述及的該分析型設備中，若介於奈米間隙電極之電極之間之距離增加，則電流之可偵測值減小。此致使難以分析具有高感性之樣本。因此，希望介於電極之間之奈米間隙欲經形成為小尺寸。

製造奈米間隙電極之現有方法包括一種方法，其中形成於由金

或類似製成之電極形成層上之金屬遮罩(諸如鈦遮罩)藉由以聚焦離子束照射該遮罩而圖案化；透過該圖案化金屬遮罩暴露之底層電極層可進行乾法蝕刻，及可由該電極層形成奈米間隙，因而形成奈米間隙電極(參見(例如)日本特許公開專利案第2004-247203號)。

於製造如上文所述奈米間隙電極之該方法中，未被圖案化金屬遮罩覆蓋之經暴露之電極層係經乾法蝕刻以形成充當電極層中之奈米間隙之間隙。因此，形成於電極層中之間隙之最小寬度(遮罩寬度間隙)為金屬遮罩可經圖案化之最小寬度。該方法因此具有難以形成小於使用標準微影方法之該寬度之奈米間隙(習知奈米間隙)的問題。因此，近年來，尚需要開發一種新穎的可不僅形成與習知奈米間隙相同寬度之奈米間隙而且可形成甚至小於習知奈米間隙之奈米間隙的製造方法。

因此，本發明之一個目標係描述一種製造奈米間隙電極之方法，其可不僅形成與習知奈米間隙相同寬度之奈米間隙而且可形成其寬度甚至小於習知奈米間隙之奈米間隙。

本發明係關於一種奈米間隙電極及一種製造奈米間隙電極之方法。

聚焦離子束、電子束及奈米壓印技術已被描述為適用於建立可具有20奈米(nm)、可能係至少10 nm之寬度及深度之奈米通道。已描述其中通道寬度小於雙股DNA之回轉半徑之系統；但尚未描述寬度足夠小以小於單股DNA之回轉半徑之系統及方法。

需要具有足夠小尺寸以容許使樣本生物分子接近奈米間隙結構之奈米通道，其容許較高百分比之生物分子詢問，同時亦可防止二級結構在生物分子之不同部分之間形成。

然而，於製造如上所述奈米間隙電極之該方法中，未被圖案化金屬遮罩覆蓋之經暴露之電極層可經乾法蝕刻以形成可充當電極層中

之奈米間隙之間隙。因此，形成於電極層中之間隙之最小寬度(該寬度對應於遮罩間隙之寬度)為金屬遮罩可經圖案化之最小寬度。該方法因此具有難以形成小於可形成於金屬遮罩上之最小特徵部之寬度之奈米間隙的問題。

【發明內容】

本發明提供用於奈米間隙電極及奈米通道系統之裝置、系統及方法。提供於本文中之方法可用於形成具有小於利用目前可採行的其他方法形成之間隙之奈米間隙的奈米間隙電極。

於一些實施例中，一種製造奈米間隙電極之方法包括使用安置於電極形成部份上之側壁作為遮罩，及形成具有可藉由該電極形成部份上之側壁之膜厚度調整之寬度之奈米間隙。

於其他實施例中，一種製造奈米間隙電極之方法包括在形成於基板上之第一電極形成部份之橫向壁上形成側壁，且接著形成第二電極形成部份以鄰接於該側壁上，因而在該第一電極形成部份與該第二電極形成部份之間安置該側壁；及暴露該第一電極形成部份、該側壁及該第二電極形成部份之表面及移去該側壁，因而形成介於該第一電極形成部份與該第二電極形成部份之間之奈米間隙。

於其他實施例中，一種製造奈米間隙電極之方法包括使具有跨間隙彼此相對之橫向壁之間隙形成遮罩安置於電極形成部份上；於該間隙形成遮罩之兩個橫向壁上形成側壁，及暴露介於該等側壁之間之電極形成部份；及移去在該等側壁之間暴露的該電極形成部份以在其間形成奈米間隙。

於其他實施例中，一種製造奈米間隙電極之方法包括移去提供於間隙形成遮罩中之側壁以形成該間隙形成遮罩中之間隙來將該電極形成部份暴露於間隙外部；及移去暴露於間隙外部的該電極形成部份以形成於該間隙中之奈米間隙。

於其他實施例中，一種製造奈米間隙電極之方法包括在安置於電極形成部份上之側壁形成遮罩之橫向壁上形成側壁，且接著移去該側壁形成遮罩以垂直地構築該側壁；形成間隙形成遮罩以環繞該側壁；移去該側壁以形成該間隙形成遮罩中之間隙，及將該電極形成部份暴露於該間隙外部；及移去暴露於間隙外部的該電極形成部份以形成於該間隙中之奈米間隙。

於其他實施例中，一種製造奈米間隙電極之方法包括在安置於電極形成部份上之第一間隙形成遮罩之橫向壁上形成側壁，且接著形成第二間隙形成遮罩以鄰接於該側壁上，因而於該第一間隙形成部分與該第二間隙形成部分之間安置該側壁；暴露該第一間隙形成遮罩、該側壁及該第二間隙形成遮罩之表面及移去該側壁，因而形成介於該第一間隙形成遮罩與該第二間隙形成遮罩之間之間隙；及移去於該間隙中之電極形成部份以形成於該間隙中之奈米間隙。

根據本發明，可形成具有可藉由側壁之膜厚度調整之寬度的奈米間隙。因此，可不僅形成與習知奈米間隙相同寬度之奈米間隙，而且可形成其寬度甚至小於習知奈米間隙之奈米間隙。

根據本發明之一個態樣，一種製造奈米間隙電極之方法可包括：於相對的電極形成部份上膜形成化合物產生層，且接著進行熱處理；使該等電極形成部份與化合物產生層反應；藉由該反應形成兩個體積膨脹之相對電極；及藉由體積膨脹使該等電極之側壁彼此更靠近，因而形成介於該等電極之間之奈米間隙。

根據本發明之另一個態樣，一種製造奈米間隙電極之方法包括：

在位於基板上之一對相對的電極形成部份上形成選擇成與特定寬度一致之遮罩；

於該等電極形成部份上形成化合物產生層之膜；

進行熱處理以使該化合物產生層與該等電極形成部份反應以形成彼此相對的兩個電極及藉由由於該反應所致之體積膨脹穿透於該遮罩之下，因而藉由體積膨脹使得該等電極之側壁彼此之間相較於該遮罩之寬度更靠近；及

移去該遮罩及該電極形成部份之殘留於事先在該遮罩之下之區域中之任何未反應之部分，因而形成介於該等電極之間之奈米間隙。

根據本發明之另一個態樣，一種製造奈米間隙電極之方法包括：

於基板上形成彼此相對跨間隙安置之兩個電極形成部份；

於該等電極形成部份上形成化合物產生層之膜；及

進行熱處理以使該化合物產生層與該等電極形成部份反應以形成藉由該反應體積膨脹且彼此相對之兩個電極，因而使得該等電極部件之側壁藉由體積膨脹彼此更靠近以形成小於該間隙之奈米間隙。

於另一個實施例中，可製造如該等電極之體積膨脹量般多地減小的介於電極之間之間隙。因此，可提供一種具有甚至小於藉由標準微影處理形成之間隙之奈米間隙之奈米間隙電極，及提供一種製造奈米間隙電極之方法。

於一些實施例中，諸如於本文中描述為適用於形成奈米間隙電極結構之其等方法之方法可用於形成可能較可使用諸如電子束、離子束研磨、或奈米壓印微影之習知半導體製程所形成小之奈米通道。

本發明之一個態樣係提供一種製造具有至少一個奈米間隙之感測器之方法，該方法包括(a)提供與基板相鄰之第一電極形成部份、與該第一電極形成部份相鄰之側壁、及與該側壁相鄰之第二電極形成部份；(b)移去該側壁，因而形成介於該第一電極形成部份與該第二電極形成部份之間之奈米間隙；及(c)製造用作在其間安置目標物質時可偵測跨奈米間隙之電流之電極的該第一電極形成部份及該第二電

極形成部份。於一個實施例中，電流為穿隧電流。

於一個實施例中，製造用作電極之該第一電極形成部份及該第二電極形成部份包括移去該第一電極形成部份及該第二電極形成部份之至少一部分以提供電極。於另一個實施例中，該第一及/或第二電極形成部份係由金屬氮化物形成。於另一個實施例中，該第一及/或第二電極形成部份係由氮化鈦形成。於另一個實施例中，該基板包括與半導體層相鄰之半導體氧化物層。於另一個實施例中，該半導體為矽。

於一個實施例中，該側壁具有小於或等於約2奈米之寬度。於另一個實施例中，該寬度為小於或等於約1奈米。於另一個實施例中，該寬度為大於約0.5奈米。

於一個實施例中，該方法進一步包括於(c)之前暴露該第一電極形成部份、該側壁及該第二電極形成部份之表面。

於一個實施例中，該方法進一步包括於(b)之前移去該側壁之一部分使得介於第一電極形成部份與第二電極形成部份之間之側壁之橫截面具有四邊形形狀。

於一個實施例中，該方法進一步包括形成與奈米間隙交叉之通道。於另一個實施例中，該通道為經覆蓋之通道。

本發明之另一個態樣提供一種形成具有至少一個奈米間隙之感測器的方法，該方法包括(a)使具有彼此相對的跨間隙之橫向壁之間隙形成遮罩安置於與基板相鄰之電極形成部份上，其中該間隙具有第一寬度；(b)於該間隙形成遮罩之該等橫向壁上形成側壁，其中該電極形成部份係暴露於該等側壁之間；(c)移去該電極形成部份之暴露於該等側壁之間之一部分以在其間形成奈米間隙，其中該奈米間隙具有小於該第一寬度之第二寬度；(d)移去該等側壁以暴露該電極形成部份之由該奈米間隙間隔之部分；及(e)製造用作在其間安置目標物

質時可偵測跨奈米間隙之電流之電極之電極形成部份之部分。於一個實施例中，該電流為穿隧電流。

於一個實施例中，製造用作電極之電極形成部份之該等部分包括移去電極形成部份之該等部分以提供電極。於另一個實施例中，該基板包括與半導體層相鄰之半導體氧化物層。於另一個實施例中，該半導體為矽。

於一個實施例中，該第二寬度為小於或等於約2奈米。於另一個實施例中，該第二寬度為小於或等於約1奈米。於另一個實施例中，該第二寬度為大於約0.5奈米。

於一個實施例中，該目標物質為核酸分子，及其中該第二寬度小於核酸分子之直徑。於另一個實施例中，該間隙形成遮罩及該等側壁係由不同材料形成。

於一個實施例中，該方法進一步包括形成與奈米間隙交叉之通道。於另一個實施例中，該通道為經覆蓋之通道。

本發明之另一個態樣提供一種形成具有至少一個奈米間隙之感測器的方法，該方法包括(a)提供包含側壁之遮罩，其中該側壁係安置成與與基板相鄰之電極形成部份相鄰；(b)移去該側壁以在該遮罩中形成間隙，其中該間隙暴露該電極形成部份之一部分；(c)移去該電極形成部份之該部分以形成奈米間隙；(d)移去該遮罩以暴露該電極形成部份之由該奈米間隙間隔之該等部分；及(e)製造用作在其間安置目標物質時可偵測跨奈米間隙之電流之電極之電極形成部份之該等部分。於一個實施例中，該電流為穿隧電流。於另一個實施例中，該目標物質為核酸分子，及其中該側壁具有小於核酸分子之直徑之寬度。

於一個實施例中，製造用作電極之電極形成部份之該等部分包括移去該電極形成部份之該等部分以提供電極。

於一個實施例中，(a)包括(i)於與電極形成部份相鄰安置之第一遮罩之橫向壁上提供側壁，(ii)移去該第一遮罩，及(iii)形成與該側壁相鄰之第二遮罩，其中該遮罩包括該第二遮罩之至少一部分。於另一個實施例中，移去該第一遮罩使電極形成部份暴露。於另一個實施例中，該第二遮罩覆蓋該側壁。於另一個實施例中，於移去第一遮罩後，該側壁為具有小於或等於約10奈米(nm)、5 nm、4 nm、3 nm、2 nm、1 nm、0.9 nm、0.8 nm、0.7 nm、0.6 nm或0.5 nm之寬度之獨立側壁。

於一個實施例中，(a)包括(i)在與電極形成部份相鄰安置之第一遮罩之橫向壁上提供側壁，(ii)形成與該側壁相鄰之第二遮罩，及(iii)蝕刻該第二遮罩，其中該遮罩包括該第一遮罩及該第二遮罩之至少一部分。於另一個實施例中，形成與側壁相鄰之第二遮罩包括使該第二遮罩覆蓋該第一遮罩及該側壁。於另一個實施例中，蝕刻該第二遮罩包括蝕刻該第一遮罩及/或該側壁。

於一個實施例中，該方法進一步包括形成與奈米間隙交叉之通道。於另一個實施例中，該通道為經覆蓋之通道。

於一個實施例中，該基板包括與半導體層相鄰之半導體氧化物層。於另一個實施例中，該半導體為矽。

於一個實施例中，(a)進一步包括提供側壁形成層及蝕刻該側壁形成層以形成側壁。

於一個實施例中，該奈米間隙具有小於或等於約2奈米之寬度。於另一個實施例中，該寬度為小於或等於約1奈米。於另一個實施例中，該寬度為大於約0.5奈米。

於一個實施例中，該方法進一步包括形成與奈米間隙交叉之通道。於另一個實施例中，該通道為經覆蓋之通道。

本發明之另一個態樣提供一種製造奈米間隙電極感測器的方

法，該方法包括(a)提供具有第一材料之膜於具有第二材料之電極形成部份上，其中該電極形成部份係安置成與基板相鄰；(b)加熱該膜以使該第一及第二材料反應，因而形成體積膨脹且彼此相對之兩個電極部件，其中該等電極部件各者具有側壁；(c)藉由體積膨脹使該等電極部件之側壁朝向彼此，因而形成介於該等電極部件之間之奈米間隙；及(d)製造用作在其間安置目標物質時可偵測跨奈米間隙之電流之電極之該等電極部件。於一個實施例中，該電流為穿隧電流。

於一個實施例中，製造用作電極之該等電極部件包括移去該等電極部件之至少一部分以提供電極。於另一個實施例中，(a)包括(i)形成選擇成與電極形成部份之寬度一致之遮罩，(ii)於該電極形成部份上形成膜。於另一個實施例中，於形成兩個電極部件後，這兩個電極部件藉由由於反應所致之體積膨脹穿透至該遮罩中，因而使得該等電極部件之側壁朝向彼此。於另一個實施例中，該方法進一步包括移去遮罩及該等電極部件之殘留於該遮罩之下區域中之未反應部分，因而形成介於該等電極部件之間之奈米間隙。

於一個實施例中，該方法進一步包括形成與奈米間隙交叉之通道。於另一個實施例中，該通道為經覆蓋之通道。

本發明之另一個態樣提供一種製造具有至少一個奈米間隙電極之感測器的方法，該方法包括(a)提供兩個與基板相鄰之電極形成部份，其中該等電極形成部份係跨具有第一寬度之間隙彼此相對地安置；(b)於該等電極形成部份上形成化合物產生層之膜；(c)進行熱處理以促使該化合物產生層與該等電極形成部份中至少一者之間反應以形成藉由該反應體積膨脹的至少一個電極部件，因而使得該等電極形成部份之側壁藉由體積膨脹朝向彼此以形成具有小於第一寬度之第二寬度之奈米間隙；及(d)製造用作在其間安置目標物質時可偵測跨奈米間隙之電流之電極的該等電極形成部份。於一個實施例中，該電流

為穿隧電流。

於一個實施例中，製造用作電極之電極形成部份包括移去電極形成部份之多個部分以提供電極。於另一個實施例中，該化合物產生層為矽化物產生層，其中(c)包括使該等電極形成部份於反應期間矽化，及其中該等電極形成部份於矽化期間體積膨脹。

於一個實施例中，該第二寬度為小於或等於約2奈米。於另一個實施例中，該第二寬度為小於或等於約1奈米。於另一個實施例中，該第二寬度為大於約0.5奈米。

於一個實施例中，該目標物質為核酸分子，及其中該第二寬度小於核酸分子之直徑。

於一個實施例中，(c)包括該化合物產生層與該兩個電極形成部份之間之反應。於另一個實施例中，(c)包括該化合物產生層及僅一個該電極形成部份之間之反應。

於一個實施例中，該方法進一步包括形成與奈米間隙交叉之通道。於另一個實施例中，該通道為經覆蓋之通道。

本發明之另一個態樣提供一種包括跨奈米間隙相對安置於基板上之至少兩個電極部件之奈米間隙電極感測器，其中該等電極部件之相對側壁逐漸更靠近彼此及介於該等側壁之間之寬度逐漸變狹窄，及其中該等電極係經調適以在其間安置目標物質時可偵測跨該奈米間隙之電流。於一個實施例中，該電流為穿隧電流。

於一個實施例中，該等電極部件係由金屬矽化物形成。於另一個實施例中，該奈米間隙係形成為其中介於電極部件之側壁之間之距離隨著奈米間隙靠近基板而逐漸變寬之後緣彎曲形狀。於另一個實施例中，該等側壁包括與基板接觸之向外膨脹部分。

於一個實施例中，該感測器進一步包括與該奈米間隙交叉且流體連通之通道。於另一個實施例中，該通道為經覆蓋之通道。

熟習此項技藝者從以下詳細陳述當可明瞭本發明之其他態樣及優點，其中僅顯示並描述本發明之例示性實施例。當明瞭，本發明可具有其他且不同的實施例，及其若干詳細內容可具有呈不同明顯態樣之改良，其等均沒有脫離本發明。因此，附圖及說明將被視為示例性而非限制性。

[以引用的方式併入]

於本說明書中提及的所有公開案、專利案、及專利申請案係以引用之方式併入本文中，引用程度如同特定及個別指明各個別的公開案、專利案、或專利申請案以引用之方式併入般。

【圖式簡單說明】

本發明之新穎特徵係以特殊性陳述於隨附申請專利範圍中。參照以下陳述利用本發明之原理之例示性實施例之詳細描述及附圖(本文中亦稱為「圖」)當可更佳地明瞭本發明之特徵及優點，其中：

圖1為說明由製造方法製得之奈米間隙電極之組態之示意圖；

圖2A至2F為用於描述製造圖1之奈米間隙電極之方法之示意圖；

圖3A至3F為用於描述製造圖1之奈米間隙電極之方法之示意圖；

圖4為說明由製造方法製得之奈米間隙電極之組態之示意圖；

圖5為用於描述製造圖4之奈米間隙電極之方法之示意圖；

圖6A至6C為用於描述製造如圖4之奈米間隙電極之方法之示意圖；

圖7A至7C為用於描述製造圖4之奈米間隙電極之方法之示意圖；

圖8A至8C為用於描述製造奈米間隙電極之方法之示意圖；

圖9A至9B為用於描述製造圖8之奈米間隙電極之方法之示意圖；

圖10A至10C為用於描述製造奈米間隙電極之方法之示意圖；

圖11A至11B為用於描述製造圖10之奈米間隙電極之方法之示意圖；

圖12A至12D為用於描述製造圖1之奈米間隙之方法之示意圖；

圖13A至13F為用於描述與圖12A至12C相關聯之方法之其他示意圖；

圖14為顯示奈米間隙電極之示意圖；

圖15為顯示其中電極形成部份及遮罩形成於基板上之組態之示意圖；

圖16為用於描述製造奈米間隙電極之方法之示意圖；

圖17為用於描述製造奈米間隙電極之方法之另一示意圖；

圖18為顯示根據另一個實施例之奈米間隙電極之組態之示意圖；

圖19為用於描述製造奈米間隙電極之方法之示意圖；

圖20為用於描述製造奈米間隙電極之方法之另一示意圖；

圖21A至21C為顯示一些替代電極形狀之示意性俯視圖；

圖22A至22F為用於描述製造具有用於遞送DNA至奈米間隙電極之整合通道之奈米間隙電極的方法之橫截面之概視圖；

圖23為顯示用於遞送DNA至一或多個奈米間隙電極之整合通道之組態的示意性俯視圖；

圖24A至24C為用於描述使用單側膨脹方法來製造奈米間隙電極之方法之示意圖；及

圖25A至25C為用於描述使用垂直電極定向來製造奈米間隙電極之方法之示意圖。

【實施方式】

雖然已於本文中顯示並描述本發明之各種實施例，但熟習此項技藝者當明瞭該等實施例僅以實例方式提供。可由熟習此項技藝者在不脫離本發明下進行多種變動、改變、及代換。應明瞭可利用本文所述之本發明實施例之多種不同替代。

術語「間隙」如本文所用大致上係指形成或以其他方式提供於材料中之孔隙、通道或通路。該材料可為固態材料，諸如基板。間隙可鄰近或近接感測電路或耦合至感測電路之電極安置。於一些實例中，間隙具有0.1奈米(nm)至約1000 nm級之特徵寬度或直徑。具有奈米級寬度之間隙可稱為「奈米間隙」。

術語「電極形成部份」如本文所用大致上係指可用於建立電極之部分或部件。電極形成部份可為電極或可為電極之部分。例如，電極形成部份為與第二電導體電連通之第一電導體。於另一個實例中，該電極形成部份為電極。

術語「核酸」如本文所用大致上係指包含一或多個核酸子單元之分子。核酸可包含一或多個選自腺苷(A)、胞嘧啶(C)、鳥嘌呤(G)、胸腺嘧啶(T)及尿嘧啶(U)、或其變化形式之子單元。核苷酸可包含A、C、G、T或U、或其變化形式。核苷酸可包含可併入生長核酸鏈之任何子單元。該子單元可為A、C、G、T、或U、或任何其他對一或多個互補A、C、G、T或U具特異性、或與嘌呤(即，A或G、或其變化形式)或嘧啶(即，C、T或U、或其變化形式)互補之子單元。子單元可實現解析個別核酸鹼基或鹼基群組(例如，AA、TA、AT、GC、CG、CT、TC、GT、TG、AC、CA、或其尿嘧啶對應物)。於一些實例中，核酸為去氧核糖核酸(DNA)或核糖核酸(RNA)、或其衍生物。核酸可係單股或雙股。

本發明提供形成具有奈米間隙電極之感測器的方法，該感測器可用於諸如偵測生物分子(例如，核酸分子)之多種應用中。根據本文所提供之方法形成之奈米間隙電極可用於定序諸如去氧核糖核酸(DNA)、核糖核酸(RNA)、或其變化形式之核酸分子。

圖1顯示可根據本文所提供之方法形成之奈米間隙電極1。於該奈米間隙電極1中，相對的電極5及6係安置在基板2上。具有奈米級

(不大於(例如)1000奈米)寬度W1之奈米間隙NG(或孔隙)形成於電極5與6之間。奈米間隙電極1在由本文所述製造方法來製造之情況下可容許例如奈米間隙NG形成為具有0.1奈米(nm)至30 nm、或不大於2 nm、1 nm、0.9 nm、0.8 nm、0.7 nm、0.6 nm、或0.5 nm之寬度W1或如述於本文中之任何其他寬度。於一些情況中，W1係小於可為生物分子(例如，DNA或RNA)之目標物質之直徑。

基板2可由例如矽基板3及在其上形成之氧化矽層4組成。作為替代，基板2可包括其他半導體材料，包括第IV族或第III至V族半導體，諸如砷化鎘或砷化鎵(包括其氧化物)。基板2可具有其中成對的兩個電極5及6可形成於氧化矽層4上之組態。電極5及6可包含金屬材料，諸如氮化鈦(TiN)，及於一些實施例中，可近雙側對稱地跨奈米間隙NG形成於基板2上。於一些實施例中，電極5及6具有實質上相同的組態及可由形成奈米間隙NG之電極前緣5b及6b組成，及基底部份5a及6a可與電極前緣5b及6b之根部部分一體地形成。電極前緣5b及6b可包括(例如)其縱向方向可沿y方向延伸之矩形實體，及可經安置使得電極前緣5b及6b之頂面彼此相對；前緣5b及6b可具有曲線(未顯示)。

基底部份5a及6a可在其中心頂端處具有突部，於該處可形成電極前緣5b及6b。輕微彎曲表面可朝向各基底部份5a及6a之兩側以在中心處之其中心頂端形成。因此，基底部份5a及6a可經形成為具有定位在頂點之電極前緣5b及6b之彎曲形狀。應注意電極5及6可經組態使得在包含單股DNA之溶液例如係從與可為電極5及6之縱向方向之y方向正交的x方向供應及供應至可為電極5及6之垂直方向且可以直角與該y方向交叉之z方向時，該溶液可順著基底部份5a及6a之彎曲表面導引至電極前緣5b及6b以使該溶液可靠地輸入通過奈米間隙NG。

應注意，就如上所述組態之奈米間隙電極1而言，電流可自例如

電源(未顯示)供應給電極5及6，及可藉由安培計(未顯示)測量流經電極5及6之電流之值。因此，奈米間隙電極1容許單股DNA從x方向輸入通過介於電極5與6之間之奈米間隙NG；在單股DNA之鹼基輸入通過介於電極5與6之間之奈米間隙NG時容許安培計測量流經電極5及6之電流之值；及構成單股DNA之該等鹼基可基於相關電流值來確定。

於其他實施例中，本文描述一種製造在電極5與6之間具有奈米間隙NG之奈米間隙電極1之方法。可先製得基板2，為此氧化矽層4可形成於矽基板3上，及由例如氮化鈦(TiN)製成且具有橫向壁9a之四邊形第一電極形成部份9可利用光微影技術形成於氧化矽層4之預定區域上，正如圖2A及圖2B中所顯示，圖2B顯示圖2A中截面A-A'之橫截面視圖。

於隨後，如圖2C及圖2D所顯示，圖2C中對應於圖2A之其等之構成元件由類似參考數字表示及圖2D中對應於圖2B之其等之構成元件由類似參考數字表示，由與基板2之表面(於該情況中，氧化矽層4)之材料不同之材料諸如鈦(Ti)或氮化矽(SiN)製成之側壁形成層10可藉由例如CVD(化學氣相沉積)方法膜形成於第一電極形成部份9及基板2之經暴露之部分上。於該時間點，側壁形成層10可沿著第一電極形成部份9之橫向壁9a形成。欲形成於橫向壁9a上之側壁形成層10之膜厚度可根據奈米間隙NG之所欲寬度W1來選擇。換言之，在形成具有小寬度W1之奈米間隙NG之情況下，側壁形成層10可經形成具有小的膜厚度。另一方面，在形成具有大寬度W1之奈米間隙NG之情況下，側壁形成層10可經形成具有大的膜厚度。

於隨後，膜形成於第一電極形成部份9及基板2之經暴露之部分上之側壁形成層10可藉由例如乾法蝕刻回蝕刻而留下順著第一電極形成部份9之橫向壁9a之側壁形成層10之一部分。蝕刻製程可經組態成相對基板2垂直，或可成角度使得可至少部分地保護側壁形成層10之⁵

一部分以防藉由第一電極形成部份9之橫向壁9a蝕刻。因此，側壁11可順著第一電極形成部份9之橫向壁9a形成，如圖2E及圖2F所顯示，圖2E中對應於圖2C之其等之構成元件由類似參考數字表示，圖2F中對應於圖2D之其等之構成元件由類似參考數字表示。應注意依此方式形成之側壁11可自第一電極形成部份9之橫向壁9a之頂點朝向基板2逐漸增厚。因此，如本文所述，側壁11之最大厚度可為對應於欲在稍後形成之奈米間隙NG之寬度W1。

於隨後，如圖3A及圖3B所顯示，圖3A中對應於圖2E之其等之構成元件由類似參考數字表示，圖3B中對應於圖2F之其等之構成元件由類似參考數字表示，包含諸如氮化鈦(TiN)之金屬材料之第二電極形成部份12可藉由例如濺射方法形成於第一電極形成部份9、側壁11及基板2之經暴露之部分上。接著，第一電極形成部份9及側壁11、及第二電極形成部份12之覆蓋第一電極形成部份9及側壁11之區域可經拋光及可藉由平坦化處理諸如化學機械拋光或平坦化(CMP)而過度拋光。因此，第一電極形成部份9、側壁11及第二電極形成部份12之頂表面可暴露，如圖3C及圖3D所顯示，圖3C中對應於圖3A之其等之構成元件由類似參考數字表示，圖3D中對應於圖3B之其等之構成元件由類似參考數字表示。

於一些實施例中，可拋光側壁11之側表面之傾斜大的上區域及第二電極形成部份12之於側壁11及電極形成部份9上方之部分，及第一電極形成部份9、側壁11、及第二電極形成部份12可在平坦化處理中進行過度拋光直到介於第一電極形成部份9與第二電極形成部份12之間之側壁11之橫截面可經形成為實質上四邊形形狀。應注意僅可拋光第二電極形成部份12之覆蓋第一電極形成部份9及側壁11之該等區域，只要第一電極形成部份9、側壁11及第二電極形成部份12之表面可在進行平坦化處理時暴露出來。

接著，層狀光阻遮罩可形成於第一電極形成部份9、側壁11及第二電極形成部份12之經暴露之表面上，且接著可利用光微影技術圖案化第一電極形成部份9及第二電極形成部份12。於一些情況中，光阻遮罩可包含聚合材料，諸如聚(甲基丙烯酸甲酯)(PMMA)、聚(甲基戊二醯亞胺)(PMGI)、酚醛樹脂、或SU-8(參見Liu等人，「Process research of high aspect ratio microstructure using SU-8 resist」，*Microsystem Technologies* 2004，V10, (4), 265，其係以引用之方式全文併入本文中)。該遮罩可用於形成用於基底部份5a及6a之輕微曲面、及用於電極前緣5b及6b之突部。因此，可形成具有部分地基於第一電極形成部份9之預定形狀之電極5及具有部分地基於第二電極形成部份12之預定形狀之電極6，如圖3E及圖3F所顯示，圖3E中對應於圖3C之其等之構成元件由類似參考數字表示，圖3F中對應於3D之其等之構成元件由類似參考數字表示，因而形成其中電極前緣5b及6b可跨側壁11彼此相對安置於基板2上之結構。介於電極前緣5b與6b之間之側壁11可藉由例如濕法蝕刻移去。因此，可形成具有與介於電極前緣5b與6b之間之側壁11之寬度W1相同的寬度W1之奈米間隙NG，及可製造如圖1所顯示之奈米間隙電極1。由於側壁11可由與(例如)位於基板2之表面上之氧化矽層4不同的材料諸如氮化物(N)或於一些情況中氮化矽(SiN)形成，故可選擇性地僅移去側壁11及可靠地將電極5及6留於基板2上。

於一些情況中，製得第一電極形成部份9及第二電極形成部份12，其係用作在其間安置目標物質(例如，生物分子，諸如DNA或RNA)時可偵測跨奈米間隙之電流之電極。該電流可為穿隧電流。該電流可於目標物質流動通過奈米間隙時偵測到。於一些情況中，耦合至電極之感測電流提供電極兩端外加電壓以產生電流。替代或另外地，該等電極可用於測量且/或確定與目標物質(例如，核酸分子之鹼⁵

基)相關聯之電導率。於此情況中，穿隧電流可與電導率相關。

於一些情況中，側壁11可形成於可事先形成於基板2上之第一電極形成部份9之橫向壁9a上，及第二電極形成部份12可形成於該第一電極形成部份9、側壁11及基板2之經暴露之部分上。此後，可移去第二電極形成部份12之部分以暴露被第二電極形成部份12覆蓋之第一電極形成部份9及側壁11之部分，因而暴露基板2上之第一電極形成部份9、側壁11及第二電極形成部份12。接著，可移去介於第一電極形成部份9與第二電極形成部份12之間之側壁11以在其間形成奈米間隙NG。此後，第一電極形成部份9及第二電極形成部份12可經圖案化以形成其中奈米間隙NG可設於電極前緣5b與6b之間之電極5及6。

於本發明之如上所述的該製造方法中，可形成具有可藉由側壁11之膜厚度調整之所欲寬度W1之奈米間隙NG。此外，可形成具有極小膜厚度之側壁11。因此可形成具有對應於側壁11之寬度W1之極小寬度W1之奈米間隙NG。

於一些實施例中，具有寬度W1之奈米間隙NG可藉由使用與第一電極形成部份9相鄰安置之側壁11作為遮罩來控制形成於第一電極形成部份9與第二電極形成部份12之間之側壁11之膜厚度進行調整。因此，可不僅形成具有與習知奈米間隙相同的寬度W1之奈米間隙NG，而且可形成寬度W1甚至小於習知奈米間隙之奈米間隙NG。

應注意，於上述實施例中，已將第二電極形成部份12描述為在製造過程中直接形成於第一電極形成部份9上，如圖3B所顯示。於其他實施例中，可使用於表面上之亦包括硬遮罩之第一電極形成部份9，從而不直接在第一電極形成部份9上形成第二電極形成部份12。即使於此情況中，可形成第二電極形成部份12以鄰接側壁11，及將側壁11安置於第一電極形成部份9與第二電極形成部份12之間。因此，可藉由移去側壁11形成介於第一電極形成部份9與第二電極形成部份12

之間之奈米間隙NG。

在如圖4所顯示之其他實施例中，圖4繪示替代奈米間隙電極21，其中其頂表面彼此相對之柱狀電極25及26係安置於基板上。其寬度W1可為奈米級(不大於例如1000 nm)之奈米間隙NG可形成於電極25與26之間。於一些實施例中，奈米間隙電極21可由如本文所述之製造方法來製造，及奈米間隙NG可經形成為0.1 nm至30 nm、或不大於2 nm、1 nm、0.9 nm、0.8 nm、0.7 nm、0.6 nm、或0.5 nm之寬度W1、或如本文所述之任何其他寬度。

於一些實施例中，基板22可包括形成於例如矽基板(未顯示)上之氧化矽層27，及電極支撐部件28及29可彼此相對地安置於氧化矽層27上。於基板表面上，一個電極25可安置於一個電極支撐部件28上，及與電極25成對之另一電極26可安置於電極支撐部件29上。

應注意電極支撐部件28及29二者可由包含金屬之材料諸如氮化鈦(TiN)製成，及可近雙側對稱地跨所形成之預定間隙形成於介於電極支撐部件28與29之間之基板之上，其中電極支撐部件28及29之前表面可與氧化矽層27之前表面齊平。於一些實施例中，電極支撐部件28及29可具有實質上相同的組態及可由可在其上固定電極25及26之經膨脹之電極支撐部件28b及29b組成，及基底部份28a及29a可一體地形成於經膨脹之電極支撐部件28b及29b之根部部分，其中經膨脹之電極支撐部件28b及28b自電極形成基底部份28a及29a突出。於一些實施例中，電極支撐部件28及29之經膨脹之電極形成部份28b及29b可經形成為實質上半圓形形狀，及電極形成基底部份28a及29a可輕微朝其之具有經膨脹之電極形成部份28b及29b之中心前緣之兩個橫向部分傾斜，其中經膨脹之電極部件28b及29b可經定位位於接近其中點之中心軸上。因此，電極支撐部件28及29可呈整體以經膨脹之電極部件28b及29b作為頂點凸面地形成。

此外，柱狀電極25及26可由諸如碳奈米管之導電材料形成，其中電極25及26之外圓周表面可分別固定於經膨脹之電極部件28b及29b上。因此，電極25及26可經安置，使得其縱向方向沿y方向延伸及其頂表面彼此相對。

應注意，於如上所述組態之奈米間隙電極21中，電流可自例如電源(未顯示)供應給電極25及26，及可藉由安培計(未顯示)測量流經電極25及26之電流之值。因此，奈米間隙電極21容許單股DNA藉由導引構件(未顯示)從x方向輸入，至少部分地通過介於電極25與26之間之奈米間隙NG；允許安培計測量在單股DNA之鹼基輸入通過介於電極25與26之間之奈米間隙NG時流經電極25及26之電流之值；及構成單股DNA之鹼基將基於該等電流值而確定。

於一些實施例中，一種製造奈米間隙電極21之方法可包括製造介於電極25與26之間之奈米間隙NG。參照圖5，具有預定形狀之電極支撐部件28及29可以貼近氧化矽層27方式形成。接著，柱狀電極形成部份31可從電極支撐部件28在氧化矽層27之表面上之表面至另一電極支撐部件29之表面，以橋接於電極支撐部件28及29之經膨脹之電極部件28b及29b之上而形成。於圖5中，構成元件對應於圖4之其等及由類似參考數字表示。圖6A顯示沿著圖5中截面B-B'之橫截面組態。

於隨後，如圖6B所顯示，圖6B中對應於圖6A之其等之構成元件由類似參考數字表示，光阻遮罩之膜層可應用於電極形成部份31、氧化矽層27、及電極支撐部件28及29上。此後，樹脂遮罩32可藉由使用光罩34暴露並顯影而圖案化，該光罩34中可形成具有大於如圖4所顯示奈米間隙NG之寬度W1之寬度W2之開口34a。應注意，當充當間隙形成遮罩之光阻遮罩32經圖案化時，開口34a係位於光罩34之欲形成電極形成部份31之奈米間隙NG之區域中。

於隨後，如圖6C所顯示，圖6C中對應於圖6B之其等之構成元件由類似參考數字表示，橫向壁33a及33b跨其彼此相對安置之具有其間寬度W2之間隙32a可由光阻遮罩32之對應於如圖4所顯示之奈米間隙NG欲形成之區域之區域形成。因此，電極形成部份31可透過間隙32a暴露。於隨後，如圖7A所顯示，圖7A中對應於圖6C之其等之構成元件由類似參考數字表示，可包含與表面氧化矽層27及電極支撐部件28及29之材料不同的材料諸如鈦(Ti)或氮化矽(SiN)之側壁形成層35可膜形成於光阻遮罩32上及於電極形成部份31及氧化矽層之暴露於間隙32a中之部分上，該間隙32a係自光阻遮罩32藉由例如氣相沉積技術諸如(例如)化學氣相沉積(CVD)形成。於該時間點，可具有預定膜厚度之側壁形成層35亦可形成於間隙32a中之光阻遮罩32之橫向壁33a及33b上。

於隨後，膜形成於電極形成部份31及氧化矽層27上之側壁形成層35可藉由例如乾法蝕刻回蝕刻於由光阻遮罩32形成之間隙32a中以順著光阻遮罩32之橫向壁33a及33b留下側壁形成層35。因此，側壁37可順著光阻遮罩32之橫向壁33a及33b形成，如圖7B所顯示，圖7B中對應於圖7A之其等之構成元件由類似參考數字表示。於一些情況中，側壁37可從光阻遮罩32之橫向壁33a及33b之頂點朝向電極形成部份31及氧化矽層27逐漸增厚。因此，間隙32a之寬度W2之變窄量可為兩個側壁37之組合厚度般多。該增厚可用於選擇適用於各種應用(諸如目標分子偵測)中之奈米間隙寬度。

因此，可使電極形成部份31可跨過而暴露於間隙32a中之寬度W1小於由光阻遮罩32形成之間隙32a之寬度W2，減少量為側壁37之膜厚度。於隨後，可藉由例如乾法蝕刻移去電極形成部份31之暴露於介於彼此相對安置之側壁37之間之W1寬的間隙中之部分。因此，具有寬度W1之奈米間隙NG可形成於側壁37之間，及可形成跨奈米間隙NG⁵

彼此相對安置之兩個電極25及26，如圖7C所顯示，圖7C中對應於圖7B之其等之構成元件由類似參考數字表示。

電極形成部份31可透過而暴露於如本文所述由光阻遮罩32形成之間隙32a中之寬度W1可充當欲最終形成之奈米間隙NG之寬度W1。因此，於光阻遮罩32之橫向壁32a及32b上形成側壁形成層35之製程中，側壁形成層35之膜厚度可根據奈米間隙NG之所欲寬度W1來選擇。換言之，在形成具有小寬度W1之奈米間隙NG之情況下，側壁形成層35可極厚地形成以減小暴露於由光阻遮罩32形成之間隙32a中之電極形成部份31之寬度W1。另一方面，在形成具有大寬度W1之奈米間隙NG之情況下，側壁形成層35可極薄地形成以增加暴露於由光阻遮罩32形成之間隙32a中之電極形成部份31之寬度W1。

最終，可藉由例如濕法蝕刻移去側壁37之位於電極25及26及氧化矽層27上之部分。此後，可藉由剝除移去位於電極25及26及氧化矽層27上之光阻遮罩32。因此，可形成具有介於電極25與26之間之奈米間隙NG之奈米間隙電極21，如圖4所顯示。應注意，於此情況中，先移去側壁37，且接著移去光阻遮罩32。或者，可先移去光阻遮罩32，且接著可移去側壁37。

於上述組態中，包括跨間隙彼此相對之橫向壁33a及33b之光阻遮罩32可形成於電極形成部份31上，側壁37可分別形成於光阻遮罩32之兩個橫向壁33a及33b上，電極形成部份31係暴露於側壁37之間，且接著可以移去暴露於側壁37之間之電極形成部份31以形成奈米間隙NG。

於如上所述之該製造方法中，除了由光阻遮罩32形成之間隙32a之寬度W2以外，可藉由調整各側壁37之膜厚度來形成具有所欲寬度W1之奈米間隙NG。此外，側壁37可依該製造方法形成於由光阻遮罩32形成之橫向壁33a及33b上，及因此，可使由光阻遮罩32形成之間隙

32a之寬度W2之減小量與側壁37之膜厚度般多。因此，可形成具有甚至小於形成於經圖案化之光阻遮罩32中之間隙32a之寬度W2之寬度W1之奈米間隙NG。

根據上述組態，具有可藉由側壁37之膜厚度調整之寬度W1之奈米間隙NG可使用安置於電極形成部份31上之側壁37作為遮罩之一部分形成於電極形成部份31上。因此，可不僅形成寬度W1與習知奈米間隙相同的奈米間隙NG，而且可形成寬度W1甚至小於利用習知微影技術形成之習知奈米間隙之奈米間隙NG。

於一些情況中，具有間隙32a之光阻遮罩32可直接形成於電極形成部份31上。於其他實施例中，於可在其上形成硬遮罩之表面上之電極形成部份可用於形成在硬遮罩中具有間隙之間隙形成遮罩，及間隙形成遮罩可安置於藉由硬遮罩形成之間隙中之電極形成部份上。

於該實施例中，可只移去暴露於形成於由光阻遮罩32形成之兩個橫向壁33a及33b上之側壁37之間之硬遮罩材料以形成硬遮罩中之間隙。接著，可藉由例如乾法蝕刻移去透過位於側壁37之間之硬遮罩中之間隙之電極形成部份31之一部分，因而形成介於側壁37之間之奈米間隙NG。

亦如本文所述，可應用光阻遮罩32作為遮罩。於其他實施例中，可應用由除了光阻以外之多種材料中的一種材料製成之遮罩，只要可以形成間隙及可於該間隙之橫向壁上形成側壁。應注意，欲最終製得之奈米間隙電極可為如圖7C所顯示之側壁37可於原位留下而非被移去之奈米間隙電極。或者，作為隨後製程之一部分，可移去側壁。於一些實施例中，光阻遮罩32可於原位留下；作為替代，可移去光阻遮罩32。

於本文中描述的是製造顯示於圖4中之奈米間隙電極21之替代方法。於一些實施例中，可先製造基板，於其上可鄰接氧化矽層27形成⁵

可具有預定形狀之電極支撐部件28及29。接著，由碳奈米管製成之電極形成部份31可自一個電極支撐部件28在氧化矽層27之表面上之表面至另一電極支撐部件29之表面形成或應用，如圖5所顯示，以橋接於電極支撐部件28及29之經膨脹之電極部件28b及29b之上。

於其他實施例中，電極形成部份31可包括金、Pt或其他金屬或合金奈米線，或可包括半導體奈米線，其中奈米線可具有奈米之直徑，或可具有大至數奈米或更大之直徑。

於其他實施例中，電極形成部份31可包括金屬或合金或半導體之薄層(例如，單層)。於隨後，由例如光阻材料製成之側壁形成遮罩40之層可經形成為於電極形成部份31及氧化矽層27上之膜。此後，側壁形成遮罩40可利用光微影技術經圖案化。因此，如圖8A所顯示，圖8A顯示圖5中截面B-B'之橫截面組態，側壁形成遮罩40之橫向壁40a可形成於電極形成部份31及氧化矽層27上，與欲形成如圖4所顯示之電極形成部份31之奈米間隙NG之區域對齊。

於隨後，側壁形成層(未顯示)可經形成為於側壁形成遮罩40及電極形成部份31及氧化矽層27之經暴露部分上之膜，該膜可包含與電極形成部份31之材料不同的材料諸如鈦(Ti)或氮化矽(SiN)。此後，側壁形成層可藉由乾法蝕刻回蝕刻以順著側壁形成遮罩40之橫向壁40a留下側壁形成層之一部分。因此，側壁37可順著側壁形成遮罩40之橫向壁40a而形成，如圖8A所顯示。應注意，依此方式形成之側壁37可從側壁形成遮罩40之橫向壁40a之頂點朝向電極形成部份31及氧化矽層27逐漸增厚。因此，側壁37之最大厚度可為欲最終形成之奈米間隙NG之寬度W1。

於隨後，如圖8B所顯示，圖8B中對應於圖8A之其等之構成元件由類似參考數字表示，可移去側壁形成遮罩40以留下垂直構築於電極形成部份31上之側壁37。於此情況中之側壁可為獨立側壁。獨立側壁

可具有小於或等於約10奈米(nm)、5 nm、4 nm、3 nm、2 nm、1 nm、0.9 nm、0.8 nm、0.7 nm、0.6 nm或0.5 nm之寬度。參照圖8C，其中對應於圖8B之其等之構成元件由類似參考數字表示，可充當間隙形成遮罩之光阻遮罩41可形成於電極形成部份31及氧化矽層27上。如上所述之該光阻遮罩41可藉由將光阻塗料塗佈於電極形成部份31及氧化矽層27之經暴露部分上及使該光阻塗料硬化來形成。其中，光阻塗料可經選擇以形成可為低黏度之光阻遮罩41。因此，即使光阻塗料在塗佈於例如電極形成部份31及氧化矽層27時黏著至側壁37之上部，該塗料亦由於塗料本身的重量及離心形成為均勻膜時之離心力及類似而從側壁37之上部脫落。因此，側壁37之上部可於不被埋藏於光阻塗料中下暴露。因此，側壁37之上部可從光阻遮罩41之表面暴露出來。

應注意，若光阻塗料之黏度極高及其黏著至側壁37之上部之任何部分於其上硬化，及因此呈整體之側壁37由光阻遮罩41覆蓋，或若光阻遮罩41具有大的膜厚度，及因此呈整體之側壁37由光阻遮罩41覆蓋，則側壁37之上部可藉由如圖8C所顯示回蝕刻光阻遮罩41而從光阻遮罩41之表面暴露出來。

於隨後，如圖9A所顯示，圖9A中對應於圖8C之其等之構成元件由類似參考數字表示，其上部可以暴露之側壁37可藉由例如濕法蝕刻移去，以在光阻遮罩41之側壁37所處區域中形成間隙42。因此，電極形成部份31可透過間隙42暴露。接著，如圖9B所顯示，圖9B中對應於圖9A之其等之構成元件由類似參考數字表示，電極形成部份31之透過光阻遮罩41之間隙42暴露之部分可藉由例如乾法蝕刻移去，因而形成奈米間隙NG，其中電極25及26跨奈米間隙NG彼此相對安置於電極形成部份31上。

電極形成部份31可透過如本文所述光阻遮罩41之間隙42暴露而跨過的寬度充當如圖4所顯示將於隨後形成之奈米間隙NG之寬度⁵

W1。因此，於形成側壁形成層於側壁形成遮罩40之橫向壁40a上之製程中，側壁形成層之膜厚度可根據奈米間隙NG之所欲寬度W1來選擇。換言之，在形成具有小寬度W1之奈米間隙NG之情況下，側壁形成層可極薄地形成以減小透過光阻遮罩41之間隙42暴露之電極形成部份31之寬度。另一方面，在形成具有大寬度W1之奈米間隙NG之情況下，側壁形成層可極厚地形成以增加透過光阻遮罩41之間隙42暴露之電極形成部份31之寬度。

最終，於電極25及26上及氧化矽層27上之光阻遮罩41可藉由例如剝除移去。因此，可形成具有如圖4所顯示介於電極25與26之間之奈米間隙NG之奈米間隙電極21。於其他實施例中，光阻遮罩41可於原位留下，及可例如用作DNA可移動通過以與電極25及26相互作用之通道。

於上述組態中，側壁37可形成於安置於電極形成部份31上之側壁形成遮罩40之橫向壁40a上，且接著可移去側壁形成遮罩40以垂直構築側壁37。光阻遮罩41可經形成以環繞側壁37。接著，可移去經光阻遮罩41環繞之側壁37以形成光阻遮罩41中之間隙42及透過間隙42暴露電極形成部份31。此後，可移去透過間隙42暴露之電極形成部份31之任何部分以形成於間隙42中之奈米間隙NG。

於本文所述之該製造方法中，欲形成於光阻遮罩41中之間隙42之寬度可藉由調整各側壁37之膜厚度來調整。因此，欲形成於間隙42中之奈米間隙NG可經形成為所欲寬度W1。此外，由於側壁37可經形成具有極小膜厚度，故可形成具有對應於側壁37之厚度之極小寬度W1之奈米間隙NG。

根據上述組態，具有可藉由側壁37之膜厚度調整之寬度W1之奈米間隙NG可使用安置於電極形成部份31上之側壁37作為遮罩形成於電極形成部份31上。因此，可不僅形成寬度W1與習知奈米間隙相同

的奈米間隙NG，而且可形成寬度W1甚至小於習知奈米間隙之奈米間隙NG。

應注意，如上文所述，其中使側壁形成層順著側壁形成遮罩40之橫向壁40a保留以形成可垂直構築為壁形狀之側壁37。於其他實施例中，僅可移去側壁形成遮罩40上之側壁形成層以順著側壁形成遮罩40之橫向壁40a留下側壁形成層。此外，可使側壁形成層保留於不存在側壁形成遮罩40之氧化矽層27及電極形成部份31之處上。因此，可形成具有具有L型橫截面之底表面之側壁。

充當間隙形成遮罩之側壁形成遮罩40及光阻遮罩41可由光阻材料形成。於其他實施例中，側壁形成遮罩及間隙形成遮罩可由各種其他材料形成。

本發明提供製造如圖4所顯示之奈米間隙電極21之方法。應注意，將於此處省略如圖4所顯示奈米間隙電極21之組態之說明以避免重複前述的說明。於一些實施例中，可先製造基板，於其上與氧化矽層27相鄰形成具有預定形狀之電極支撐部件28及29。接著，如圖5所顯示，由碳奈米管製成之電極形成部份31可自一個電極支撐部件在氧化矽層27之表面上之表面至另一電極支撐部件29之表面形成，以橋接於電極支撐部件28及29之經膨脹之電極部件28b及29b之上。

此外，可由例如氮化矽(SiN)製成之蝕刻終止膜(未顯示)可形成於電極形成部份31及氧化矽層27上，其中，以防止可包含碳奈米管之電極形成部份31於稍後描述的可藉由濕法蝕刻移去側壁之製造過程中被蝕刻。

於隨後，可由例如多晶矽或非晶型矽製成之層狀第一間隙形成遮罩可藉由CVD方法或類似方法形成為電極形成部份31及氧化矽層27上蝕刻終止膜上之膜。此後，第一間隙形成遮罩可利用光微影技術經圖案化。因此，如圖10A所顯示，圖10A繪示製造具有圖5中截面B-B⁵

之橫截面視圖之裝置之方法，第一間隙形成遮罩45之橫向壁45a可形成於蝕刻終止膜(未顯示)上，該蝕刻終止膜可位於與可形成如圖4所顯示電極形成部份31之奈米間隙NG之區域對齊之電極形成部份31及氧化矽層27上。

於隨後，可由可為與電極形成部份31之材料不同的材料例如氧化矽製成之側壁形成層(未顯示)可經形成為於電極形成部份31及氧化矽層27上之蝕刻終止膜及第一間隙形成遮罩45上之膜。此後，側壁形成層可藉由乾法蝕刻進行回蝕刻以順著第一間隙形成遮罩45之橫向壁45a留下側壁形成層。因此，側壁37可順著第一間隙形成遮罩45之橫向壁45a形成，如圖10A所顯示。應注意，依此方式形成之側壁37可自第一間隙形成遮罩45之橫向壁45a之頂點朝向電極形成部份31及氧化矽層27及蝕刻終止膜逐漸增厚。因此，側壁37之最大厚度可為欲於隨後形成之奈米間隙NG之寬度W1。

於隨後，如圖10B所顯示，圖10B中對應於圖10A之其等之構成元件由類似參考數字表示，可由例如多晶矽或非晶型矽製成之第二間隙形成遮罩46可藉由CVD方法或類似方法形成為於位於電極形成部份31及氧化矽層27上之蝕刻終止膜(未顯示)上、於側壁37及於第一間隙形成遮罩45上之膜。

接著，可拋光第二間隙形成遮罩46之覆蓋第一間隙形成遮罩45及側壁37之區域、第一間隙形成遮罩45及側壁37，及可藉由諸如CMP之平坦化製程過度拋光。因此，可暴露第一間隙形成遮罩45、側壁37及第二間隙形成遮罩46之表面，如圖10C所顯示，圖10C中對應於圖10B之其等之構成元件由類似參考數字表示。

於一些實施例中，可拋光側壁37之側表面之傾斜大的上區域及可拋光第一間隙形成遮罩45、側壁37、及第二間隙形成遮罩46，及可以平坦化製程操作中過度拋光直到介於第一間隙形成遮罩45與第二間

隙形成遮罩46之間之側壁37之橫截面可經形成為實質上四邊形形狀。應注意，於一些實施例中，僅可拋光第二間隙形成遮罩46之覆蓋第一間隙形成遮罩45及側壁37之區域，只要第一間隙形成遮罩45、側壁37、及第二間隙形成遮罩46之表面可在進行平坦化製程操作時暴露。

於隨後，如圖11A所顯示，其中對應於圖10C之其等之構成元件由類似參考數字表示，位於第一間隙形成遮罩45與第二間隙形成遮罩46之間之側壁37可藉由例如濕法蝕刻移去以形成具有與側壁37相同的寬度之間隙49。因此，於電極形成部份31上之蝕刻終止膜(未顯示)可透過間隙49暴露。

接著，如圖11B所顯示，其中對應於圖11A之其等之構成元件由類似參考數字表示，蝕刻終止膜(未顯示)及電極形成部份31之透過介於第一間隙形成遮罩與第二間隙形成遮罩46之間之間隙49暴露之部分可藉由例如乾法蝕刻移去，因而於電極形成部份31中形成奈米間隙NG及跨奈米間隙NG彼此相對安置之電極25及26。

如上所述位於第一間隙形成遮罩45與第二間隙形成遮罩46之間之間隙49中之電極形成部份31之寬度充當如圖4所顯示欲於隨後形成之奈米間隙NG之寬度W1。因此，於形成側壁形成層於第一間隙形成遮罩45之橫向壁45a上之製程中，側壁形成層之膜厚度可根據奈米間隙NG之所欲寬度W1來選擇。換言之，在形成具有小寬度W1之奈米間隙NG之情況下，側壁形成層可極薄地形成以減小暴露於介於第一間隙形成遮罩45與第二間隙形成遮罩46之間之間隙49中之電極形成部份31之寬度。另一方面，在形成具有大寬度W1之奈米間隙NG之情況下，側壁形成層可極厚地形成以增加暴露於介於第一間隙形成遮罩45與第二間隙形成遮罩46之間之間隙49中之電極形成部份31之寬度。

最終，位於電極25及26及氧化矽層27上之第一間隙形成遮罩45及第二間隙形成遮罩46可藉由例如濕法蝕刻移去。因此，可形成如圖5

4所顯示具有介於電極25與26之間之奈米間隙NG之奈米間隙電極21。

於上述組態中，側壁37可形成於安置於電極形成部份31上之第一間隙形成遮罩45之橫向壁45a上，且接著第二間隙形成遮罩46可經形成以鄰接於側壁37上。因此，側壁37可安置於第一間隙形成遮罩45與第二間隙形成遮罩46之間。接著，可暴露第一間隙形成遮罩45、側壁37、及第二間隙形成遮罩46之表面，及可移去側壁37以形成介於第一間隙形成遮罩45與第二間隙形成遮罩46之間之間隙49。因此，奈米間隙NG可藉由移去間隙49中電極形成部份31之一部分來形成。

於本文所述之該製造方法中，可藉由調整側壁37之膜厚度來形成具有所欲寬度W1之奈米間隙NG。此外，側壁37可經形成為具有極小膜厚度。因此，可形成具有對應於側壁37之厚度之極小寬度W1之奈米間隙NG。此外，不像在習知的製造方法中，該製造方法不需要在形成奈米間隙NG時將金屬遮罩圖案化。因此，可在不需過度努力下形成奈米間隙NG。

根據上述組態，具有可藉由側壁37之膜厚度調整之寬度W1之奈米間隙NG可使用安置於電極形成部份31上之側壁37作為遮罩而形成於電極形成部份31中。因此，不僅可形成與習知奈米間隙相同寬度W1之奈米間隙NG，而且可形成寬度W1甚至小於習知奈米間隙之奈米間隙NG。

於一些情況中，第二間隙形成遮罩46可直接形成於第一間隙形成遮罩45上，如圖10B所顯示。於其他實施例中，可使用於其上形成硬遮罩之表面上之第一間隙形成遮罩45，而不直接於第一間隙形成遮罩45上形成第二間隙形成遮罩46。即使於此情況中，亦可將側壁37安置於第一間隙形成遮罩45與第二間隙形成遮罩46之間。因此，可藉由移去側壁37形成介於第一間隙形成遮罩45與第二間隙形成遮罩46之間之間隙49。

應注意，本發明並不受限於本發明實施例，但可經過修改並以本發明標的範疇內之多種其他方法來實施。例如，多種材料可用作電極5及6(25及26)、基板2、氧化矽層4(27)側壁11(37)、及類似之材料。此外，第一電極形成部份9、第二電極形成部份12、及電極5及6可具有各種不同形狀。同樣地，電極形成部份31及電極25及26可具有各種不同形狀。

例如，雖然將電極形成部份31描述為由碳奈米管製成，但本發明係不受限於該等實施例。例如，電極形成部份可由具有包括簡單矩形實體及柱狀形狀之多種其他形狀中之一種形狀之金屬材料形成。

於本文中，將結合圖6及7之描述，描述如所述之製造方法。若(例如)由矩形實體形狀金屬材料製成之電極形成部份係經應用作為電極形成部份，則具有開口32a之光阻遮罩32可安置於矩形實體形狀電極形成部份上，側壁37可順著光阻遮罩32之兩個橫向壁33a及33b形成，及可移去電極形成部份之暴露於側壁37之間之部分。因此，可形成介於側壁37之間及跨奈米間隙NG彼此相對安置之矩形實體形狀電極之間之奈米間隙NG。

參照圖6至11，電極支撐部件28及29可與氧化矽層27相鄰地形成於基板上及電極形成部份31可安置於電極支撐部件28及29之表面上。或者，具有不同形狀之電極形成部份可安置於基板上，其中電極支撐部件28及29不與氧化矽層27相鄰安置於基板上，但可簡單地提供氧化矽層起或可僅由矽基板組成。或者，電極形成部份可安置於基板上，及電極支撐部件可突出地形成於其兩側上電極形成部份之上部上。因此，實施例可具有其中電極形成部份位於在基板上經安置以使彼此相對之兩個電極支撐部件之間之組態。

此外，於上述實施例中，已描述奈米間隙電極1(21)，其中單股DNA可至少部分地通過介於電極5與6(25與26)之間之奈米間隙NG，

及可用安培計測量單股DNA之鹼基通過介於電極5及6(25及26)之間之奈米間隙NG時流經電極5及6(25及26)之電流之值。然而，本發明並不受限於該等實施例。奈米間隙電極可用於多種其他應用中。於一些實施例中，奈米間隙可用於雙股DNA，及可因此經製造為具有可更適用於測量雙股DNA之不同尺寸。於其他實施例中，奈米間隙可用於諸如胺基酸、脂質、或碳水化合物之其他生物分子，及可因此製造為具有適用於各類型生物分子之寬度。

於隨附圖6至11之描述中，已描述其中側壁11或37可經形成以使其應用自橫向壁之頂點朝向氧化矽層27逐漸增厚作為側壁之方法。於其他實施例中，膜厚度取決於膜形成位置不同的側壁形成層可於各種膜形成條件(溫度、壓力、使用的氣體、流動比、及類似)下形成，而非以依形方式形成膜於側壁上。因此，可存在一種應用至側壁之膜，該側壁經形成以使其自頂點朝向氧化矽層逐漸變薄，或該側壁之寬度可在頂點與氧化矽層之間之中間位置處或各個其他位置處具有最大寬度。

本發明提供一種製造具有介於電極5與6之間之奈米間隙NG之奈米間隙電極1之方法。可先製造基板2，對該基板2而言氧化矽層4可形成於矽基板3上。於隨後，可新增電極形成層79及由例如氮化矽(SiN)製成且具有橫向壁72a之第一遮罩72可利用光微影技術形成於電極形成層79之預定區域上。

於隨後，如圖12A所顯示，由與電極形成層79之表面(其可包含氮化鈦)之材料不同的材料諸如鈦(Ti)製成之側壁形成層80可藉由例如化學氣相沉積(CVD)技術形成為於電極形成部份79及基板2之經暴露部分上之膜。於此時間點，側壁形成層80可順著第一遮罩72之橫向壁72a形成。欲形成於橫向壁72a上之側壁形成層80之膜厚度可根據奈米間隙NG之所欲寬度W1來選擇。換言之，在形成具有小寬度W1之奈

米間隙NG之情況下，側壁形成層80可經形成為具有小的膜厚度。另一方面，在形成具有大寬度W1之奈米間隙NG之情況下，側壁形成層80可經形成為具有大的膜厚度。

於隨後，如圖12B所顯示，膜形成於第一遮罩72及電極形成層79之經暴露部分上之側壁形成層80可藉由例如乾法蝕刻而蝕刻以順著第一遮罩72之橫向壁72a留下側壁形成層80之一部分。該蝕刻製程可經組態為相對基板2垂直，或可成角度使得可至少部分地保護側壁形成層80之一部分以防藉由第一遮罩72之橫向壁72a蝕刻。

於隨後，如圖12C所顯示，第二遮罩73可藉由例如濺射方法來沉積。

於隨後，如圖12D所顯示，第一遮罩72及側壁形成層80及第二遮罩73之區域可進行拋光或可藉由諸如CMP(化學及機械拋光)之平坦化製程進行過度拋光。

於隨後，如圖13A(中心橫截面視圖)及圖13B(俯視圖)所顯示，可應用光阻層並圖案化。可接著蝕刻除去第一遮罩72及第二遮罩73之藉由圖案化光阻74暴露留下之部分。可接著如圖13C(中心橫截面視圖)及圖13D(俯視圖)所顯示移去經圖案化之光阻74，從而暴露殘留遮罩層。殘留的第一遮罩72及殘留的第二遮罩73可接著用於蝕刻電極形成層79，及可於隨後如圖13E(中心橫截面視圖)及圖13F(俯視圖)所顯示移去，從而建立如圖1所顯示結構。

於圖14中，參考數字1表示根據本發明之一個實施例之奈米間隙電極。於該奈米間隙電極1中，相對電極15及16可安置於基板2上。具有可為奈米級(例如，不大於1000 nm)之最小寬度W1之中空間隙G1可形成於該等電極15與16之間。基板2可包括例如矽基板3及形成於其上之氧化矽層4。因此，基板2可具有其中成對之兩個電極15及16可形成於氧化矽層4上之組態。

於一些實施例中，形成於電極15與16之間之間隙G1可包含遮罩寬度間隙G2及較對應於遮罩寬度間隙G2之寬度W2狹窄之奈米間隙NG。本發明之奈米間隙電極1之特徵在於其可形成較利用製造過程中使用的遮罩形成之遮罩寬度間隙G2之寬度W2(於稍後描述)狹窄之奈米間隙NG。於一些實施例中，奈米間隙NG可經形成為具有0.1 nm至30 nm之最小寬度W1、或不大於10 nm、不大於5 nm、不大於2 nm、不大於1 nm、或不大於0.5 nm之寬度W1、或1.5 nm至0.3 nm、或1.2 nm至0.5 nm、或0.9 nm至0.65 nm、或1.2 nm至0.9 nm、或1.0 nm至0.8 nm、或0.8 nm至0.7 nm之寬度W1。如本文所述之寬度可用於任何本文所述奈米間隙之間隙間距。

實務上，該等電極15及16各者可由金屬矽化物之多種類型中之一種類型形成，包括矽化鈦、矽化鋁、矽化鉑、矽化鎳、矽化鈷、矽化鈮、及矽化鈮或其組合、或矽化物與其他材料之合金，或可為可經如可通常用於半導體之摻雜之各種材料摻雜之矽化物。電極15及16可具有相同組態及可雙側對稱地跨奈米間隙NG形成於基板2上。於電極部件15及16各別端之側壁15a及16a可跨奈米間隙NG彼此相對安置。實務上，於一些實施例中，電極15及16可由其縱截面可為四邊形及其縱向方向可沿y方向延伸之矩形實體組成。電極15及16可經安置使得其長邊中心軸定位於相同y軸直線上，及使得側壁15a及16a之前表面彼此相對。

凸肩15b及16b可包括可形成為電極15及16之側壁15a及16a之上角之L型凹穴。此外，後緣彎曲表面15c及16c逐漸緩慢凹入，對應於距離形成於側壁15a及16a中之凸肩15b及16b之底表面增加的向下距離。因此，橋接於電極15及16及其間之間隙之上的四邊形遮罩寬度間隙G2可形成於凸肩15b與16b之間。因此，奈米間隙NG形成於彎曲表面15c與16c之間，對應於電極末端之間之距離，其越靠近基板2而逐漸

增寬。

於其他實施例中，在形成遮罩寬度間隙G2之凸肩15b及16b上方的表面可藉由例如CMP拋光來移去，以僅留下介於電極15與16之間之奈米間隙NG。

應注意，於如上所述組態之奈米間隙電極1中，電流可自例如電源(未顯示)供給電極15及16，及可用安培計(未顯示)測量流經電極15及16之電流值。因此，奈米間隙電極1容許單股DNA自與可為電極15及16之縱軸之y軸正交之x方向、及/或自可為電極15及16之高度軸並以直角與y軸交叉之z方向通過介於電極15與16之間之奈米間隙NG；可使用安培計以測量單股DNA之鹼基通過介於電極15與16之間之奈米間隙NG時流經電極15及16之電流值；及構成單股DNA之鹼基可基於電流值來確定。

於一些實施例中，一種製造如上所述奈米間隙電極1之方法可包括一種方法，其中可如圖15中所顯示製造基板2，由此可為氧化矽層4之層可形成於可為矽基板3之基板上。接著，可為矩形形狀及可由矽製成且可具有沿y軸延伸之縱軸之電極形成部份18可利用微影技術形成於氧化矽層4上。於隨後，可由氮化矽(SiN)製成之遮罩層19(未顯示)可經形成為於基板2及電極形成部份18上之膜；該遮罩層19可使用可藉由標準微影製程圖案化之光阻遮罩來形成。

因此，可具有矩形橫截面及可由氮化矽(SiN)製成之遮罩層19可經形成以便順著與可為電極形成部份18之縱軸之y軸正交之x軸橋接於電極形成部份18之上。應注意，在可形成電極15及16之情況下，遮罩層19之寬度W2可用來形成介於電極15與16之間之遮罩寬度G2。於一些實施例中，可因此期望改變圖案化光阻遮罩之方法以便選擇遮罩層19之寬度W2，此可能需要使對應於遮罩層19之寬度W2之光阻遮罩之寬度最小化之方法。

於本文中，將使注意力集中於以圖15中橫截面A-A'及B-B'圖解說明之結構以描述製造奈米間隙電極1之方法。圖16A顯示圖15中橫截面A-A'之結構，而圖16B顯示圖15中橫截面B-B'之結構。如圖16C及圖16D所顯示，圖16C中對應於圖16A之其等之構成元件由類似參考數字表示，圖16D中對應於圖16B之其等之構成元件由類似參考數字表示，可由諸如鈦、鉬、鉑、鎳、鈷、鈮或鈮之金屬元素製成之矽化物產生層52可藉由例如濺射形成為於遮罩層19及電極形成部份18上之膜。應注意，於此時間點，矽化物產生層52亦可形成為於基板2上之膜，該基板2可暴露於未被遮罩層19及電極形成部份18覆蓋之區域中。

於隨後，可進行熱處理以使電極形成部份18與矽化物產生層52反應。因此，電極形成部份18之與矽化物產生層52接觸之部分可經矽化以形成電極15，如圖16E及圖16F所顯示，圖16E中對應於圖16C之其等之構成元件由類似參考數字表示，圖16F中對應於圖16D之其等之構成元件由類似參考數字表示。

於一些情況中，此刻可能難以在電極形成部份18之於遮罩層19下方之區域中形成矽化物，該區域中矽化物產生層52並非係如圖16E所顯示形成為膜。矽化物產生層52金屬元素自遮罩層19之兩個橫向側朝向於遮罩層19下方之區域擴散；矽化亦在接近遮罩層19之非與矽化物產生層52直接接觸之兩個橫向部分之下區域中進行。因此，電極15及16可自遮罩層19之兩個橫向側形成於遮罩層19下方。於此情況中，電極15及16可形成於遮罩層19下方，因矽化物產生層52金屬元素從遮罩層19之兩個橫向部分附近擴散於遮罩層19下方且因而形成矽化物之結果。因此，電極15及16膨脹(體積膨脹)至大於電極形成部份18之遮罩層未覆蓋之區域之體積的體積。因此，電極15及16之側壁15a及16a(特定言之，彎曲表面15c及16c)可經形成以便彼此間相較遮罩層19

之下部之寬度W2更靠近。

亦於該情況中，電極形成部份18之矽化可繼續進行直到到達氧化矽層4。因此，可形成與氧化矽層4接觸之電極15及16。就如上所述之電極15及16而言，電極15及16之側壁15a及16a(彎曲表面15c及16c)於遮罩層19下方之位置可藉由適宜地選擇電極形成部份18之膜厚度、矽化物產生層52之膜厚度、及在加熱處理時之溫度、加熱時間及類似來控制。介於側壁15a與16a之間之最小寬度W1可因此設為例如0.1 nm至30 nm、或如本文所述之任何寬度，及可控制彎曲表面15c及16c之彎曲度。

於隨後，如圖17A及圖17B所顯示，圖17A中對應於圖16E之其等之構成元件由類似參考數字表示，圖17B中對應於圖16F之其等之構成元件由類似參考數字表示，可藉由蝕刻移去矽化物產生層52之殘留於遮罩層19及氧化矽層4上之未反應部分。此後，如圖17C及圖17D所顯示，圖17C中對應於圖17A之其等之構成元件由類似參考數字表示，圖17D中對應於圖17B之其等之構成元件由類似參考數字表示，可藉由蝕刻移去遮罩層19以形成介於電極部件15與16之凸肩15b與16b之間之遮罩寬度間隙G2。

若矽化物產生層52係由例如鈷形成，則電極15及16可包含矽化鈷(CoSi)。此後，可藉由使用硫酸(H₂SO₄)及過氧化氫(H₂O₂)之液體混合物之濕法蝕刻移去矽化物產生層52之殘留於遮罩層19及氧化矽層4上之任何未反應部分。

於一些實施例中，如圖17E及圖17F所顯示，圖17E中對應於圖17C之其等之構成元件由類似參考數字表示，圖17F中對應於圖17D之其等之構成元件由類似參考數字表示，可藉由蝕刻或類似移去電極形成部份18之殘留於氧化矽層4上之電極15與16之間之任何未反應部分以暴露電極15及16之彎曲表面15c及16c，因而形成介於彎曲表面15c

與16c之間之中空奈米間隙NG。因此，可製得如圖14所顯示之奈米間隙電極1。

於上述組態中，遮罩層19可依照形成特定寬度來選擇，及可形成於可位於基板2上之電極形成部份18上，及矽化物產生層52可經形成為於電極形成部份18上之膜。此後，可進行熱處理以使矽化物產生層52與電極形成部份18反應以形成藉由由反應所導致之體積膨脹穿透於遮罩層19下方之兩個相對電極15及16，因而藉由體積膨脹使得電極15與16之側壁15a與16a彼此間相較遮罩層19之寬度更靠近。接著，可移去遮罩層19及電極形成部份18之殘留於遮罩層19之下區域中之任何未反應部分。奈米間隙NG可因此形成於電極15與16之間。因此，可製造具有甚至小於使用圖案化遮罩層19形成之遮罩寬度間隙G2之奈米間隙NG的奈米間隙電極1。

於如上所述之該奈米間隙電極1中，電極15及16自遮罩層19之兩個橫向部分穿透於遮罩層19下方之程度若適宜則可簡單地藉由選擇電極形成部份18之膜厚度、矽化物產生層52之膜厚度、及在製造過程中用於矽化電極形成部份18之熱處理時間及加熱溫度來控制。因此，可輕易地形成甚至較遮罩層19之遮罩寬度間隙G2狹窄之奈米間隙NG。此外，於如上所述之該製造方法中，可在電極15與16之間形成較遮罩寬度間隙G2狹窄之奈米間隙NG，該遮罩寬度間隙G2具有較可利用微影技術在使用遮罩層19之情況下形成之最小寬度小之最小寬度。

於一些製造奈米間隙電極之方法中，奈米間隙可藉由直接地使用利用暴露及顯影圖案化之光阻遮罩蝕刻電極層形成於兩個相對電極之間。由於可藉由暴露及顯影形成於光阻遮罩中之最小寬度可為10 nm級，故利用該等方法極難形成較該寬度狹窄之奈米間隙。

另一方面，於製造本文所述奈米間隙電極之方法之一些實施例中，電極15及16之側壁15a及16a在遮罩層19下方之區域中彼此更為靠

近，歸因於隨後製造製程中之體積膨脹，即使可藉由習知製造微影技術形成於光阻遮罩中之最小寬度 W_2 可為10 nm，及結果為，遮罩層19之最小寬度 W_2 可為5 nm至10 nm。因此可形成具有不大於2 nm、1 nm、0.9 nm、0.8 nm、0.7 nm、0.6 nm、或0.5 nm、或如本文所述之任何間隙間距之寬度之奈米間隙NG，該寬度可比最小寬度 W_2 小5 nm至10 nm。

於一些情況中，矽化物產生層52可經形成為於電極形成部份18上之膜，且接著可進行熱處理；電極形成部份18及矽化物產生層52可因而與彼此反應；可形成兩個相對的經體積膨脹之電極15及16；及電極15及16之側壁15a及16a可藉由體積膨脹使得彼此間更為靠近，因而形成介於電極15與16之間之奈米間隙NG。因此可製得減少量如矽化量般多的介於電極15與16之間之遮罩寬度間隙 G_2 。因此，可製造具有甚至小於由習知微影製程形成之間隙之奈米間隙NG之奈米間隙電極1。

於如上所述之該製造方法中，可形成彎曲表面15c及16c，藉此電極15及16之相對側壁15a及16a可逐漸彼此更靠近。因此可製得一種奈米間隙電極1，其中介於側壁15a與16a之間之寬度因彎曲表面15c及16c之彎曲而逐漸變狹窄。

於一些情況中，電極15及16可經形成以與氧化矽層4接觸。作為替代，電極15及16不需要形成為與氧化矽層4接觸，及電極形成部份18之未反應部分可形成於氧化矽層4與電極15及16之間。於該實施例中，電極形成部份18之未反應部分可藉由適宜地選擇電極形成部份18及矽化物產生層52之膜厚度及矽化電極形成部份18之熱處理時間及溫度，而殘留於氧化矽層4與電極15及16之間。

於如圖18所說明之另一個實施例中，圖18中對應於圖14之其等之構成元件由類似參考數字表示，顯示奈米間隙電極21。描繪一種具⁵

有具有最小寬度 W_1 之奈米間隙NG之奈米間隙電極21，其為奈米級(不大於1000 nm)，可形成於電極23與24之間。奈米間隙電極21之特徵在於其可形成較使用遮罩利用標準微影製程形成之遮罩寬度間隙之寬度狹窄之奈米間隙NG。奈米間隙NG可經形成為具有0.1 nm至30 nm、或不大於2 nm、1 nm、0.9 nm、0.8 nm、0.7 nm、0.6 nm、或0.5 nm之最小寬度 W_1 ，或可為如本文所述之任何寬度。

電極23及24可由金屬矽化物之各種類型中之一或多種類型形成，包括矽化鈦、矽化鋁、矽化鉑、矽化鎳、矽化鈷、矽化鈮、及矽化鈮、或其組合。電極23及24可具有相同組態及可雙側對稱地跨奈米間隙NG形成於基板2上。在電極23及24之各別端之處之側壁23a及24a可跨奈米間隙NG彼此相對安置。於一些實施例中，電極23及24可包括其縱截面可為四邊形及其縱軸可沿y方向延伸之矩形實體。電極23及24可經安置使得其長邊中心軸可定位於相同y軸直線及可經定位使得側壁23a及24a之前表面可彼此相對。

於一些實施例中，向外膨脹之部分可形成於電極23及24之側壁23a及24a之與基板2接觸之區域。因此，電極23及24容許形成於其間之奈米間隙NG之寬度進一步窄化為經膨脹之部分23b及24b彼此相對之區域中之最小寬度 W_1 。

於一些實施例中，利用奈米間隙電極21，電流可自例如電源(未顯示)供給電極23及24，及可用安培計(未顯示)測量於電極23與24之間之電流值。因此，奈米間隙電極21容許單股DNA從與可為電極23及24之縱軸之y軸正交之x軸、及/或從可為電極23及24之高度軸且以直角與y軸交叉之z軸通過介於電極23與24之間之奈米間隙NG；可使用安培計以測量在單股DNA之鹼基通過介於電極23與24之間之奈米間隙NG時流經電極23及24之電流值；及構成單股DNA之鹼基可基於電流值來確定。

於一些實施例中，一種製造方法可用於製造奈米間隙電極21，該方法包括可製造其中氧化矽層4可形成於矽基板3上之基板2，及矽層可因此形成於氧化矽層4上。於隨後，光阻層可經形成為於該矽層上之膜，及該光阻層可接著藉由暴露及顯影圖案化以形成遮罩(光阻遮罩)。

於隨後，可使用遮罩將矽層圖案化。接著，如圖19A所顯示，可跨遮罩寬度間隙G3彼此相對之兩個電極形成部份56及57可由矽層形成。應注意，於此情況中，電極形成部份56及57可經形成為可為矩形之實體形狀，其可具有與y軸平行延伸之縱軸方向。此外，電極形成部份56及57可經安置使得其長邊中心軸可定位於相同直線上及使得電極形成部份56及57之側壁可跨遮罩寬度間隙G3彼此相對。

於一些實施例中，如圖19B所顯示，圖19B中對應於圖19A之其等之構成元件由類似參考數字表示，矽化物產生層58可由諸如鈦、鉬、鉑、鎳、鈷、鈮或其組合或合金之金屬元素製成，可藉由例如濺射形成為於電極形成部份56及57及氧化矽層4之經暴露部分上之膜。於隨後，可進行熱處理以使電極形成部份56及57與矽化物產生層58反應。因此，可與矽化物產生層58接觸之電極形成部份56及57可形成矽化物，從而製得由金屬矽化物製成之電極23及24，如圖19C所顯示，圖19C中對應於圖19B之其等之構成元件由類似參考數字表示。

於本文中，電極23及24在製得矽化物時體積膨脹，及因此側壁23a及24a彼此間更靠近。因此，可形成遠比使用遮罩形成之遮罩寬度間隙G3狹窄之奈米間隙NG。於此時間點，與其他區域相比，任何過量矽化物產生層58可存在於電極形成部份56及57之與基板2接觸之區域中。因此，於該等區域中可促進與矽化物產生層58結合之電極形成部份56及57之矽化。電極23及24之形成會引起進一步的體積膨脹，從而獲得經膨脹之部分23b及24b。因此，電極23及24可經形成使得奈米

間隙NG之寬度可藉由形成彼此相對安置於電極23及24與基板2接觸之區域中之經膨脹之部分23b及24b進一步窄化。

就利用該方法形成之電極23及24而言，電極23及24之側壁23a及24a之位置及經膨脹之部分23b及24b之膨脹程度可藉由適宜地選擇電極形成部份56及57之膜厚度、矽化物產生層58之膜厚度、及在熱處理時之溫度、加熱時間及類似來控制。介於側壁23a與24a之間之寬度及介於經膨脹之部分23b與24b之間之最小寬度W1可因此設為例如0.1 nm至30 nm、或不大於2 nm、1 nm、0.9 nm、0.8 nm、0.7 nm、0.6 nm、或0.5 nm、或任何本文所述間隙間距。

於隨後，矽化物產生層58之殘留於奈米間隙NG中之氧化矽層4上及其他區域中之任何未反應部分可藉由蝕刻移去，如圖19D所顯示，圖19D中對應於圖19C之其等之構成元件由類似參考數字表示。因此，可製得如圖18所顯示具有介於電極23與24之間之奈米間隙NG之奈米間隙電極21。

於上述組態中，跨間隙(遮罩寬度間隙G3)彼此相對安置之兩個電極形成部份56及57可形成於基板2上；矽化物產生層58可經形成為於電極形成部份56及57上之膜；且接著可進行熱處理以使矽化物產生層58與電極形成部份56及57反應，因而形成可因反應所致體積膨脹之兩個相對電極23及24。因此，可藉由體積膨脹使電極23及24之側壁23a及24a彼此更靠近及可形成較形成於可通常使用微影方法來製造之電極23與24之間之遮罩寬度間隙G3小的奈米間隙NG。因此，可製得具有甚至小於使用圖案化遮罩形成之遮罩寬度間隙G3之奈米間隙NG之奈米間隙電極21。

於一些實施例中，在形成如上所述之奈米間隙電極21之情況下，電極23及24之體積膨脹之程度若適宜則可簡單地藉由選擇電極形成部份56及57之膜厚度、矽化物產生層58之膜厚度、及在製造過程中

用於矽化電極形成部份56及57之熱處理時間及加熱溫度來控制。因此，可形成甚至窄於與遮罩相關聯之遮罩寬度間隙G3之奈米間隙NG。於一些情況中，可在電極23及24之間形成較具有可用遮罩利用標準微影製程形成之最小寬度之遮罩寬度間隙G3狹窄之奈米間隙NG。

於一些實施例中，矽化物產生層58可經形成為於電極形成部份56及57上之膜，且接著可進行熱處理；電極形成部份56及57及矽化物產生層58可因而於彼此間發生反應；可形成兩個相對體積膨脹之電極23及24；及電極23及24之側壁23a及24a可藉由體積膨脹彼此更靠近，因而形成介於電極23與24之間之奈米間隙NG。因此可製得減小量與體積膨脹量般多的介於電極23與24之間之遮罩寬度間隙G3。因此，可製得具有甚至小於藉由一般(或標準)微影製程形成之間隙之奈米間隙NG的奈米間隙電極21。

於一些實施例中，可形成經膨脹之部分23b及24b，藉此電極23及24之相對側壁23a及24a可逐漸地彼此間更為靠近。因此可製得其中介於側壁23a與24a之間之寬度由於經膨脹之部分23b及24b生長所致逐漸窄化之奈米間隙電極21。

熟習此項技藝者當可明瞭本發明並不受限於本發明實施例，及本發明可經修改並以本發明標的範疇內之多種其他方法來實施。例如，電極15及16(23及24)可具有各種形狀。於一些情況中，電極形成部份18(26及57)可由矽製成，矽化物產生層52(28)可由諸如鈦、鉬、鉑、鎳、鈷、鈮或鈮之一或多種金屬元素或其合金製成，其可經形成為於電極形成部份18(56及57)上之膜。可接著進行熱處理以使電極形成部份18(56及57)與矽化物產生層52(28)反應，因而形成由金屬矽化物製成之體積膨脹之電極15及16(23及24)。然而，本發明並不受限於該等實施例。或者，可形成由鈦製成之電極形成部份；由鎢製成之化

合物產生層可經形成為於電極形成部份上之膜；可於此後進行熱處理以使電極形成部份與化合物產生層反應；及可形成由鈦鎢製成之經體積膨脹之電極，因而形成介於電極之間之奈米間隙，其中電極之側壁彼此間更靠近，靠近量如體積膨脹量般多。應瞭解可使用除了鈦及鎢以外之材料。

此外於上述的第一及第二實施例中，已描述奈米間隙電極1(21)，其中單股DNA可通過介於電極15與16(23與24)之間之奈米間隙NG，及可用安培計測量在單股DNA之鹼基通過介於電極15與16(23與24)之間之奈米間隙NG時流經電極15及16(23及24)或流動於電極15與16(23與24)之間之電流值。然而，本發明並不受限於該等實施例。奈米間隙電極可用於多種其他應用中。

於一些實施例中，一種製造方法可用於製造奈米間隙電極21，該方法包括可製造其中氧化矽層4可形成於矽基板3上之基板2，及矽層可因此形成於氧化矽層4上。於隨後，光阻層可經形成為於該矽層上之膜，及該光阻層可接著藉由暴露及顯影圖案化以形成遮罩(光阻遮罩)。

於隨後，可使用遮罩將矽層圖案化。接著，如圖20A所顯示，可跨遮罩寬度間隙G3彼此相對安置之兩個電極形成部份55及36可由矽層形成。應注意，於此情況中，電極形成部份55及36可經形成為可為矩形之實體形狀，及其可具有與y軸平行延伸之縱軸方向。此外，電極形成部份55及36可經安置使其長邊中心軸可定位於相同直線上且使得電極形成部份55及36之側壁可跨遮罩寬度間隙G3彼此相對。

於隨後，如圖20B所顯示，圖20B中對應於圖20A之其等之構成元件由類似參考數字表示，矽化物產生層38可由諸如鈦、鉬、鉑、鎳、鈷、鈮、鈳、或任何其他過渡金屬或其組合或合金之金屬元素製成，可藉由例如濺射形成為於電極形成部份55及36上之膜。於一些實施例

中，濺射可以某一角度進行。由於遮罩寬度間隙G3之狹窄所致，矽化物產生層38可不到達底部。

於隨後，可進行熱處理以使電極形成部份55及36與矽化物產生層38反應，該反應可於矽化製程(salicide process)或多晶矽化製程(polycide process)中。於隨後，可藉由蝕刻移去矽化物產生層38之殘留於奈米間隙NG中氧化矽層4之上及其他區域中之任何未反應部分。因此，可與矽化物產生層38接觸之電極形成部份55及36可形成由金屬矽化物製成之矽化電極63及64，如圖20C所顯示，圖20C中對應於圖20B之其等之構成元件由類似參考數字表示。

因此，電極63及64之側壁可藉由體積膨脹使彼此間更為靠近，因而形成介於電極63與64之間之奈米間隙NG。因此可製得減小量如體積膨脹量般多的介於電極23與24之間之遮罩寬度間隙G3。因此，可製得具有甚至小於由一般微影製程形成之間隙之奈米間隙NG的奈米間隙電極1。

於一些實施例中，期望使用非矩形形狀遮罩層19。此可有利地建立奈米間隙NG之點或垂直邊緣以更佳地促進單鹼基測量。圖21A至21C顯示三種不同遮罩變化形式之俯視圖，其中最小遮罩尺寸可為對應於遮罩寬度間隙G2之寬度W2。於一個實施例中，如圖21A所顯示，遮罩於電極形成部份18上建立梯形形狀間隙膜。於一些實施例中，梯形角度 θ 可為大於或等於10度、大於或等於30度、或大於或等於60度。於一些實施例中，藉由使金屬擴散至矽中形成之矽化物將製得具有彎曲而非平坦邊緣但可仍舊具有最小間隙間距G2之電極。本發明並不受限於顯示於圖21A至21C中之遮罩變化形式。

於一些實施例中，如圖22A至22F所顯示，圖22A至22F中對應於圖20A至20F之其等之構成元件由類似參考數字表示，期望形成小通道以將目標物質(例如，生物分子，諸如DNA或RNA)帶至奈米間隙電

極。遮罩層19可經設計以形成該通道，此乃因其可在該製程期間蝕刻除去。圖22A、22C及22E顯示通道頂層13之增加。為清楚起見，未將通道頂層13顯示於22B、22D及22F中。於一些實施例中，通道頂層可為與製造方法相容之非導電材料(諸如SiO₂)或可為諸如聚二甲基矽氧烷或SU8之聚合物。

於一些實施例中，如圖23所顯示，為了可蝕刻除去遮罩層19，可利用至少一個通道存取口14來沉積通道頂層13。於圖23中，顯示具有兩個通道存取口14之俯視圖。於一些實施例中，遮罩層19之寬度及厚度可順著遮罩軸之軸改變，其在被移去時可形成一或多個通道。於一些實施例中，多個電極對可位於各通道中。

於一些實施例中，如圖24A至24B所顯示，可只在一側進行矽化物膨脹。於一些實施例中，可製造電極形成部份116及金屬電極115。於隨後，矽化物產生層118可利用例如濺射形成為膜。如圖24A所顯示，間隙W2可足夠狹窄使得矽化物產生層118可不一直延伸至間隙W2底部。可相對矽化物產生層118來選擇金屬電極115之金屬，使得可蝕刻除去矽化物產生層118而不會影響金屬電極115。

於隨後，可進行熱處理以使電極形成部份116與矽化物產生層118反應以形成電極117。可藉由蝕刻移去矽化物產生層118之殘留於奈米間隙NG中氧化矽層4上及其他區域中之任何未反應部分。如圖24B所顯示，矽化物之膨脹可建立具有較遮罩寬度W2狹窄之寬度W1之間隙。

於一些實施例中，所得矽化物可具導電性。形成之該(等)矽化物可以諸如矽化製程或多晶矽化製程之自對準製程形成。可針對相同電極形成元件採用多種矽化物產生製程，例如，以形成電極及電極尖端，及以連接至互連件，藉此電流可通過電極尖端，及可因此輸入至放大器或測量裝置。亦可利用互連件以施加偏壓電位，偏壓電位可源自於偏壓源極，由互連件攜帶並施加至可由矽化物材料形成之電極，

該矽化物材料可已利用矽化製程形成。

於一些實施例中，矽化物膨脹可建立垂直奈米間隙。如圖25A所顯示，可先在經SiO₂塗覆之晶圓上製造電極形成部份125及第一矽化物產生電極128A。接著可為介電層127，諸如SiO₂。於隨後，可沉積第二矽化物產生電極128B。此顯示於圖25A中。

於隨後，如圖25B所顯示，可進行加熱處理以使電極形成部份125與矽化物產生層128A及128B反應，從而形成具有矽化物及含有源自於矽化物產生層128A及128B之金屬元素的電極126A及126B。電極126A及126B可在金屬元素自該矽化物產生層128A及128B擴散至電極形成部分125時形成。可接著蝕刻除去電極形成部份125之未反應部分。接著可為具有一或多個軸孔(未顯示)之介電覆蓋129以提供藉由移去電極形成部份125之殘餘物建立之流體通道。全橫截面顯示於圖25C中。

於一些情況中，遮罩寬度間隙G2及G3可應用為在形成奈米間隙NG時事先藉由處理所形成之間隙，該遮罩寬度間隙G2及G3可使用圖案化遮罩來形成。然而，本發明並不受限於該等實施例。於該一實施例中，間隙可藉由先使用圖案化遮罩層19形成遮罩寬度間隙G2且接著進一步微調遮罩之圖案以控制遮罩層19之間隙來形成。於另一個實施例中，間隙可藉由例如藉由沉積、或藉由各種其他類型製程窄化介於電極形成部份56與57之間之間隙來形成。於本發明中，如上所述，間隙可減小如電極部件之體積膨脹量般多。因此，可製得具有甚至小於由一般微影處理形成之間隙之奈米間隙NG的奈米間隙電極。

於一些實施例中，可使得奈米通道為較小，其中減小可為通道之寬度或通道之深度之縮短，或可為通道之寬度及深度二者之縮短。於一些實施例中，可利用如本文所述之技術以窄化通道之寬度及深度中之一者或二者。

於一些實施例中，可利用與形成奈米間隙所利用相同或類似的製程來縮短通道之寬度及/或深度。於一些情況中，替代或其他製程

操作可用於縮短通道之寬度及/或深度。於一些實施例中，其中用於縮短通道之寬度及/或深度之材料可被視為係非導電，可讓該材料暴露，及可形成通道之壁。

於其他實施例中，其中用於縮短通道之寬度及/或深度之材料可被視為是導體，非導電材料可重疊於導電材料之上，以防止干擾通道之一般用途，此可包括使用通過通道之生物分子之電泳轉位。可用作覆蓋用於窄化通道之導電材料之非導體之材料可包括SiO₂、或通常用於半導體製程中之其他氧化物。

於其中可被視為導體之材料可用於縮短通道之寬度及/或深度之其他實施例中，可留下不含用於減小通道之寬度之材料之不同通道部分，因而將導電材料分段，此可因而防止干擾使用轉位電泳。

於其他實施例中，用於減小通道之寬度及/或深度之材料可用於通道之一些段而非其他段中。例如，用於減小通道之寬度及/或深度之材料可用於減小緊鄰奈米間隙電極之通道之寬度及/或深度，以增加可經由通道轉位之生物分子與可經定位以查看經由通道之分子轉位之奈米間隙電極之間相互作用之機率。可使用用於減小通道之寬度及/或深度之材料以在足夠接近奈米間隙之距離減小通道之寬度及/或深度以防止形成與奈米間隙電極相鄰之二級結構。

於一些實施例中，用於減小通道之寬度及/或深度之材料可緊接用於形成奈米間隙電極之材料，尤其在用於減小奈米通道之寬度及/或深度之材料為非導體之情況下。於其他實施例中，其中用於減小奈米間隙之寬度及/或深度之材料可被視為導體，可能需要間隔元件介於電極結構與用於窄化通道之寬度及/或深度之材料之間。

用於間隔電極及用於窄化通道之寬度及/或深度之導電材料之間隔元件可包括可至少部分地在使用通道結構期間留在原位之非導電材料，或可包括可在使通道之寬度及/或深度減小之後移去之導電或非

導電材料。

於一些實施例中，可窄化通道之兩側，而於其他實施例中，可窄化通道之單側。

於一些實施例中，諸如圖3E所顯示，可形成側壁11及會形成電極5及6之TiN層可經回蝕刻而暴露側壁11之兩側，可利用任何本文所述技術增寬側壁，及可應用可填充於介於電極5及6之經增寬的側壁11與奈米通道壁(未顯示)之間之空間之非導體。非導體可包括SiO₂，其可利用任何標準半導體製程，諸如，CVD，其可包括低壓CVD(LPCVD)或超低真空CVD(ULVCVD)、電漿方法(諸如微波增強型CVD或電漿增強型CVD)、原子層CVD、原子層沉積(ALD)或電漿增強型ALD、氣相磊晶法、或任何其他適宜製造方法來應用。該結構可經拋光(例如，利用CMP)及過度拋光以便設定通道之所欲深度。

於其他實施例中，如圖8A所顯示，側壁37可經形成為具有對應於最小半導體製造特徵尺寸之寬度；可為光阻遮罩之遮罩層可置於側壁形成遮罩40、側壁37、電漿支撐部件29、及電極形成部份31之上。可新增另一層至側壁37，因而增加藉此對應於通道寬度之厚度。

於類似於描繪製造狹窄奈米間隙之圖17A至F中所顯示其等之一些實施例中，可藉由以類似電極形成部份18之方式之方式使用材料來防止經膨脹之電極部件15及16與通道窄化材料接觸，該材料可延長通道長度，具有在電極部分與緊鄰之通道段之間間隙，其中可因而引起電極形成部份及用於窄化通道之類似材料之矽化以分別窄化電極間隙及通道。遮罩層19可沉積於介於通道與電極結構之間之間隙中，可提供介於兩種導電材料之間之電絕緣障壁，從而防止可置於順著通道之多個位置處之不同電極之短路。

於一些實施例中，可使用遮罩層19以藉由增加遮罩層19之寬度來增加通道之寬度，使得後續在其下方形成矽化物將始自更遠分開之

位置，及其間の間距可因此將相應地較大。

於一些實施例中，通道之寬度及/或深度可順著其長度為一致，而於其他實施例中，通道之寬度及/或深度可改變，其中通道之寬度及/或深度可在電極結構附近變窄，及可在別處增寬。對於其中多個電極結構順著單奈米通道定位之實施例而言，通道之寬度及/或深度可與在電極結構附近之電極間隙之間距相匹配，及可在電極結構之間增寬。

於其中電極之間距可窄於目標分子(其可為生物分子(例如，DNA或RNA))之直徑之一些實施例中，於電極間隙之間距匹配，通道可大於電極間隙之寬度。於一些情況中，通道為自比電極間隙寬0.1 nm至比電極間隙寬0.3 nm、或自比電極間隙寬0.1 nm至比電極間隙寬1 nm、或自比電極間隙寬0.1 nm至比電極間隙寬3 nm。類似地，在生物分子大於電極間隙之間距之情況下，通道之深度可大於電極間隙之寬度，及可類似於寬度進行尺寸調整。

於其他實施例中，通道之寬度可大於或小於通道之深度。於一些實施例中，通道之深度可小於生物分子之直徑，其中該直徑就接近奈米間隙之至少一部分通道而言可被視為例如雙股DNA之一半直徑之距離，使得生物分子可受限制地定向使得其可容易地與電極間隙之電極相互作用。

於其他實施例中，其中通道之寬度及/或深度可改變，對於通道之部分，例如，奈米通道之介於可順著奈米通道間隔之電極奈米間隙之間之部分，通道可不進行窄化。

雖然已顯示本發明之較佳實施例並於本文中進行描述，但熟習此項技藝者當明瞭該等實施例僅以實例方式提供。不希望本發明受提供於本說明書中之特定實例限制。雖然已參照上述說明書描述本發明，但本文實施例之描述及例示並非意欲以限制意義解釋。目前熟習

此項技藝者可在不脫離本發明下進行許多種變動、改變、及代換。另外，應瞭解本發明之所有態樣不受限於陳述於本文中根據多種條件及變量改變之特定描繪、組態或相對比例。應瞭解述於本文中之本發明實施例之多種替代可用於實施本發明。因此，預期本發明亦可涵蓋任何該等替代、修改、變動或等效物。希望以下申請專利範圍界定本發明之範疇及因此涵蓋於該等申請專利範圍及其等效物之範疇內之方法及結構。

【符號說明】

- | | |
|----|----------|
| 1 | 奈米間隙電極 |
| 2 | 基板 |
| 3 | 矽基板 |
| 4 | 氧化矽層 |
| 5 | 電極 |
| 5a | 基底部份 |
| 5b | 電極前緣 |
| 6 | 電極 |
| 6a | 基底部份 |
| 6b | 電極前緣 |
| 9 | 第一電極形成部份 |
| 9a | 橫向壁 |
| 10 | 側壁形成層 |
| 11 | 側壁 |
| 12 | 第二電極形成部份 |
| 13 | 通道頂層 |
| 14 | 通道存取口 |
| 15 | 電極 |

- 15a 側壁
- 15b 凸肩
- 15c 後緣彎曲表面
- 16 電極
- 16a 側壁
- 16b 凸肩
- 16c 後緣彎曲表面
- 18 電極形成部份
- 19 遮罩層
- 21 奈米間隙電極
- 23 電極
- 23a 側壁
- 23b 經膨脹之部分
- 24 電極
- 24a 側壁
- 24b 經膨脹之部分
- 25 電極
- 26 電極
- 27 氧化矽層
- 28 電極支撐部份/矽化物產生層
- 28a 基底部份
- 28b 經膨脹之電極部份
- 29 電極支撐部份
- 29a 基底部份
- 29b 經膨脹之電極部份
- 31 柱狀電極形成部份

32	光阻遮罩
32a	間隙
33a	橫向壁
33b	橫向壁
34	光罩
34a	開口
35	側壁形成層
36	電極形成部份
37	側壁
38	矽化物產生層
40	側壁形成遮罩
40a	橫向壁
41	光阻遮罩
42	間隙
45	第一間隙形成遮罩
45a	橫向壁
46	第二間隙形成遮罩
49	間隙
52	矽化物產生層
55	電極形成部份
58	矽化物產生層
63	電極
64	電極
72	第一遮罩
72a	橫向壁
73	第二遮罩

74	圖案化光阻
79	電極形成層
80	側壁形成層
115	電極
116	電極形成部份
117	電極
118	矽化物產生層
125	電極形成部份
127	介電層
128a	第一矽化物產生電極/層
128b	第二矽化物產生電極/層
129	介電覆蓋

申請專利範圍

1. 一種製造具有至少一個奈米間隙之感測器的方法，該方法包括：
 - (a)提供與基板相鄰之第一電極形成部份、與第一電極形成部份相鄰之側壁、及與該側壁相鄰之第二電極形成部份；
 - (b)移去該側壁，因而在該第一電極形成部份與該第二電極形成部份之間形成奈米間隙；及
 - (c)製造用作在其間安置目標物質時可偵測跨奈米間隙之電流的電極之該第一電極形成部份及該第二電極形成部份。
2. 如請求項1之方法，其中製造用作電極之該第一電極形成部份及該第二電極形成部份包括移去該第一電極形成部份及該第二電極形成部份之至少一部分以提供電極。
3. 如請求項1之方法，其中該第一及/或第二電極形成部份係由金屬氮化物形成。
4. 如請求項3之方法，其中該第一及/或第二電極形成部份係由氮化鈦形成。
5. 如請求項1之方法，其中該基板包括與半導體層相鄰之半導體氧化物層。
6. 如請求項5之方法，其中該半導體為矽。
7. 如請求項1之方法，其中該側壁具有小於或等於約2奈米之寬度。
8. 如請求項7之方法，其中該寬度為小於或等於約1奈米。
9. 如請求項8之方法，其中該寬度為大於約0.5奈米。
10. 如請求項1之方法，其中該目標物質為核酸分子，及其中該側壁具有小於該核酸分子直徑之寬度。

11. 如請求項1之方法，該方法進一步包括於(c)之前暴露該第一電極形成部份、該側壁及該第二電極形成部份之表面。
12. 如請求項1之方法，該方法進一步包括於(b)之前移去該側壁之一部分使得介於該第一電極形成部份與該第二電極形成部份之間之側壁之橫截面具有四邊形形狀。
13. 如請求項1之方法，該方法進一步包括形成與該奈米間隙交叉之通道。
14. 如請求項13之方法，其中該通道為經覆蓋之通道。
15. 一種形成具有至少一個奈米間隙之感測器的方法，該方法包括：
 - (a)使具有跨間隙彼此相對之橫向壁之間隙形成遮罩安置於與基板相鄰之電極形成部份上，其中該間隙具有第一寬度；
 - (b)於該間隙形成遮罩之該等橫向壁上形成側壁，其中該電極形成部份係暴露於該等側壁之間；
 - (c)移去暴露於該等側壁之間之該電極形成部份之一部分以在其間形成奈米間隙，其中該奈米間隙具有小於該第一寬度之第二寬度；
 - (d)移去該等側壁以暴露由該奈米間隙間隔的該電極形成部份之一部分；及
 - (e)製造用作在其間安置目標物質時可偵測跨奈米間隙之電流的電極之該電極形成部份之該部分。
16. 如請求項15之方法，其中製造用作電極之該電極形成部份之該部分包括移去該電極形成部份之該部分以提供電極。
17. 如請求項15之方法，其中該基板包括與半導體層相鄰的半導體氧化物層。
18. 如請求項17之方法，其中該半導體為矽。

19. 如請求項15之方法，其中該第二寬度為小於或等於約2奈米。
20. 如請求項19之方法，其中該第二寬度為小於或等於約1奈米。
21. 如請求項20之方法，其中該第二寬度為大於約0.5奈米。
22. 如請求項15之方法，其中該目標物質為核酸分子，及其中該第二寬度係小於該核酸分子之直徑。
23. 如請求項15之方法，其中該間隙形成遮罩及該等側壁係由不同材料形成。
24. 如請求項15之方法，該方法進一步包括形成與該奈米間隙交叉之通道。
25. 如請求項24之方法，其中該通道為經覆蓋之通道。
26. 一種形成具有至少一個奈米間隙之感測器的方法，該方法包括：
 - (a)提供包括側壁之遮罩，其中該側壁係安置成與與基板相鄰之電極形成部份相鄰；
 - (b)移去該側壁以在該遮罩中形成間隙，其中該間隙暴露該電極形成部份之一部分；
 - (c)移去該電極形成部份之該部分以形成奈米間隙；
 - (d)移去該遮罩以暴露由該奈米間隙間隔之該電極形成部份之該部分；及
 - (e)製造用作在其間安置目標物質時可偵測跨奈米間隙之電流之電極之該電極形成部份之該部分。
27. 如請求項26之方法，其中製造用作電極之該電極形成部份之該部分包括移去該電極形成部份之該部分以提供電極。
28. 如請求項26之方法，其中(a)包括(i)在安置成與該電極形成部份相鄰之第一遮罩之橫向壁上提供該側壁，(ii)移去該第一遮罩，及(iii)形成與該側壁相鄰之第二遮罩，其中該遮罩包括該第二遮

罩之至少一部分。

29. 如請求項28之方法，其中移去該第一遮罩可暴露該電極形成部份。
30. 如請求項28之方法，其中該第二遮罩覆蓋該側壁。
31. 如請求項28之方法，其中在移去該第一遮罩之後，該側壁為具有小於或等於約2奈米之寬度之獨立側壁。
32. 如請求項26之方法，其中(a)包括(i)於安置成與該電極形成部份相鄰之第一遮罩之橫向壁上提供該側壁，(ii)形成與該側壁相鄰之第二遮罩，及(iii)蝕刻該第二遮罩，其中該遮罩包括該第一遮罩及該第二遮罩之至少一部分。
33. 如請求項32之方法，其中形成與該側壁相鄰之該第二遮罩包括使該第二遮罩覆蓋該第一遮罩及該側壁。
34. 如請求項32之方法，其中蝕刻該第二遮罩包括蝕刻該第一遮罩及/或該側壁。
35. 如請求項26之方法，該方法進一步包括形成與該奈米間隙交叉之通道。
36. 如請求項35之方法，其中該通道為經覆蓋之通道。
37. 如請求項26之方法，其中該基板包括與半導體層相鄰之半導體氧化物層。
38. 如請求項37之方法，其中該半導體為矽。
39. 如請求項26之方法，其中(a)進一步包括提供側壁形成層及蝕刻該側壁形成層以形成該側壁。
40. 如請求項26之方法，其中該奈米間隙具有小於或等於約2奈米之寬度。
41. 如請求項40之方法，其中該寬度為小於或等於約1奈米。
42. 如請求項41之方法，其中該寬度為大於約0.5奈米。

43. 如請求項26之方法，其中該目標物質為核酸分子，及其中該側壁具有小於該核酸分子直徑之寬度。
44. 如請求項26之方法，該方法進一步包括形成與該奈米間隙交叉之通道。
45. 如請求項44之方法，其中該通道為經覆蓋之通道。
46. 一種製造奈米間隙電極感測器的方法，該方法包括：
 - (a)於具有第二材料之電極形成部份上提供具有第一材料之膜，其中該電極形成部份係安置成與基板相鄰；
 - (b)加熱該膜以使該第一材料與第二材料反應，因而形成體積膨脹且彼此相對之兩個電極部件，其中該等電極部件各者具有側壁；
 - (c)藉由體積膨脹使該等電極部件之側壁彼此靠近，因而在該等電極部件之間形成奈米間隙；及
 - (d)製造用作在其間安置目標物質時可偵測跨奈米間隙的電流之電極之該等電極部件。
47. 如請求項46之方法，其中製造用作電極之該等電極部件包括移去電極部件之至少一部分以提供電極。
48. 如請求項46之方法，其中(a)包括(i)形成經選擇成與電極形成部份之寬度一致之遮罩，(ii)於該電極形成部份上形成膜。
49. 如請求項48之方法，其中於形成兩個電極部件時，該兩個電極部件藉由由於反應所致之體積膨脹穿透至遮罩中，因而使得該等電極部件之側壁彼此靠近。
50. 如請求項49之方法，該方法進一步包括移去該遮罩及該等電極部件之殘留在該遮罩之下區域中之未反應部分，因而在該等電極部件之間形成奈米間隙。
51. 如請求項46之方法，該方法進一步包括形成與該奈米間隙交叉

之通道。

52. 如請求項51之方法，其中該通道為經覆蓋之通道。
53. 一種製造具有至少一個奈米間隙電極之感測器的方法，該方法包括：
 - (a)提供與基板相鄰之兩個電極形成部份，其中該等電極形成部份係彼此相對地跨具有第一寬度之間隙安置；
 - (b)於該等電極形成部份上形成化合物產生層之膜；
 - (c)進行熱處理來促使化合物產生層與該等電極形成部份中至少一者之間反應以形成至少一個因反應而體積膨脹之電極部份，因而藉由體積膨脹使得該等電極形成部份之側壁彼此靠近以形成具有小於該第一寬度之第二寬度之奈米間隙；及
 - (d)製造用作在其間安置目標物質時可偵測跨奈米間隙之電流之電極的該等電極形成部份。
54. 如請求項53之方法，其中製造用作電極之該等電極形成部份包括移去該等電極形成部份之一部分以提供電極。
55. 如請求項53之方法，其中該化合物產生層為矽化物產生層，其中(c)包括該等電極形成部份於反應期間矽化，及其中該等電極形成部份於矽化期間體積膨脹。
56. 如請求項53之方法，其中該第二寬度係小於或等於約2奈米。
57. 如請求項56之方法，其中該第二寬度係小於或等於約1奈米。
58. 如請求項57之方法，其中該第二寬度係大於0.5奈米。
59. 如請求項53之方法，其中該目標物質為核酸分子，及其中該第二寬度係小於該核酸分子之直徑。
60. 如請求項53之方法，其中(c)包括該化合物產生層與該兩個電極形成部份之間之反應。
61. 如請求項53之方法，其中(c)包括化合物產生層與僅一個該電極

形成部份之間之反應。

62. 如請求項53之方法，該方法進一步包括形成與該奈米間隙交叉之通道。
63. 如請求項62之方法，其中該通道為經覆蓋之通道。
64. 一種包括至少兩個跨奈米間隙相對安置於基板上之電極部件之奈米間隙電極感測器，其中該等電極部件之相對側壁彼此逐漸更靠近及介於該等側壁之間之寬度逐漸變狹窄，及其中該等電極係經調適以在其間安置目標物質時偵測跨奈米間隙之電流。
65. 如請求項64之奈米間隙電極感測器，其中該等電極部件係由金屬矽化物形成。
66. 如請求項64或65之奈米間隙電極感測器，其中該奈米間隙係經形成為後緣彎曲形狀，其中介於該等電極部件之側壁之間之距離隨著奈米間隙接近該基板而逐漸變寬。
67. 如請求項64或65之奈米間隙電極感測器，其中該等側壁包括與該基板接觸之向外膨脹之部分。
68. 如請求項64之奈米間隙電極感測器，其進一步包括與該奈米間隙交叉並流體連通之通道。
69. 如請求項68之奈米間隙電極感測器，其中該通道為經覆蓋之通道。

圖式

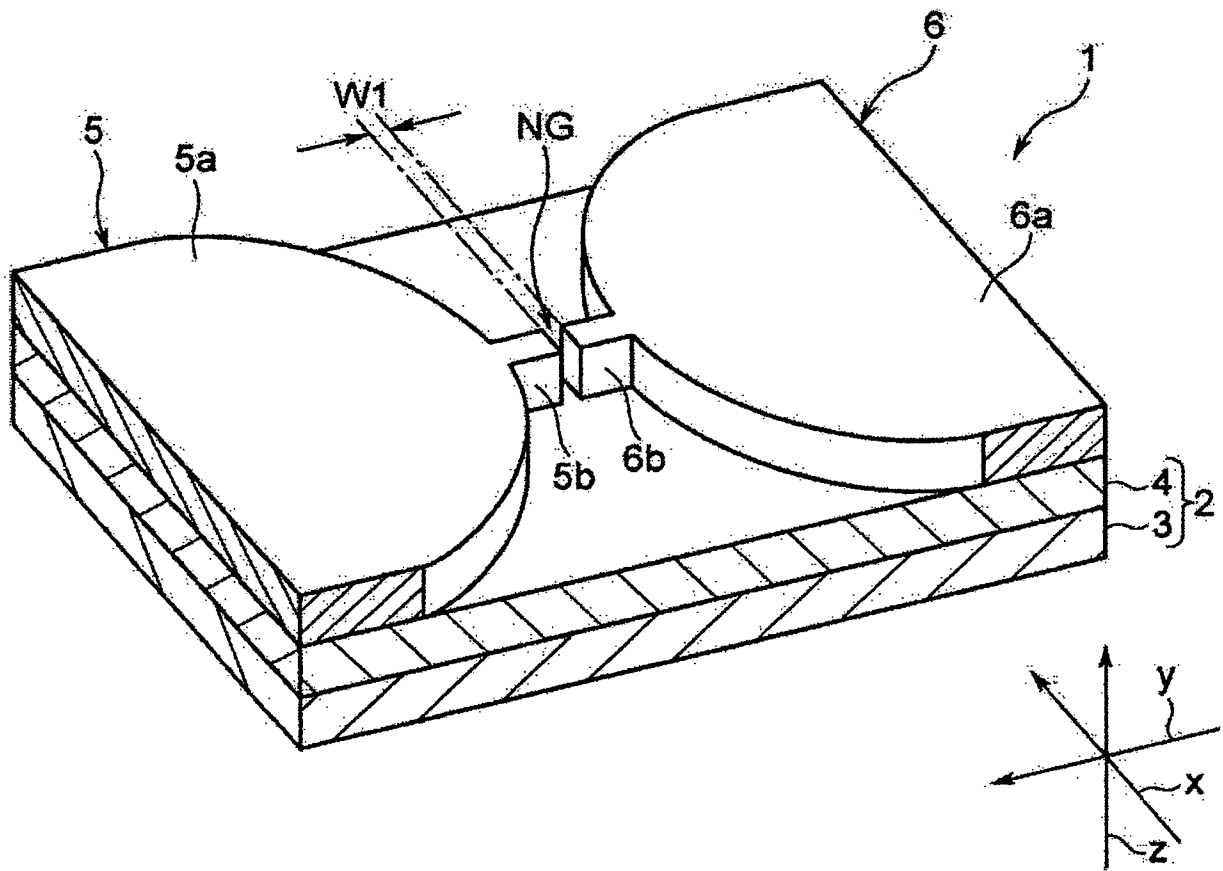


圖1

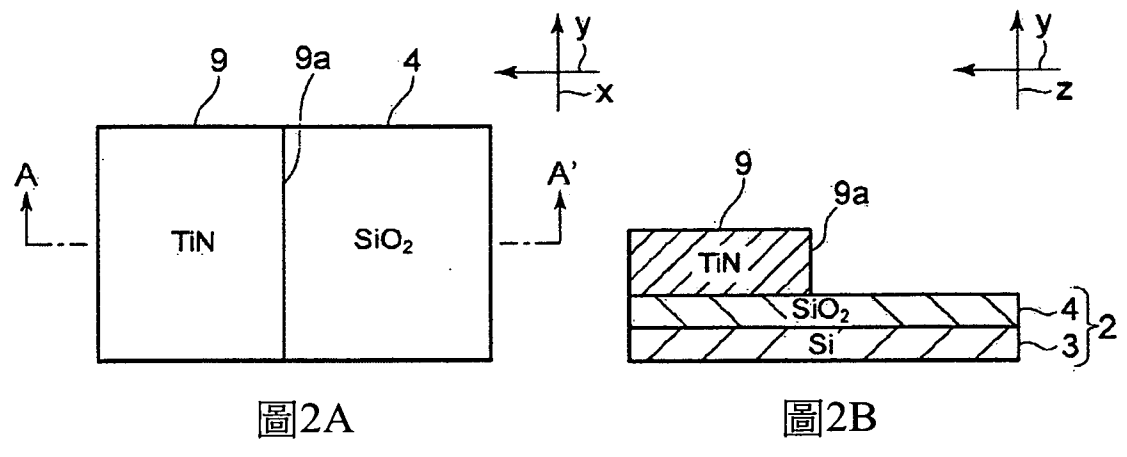


圖2A

圖2B

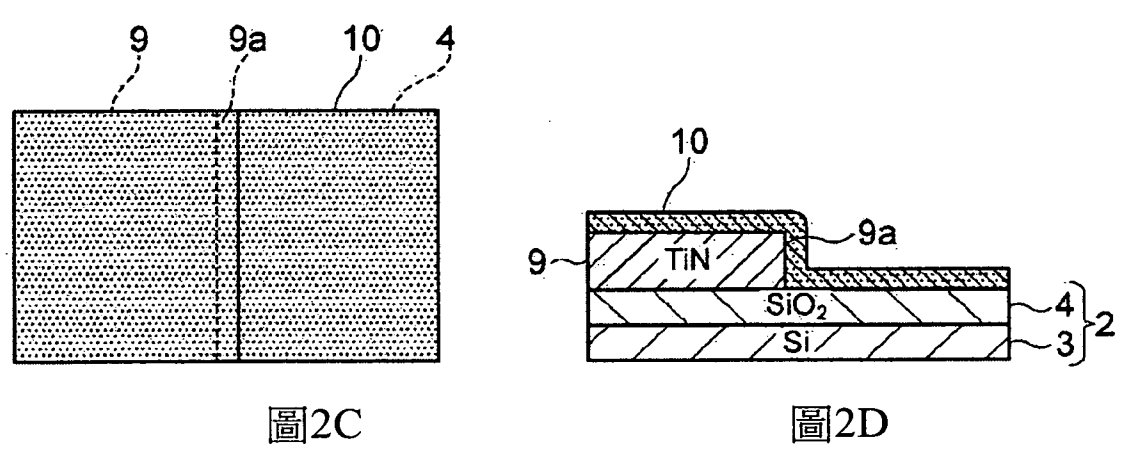


圖2C

圖2D

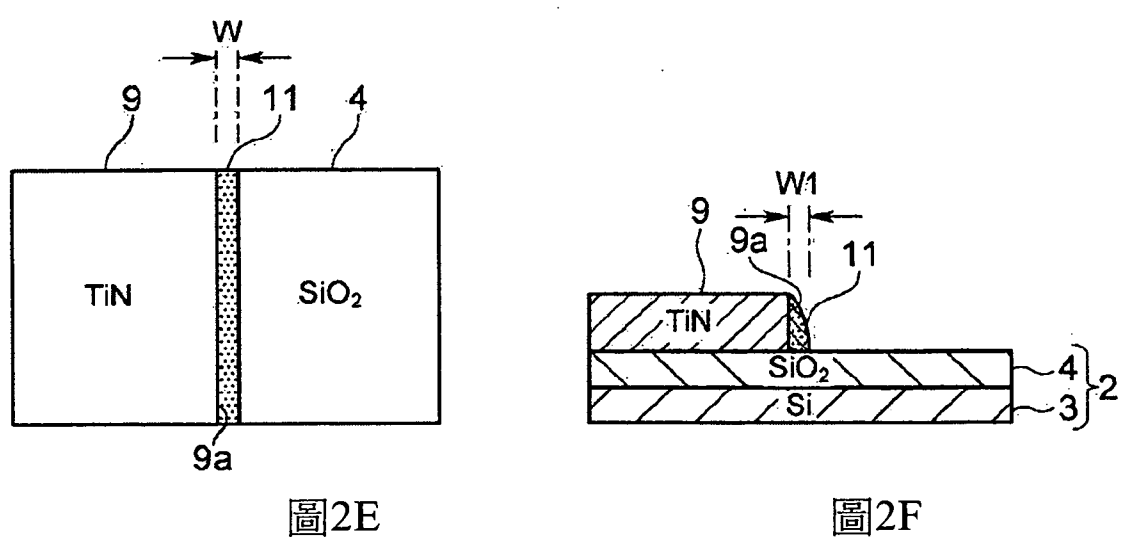


圖2E

圖2F

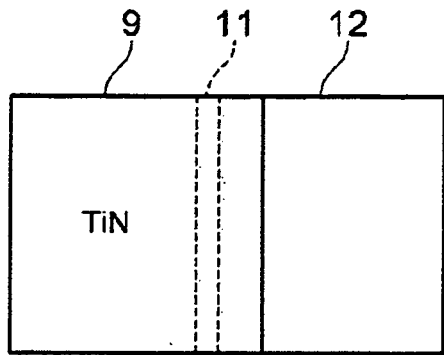


圖3A

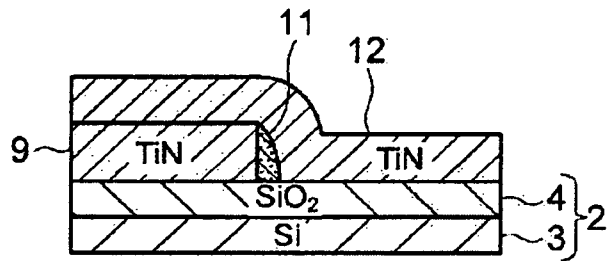


圖3B

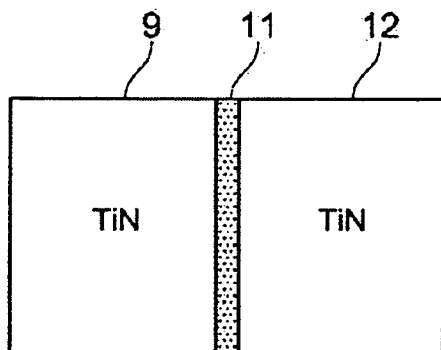


圖3C

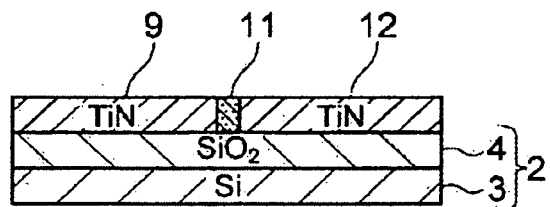


圖3D

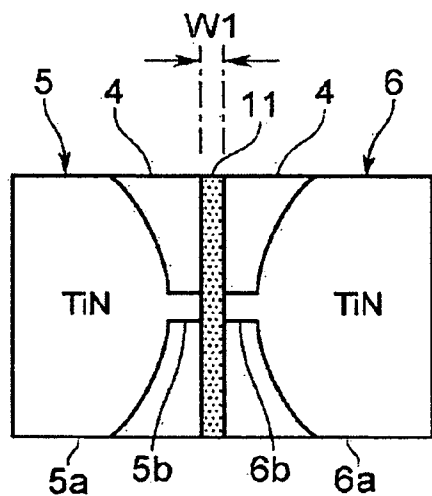


圖3E

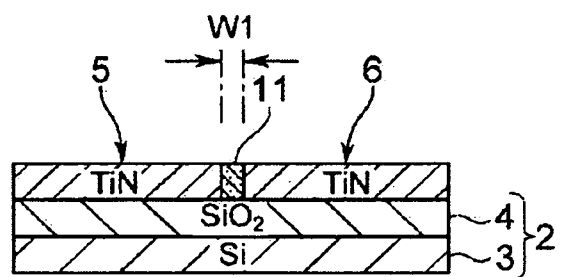


圖3F

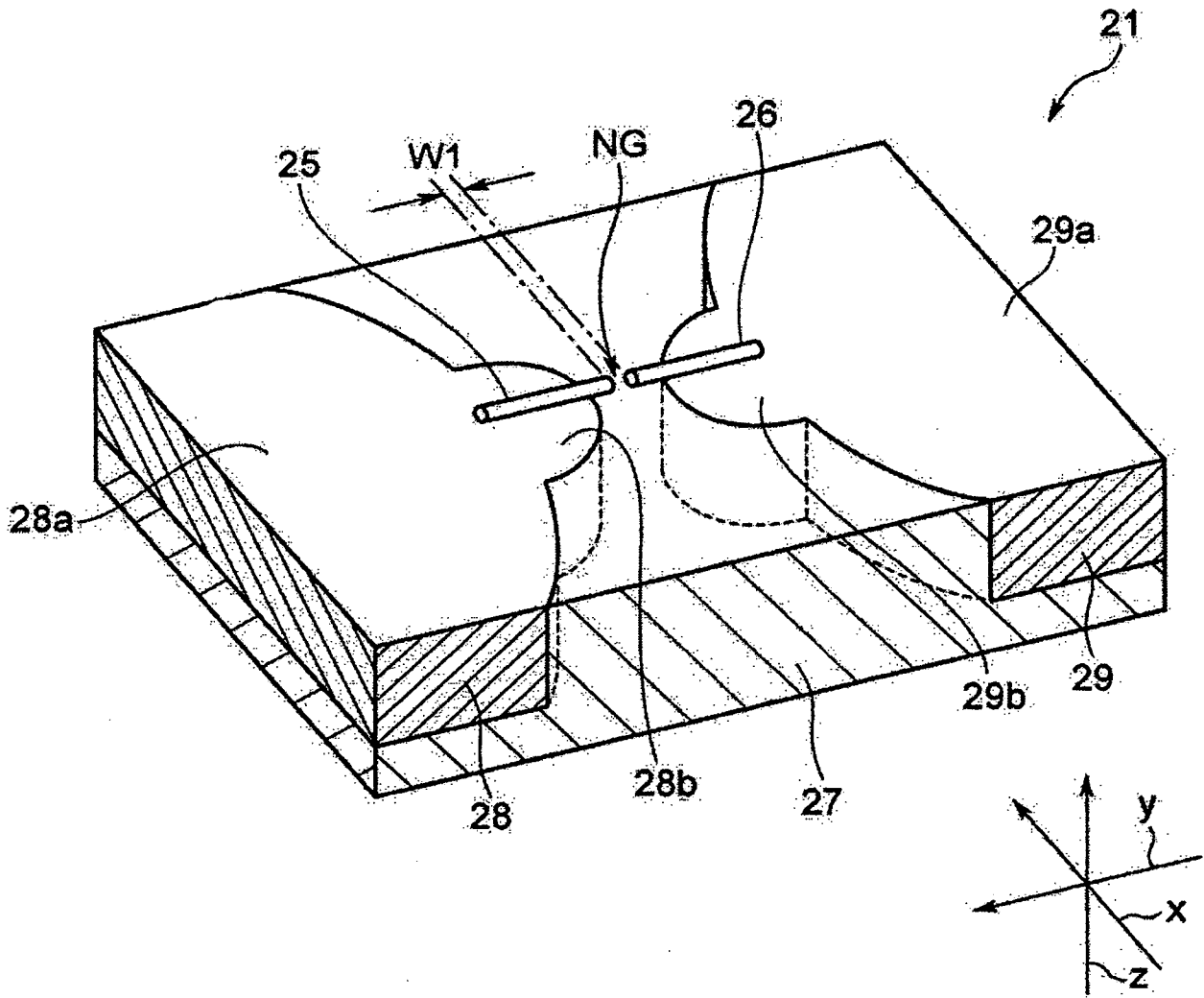


圖4

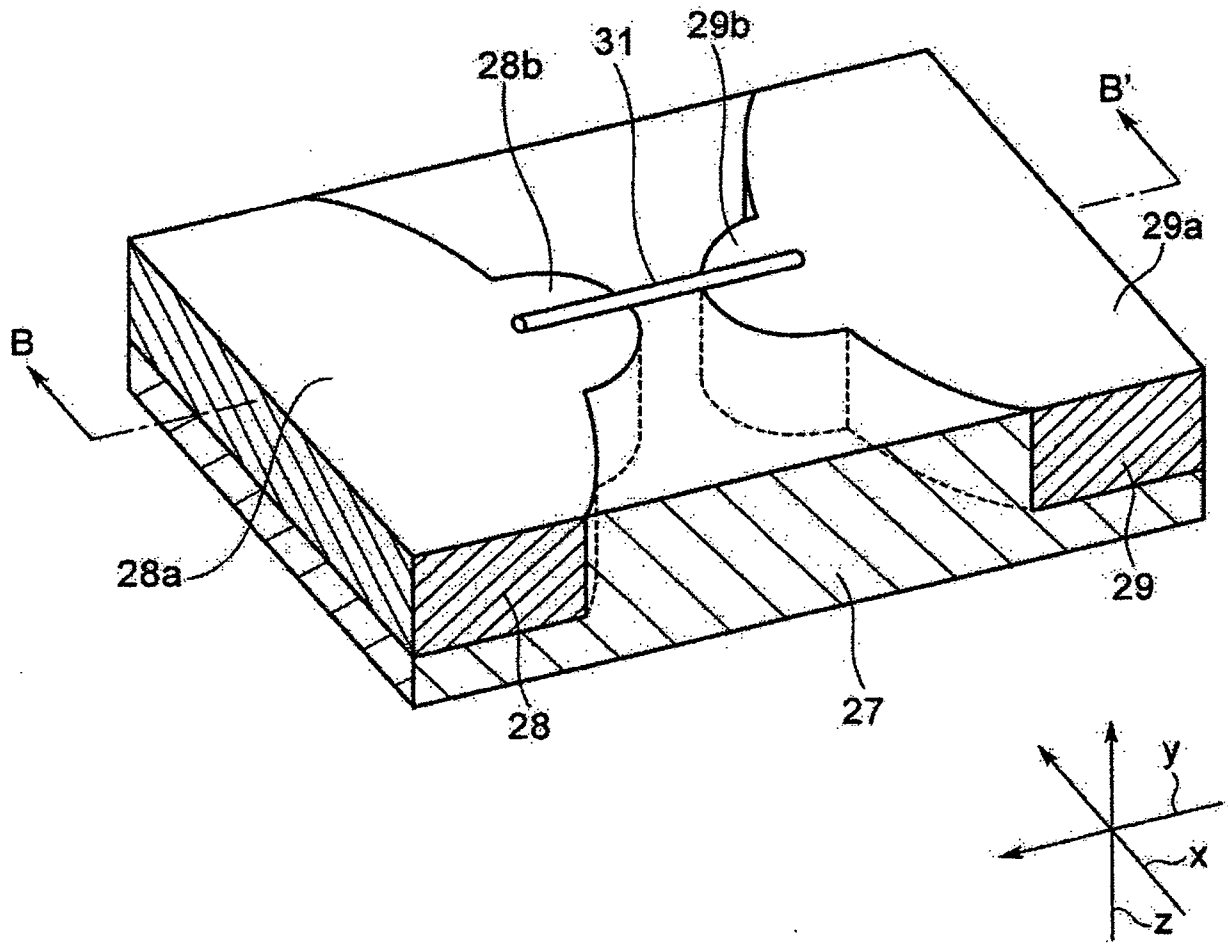


圖5

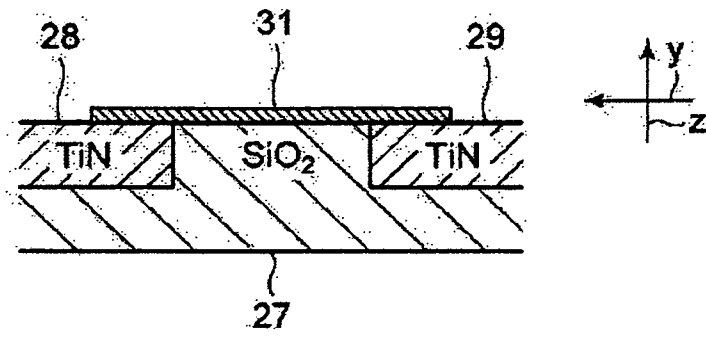


圖6A

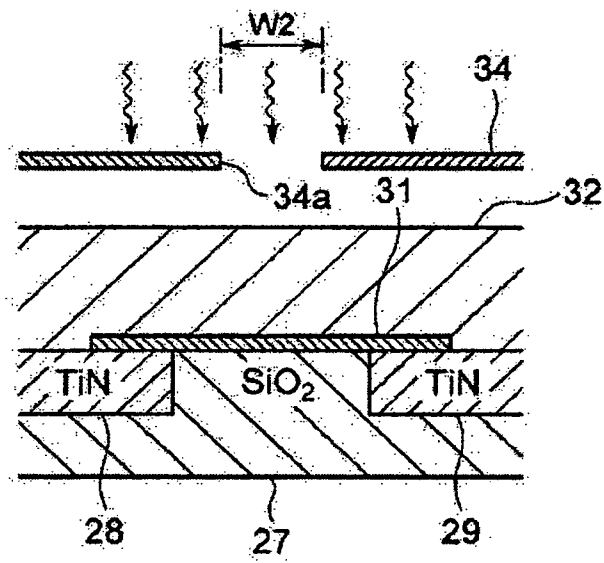


圖6B

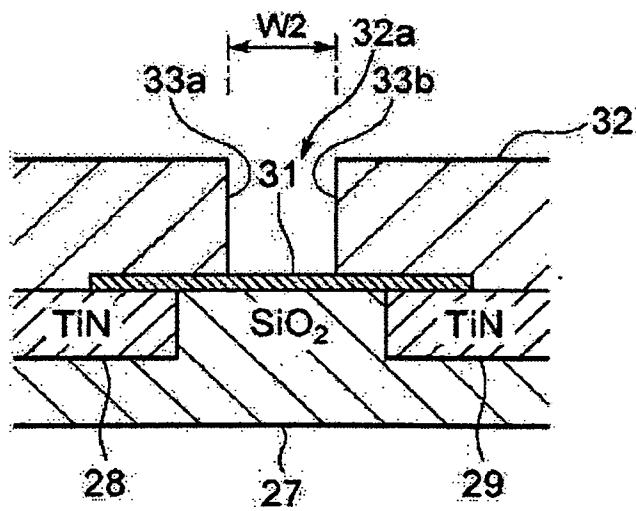


圖6C

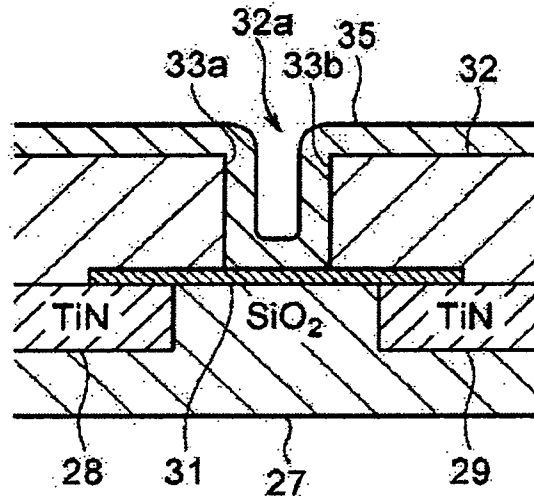


圖7A

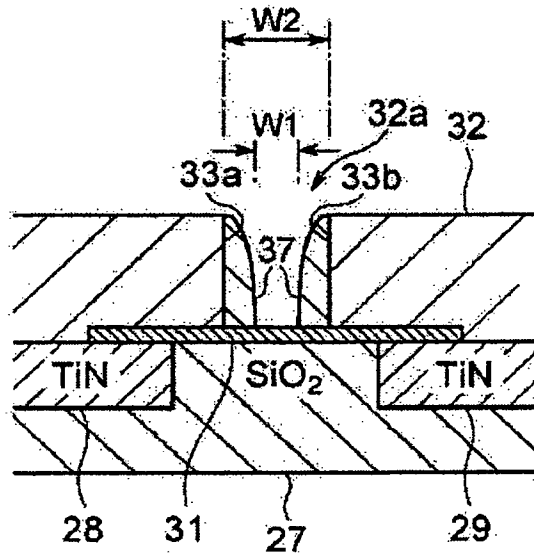


圖7B

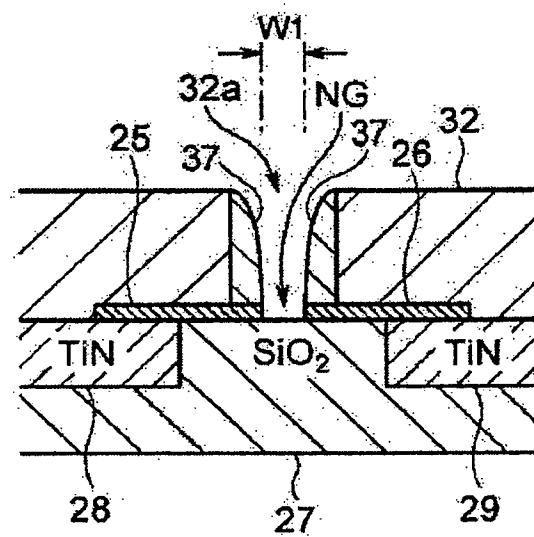


圖7C

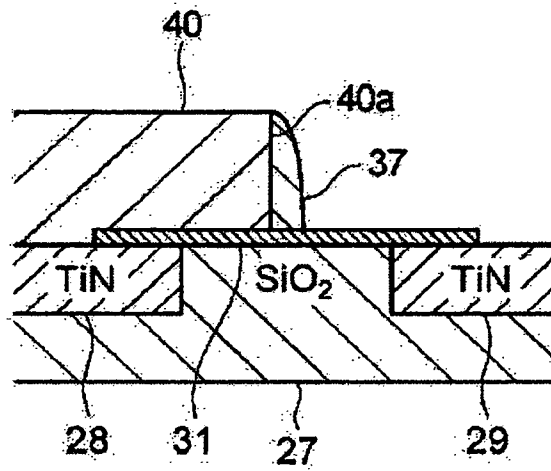


圖8A

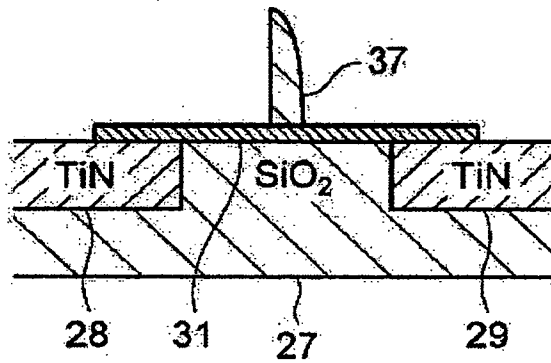


圖8B

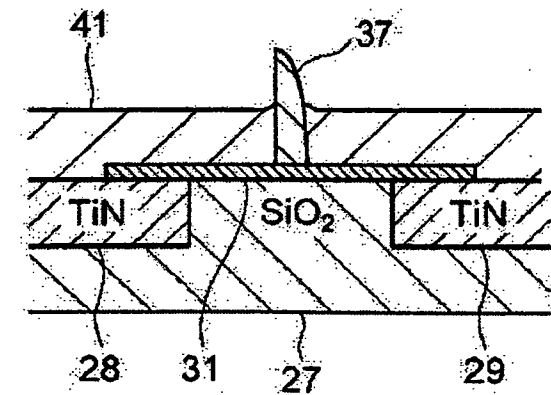


圖8C

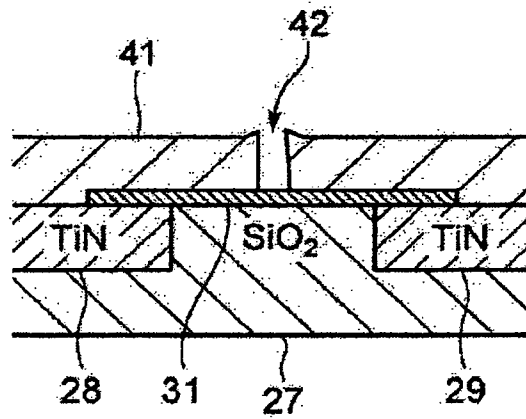


圖9A

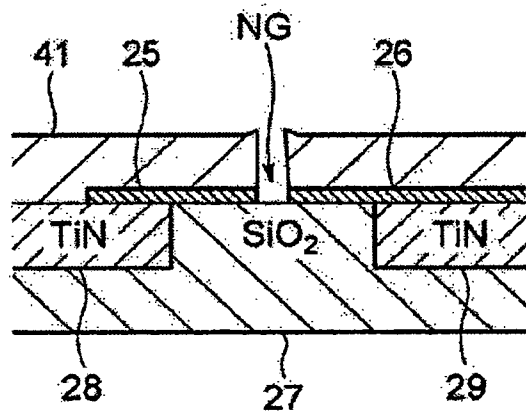


圖9B

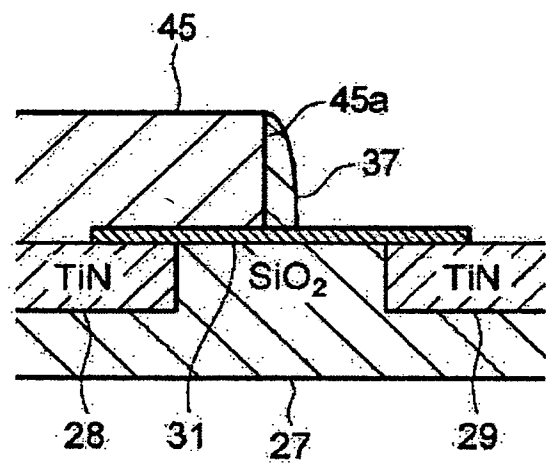


圖10A

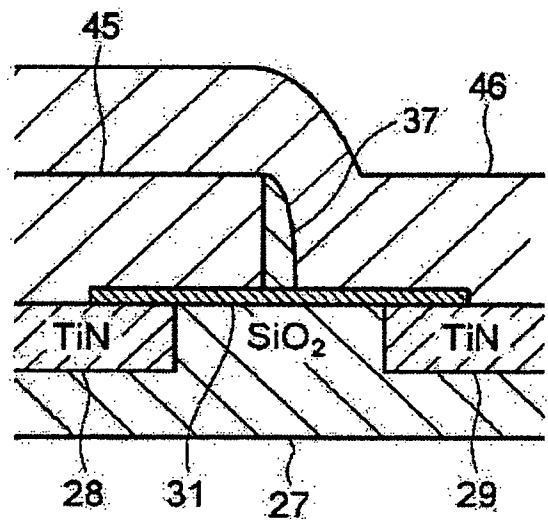


圖10B

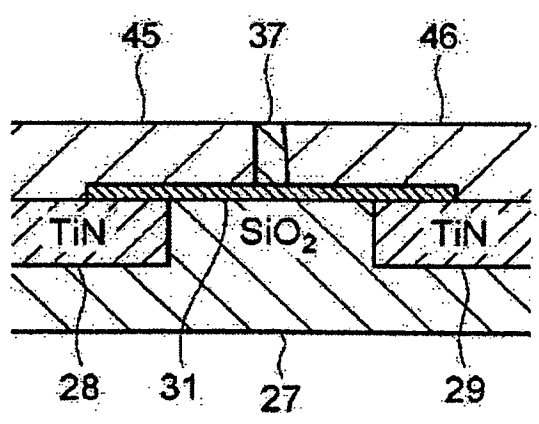


圖10C

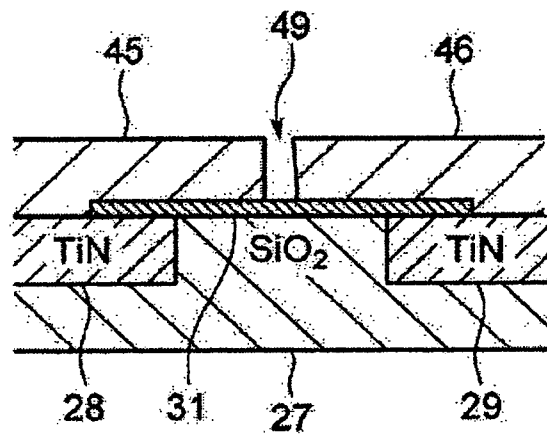


圖11A

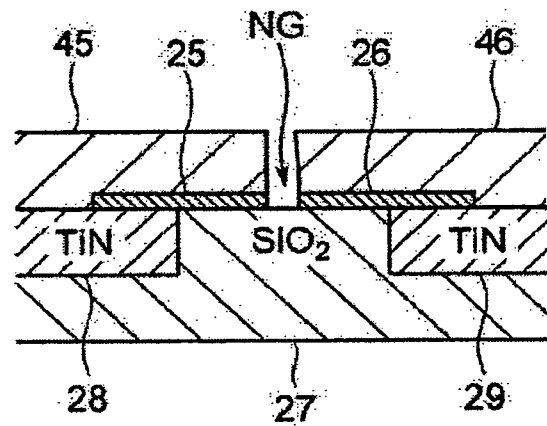


圖11B

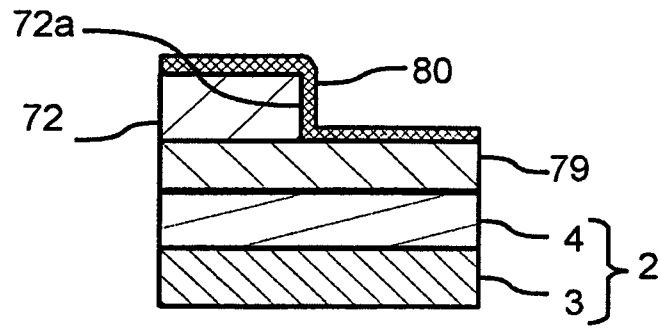


圖12A

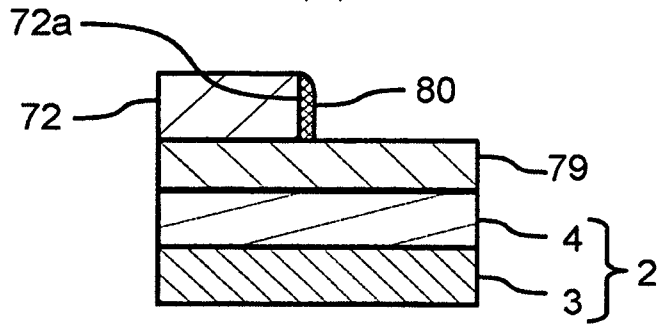


圖12B

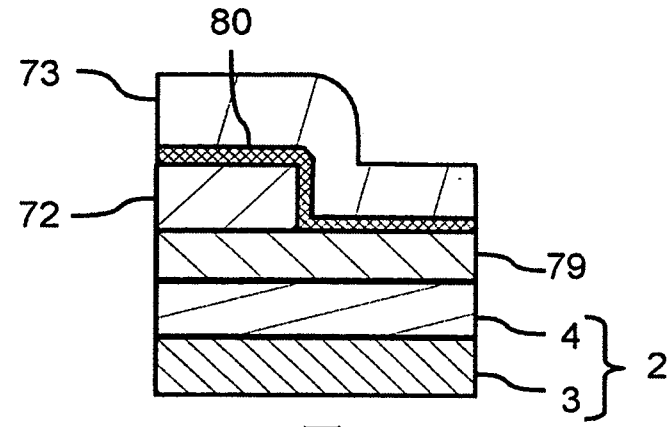


圖12C

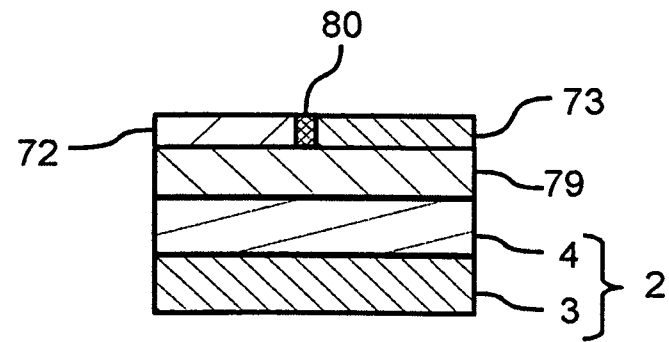


圖12D

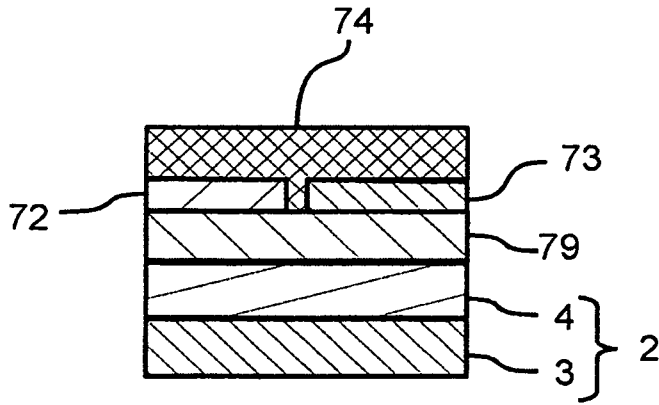


圖13A

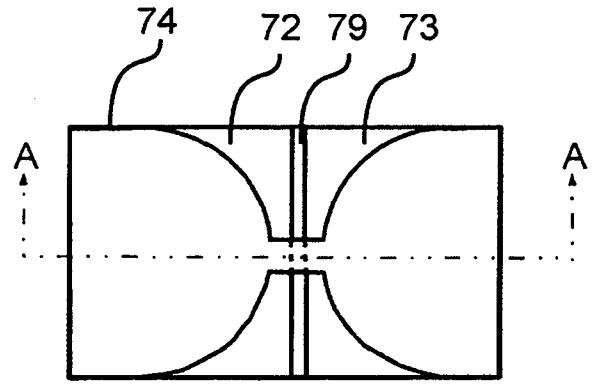


圖13B

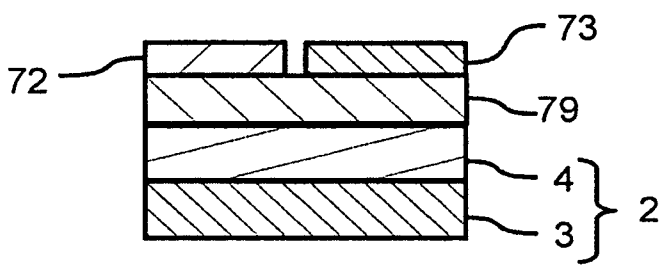


圖13C

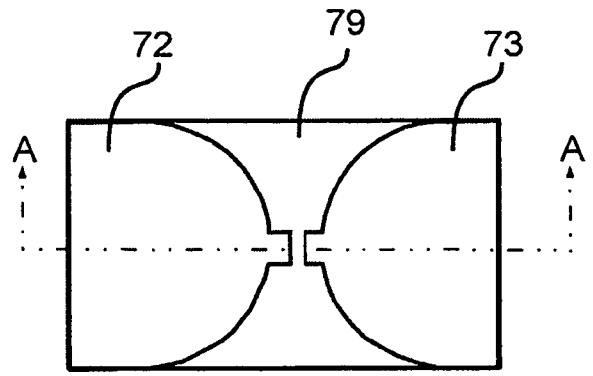


圖13D

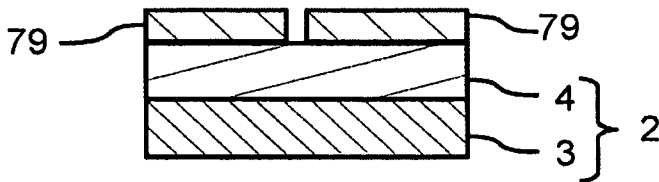


圖13E

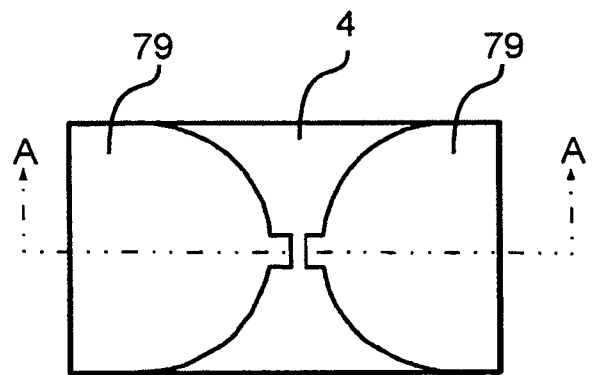


圖13F

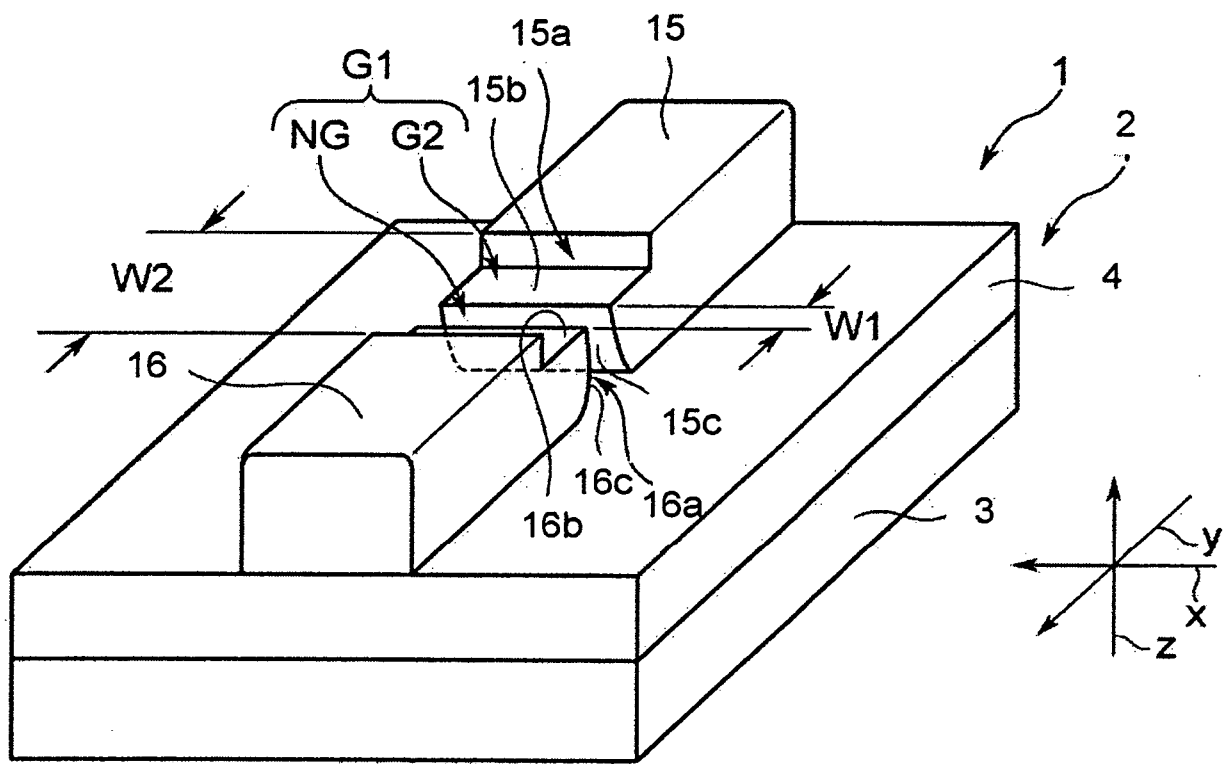


圖14

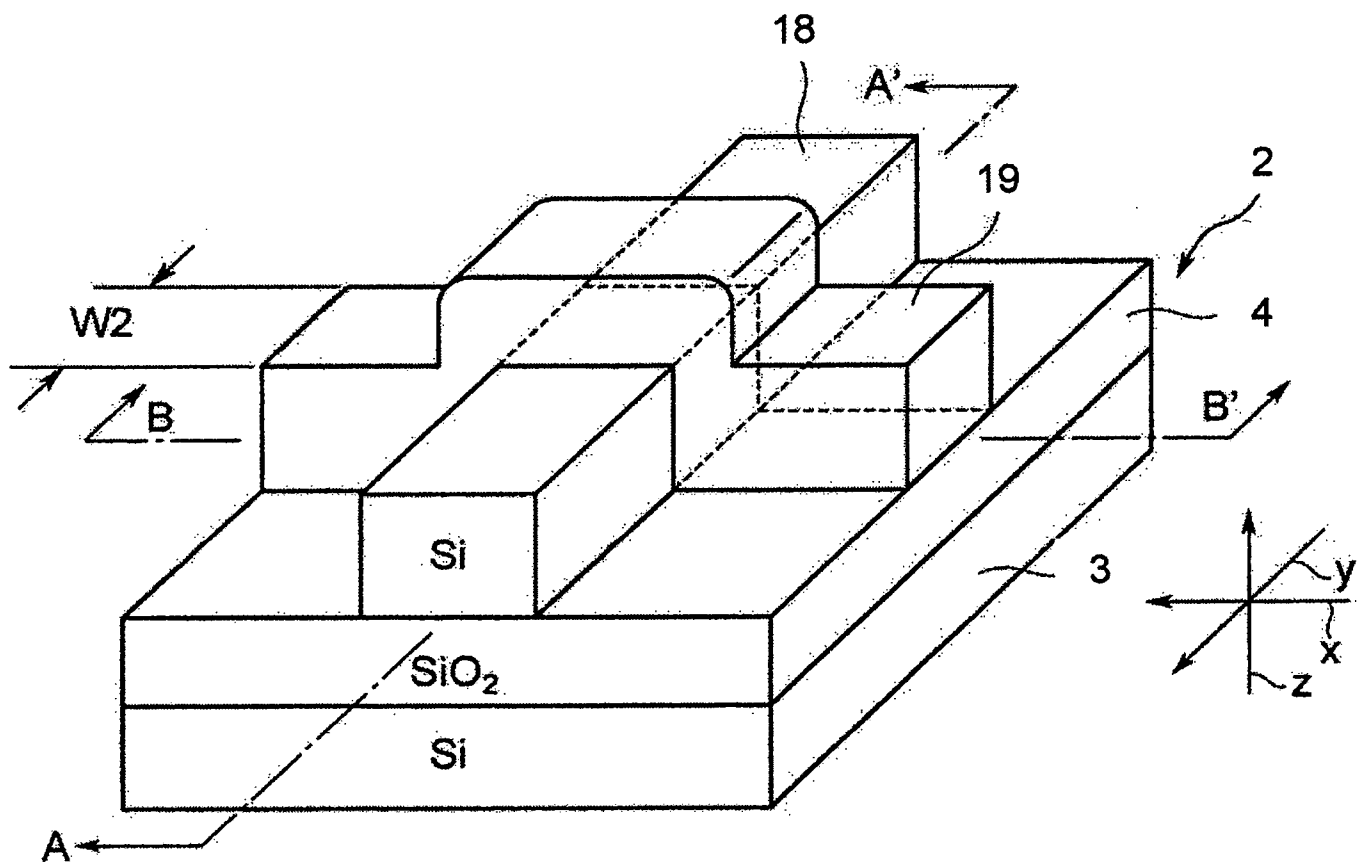


圖15

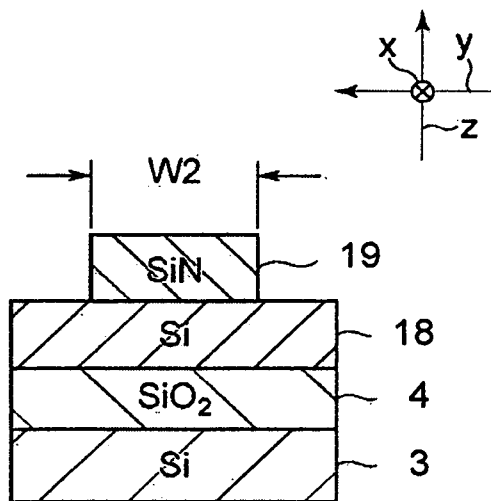


圖16A

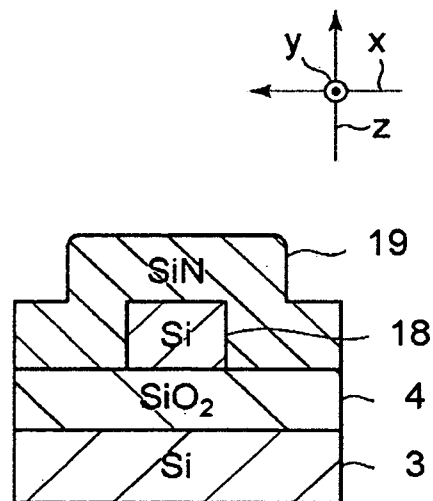


圖16B

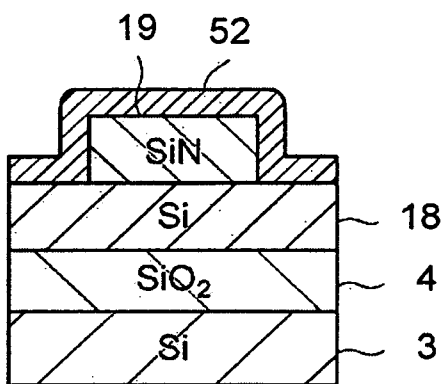


圖16C

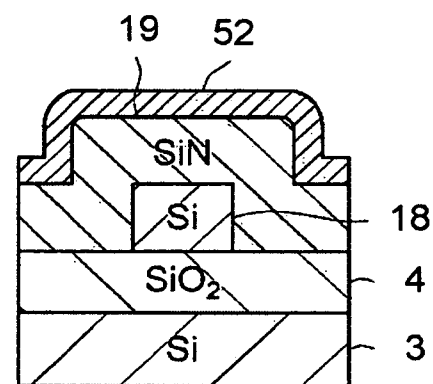


圖16D

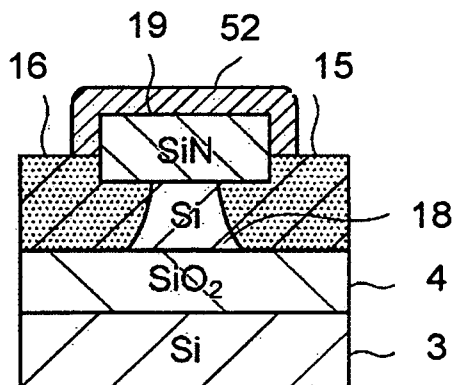


圖16E

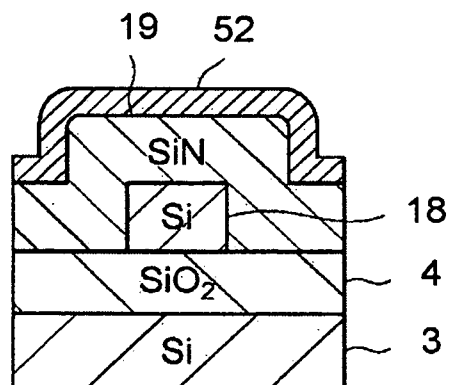


圖16F

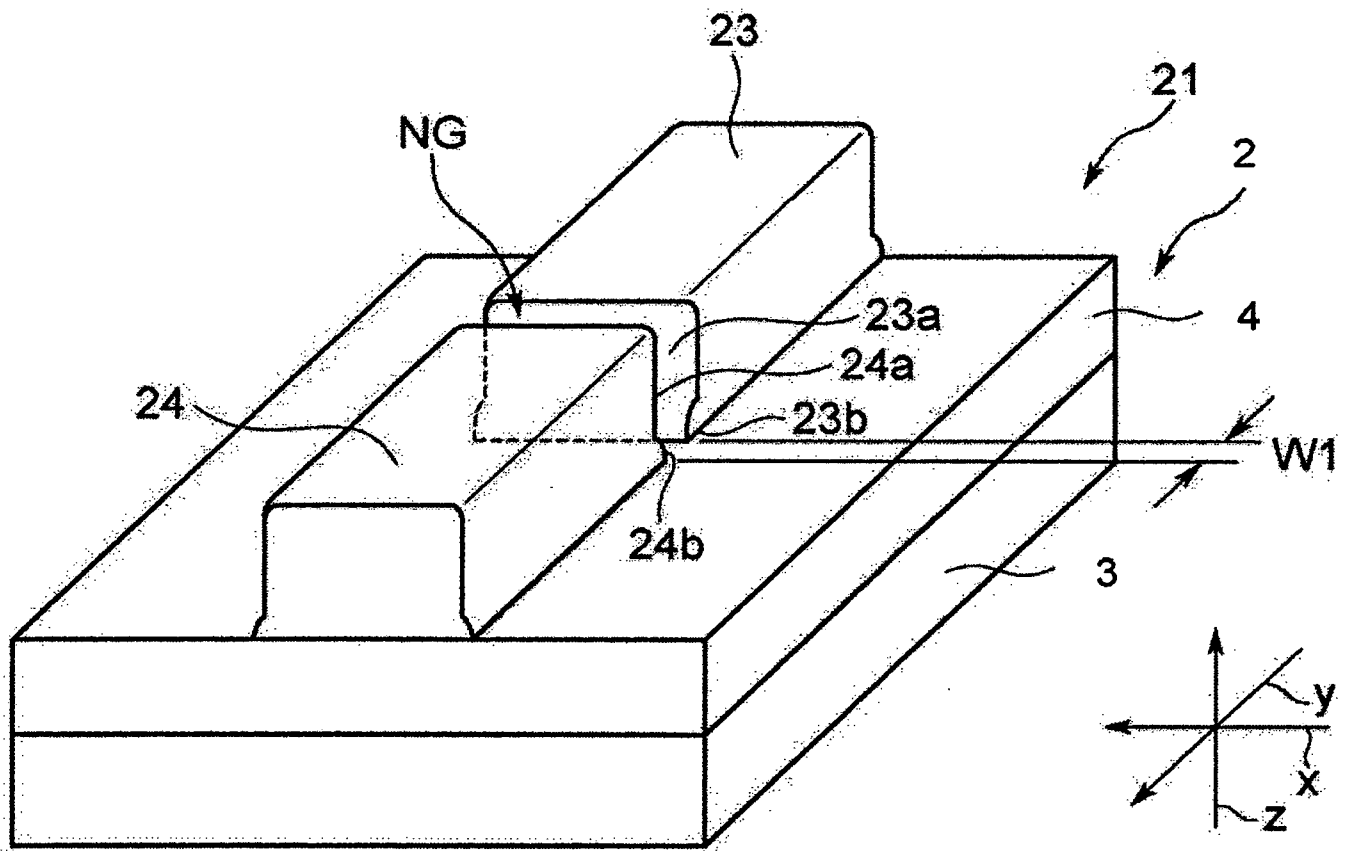


圖18

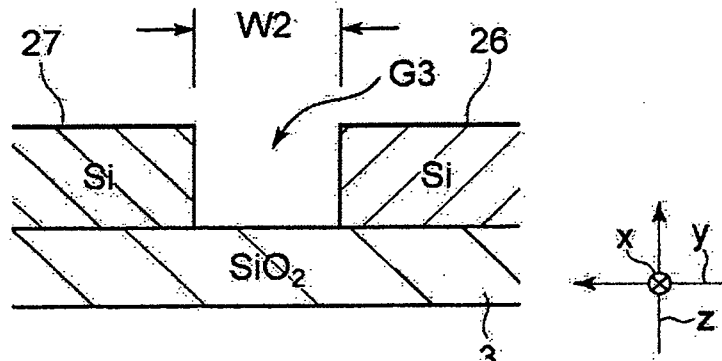


圖19A

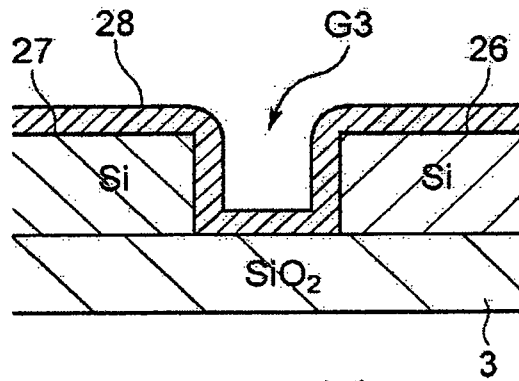


圖19B

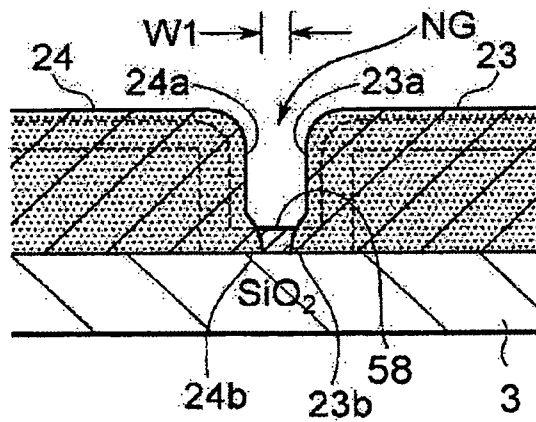


圖19C

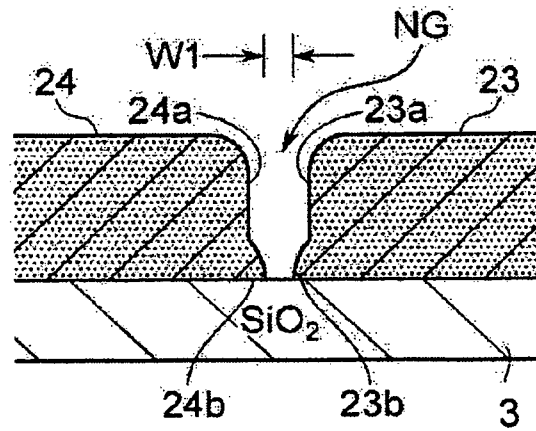


圖19D

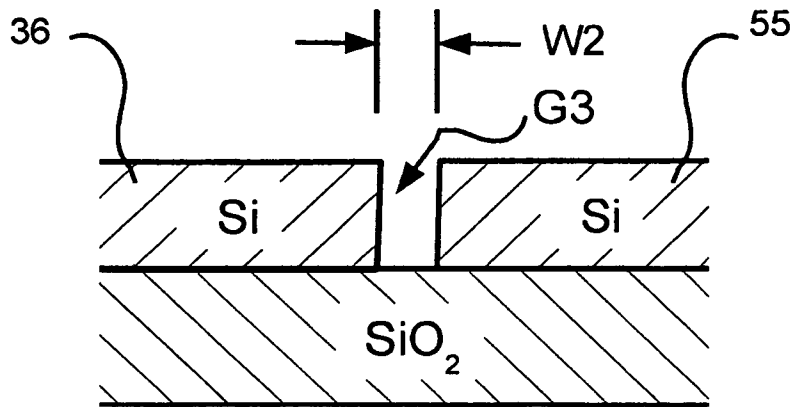


圖20A

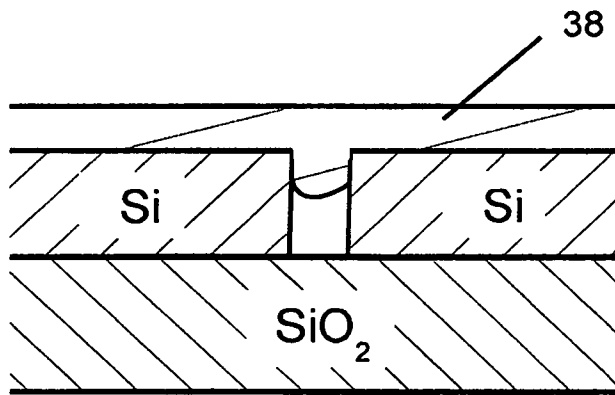


圖20B

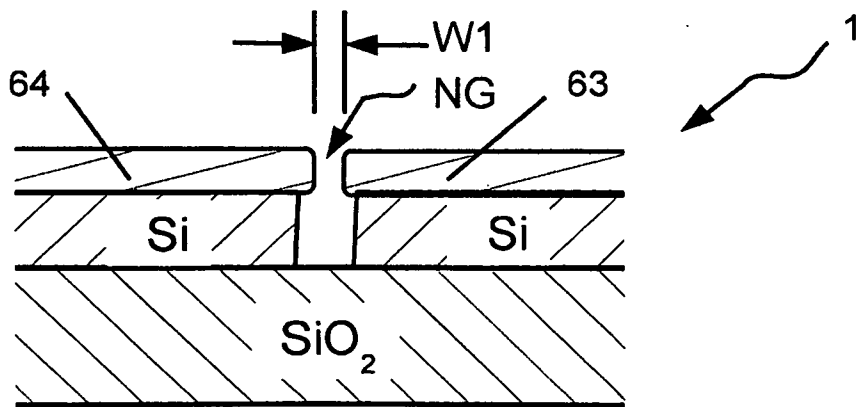


圖20C

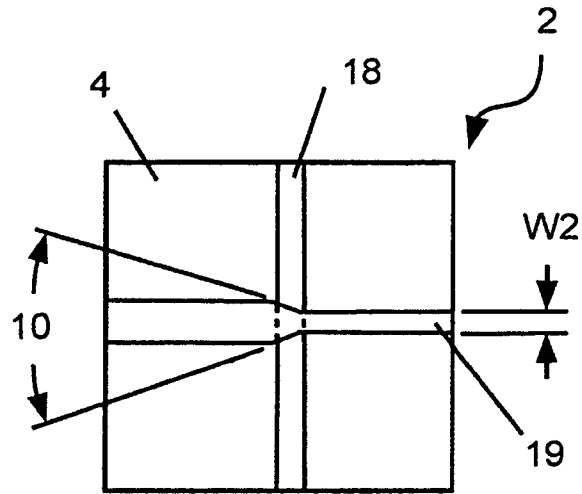


圖21A

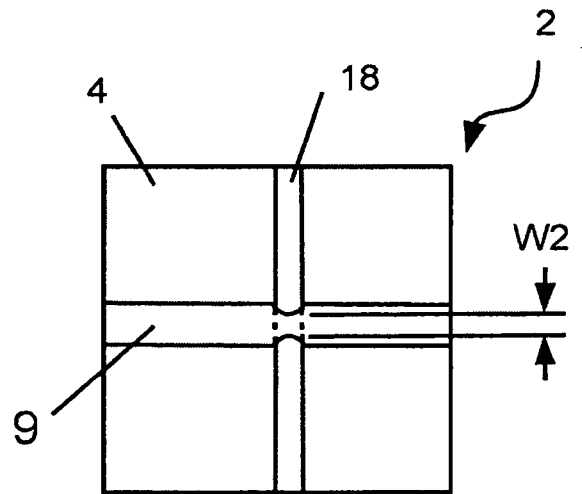


圖21B

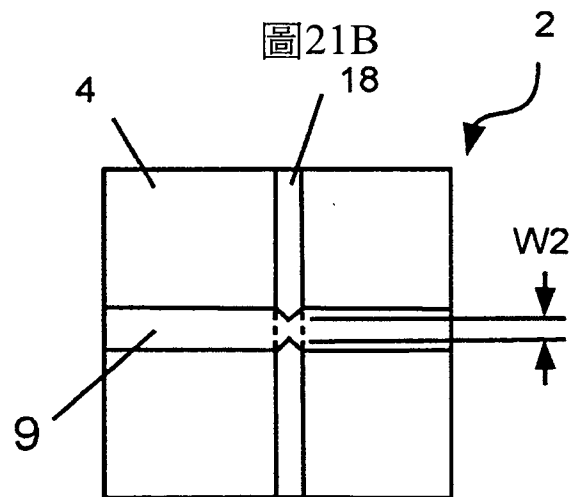


圖21C

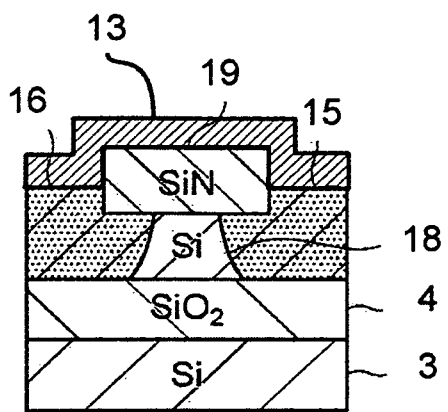


圖22A

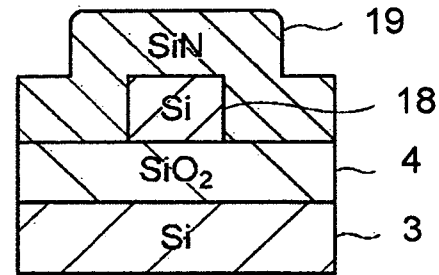


圖22B

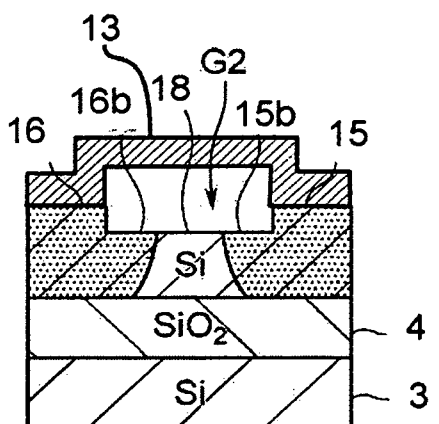


圖22C

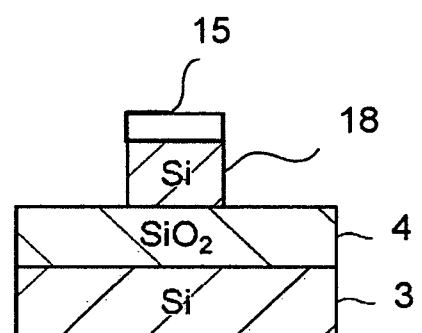


圖22D

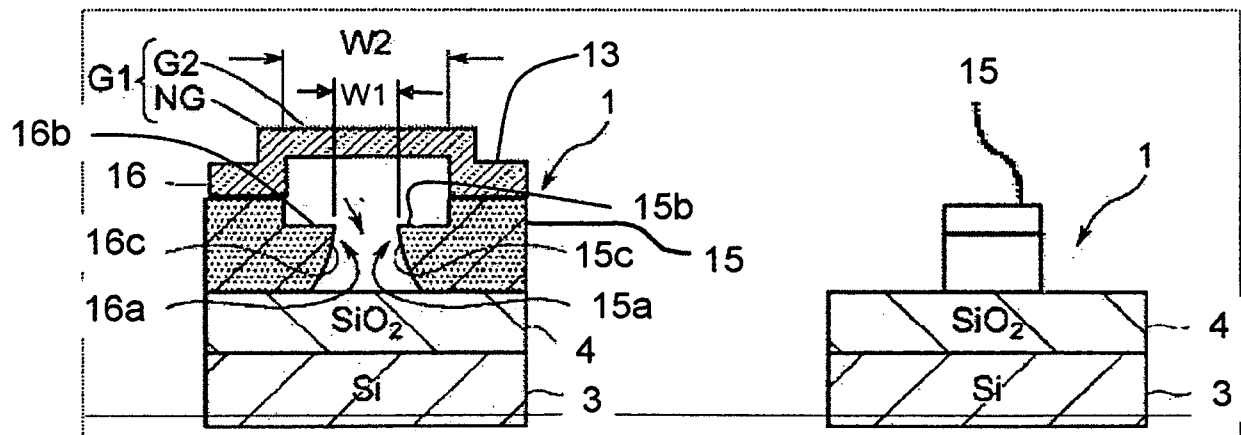


圖22E

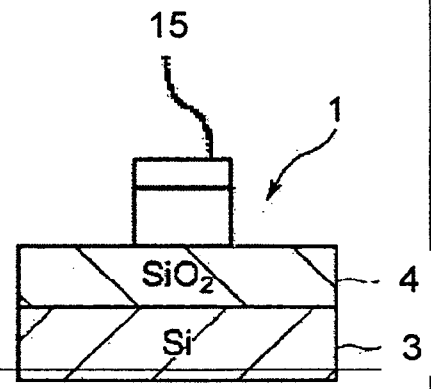


圖22F



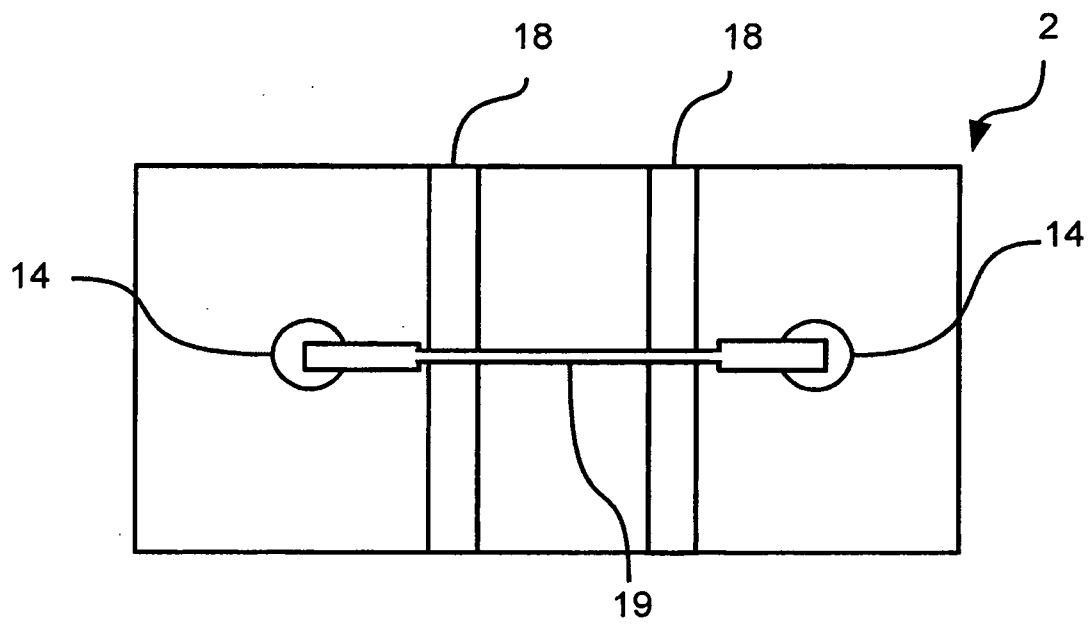


圖23

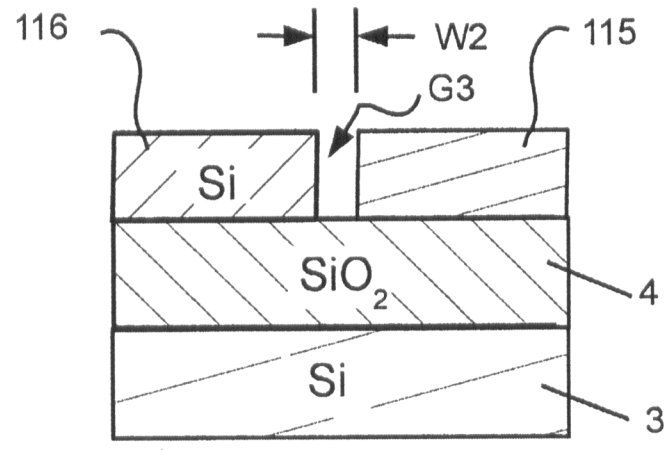


圖24A

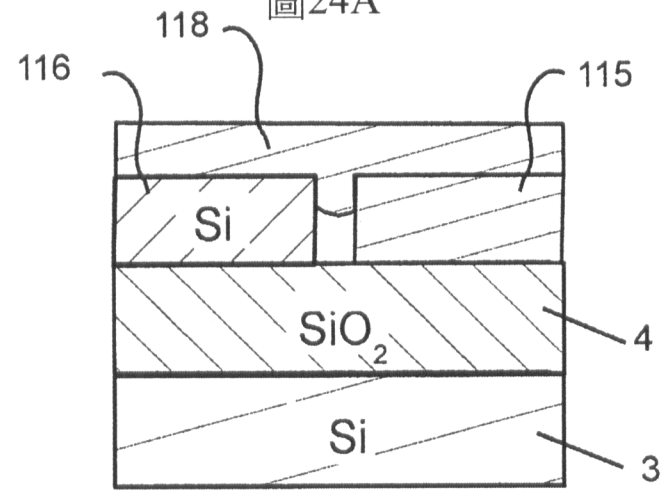


圖24B

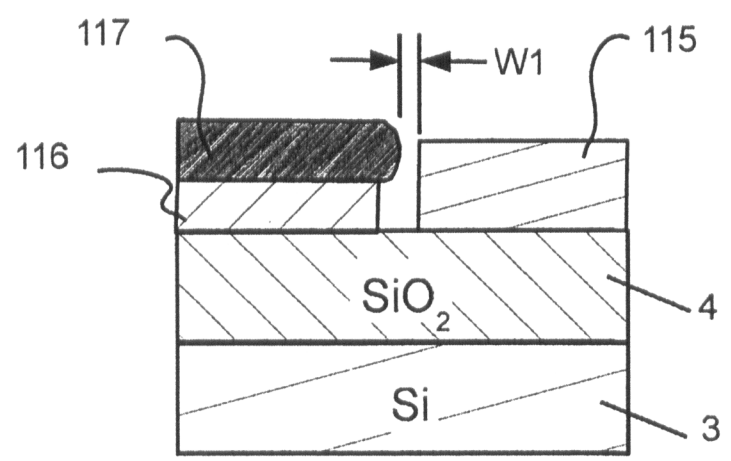


圖24C

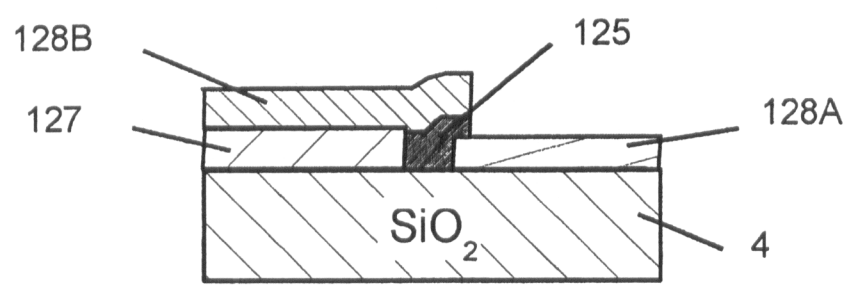


圖25A

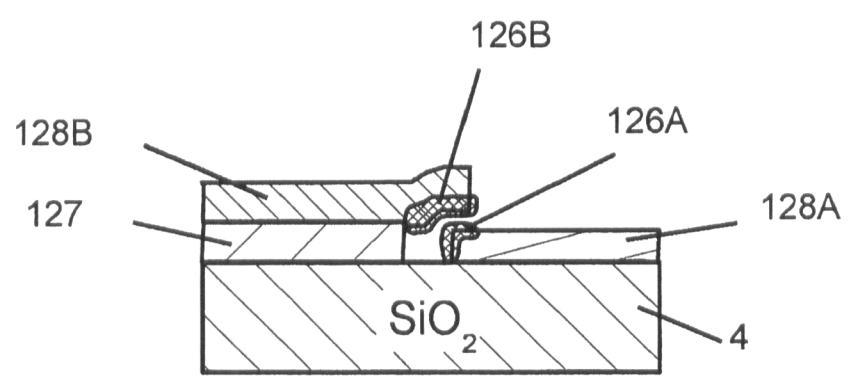


圖25B

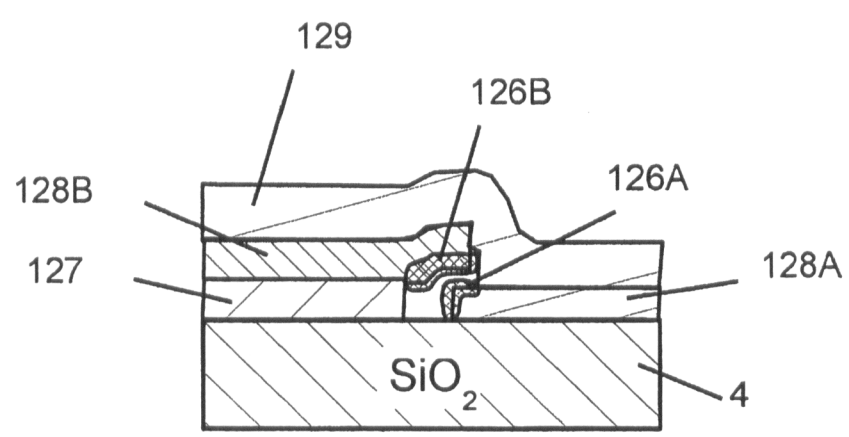


圖25C