

[19] 中华人民共和国国家知识产权局



# [12] 发明专利申请公布说明书

[21] 申请号 200810080753.2

[51] Int. Cl.

H01L 29/78 (2006.01)  
H01L 29/41 (2006.01)  
H01L 29/423 (2006.01)  
H01L 29/417 (2006.01)  
H01L 29/06 (2006.01)

[43] 公开日 2008年8月20日

[11] 公开号 CN 101246907A

[22] 申请日 2008.2.18

[21] 申请号 200810080753.2

[30] 优先权

[32] 2007.2.16 [33] US [31] 11/707403

[71] 申请人 电力集成公司

地址 美国加利福尼亚州

[72] 发明人 V·帕塔萨拉蒂

[74] 专利代理机构 中国专利代理(香港)有限公司  
代理人 张雪梅 魏 军

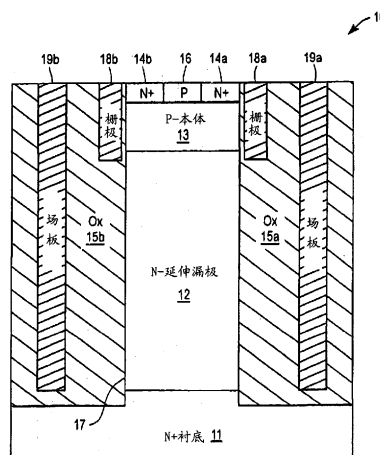
权利要求书 4 页 说明书 11 页 附图 10 页

## [54] 发明名称

用于具有棋盘式布局的晶体管的栅极金属布线

## [57] 摘要

本发明涉及用于具有棋盘式布局的晶体管的栅极金属布线。在一个实施例中，将制造于半导体管芯上的晶体管布置成细长晶体管段的部分。所述部分基本跨越半导体管芯设置成行和列。行或列中的相邻部分被取向成使得所述相邻部分的第一个中的晶体管段的长度沿第一方向延伸，并且所述相邻部分的第二个中的晶体管段的长度沿第二方向延伸，所述第一方向基本正交于所述第二方向。要强调的是，提供该摘要是为了遵守需要摘要的规定以使得检索者或其他读者迅速确定本技术公开的主题。



1. 一种晶体管，包括：

衬底；

被组织成多个部分的多个晶体管段，每个晶体管段具有长度和宽度，每个部分的晶体管段沿宽度被设置成并排关系，所述部分被设置成行和列，每行的部分被设置成使得晶体管段的部分到部分的长度沿第一和第二横向交替对准，第一横向基本垂直于第二横向，每个晶体管段包括：

半导体材料柱，所述柱具有设置在衬底的顶表面处或附近的源极区；

分别设置在所述柱的相对侧上的第一和第二介电区域，所述第一介电区域由所述柱横向包围，并且所述第二介电区域横向包围所述柱；

分别设置在所述第一和第二介电区域中的第一和第二场板；

分别设置在邻近本体区的柱的顶部处或附近的第一和第二介电区中的第一和第二栅极元件；以及

第一金属层，其包括耦合到每个晶体管段的源极区的源极汇流排、和耦合到每个晶体管段的第一和第二栅极元件的栅极汇流排。

2. 根据权利要求1所述的晶体管，其中所述柱沿第一和第二横向延伸以形成跑道形环或椭圆。

3. 根据权利要求1所述的晶体管，其中所述柱垂直通过衬底延伸，所述柱进一步包括：

延伸漏极区；以及

垂直地分开源极和延伸漏极区的本体区。

4. 根据权利要求1所述的晶体管，其中栅极汇流排包括与每行相关联的顶部和底部线，具有沿第一横向对准的段的长度的部分具有耦合到顶部线的段的第一半的第一和第二栅极元件，并且所述段的第二半的第一和第二栅极元件耦合到底部线。

5. 根据权利要求4所述的晶体管，其中栅极汇流排进一步包括一对短截线，其中对所述段的长度沿第二横向对准的每一部分而言，所述段的第一半的第一和第二栅极元件耦合到该对短截线中的第一个，并且所述段的第二半的第一和第二栅极元件耦合到该对短截线中的第二个。

6. 根据权利要求5所述的晶体管，其中该对短截线的第一个和第二个沿第一横向跨越每行延伸大约一半长度。

7. 根据权利要求5所述的晶体管，其中所述顶部和底部线沿第二横向基本对准，并且所述短截线中的第一和第二个沿第一横向基本对准。

8. 根据权利要求4所述的晶体管，其中源极汇流排在顶部与底部线之间跨越每一行连续延伸。

9. 根据权利要求5所述的晶体管，其中源极汇流排在顶部与底部线之间跨越每一行、并且围绕该对短截线中的第一个和第二个连续延伸。

10. 一种晶体管，包括：

衬底；

被组织成多个部分的多个晶体管段，每个晶体管段具有长度和宽度，每个部分的晶体管段沿宽度被设置成并排关系，所述部分被设置成行和列，每行的部分被设置成使得晶体管段的部分到部分的长度沿第一和第二横向交替对准，第一横向基本垂直于第二横向，每个晶体管段包括：

半导体材料柱，所述柱具有设置在衬底的顶表面处或附近的源极区；

分别设置在所述柱的相对侧上的第一和第二介电区域，所述第一介电区域由所述柱横向包围，并且所述第二介电区域横向包围所述柱；

分别设置在所述第一和第二介电区域中的第一和第二场板；

分别设置在邻近本体区的柱的顶部处或附近的第一和第二介电区中的第一和第二栅极元件；以及

第一金属层，其包括耦合到每个晶体管段的源极区的源极汇流排、和耦合到每个晶体管段的第一和第二栅极元件的栅极汇流排，栅极汇流排包括与每行相关联的顶部和底部线，具有沿第一横向对准的段的长度的部分均具有耦合到顶部线的第一和第二栅极元件中的第一组，并且第一和第二栅极元件中的第二组耦合到底部线。

11. 根据权利要求10所述的晶体管，其中所述柱沿第一和第二横向延伸以形成跑道形环或椭圆。

12. 根据权利要求10所述的晶体管，其中第一组包括所述段的第

一和第二栅极元件的一半。

13. 根据权利要求10所述的晶体管，其中所述柱垂直通过衬底延伸，所述柱进一步包括：

延伸漏极区；以及

垂直地分开源极和延伸漏极区的本体区。

14. 根据权利要求10所述的晶体管，其中栅极汇流排进一步包括一对短截线，其中对所述段的长度沿第二横向对准的每一部分而言，第一和第二栅极元件中的第三组耦合到该对短截线中的第一个，并且第一和第二栅极元件中的第四组耦合到该对短截线中的第二个。

15. 根据权利要求14所述的晶体管，其中该对短截线中的第一个耦合到顶部线，并且该对短截线中的第二个耦合到底部线。

16. 根据权利要求15所述的晶体管，其中所述第三组包括所述段的第一和第二栅极元件的一半。

17. 根据权利要求10所述的晶体管，其中源极汇流排在顶部与底部线之间跨越每一行连续延伸。

18. 根据权利要求14所述的晶体管，其中源极汇流排在顶部与底部线之间跨越每一行、并且围绕该对短截线中的第一个和第二个连续延伸。

19. 一种晶体管，包括：

衬底；

被组织成多个部分的多个晶体管段，每个晶体管段具有长度和宽度，每个部分的晶体管段沿宽度被设置成并排关系，所述部分被设置成行和列，每行的部分被设置成使得晶体管段的部分到部分的长度沿第一和第二横向交替对准，第一横向基本垂直于第二横向，每个晶体管段包括：

跑道形半导体材料柱，所述柱具有设置在衬底的顶表面处或附近的源极区；

分别设置在邻近本体区的柱的相对侧上的第一和第二栅极元件；

第一金属层，其包括耦合到每个晶体管段的源极区的源极汇流排、和耦合到每个晶体管段的第一和第二栅极元件的栅极汇流排，栅极汇流排包括与每行相关联的顶部和底部线，源极汇流排在顶部与底部线之间跨越每一行连续延伸。

20. 根据权利要求 19 所述的晶体管，其中具有沿第一横向对准的段的长度的部分均具有耦合到顶部线的第一和第二栅极元件中的第一组，并且第一和第二栅极元件中的第二组耦合到底部线。

21. 根据权利要求 19 所述的晶体管，其中栅极汇流排进一步包括一对短截线，其中对所述段的长度沿第二横向对准的每一部分而言，第一和第二栅极元件中的第三组耦合到该对短截线中的第一个，并且第一和第二栅极元件中的第四组耦合到该对短截线中的第二个。

22. 根据权利要求 21 所述的晶体管，其中该对短截线中的第一个耦合到顶部线，并且该对短截线中的第二个耦合到底部线。

23. 根据权利要求 21 所述的晶体管，其中所述第三组包括所述段的第一和第二栅极元件的一半。

24. 根据权利要求 19 所述的晶体管，其中每个组进一步包括：  
分别设置在所述柱的相对侧的第一和第二介电区域，第一介电区域被柱横向包围，并且第二介电区域横向包围所述柱；以及  
分别设置在第一和第二介电区域中的第一和第二场板。

## 用于具有棋盘式布局的晶体管的栅极金属布线

### 技术领域

本发明涉及用于制造高电压晶体管的半导体器件结构和工艺。

### 背景技术

在半导体领域中高电压场效应晶体管 (HVFET) 已是公知的。很多 HVFET 采用的器件结构包括延伸的漏极区, 当器件处于“截止”状态时, 该延伸的漏极区支持或阻断所施加的高电压 (例如几百伏)。在常规的垂直 HVFET 结构中, 半导体材料的台或柱形成用于导通状态中的电流的延伸的漏极或漂移区。在衬底顶部附近、与台的侧壁区域相邻地形成沟槽栅极结构, 在台处将本体区设置在延伸的漏极区上方。向栅极施加适当的电压电势沿着本体区的垂直侧壁部分形成导电沟道, 使得电流可以垂流过半导体材料, 即, 从设置源极区的衬底顶表面向下流到设置漏极区的衬底底部。

在常规布局中, 垂直 HVFET 由长的连续硅柱结构构成, 该硅柱结构跨越半导体管芯延伸, 并且该柱结构在垂直于柱长度的方向上重复。不过, 该布局引起的问题在于, 在高温处理步骤期间硅晶片容易产生大的翘曲。在很多工艺中, 翘曲是永久性的且足够大, 妨碍了在下一处理步骤中用工具加工晶片。

### 发明内容

根据本发明的一个实施例, 提供一种晶体管, 包括: 衬底; 被组织成多个部分的多个晶体管段, 每个晶体管段具有长度和宽度, 每个部分的晶体管段沿宽度被设置成并排关系, 所述部分被设置成行和列, 每行的部分被设置成使得晶体管段的部分到部分的长度沿第一和第二横向交替对准, 第一横向基本垂直于第二横向, 每个晶体管段包括: 半导体材料柱, 所述柱具有设置在衬底的顶表面处或附近的源极区; 分别设置在所述柱的相对侧上的第一和第二介电区域, 所述第一介电区域由所述柱横向包围, 并且所述第二介电区域横向包围所述柱; 分别设置在所述第一和第二介电区域中的第一和第二场板; 分别设置在

邻近本体区的柱的顶部处或附近的第一和第二介电区中的第一和第二栅极元件；以及第一金属层，其包括耦合到每个晶体管段的源极区的源极汇流排、和耦合到每个晶体管段的第一和第二栅极元件的栅极汇流排。

根据本发明的一个实施例，提供一种晶体管，包括：衬底；被组织成多个部分的多个晶体管段，每个晶体管段具有长度和宽度，每个部分的晶体管段沿宽度被设置成并排关系，所述部分被设置成行和列，每行的部分被设置成使得晶体管段的部分到部分的长度沿第一和第二横向交替对准，第一横向基本垂直于第二横向，每个晶体管段包括：半导体材料柱，所述柱具有设置在衬底的顶表面处或附近的源极区；分别设置在所述柱的相对侧上的第一和第二介电区域，所述第一介电区域由所述柱横向包围，并且所述第二介电区域横向包围所述柱；分别设置在所述第一和第二介电区域中的第一和第二场板；分别设置在邻近本体区的柱的顶部处或附近的第一和第二介电区中的第一和第二栅极元件；以及第一金属层，其包括耦合到每个晶体管段的源极区的源极汇流排、和耦合到每个晶体管段的第一和第二栅极元件的栅极汇流排，栅极汇流排包括与每行相关联的顶部和底部线，具有沿第一横向对准的段的长度的部分均具有耦合到顶部线的第一和第二栅极元件中的第一组，并且第一和第二栅极元件中的第二组耦合到底部线。

根据本发明的一个实施例，提供一种晶体管，包括：衬底；被组织成多个部分的多个晶体管段，每个晶体管段具有长度和宽度，每个部分的晶体管段沿宽度被设置成并排关系，所述部分被设置成行和列，每行的部分被设置成使得晶体管段的部分到部分的长度沿第一和第二横向交替对准，第一横向基本垂直于第二横向，每个晶体管段包括：跑道形半导体材料柱，所述柱具有设置在衬底的顶表面处或附近的源极区；分别设置在邻近本体区的柱的相对侧上的第一和第二栅极元件；第一金属层，其包括耦合到每个晶体管段的源极区的源极汇流排、和耦合到每个晶体管段的第一和第二栅极元件的栅极汇流排，栅极汇流排包括与每行相关联的顶部和底部线，源极汇流排在顶部与底部线之间跨越每一行连续延伸。

附图说明

从下面的详细说明和附图将可以更全面地理解本发明，不过，详细说明和附图不应用来将本发明限制到所示的具体实施例，而是仅用于解释和理解。

图 1 示出了垂直 HVFET 结构的实例截面侧视图。

图 2A 示出了图 1 中所示的垂直 HVFET 结构的实例布局。

图 2B 为图 2A 中所示的实例布局的一部分的放大视图。

图 3A 示出了图 1 中所示的垂直 HVFET 结构的另一实例布局。

图 3B 为图 3A 中所示的实例布局的一部分的放大视图。

图 4A 示出了图 1 中所示的垂直 HVFET 结构的又一实例布局。

图 4B 为图 4A 中所示的实例布局的一部分的放大视图。

图 5 示出了具有管芯至管芯棋盘式布置的 HVFET 的晶片的实例布局。

图 6 示出了具有管芯至管芯棋盘式布置的分段的 HVFET 的晶片的实例布局。

图 7 示出了具有 HVFET 段的棋盘式块的矩形管芯的实例布局。

图 8 示出了用于图 7 中所示的管芯的实例栅极金属布线布局。

图 9 示出了用于图 7 中所示的管芯的实例栅极和源极金属布线布局。

图 10 示出了图 9 中所示的实例布局的展开部分。

### 具体实施方式

在下述说明中，为了提供对本发明的透彻理解，给出了具体细节，例如材料类型、尺寸、结构特点、处理步骤等。不过，本领域的普通技术人员将理解，实施本发明可以不需要这些具体细节。还应理解，图中的元件是代表性的，为了清晰起见没有按照比例绘制。

图 1 示出了垂直 HVFET 10 的实例截面侧视图，该 HVFET 10 具有这样的结构，其包括形成于 N+掺杂硅衬底 11 上的 N 型硅的延伸漏极区 12。对衬底 11 进行重掺杂以使其对流经漏电极的电流的电阻最小化，在完成的器件中漏电极位于衬底的底部上。在一个实施例中，延伸漏极区 12 为从衬底 11 延伸到硅晶片的顶表面的外延层的一部分。接近外延层的顶表面形成 P 型本体区 13 以及被 P 型区域 16 横向分开的 N+掺杂的源极区 14a 和 14b。如可以看到的，P 型本体区 13 设置于延伸



漏极区 12 上方且垂直地将延伸漏极区 12 与 N+源极区 14a 和 14b 以及 P 型区域 16 分开。

在一个实施例中，外延层包括延伸漏极区 12 的部分的掺杂浓度是线性渐变的，以产生表现出基本均匀的电场分布的延伸漏极区。线性渐变可以在外延层 12 的顶表面下方的某个点处停止。

在图 1 的实例垂直晶体管中，延伸漏极区 12、本体区 13、源极区 14a 和 14b 以及 P 型区域 16 共同包括硅材料的台或柱 17（在本申请中两个术语作为同义词使用）。用介电材料（例如氧化物）层填充形成于柱 17 的相对侧上的垂直沟槽，所述介电材料形成介电区域 15。可以由器件的击穿电压要求决定柱 17 的高度和宽度以及相邻垂直沟槽之间的间距。在各实施例中，台 17 的垂直高度（厚度）在大约 30  $\mu\text{m}$  到 120  $\mu\text{m}$  厚的范围内。例如，在尺寸大约为 1mm  $\times$  1mm 的管芯上形成的 HVFET 可以具有垂直厚度为大约 60  $\mu\text{m}$  的柱 17。作为另一实例，在每一侧的大约 2mm-4mm 的管芯上形成的晶体管结构可以具有大约 30  $\mu\text{m}$  厚的柱结构。在特定实施例中，柱 17 的横向宽度尽量窄到能可靠制造的程度（例如大约 0.4  $\mu\text{m}$  到 0.8  $\mu\text{m}$  宽），以便实现非常高的击穿电压（例如 600-800V）。

在另一实施例中，不是跨越柱 17 的横向宽度在 N+源极区 14a 和 14b 之间布置 P 型区域 16（如图 1 所示），而是可以跨越柱 17 的横向长度在柱 17 的顶部交替形成 N+源极区和 P 型区域。换句话说，诸如图 1 中所示的给定的截面图将具有跨越柱 17 的整个横向宽度延伸的 N+源极区 14 或 P 型区域 16，取决于该截面取自哪里。在这样的实施例中，每个 N+源极区 14 在两侧（沿柱的横向长度）与 P 型区域 16 邻接。类似地，每个 P 型区域 16 在两侧（沿柱的横向长度）与 N+源极区 14 邻接。

介电区域 15a、15b 可以包括二氧化硅、氮化硅或其他合适的介电材料。可以使用多种公知方法，包括热生长和化学汽相淀积来形成介电区域 15。设置在每个介电层 15 中并与衬底 11 和柱 17 完全绝缘的是场板（field plate）19。用于形成场板 19 的导电材料可以包括重掺杂的多晶硅、金属（或金属合金）、硅化物或其他适当的材料。在完成的器件结构中，场板 19a 和 19b 通常起电容极板的作用，当 HVFET 处于截止状态时（即当漏极被升高至高电压电势时）所述电容极板可

用于耗尽延伸漏极区的电荷。在一个实施例中，将每个场板 19 与柱 17 的侧壁分开的氧化物区域 15 的横向厚度大约为  $4\ \mu\text{m}$ 。

垂直 HVFET 晶体管 80 的沟槽栅极结构包括栅极元件 18a、18b，每个栅极元件分别设置在场板 19a、19b 和本体区 13 之间、柱 17 的相对侧上的氧化物区域 15a 和 15b 中。高质量的薄（例如  $\sim 500\text{\AA}$ ）栅极氧化物层将栅极元件 18 与和本体区 13 相邻的柱 17 的侧壁分开。栅极元件 18 可以包括多晶硅、或某种其他适合的材料。在一个实施例中，每个栅极元件 18 具有大约  $1.5\ \mu\text{m}$  的横向宽度和大约  $3.5\ \mu\text{m}$  的深度。

本领域的实践人员将会理解，柱 17 的顶部附近的 N+源极区 14 和 P-型本体区 13 均可以使用普通的淀积、扩散和/或注入处理技术形成。在形成 N+源极区 38 之后，通过利用常规制造方法形成电连接到器件的相应区域/材料（为了清晰图中未示出）的源、漏、栅、和场板电极可以完成 HVFET 10。

图 2A 示出了图 1 中所示的垂直 HVFET 结构的实例布局。图 2A 的顶视图示出了单个分立的 HVFET，其包括半导体管芯 21 上的上部晶体管部分 30a 和下部晶体管部分 30b。由伪硅柱 32 将这两部分分开。每个部分 30 包括多个“跑道 (racetrack)”形晶体管结构或段，每个晶体管段包括细长环或椭圆，其包括在相对侧由介电区域 15a 和 15b 包围的硅柱 17。柱 17 本身在 x 和 y 方向上横向延伸以形成连续细长的跑道形环或椭圆。设置在介电区域 15a 和 15b 中的是相应的栅极元件 18a 和 18b 以及场板 19a 和 19b。场板 19a 包括单个细长元件，其在圆形指尖 (fingertip) 区域中终结于任一端。另一方面，场板 19b 包括环绕柱 17 的细长环或椭圆。相邻跑道结构的场板 19b 被示为合并的 (merged)，从而它们共享在一侧的公共元件。作为参考，图 1 的截面图可以取自图 2A 的实例布局的切割线 A-A'。

应当理解，在图 2A 的实例中，每个跑道形晶体管段在 y 方向上的宽度（即间距）大约为  $13\ \mu\text{m}$ ，在 x 方向上的长度在大约  $400\ \mu\text{m}$  到  $1000\ \mu\text{m}$  的范围内，且柱高度约为  $60\ \mu\text{m}$ 。换句话说，包括部分 30a 和 30b 的各个跑道形晶体管段的长宽比在大约 30 直到 80 的范围内。在一个实施例中，每个跑道形段的长度大于其间距或宽度至少 20 倍。

本领域的实践人员将理解，在完成的器件结构中，使用图案化金属层来互连各个晶体管段的每个硅柱 17。也就是说，在实际实施例中，

分别将所有的源极区、栅极元件和场板一起布线至管芯上对应的电极。在图示的实施例中，每个部分 30 中的晶体管段基本跨越管芯 21 的宽度沿 y 方向设置成并排关系。类似地，在 x 方向上，部分 30a 和 30b 的晶体管段的额外长度基本在管芯 21 的长度上延伸。在图 2A 的实例布局中，跨越半导体管芯 21，分开硅柱的介电区域 15 的宽度以及场板的宽度是基本均匀的。以均匀的宽度和间隔距离布置晶体管段防止了用于共形地淀积包括介电区域 15 和场板 19 的层的处理步骤之后形成空隙或孔。

图 2B 为图 2A 中所示的实例布局的一部分的放大视图。为了清晰起见，仅示出了每个晶体管段的柱 17 和介电区域 15b。图示的伪硅柱 32 分开相应晶体管段部分 30a 和 30b 的介电区域 15b 的圆端区域。换句话说，在半导体衬底中被蚀刻来限定柱 17 的深垂直沟槽也限定伪硅柱 32。在一个实施例中，使伪硅柱 32 在 x 方向上的宽度（即其分开晶体管段部分）小到能被可靠地制造。

将单个管芯 HVFET 分段成由伪硅柱 32 分开的部分的目的在于在细长跑道形晶体管段中引入长度方向上（x 方向）的应力消除（stressrelief）。将晶体管器件结构分段或断开成两个或更多个部分减轻了跨越管芯长度的机械应力。该应力由位于柱侧面的氧化物区域引起，并且通常集中于每个跑道形段的圆形端处。由此通过将晶体管器件结构分段成两个或更多个部分来减轻机械应力防止了由应力导致的不希望有的硅柱翘曲和对硅的损伤（例如位错）。

要理解的是，在通过高度分段的布局提供的应力消除和导电区域的损失之间存在折衷。更多的分段导致更大的应力减轻，但是以导电区域为代价。通常，柱的垂直高度越大且半导体管芯越大，则需要的晶体管部分或段的数目越大。在一个实施例中，对于具有  $60\mu\text{m}$  高的柱的  $2\text{mm} \times 2\text{mm}$  的管芯，利用包括四个跑道形晶体管部分的布局在导通电阻约为 1 欧姆的 HVFET 中提供足够的应力减轻，所述四个跑道形晶体管部分由伪硅柱分开，每个伪硅柱具有大约  $13\mu\text{m}$  的间距（y 方向）和大约  $450\mu\text{m}$  的长度（x 方向）。

在另一个实施例中，不是用伪硅柱来分开成对的跑道形晶体管段，每一对位于不同部分中，而是可以用包括不同材料的伪柱。用于伪柱的材料应当具有接近硅的热膨胀系数或充分不同于介电区域的热膨胀

系数的热膨胀系数以便减轻由位于硅柱侧面的介电区域引起的长度方向上的应力。

图 3A 示出了图 1 所示的垂直 HVFET 结构的另一实例布局。图 3B 为图 3A 中所示的实例布局的一部分的放大图，仅示出了柱 17、氧化物区域 15b 和可选的伪硅柱 33。类似于图 2A 和 2B 的实施例，图 3A 和 3B 示出了半导体管芯 21 上的单个分立的 HVFET，其包括上部晶体管部分 30a 和下部晶体管部分 30b。但是在图 3A 和 3B 的实例中，由氧化物区域 15b 填充的深垂直沟槽以及晶体管部分 30a 和 30b 的场板 19b 重叠，或者被合并，在分段的晶体管部分之间留下小的菱形伪硅柱 33。在该实施例中，单个伪柱中心位于两个部分上相邻成对的晶体管段的四个圆形端之间。在所示的实例中，对于包括管芯 21 的晶体管部分 30 中的每 N 个（其中 N 为大于 1 的整数）跑道形段或结构，存在总共 N-1 个伪柱 33。

图 4A 示出了图 1 所示的垂直 HVFET 结构的又一实例布局。图 4B 为图 4A 中所示的实例布局的一部分的放大图。在图 4B 的放大图中为了清晰仅示出了柱 17 和氧化物区域 15b。在该实例中，将半导体管芯 21 的包括 HVFET 的晶体管段交替移动每个跑道形段的长度的一半，结果形成交替与上部晶体管部分 40a 和下部晶体管部分 40b 相关联的跑道形晶体管段。换句话说，一行部分 40a 的每个晶体管段由部分 40b 的一对晶体管段分开，该对晶体管段沿 x 方向设置成端到端的关系。

要理解的是，可以将各段交替移动段长度的任何百分数（fraction）。换句话说，段的移动不限于长度的 50% 或一半。多种实施例可以包括交替移动了晶体管段的长度的从大于 0% 到小于 100% 的任何百分比或百分数的段。

在图 4A 和 4B 的实例中，相应部分 40a 和 40b 中交替的晶体管段的介电区域 15b 被合并。在图示的具体实施例中，与不同相邻部分相关联的晶体管段的圆形端重叠或被合并，使得相邻部分的场板 19b 在各端处（沿 x 方向）被合并。而且，不同部分的交替晶体管段的场板 19b 的延伸的直边部分沿着每个段的基本长度被合并。要理解的是，区域 15b 和 19b 在相应部分之间有或没有伪柱（或隔离的伪硅柱）的情况下都可以被合并。

图 5 示出了晶片 50 的实例布局，其在半导体管芯 21a-21d 上分别

具有管芯至管芯的棋盘式 HVFET 10a-10d。HVFET 10 的每一个包括如图 1 所示的多个跑道形晶体管段，它们沿着其宽度并排设置成基本方形的块。在该实例中，HVFET 10a-10d 均包括长度基本跨越相应管芯 21a-21d 的长度延伸的晶体管段。在一个实施例中，每个段的宽度约为  $13\ \mu\text{m}$ ，且长度在大约  $500\ \mu\text{m}$  到  $2000\ \mu\text{m}$  的范围内。其他实施例可以具有大于  $2000\ \mu\text{m}$  的长度。段的块或堆叠结构也基本跨越每个管芯的宽度延伸。（注意每个管芯 21 的有边的方形代表相邻半导体管芯之间划线区域的边缘。）虽然图 5 示出了两行和两列的 HVFET 10，但可以理解的是，可以跨越整个晶片衬底重复所示出的管芯至管芯棋盘式布置。

在图 5 的实例中，行或列中相邻的管芯被取向为使得一个管芯中的晶体管段的长度在一个方向上延伸，且相邻管芯中的晶体管段的长度沿第二正交方向延伸。例如，HVFET 10a 被示为其晶体管段的长度沿 x 方向取向，而相邻的 HVFET 10b 和 10c。通过跨越晶片 50 正交地交替每个管芯 21 中的晶体管段的取向（即棋盘式布置），将由长介电区域产生的机械应力沿两个正交方向分布，由此减少了晶片 50 的翘曲。

图 6 示出了具有分段的 HVFET 的管芯到管芯棋盘式布置的晶片的另一实例布局。图 6 的实例使用了与图 5 相同的方法管芯到管芯地交替晶体管结构的取向；然而，在图 6 的实施例中，将 HVFET 结构分段成多个（例如两个）部分。例如，将基本跨越半导体管芯 21 的长度和宽度延伸的每个 HVFET 分段成由伪柱 32 分开的两个部分 30a 和 30b。

对于基本方形的管芯而言，图 6 中所示的每个半导体管芯 21 具有与图 2 所示的相同的布局。类似于图 5 中所示的实例，相邻管芯具有跨越晶片 50 正交交替的晶体管段。也就是说，管芯 21a 和 21d 的部分 30a 和 30b 中的晶体管段具有在 x 方向上取向的长度，而管芯 21b 和 21c 的部分 30a 和 30b 中的晶体管段具有在 y 方向上取向的长度。

可以理解，可以用多个均由一个或多个伪柱分开的晶体管部分，例如大于 2 个的晶体管部分形成每个管芯 21 的 HVFET。此外，可以将图 2A-4B 的实例中所示的具有多个晶体管部分的单个管芯布局中的任何一个用在图 6 中所示的每个管芯 21 中，且各段的取向跨越晶片 50 管芯到管芯地交替。

图 7 示出了管芯 25 的实例矩形布局，其具有以并排布置的基本方形块或部分 36 堆叠的跑道形 HVFET 段的棋盘式块。行或列中的相邻部

分被取向成使得一个部分中的晶体管段的长度在一个方向上延伸，且其他相邻部分中的晶体管段的长度在第二正交方向上延伸。例如，管芯 25 的每个行和列包括取向为细长的晶体管段沿 x 方向对准 (aligned) 的晶体管部分 36a 和取向为细长的晶体管段沿 y 方向对准的交替的晶体管部分 36b。晶体管部分 36a 和 36b 之间的空间包括伪硅柱；也就是说，形成伪柱的硅不是有源晶体管区域。

在图示的实施例中，管芯 25 包括三行和四列的晶体管部分 36。图 7 的实例中所示的棋盘式布局方式可以用来在几乎任何(在可行的限度内)直线形状的管芯上生产单个分立的 HVFET。

图 8 示出了用于图 7 中所示的管芯的实例栅极金属布线布局。利用单金属层工艺制作图 8 的栅极金属布线方案，并且源极和栅极金属被设置在相同的平坦水平面上。所示的实例包括在跑道形 HVFET 段的棋盘式块的每行之间延伸的水平栅极金属汇流线 (bus line) 41a - 41d。例如，栅极金属汇流线 41a 和 41b 被示为沿图 7 的棋盘式部分 36 的第一(上部)行的顶部和底部水平延伸。(应当理解，由于汇流线 41b 提供到达棋盘式部分的第一和第二行的多晶硅栅极元件的共用导电路径的事实，栅极金属汇流线 41b 可以是汇流线 41a 的两倍宽。)

在每行之内，具有沿 x 方向对准的其晶体管段的长度的部分 36 具有一半耦合到顶部汇流线的多晶硅栅极元件、和另一半耦合到底部汇流线的多晶硅栅极元件。例如，图 8 中的上部左手边块或部分 36 被示为具有由线 44a 表示的通过接触 45a 连接到栅极金属汇流线 41b 的多晶硅栅极元件，而在相同部分中的由线 44b 表示的多晶硅栅极元件通过接触 45b 连接到栅极金属汇流线 41a。注意，每个线 44a 或 44b 实际上表示单个跑道形 HVFET 段的两个栅极元件 18a 和 18b (见图 1)。因此，在相同部分中，线 44a 表示两个最左边的 HVFET 段的栅极元件，并且线 44b 表示两个最右边的 HVFET 段的栅极元件。进一步要注意的是，每个栅极元件仅在一端连接到汇流线(顶部或底部)。

图 8 中示出的栅极金属布线图案也包括垂直栅极金属短截线(stub line) 42，所述垂直栅极金属短截线 42 跨越棋盘式块的每一行延伸大约一半长度。在其中 HVFET 段的长度沿 y 方向对准的每个部分之内，一半的多晶硅栅极元件耦合到一个短截线，并且另一半的多晶硅栅极元件耦合到另一个短截线。例如，图 8 的上部行中的第二部分(从左

边)示出通过接触 45c 连接到左侧栅极金属短截线 42a 的底部一半的栅极元件(由线 44c 表示),和通过接触 45d 连接到右侧栅极金属短截线 42b 的顶部一半的栅极元件(由线 44d 表示)。类似地,在图 8 的上部行中的第四部分(最右手边)示出连接到栅极金属短截线 42c 的底部一半的栅极元件和连接到栅极金属短截线 42d 的顶部一半的栅极元件。注意,水平对准的段的每一个栅极元件仅在一端连接到短截线(左或右侧)。

栅极金属短截线 42 跨越那些使其各段沿 y 方向(即水平地)对准的部分仅延伸一半长度的原因是允许源极金属汇流线跨越每一行延伸并且接触每个晶体管段的源极区。这通过图 9 的实例示出,其示出具有在顶部和底部栅极金属迹线 51 之间跨越晶体管部分 36 的每一行连续延伸的各个源极汇流线 61 的管芯 25。(金属迹线 51 表示与每一行相关联的合并的金属汇流线 41 和短截线 42。)例如,源极汇流线 61a 跨越管芯 25 上的部分的上部行连续延伸以接触在用于该行中的每一个 HVFET 段的硅柱 17 的顶部处的源极区 14 的每一个。在这样做的过程中,源极汇流线 61a 在短截线 42 之间和周围、以及在汇流线 41 之间“曲折前进”,其全部被图案化在相同的单层金属上。

本领域技术人员将理解的是,通过使短截线 42 跨越每行延伸大约一半长度,每个源极汇流线 61 的电流控制能力被最大化(即线 61 的最小开槽)。为了不同地安置它,由于围绕短截线 42 的线 61 的开槽,使短截线 42 跨越每行垂直地(沿 x 方向)延伸除一半长度以外的距离将不必要地抑制或限制跨越源极汇流线 61 流动的电流。同样地,应当理解的是,通过将部分中的栅极元件的一半连接到一个栅极金属汇流线(或短截线),以及另一半连接到另一个栅极金属汇流线(或短截线),电迁移和电阻问题被最小化。

图 10 示出了图 9 中所示的实例布局的展开部分,其示出用来连接栅极金属迹线 51 与栅极元件 18a 和 18b 的一个可能的方案。在该实例中,示出分别通过接触 55a 和 55b 连接迹线 51 与栅极元件 18a 和 18b 的圆形指尖部分。在柱 17 的顶部处位于栅极元件 18a 和 18b 之间的源极区被示为通过接触 75 连接到源极金属汇流排 61。(应当理解,为了清楚起见,仅示出两个接触 75。)在替换实施例中,不是接触栅极元件的圆形指尖部分,而是栅极金属迹线 51 可以沿圆形指尖部分附近的

栅极元件 18a 和 18b 的直的、线性部分连接。（注意，为了清楚起见，在图 10 的实例中没有示出场板。）

虽然已经结合具体器件类型描述了以上实施例，但是本领域的普通技术人员将理解多种变型和改变都在本发明的范围内。例如，虽然已经描述了 HVFET，但是图示的方法、布局和结构同样适用于其他结构和器件类型，包括肖特基、二极管、IGBT 和双极型结构。因此，应当将说明书和附图看作是示例性的而不是限制性的。



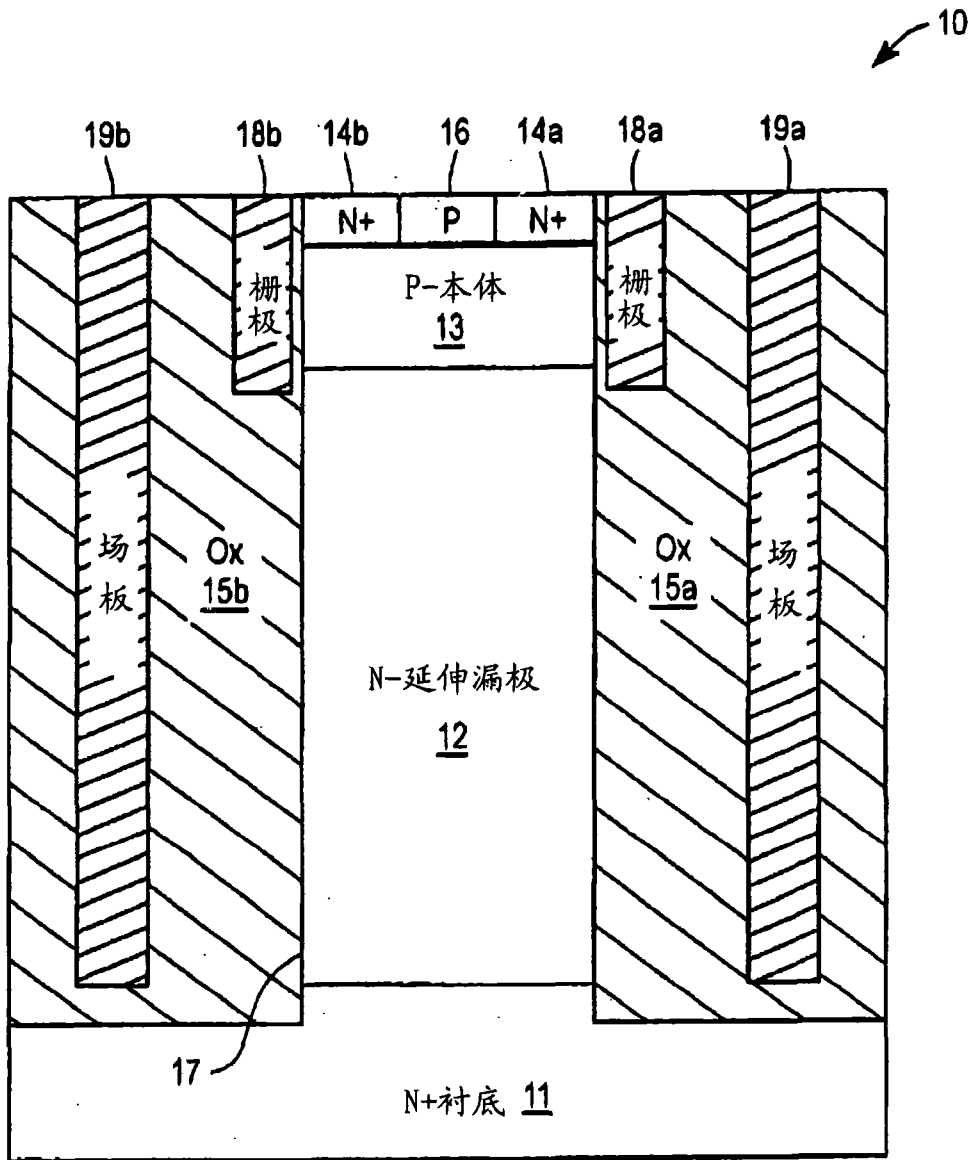


图 1

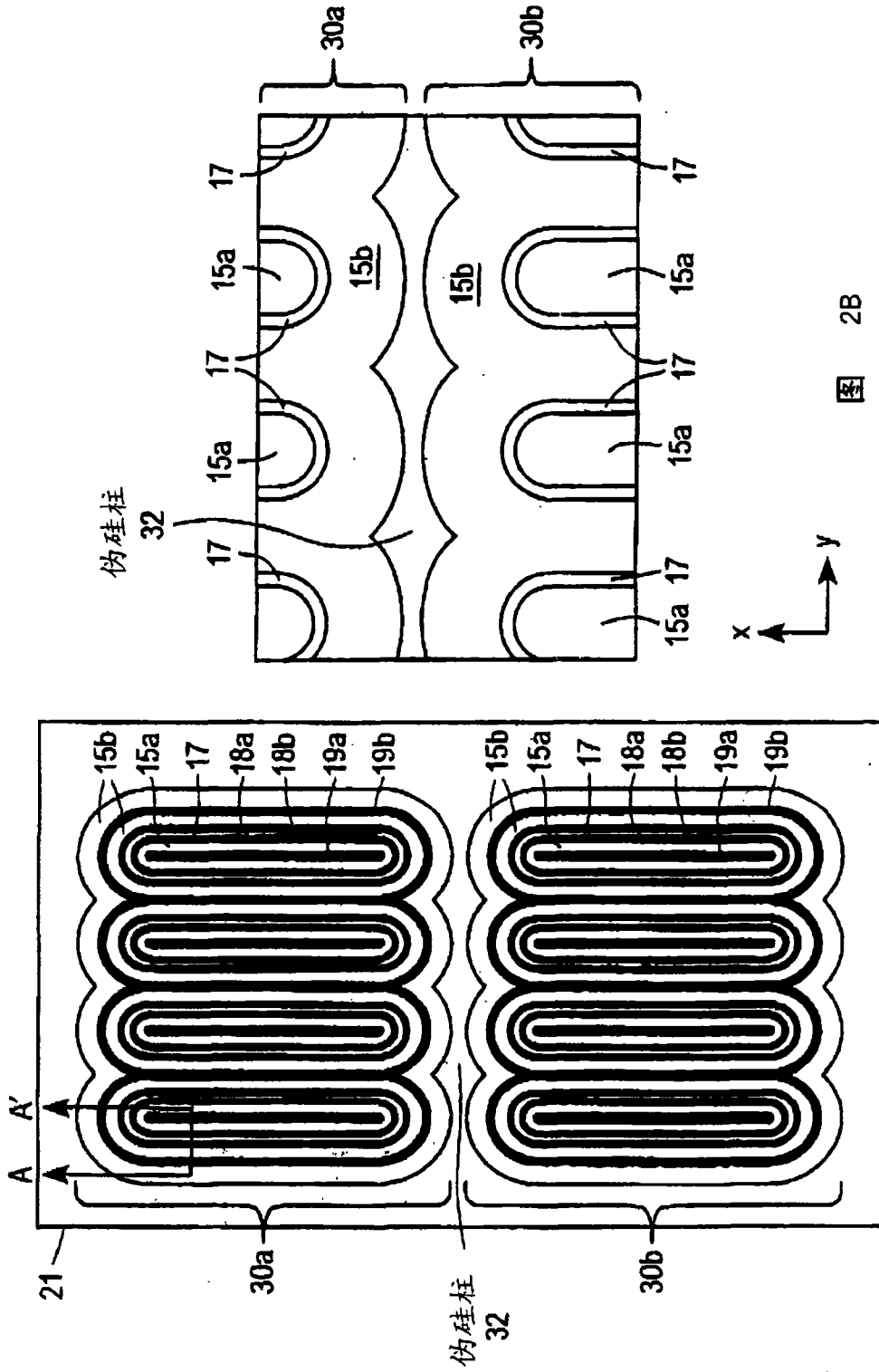


图 2A

图 2B

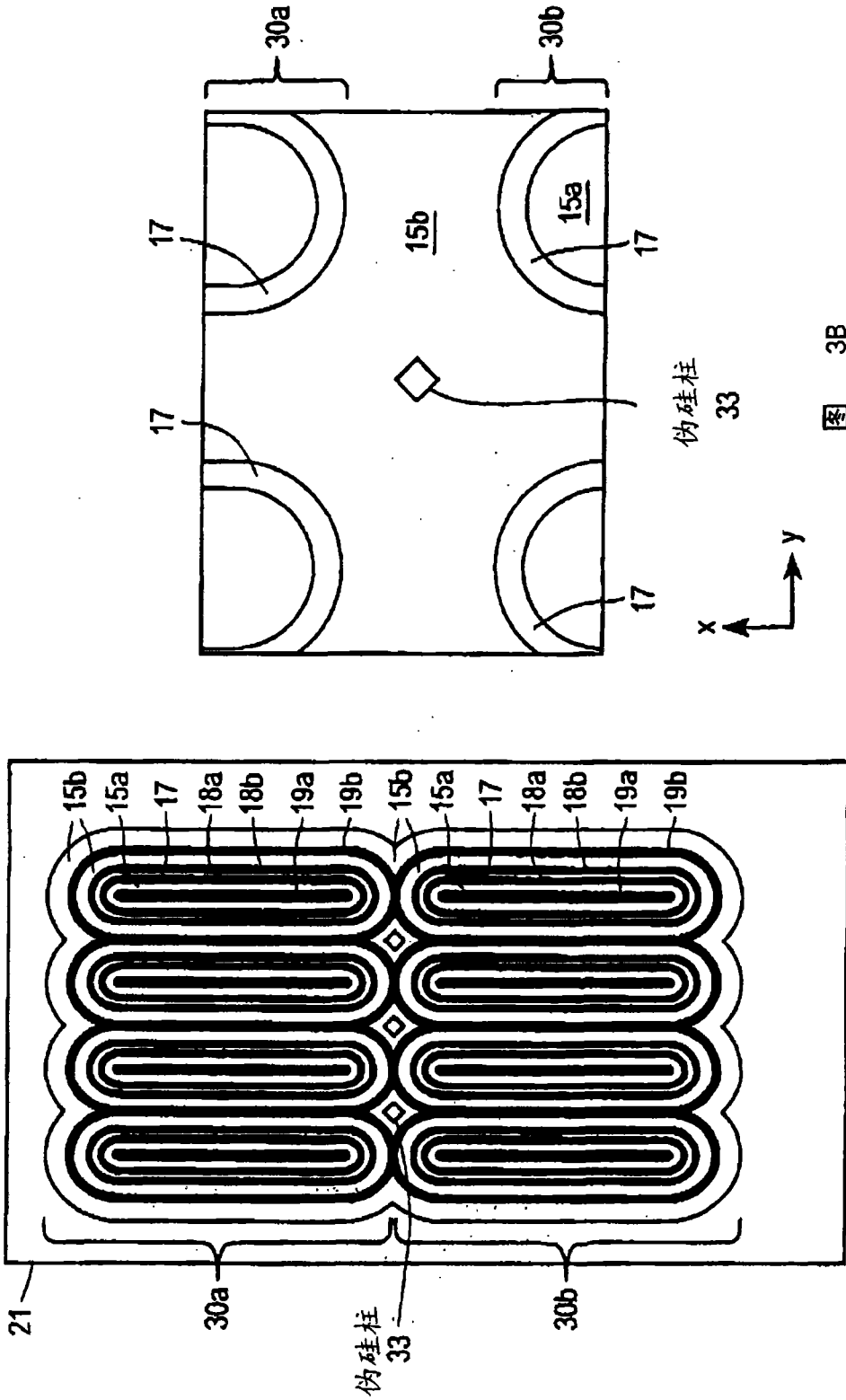


图 3A

图 3B

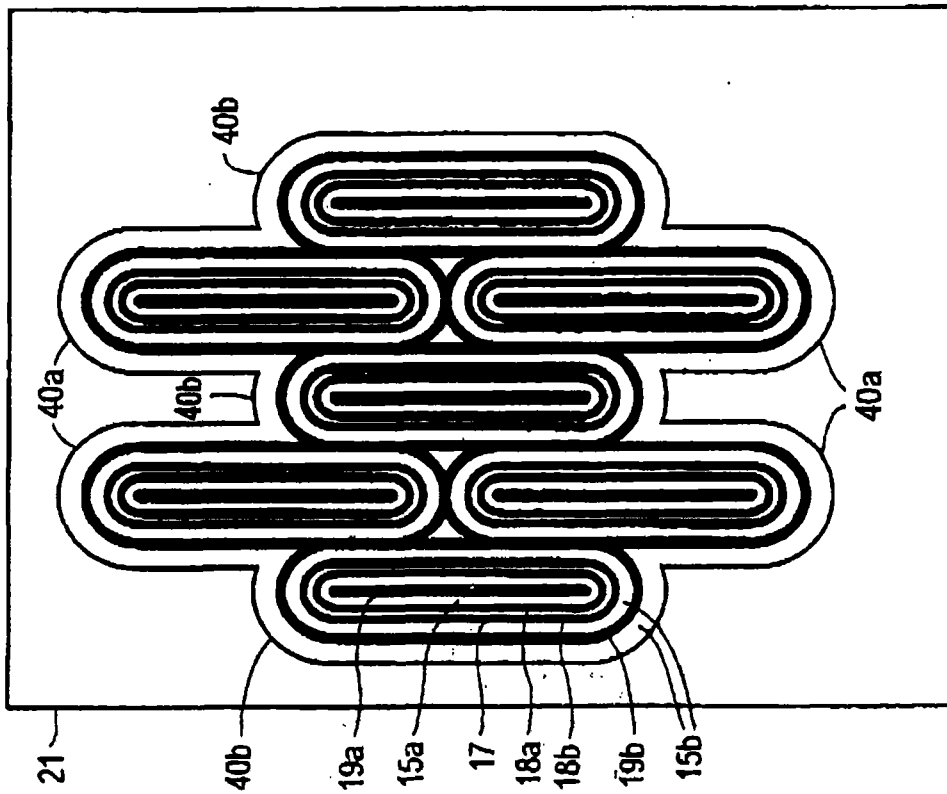


图 4A

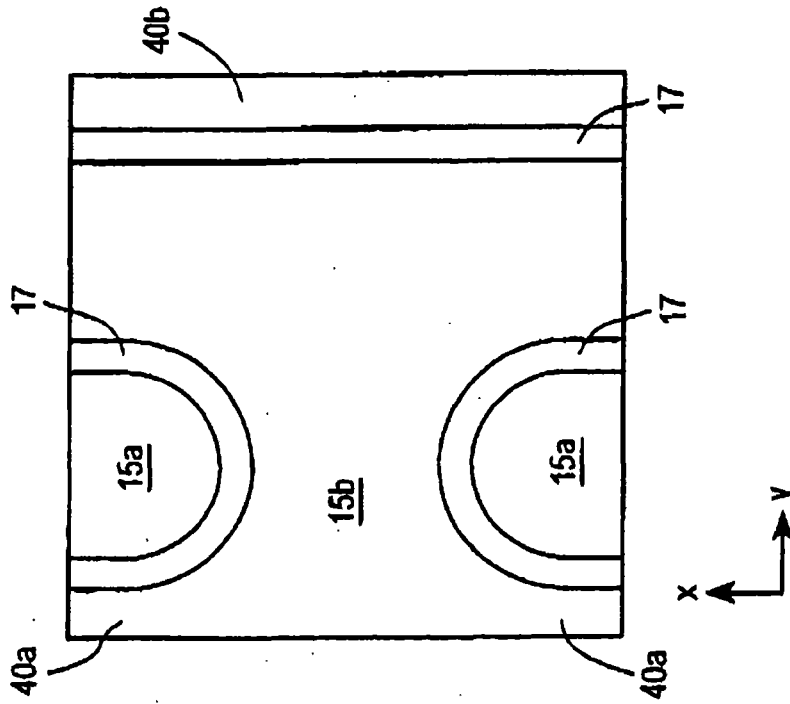


图 4B

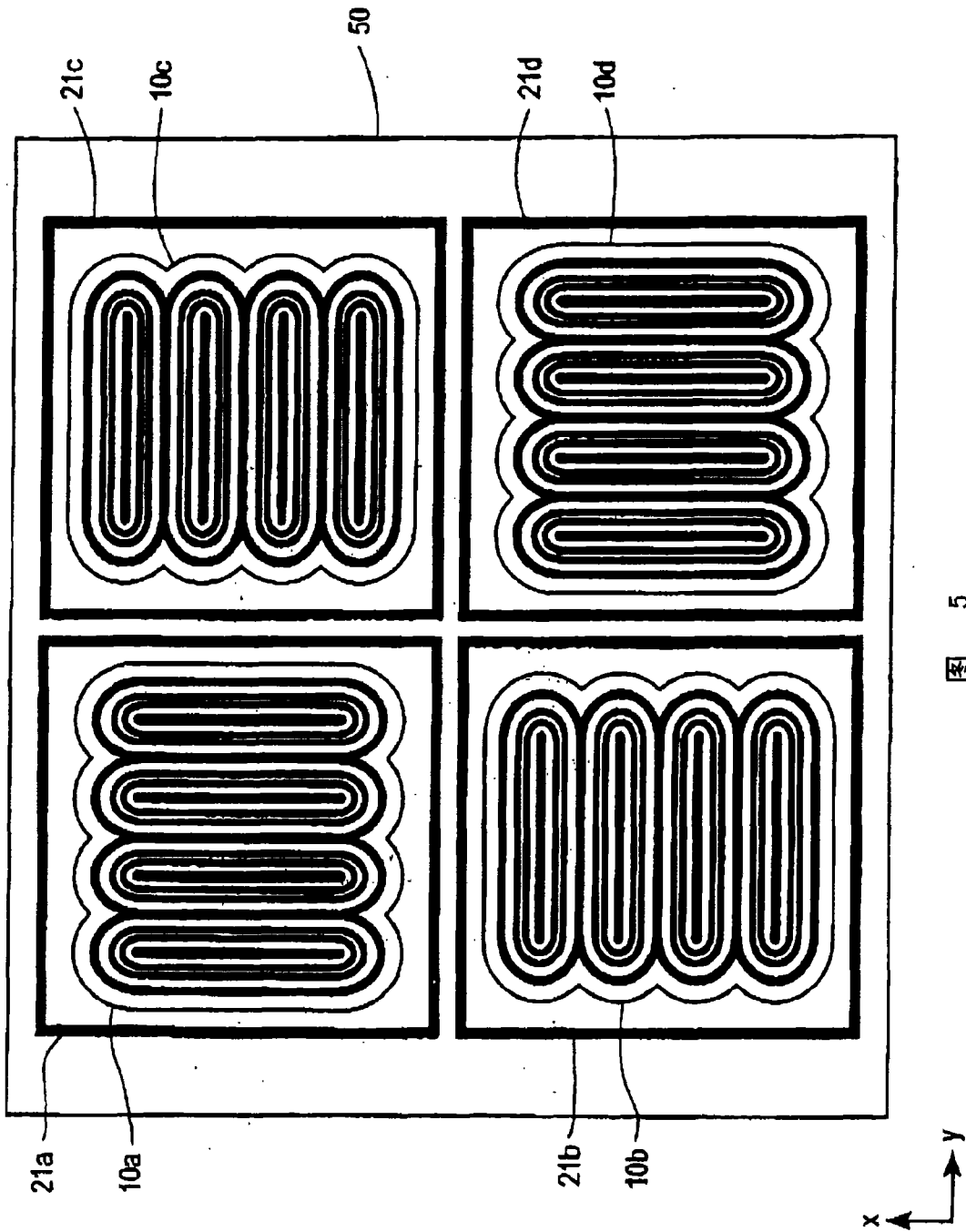


图 5

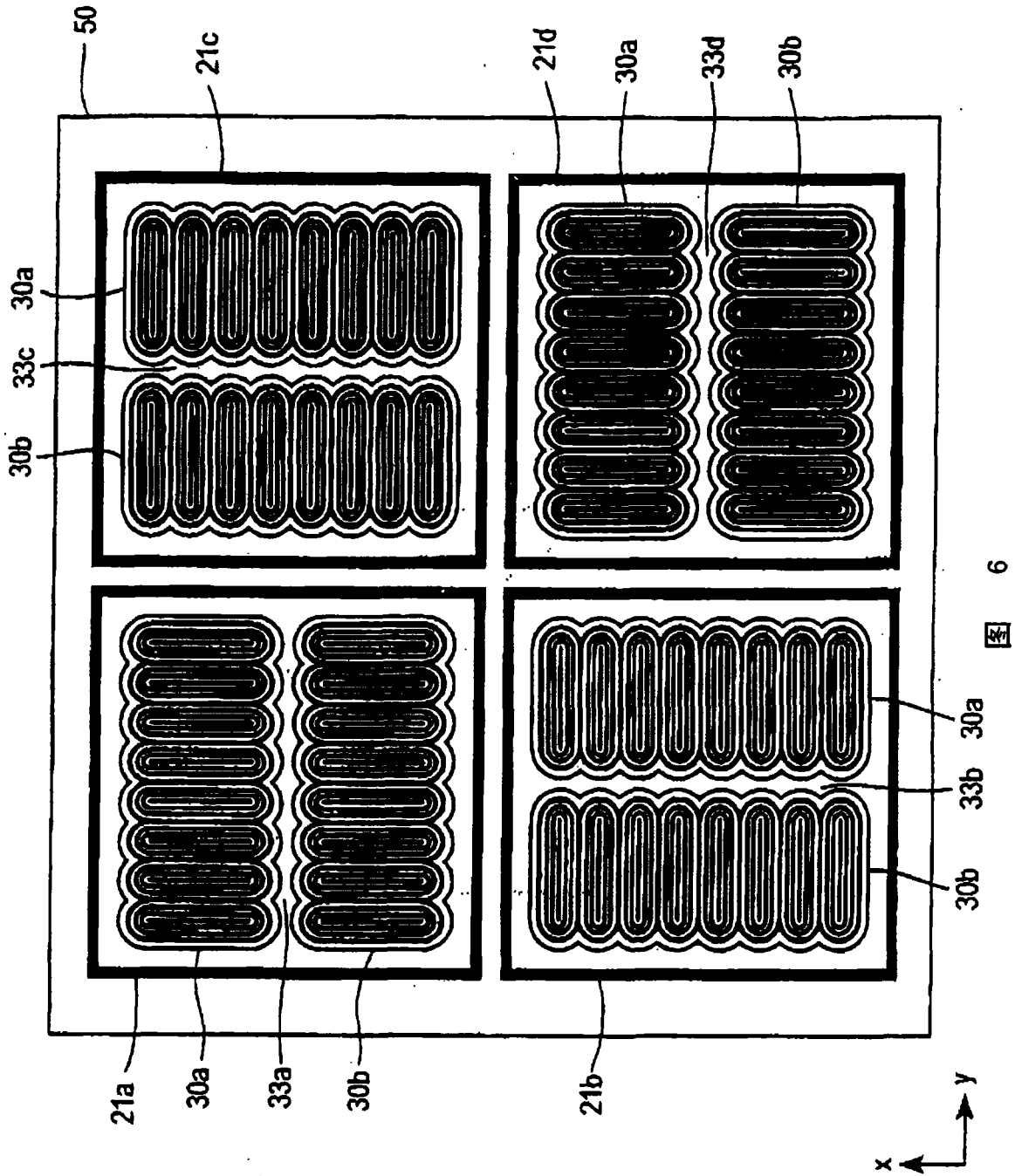


图 6

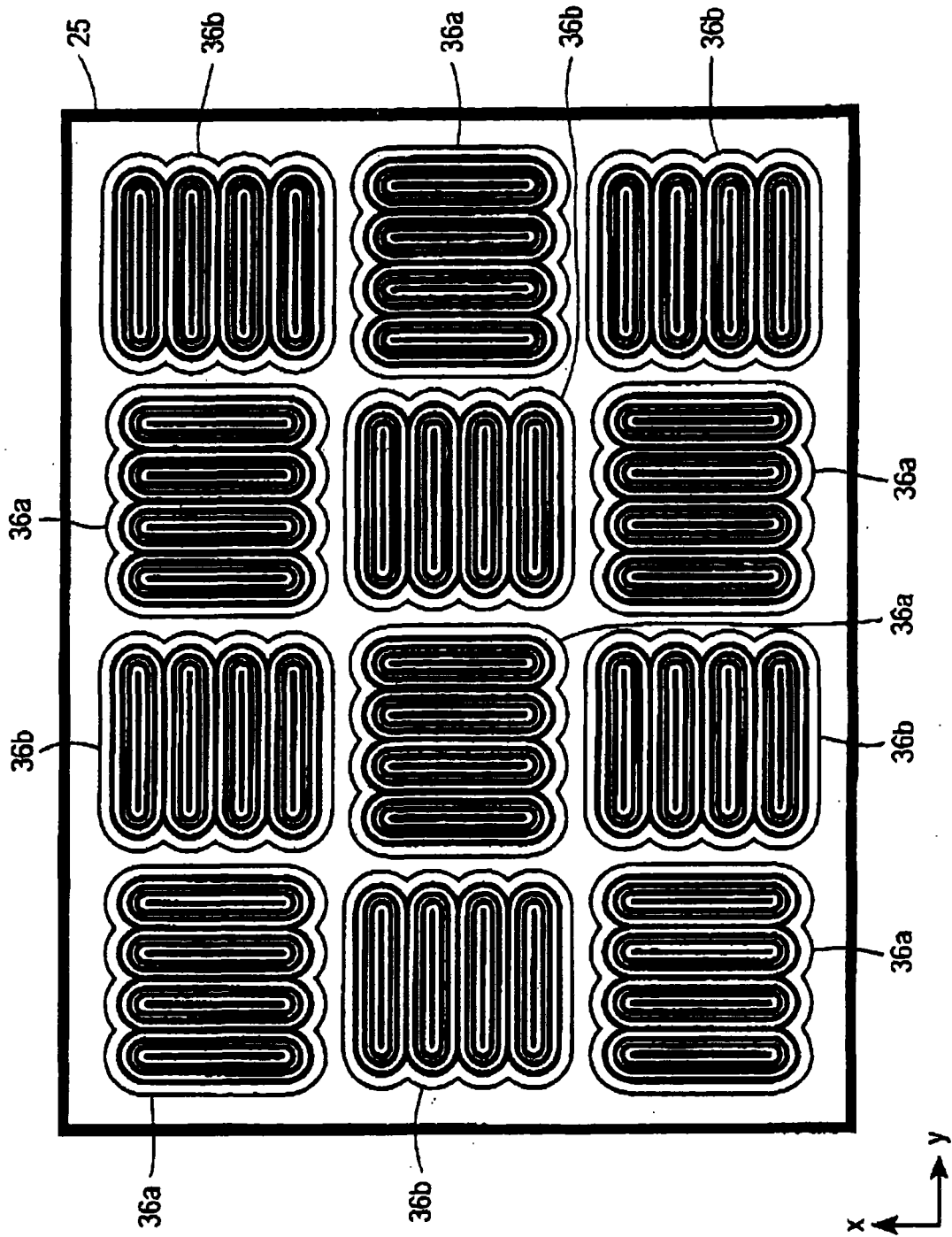


图 7

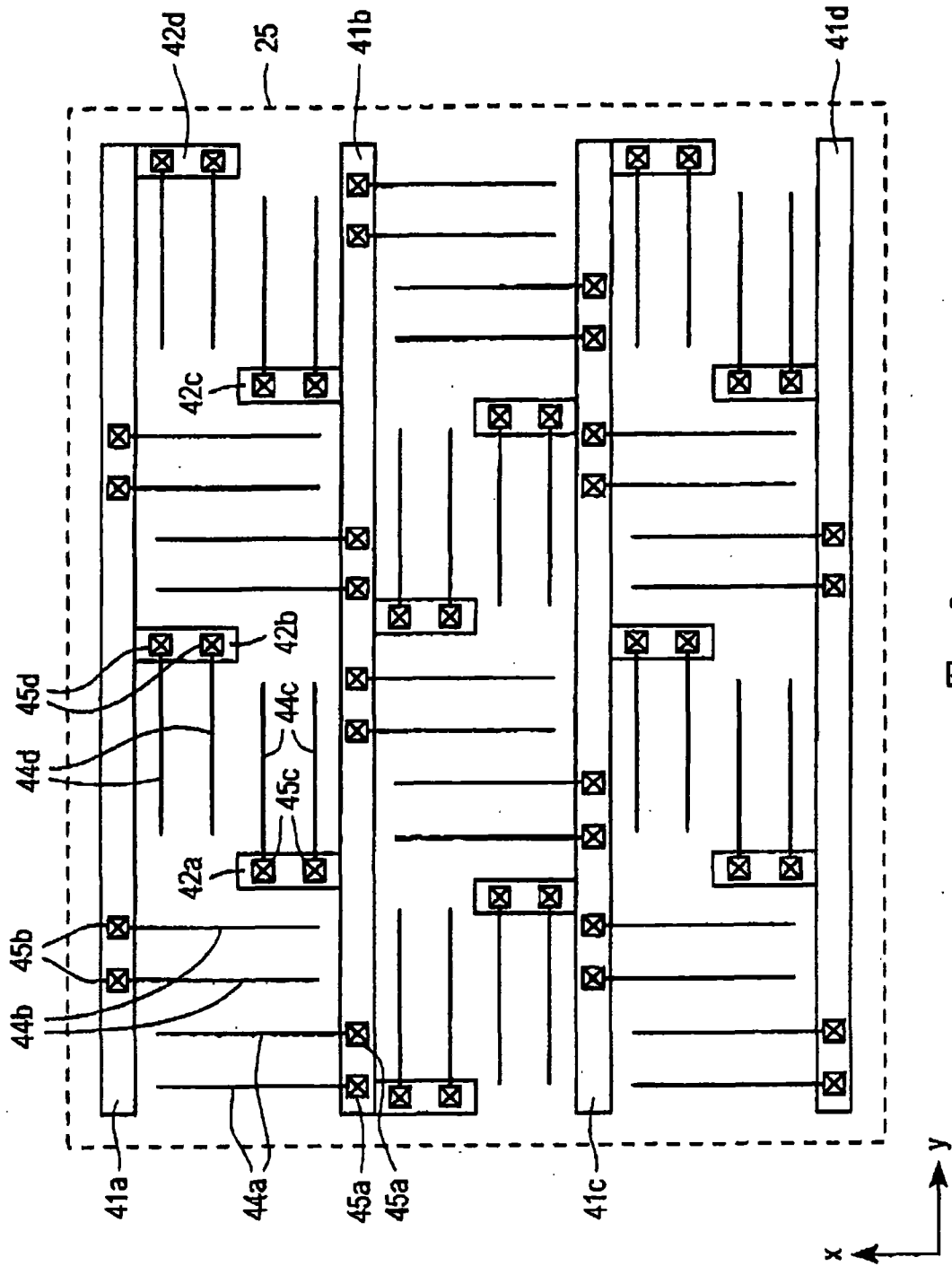


图 8



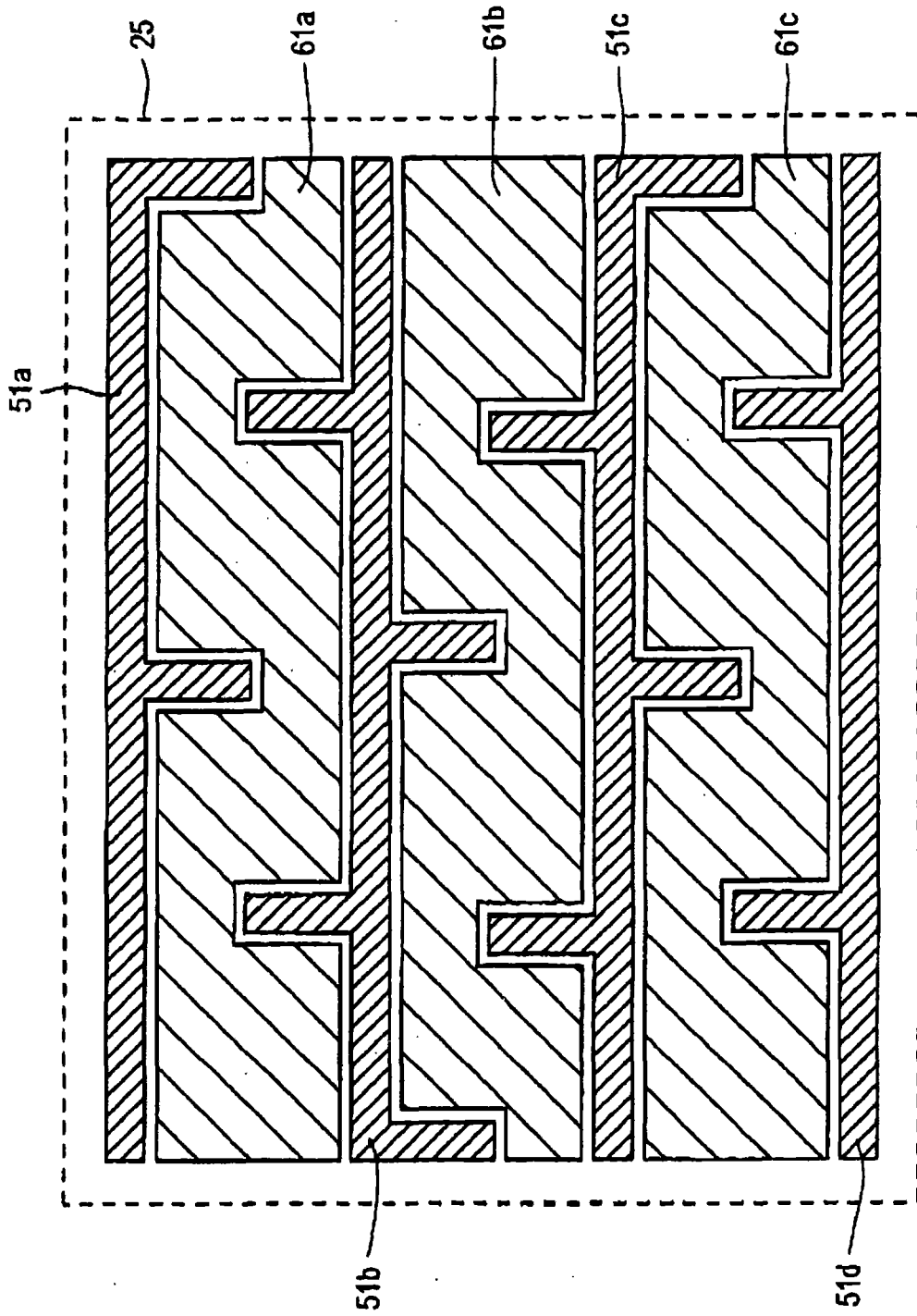


图 9

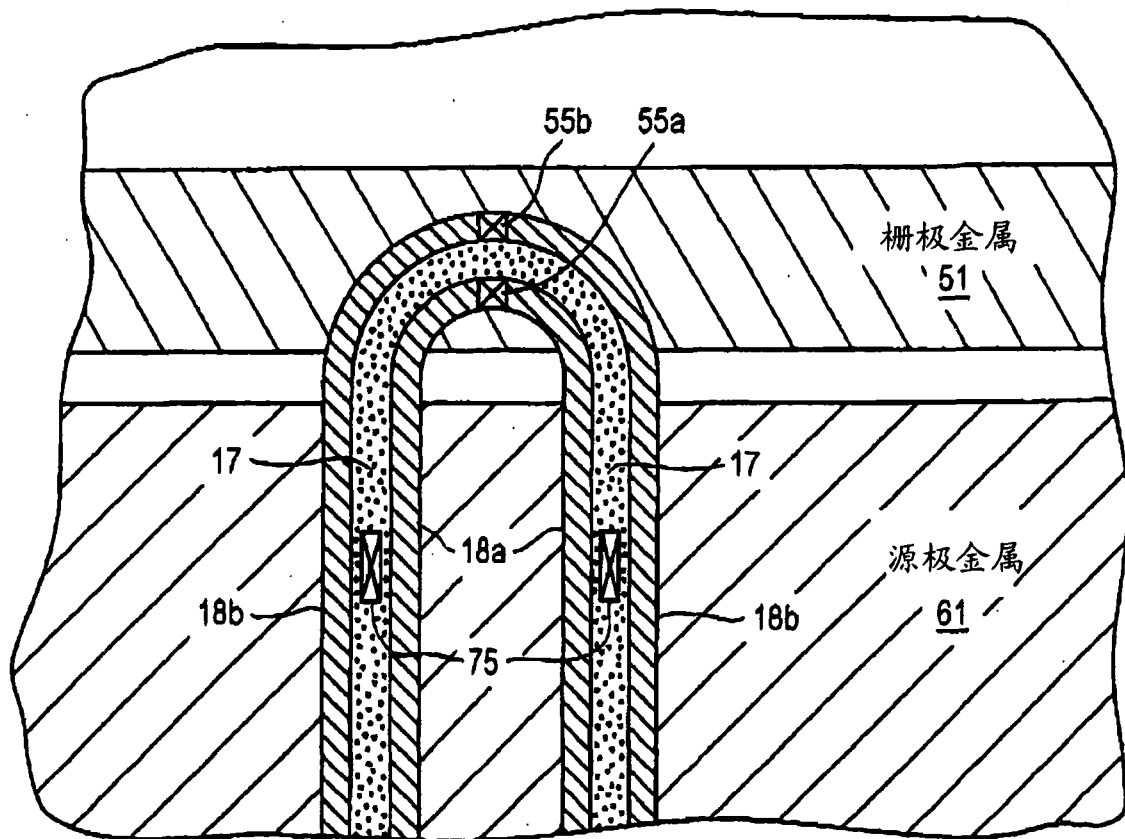


图 10