(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3892147号
(P3892147)
(45)発行日　平成19年3月14日(2007.3.14)　(24)登録日　平成18年12月15日(2006.12.15)

(51)Int.Cl.		F I		
G01R 31/28	(2006.01)	G01R	31/28	V
G06F 11/22	(2006.01)	G01R	31/28	P
H01L 21/822	(2006.01)	G06F	11/22	330B
H01L 27/04	(2006.01)	H01L	27/04	T

請求項の数 12　(全 25 頁)

(21)出願番号　特願平10-174650
(22)出願日　平成10年6月22日(1998.6.22)
(65)公開番号　特開2000-9803(P2000-9803A)
(43)公開日　平成12年1月14日(2000.1.14)
審査請求日　平成17年3月15日(2005.3.15)

(73)特許権者　503121103
株式会社ルネサステクノロジ
東京都千代田区丸の内二丁目４番１号
(74)代理人　100089233
弁理士　吉田　茂明
(74)代理人　100088672
弁理士　吉竹　英俊
(74)代理人　100088845
弁理士　有田　貴弘
(72)発明者　高木　亮一
東京都千代田区丸の内二丁目２番３号　三菱電機株式会社内
(72)発明者　朝比奈　克志
東京都千代田区丸の内二丁目２番３号　三菱電機株式会社内
最終頁に続く

(54)【発明の名称】半導体装置

(57)【特許請求の範囲】
【請求項１】
第１及び第２の入力信号を受け、第１の入力信号をバッファリング処理して内部回路への内部入力信号を出力する入出力バッファセルを有する半導体装置であって、
前記入出力バッファセルは、
前記第１の入力信号と前記第２の入力信号との位相差を比較して位相比較結果を出力する位相比較手段と、
前記第２の入力信号に基づき動作制御され、前記第１の入力信号をバッファリング処理して前記内部入力信号を出力する内部信号出力手段とを備える、
半導体装置。
【請求項２】
前記入出力バッファセルは、
外部信号用テストモード信号、前記内部回路からの内部出力信号及び前記位相比較結果を受け、前記外部信号用テストモード信号に基づき、前記位相比較結果あるいは前記内部出力信号を外部出力用選択信号として出力する外部信号用選択手段と、
前記第２の入力信号に基づき動作制御され、前記外部出力用選択信号をバッファリング処理して外部出力信号を出力する外部信号出力手段とをさらに備える、請求項１記載の半導体装置。
【請求項３】
前記第２の入力信号はセル外入力信号及びクロックを含み、

前記入出力バッファセルは、
位相比較用テストモード信号を受け、前記位相比較用テストモード信号に基づき、前記セル外入力信号及びクロックのうち一方の信号を前記位相比較手段に出力する位相比較用選択手段をさらに備える、
請求項１記載の半導体装置。
【請求項４】
前記第１の入力信号は複数の第１の入力信号を含み、前記入出力バッファセルは前記複数の第１の入力信号に対応して設けられる複数の入出力バッファセルを含み、
前記複数の入出力バッファセルはそれぞれ前記位相比較手段、前記外部信号用選択手段、前記位相比較用選択手段及び前記内部信号出力手段を有し、前記複数の第１の入力信号のうち対応する第１の入力信号を受けるとともに、該対応する第１の入力信号をセル出力信号として出力可能であり、
前記複数の入出力バッファセルは所定の順序付けがなされ、前段の入出力バッファセルの前記セル出力信号を前記セル外入力信号として受けることを特徴とする、
請求項３記載の半導体装置。
【請求項５】
前記位相比較手段は、
前記第１の入力信号と前記第２の入力信号との信号値の一致／不一致を論理的に比較して論理出力信号を出力する論理ゲートと、
所定のサンプリング期間において、前記論理出力信号を前記位相比較結果として出力する位相比較結果出力手段とを有する、
請求項１ないし請求項４のうちいずれか１項に記載の半導体装置。
【請求項６】
前記位相比較結果出力手段は、
前記第２の入力信号に基づき、前記第２の入力信号の所定のエッジ変化近傍期間を前記所定のサンプリング期間として検出するサンプリング期間検出手段を含む、
請求項５記載の半導体装置。
【請求項７】
前記位相比較結果を外部に出力可能な位相比較結果出力端子をさらに備える、
請求項１記載の半導体装置。
【請求項８】
前記位相比較手段は、
前記第１の入力信号と前記第２の入力信号との信号値の一致／不一致を論理的に比較して論理出力信号を出力する論理ゲートと、
前記第２の入力信号に基づき、前記第２の入力信号の所定のエッジ変化近傍期間を所定のサンプリング期間として検出するサンプリング期間検出手段と、
前記所定のサンプリング期間に取り込んだ前記論理出力信号の信号値をラッチ信号としてラッチするサンプリング手段と、
所定のノードと固定電位との間の信号経路上に設けられ、前記所定のノードへの電流供給時に前記ラッチ信号に基づき前記所定のノードを流れる電流量を変動させる電流量調整手段とを備え、
前記位相比較結果出力端子は前記所定のノードを含み、前記位相比較結果は前記所定のノードを流れる電流を含む、
請求項７記載の半導体装置。
【請求項９】
前記位相比較手段は、
前記第１の入力信号と前記第２の入力信号との信号値の一致／不一致を論理的に比較して論理出力信号を出力する論理ゲートと、
前記第２の入力信号に基づき、前記第２の入力信号の所定のエッジ変化近傍期間を所定のサンプリング期間として検出するサンプリング期間検出手段と、

前記所定のサンプリング期間に取り込んだ前記論理出力信号の信号値をラッチ信号としてラッチするサンプリング手段と、
前記ラッチ信号を受け、前記ラッチ信号の所定のエッジ変化回数をカウントしてカウント結果を得るカウンタとを備える、
請求項７記載の半導体装置。
【請求項１０】
前記カウント結果は所定ビットのカウント値を含み、
前記位相比較手段は、
前記所定ビットのカウント値をラッチし、前記所定ビットのカウント値をシリアルに前記位相比較結果出力端子に出力可能なシフト回路をさらに備える、
請求項９記載の半導体装置。
【請求項１１】
前記カウント結果は所定ビットのカウント値を含み、
前記位相比較結果出力端子は、前記カウント値のビット数である所定数の出力端子を含み、
前記所定ビットのカウント値を受け、第１の条件設定時に前記所定ビットのカウント値を前記所定数の出力端子から外部に出力し、第２の条件設定時に他の信号を前記所定数の出力端子から出力する出力信号選択手段をさらに備える、
請求項９記載の半導体装置。
【請求項１２】
第１及び第２の入力信号並びにテストモード信号を受け、前記第１の入力信号をバッファリング処理して内部回路への内部入力信号を出力する入出力バッファセルを有する半導体装置であって、
前記入出力バッファセルは、
第１の制御信号に基づき動作制御され、前記第１の制御信号の所定のエッジ変化をトリガとして入力部に受ける信号をバッファリング処理して前記内部入力信号を出力するとともに、前記内部入力信号をラッチする内部信号出力手段と、
第２の制御信号に基づき動作制御され、前記第２の制御信号の前記所定のエッジ変化をトリガとして入力部に受ける信号をバッファリング処理して外部出力信号を出力するとともに、前記外部出力信号をラッチする外部信号出力手段と、
前記内部信号出力手段の出力部と外部信号出力手段の入力部との間の信号経路上に設けられ、第３の制御信号に基づき導通／遮断する第１の転送手段と、
前記外部信号出力手段の出力部と前記内部信号入力手段の入力部との間の信号経路上に設けられ、第４の制御信号に基づき導通／遮断する第２の転送手段と、
テストモード信号及び前記第２の入力信号を受け、前記テストモード信号が位相比較モードを指示する時、前記第１の制御信号を前記第２の入力信号に、前記第２の制御信号を前記第２の入力信号を論理的に反転した信号に、前記第３の制御信号を前記第２の入力信号の前記所定のエッジ変化から第１の遅延時間遅れて導通を指示する信号に、前記第４の制御信号を前記第２の入力信号の前記所定のエッジ変化から第２の遅延時間遅れて導通を指示する信号にそれぞれ設定する制御信号設定手段とを備え、前記第２の遅延時間は前記第１の遅延時間よりも大きく設定される、
半導体装置。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】
この発明は半導体装置（以下、「ＬＳＩ」と略す場合あり）の高精度なタイミング検証試験を実施可能にするための内部の入出力（Ｉ／Ｏ）バッファの回路構成等に関するものである。
【０００２】
【従来の技術】

図１９に半導体試験装置（以下、「ＬＳＩテスタ」と略す場合あり）を用いた従来のＬＳＩの試験実施時の構成を示す。

【０００３】

ＬＳＩテスタ５００はテスタ本体５０４とテストヘッド５０６とから構成され、テスタ本体５０４は、ＬＳＩ試験条件として必要なタイミング信号を発生するタイミングジェネレータ５０１、立ち上がり，立ち下がりのタイミング等の波形を決定する波形フォーマッタ５０２、及びデバイス駆動用電源、デバイスのＤＣ測定部等を有する電源・ＤＣ測定ユニット５０３を有している。テストヘッド５０６は、テスタ本体５０４からのケーブル５０７を介して得られる制御信号に基づき被試験ＬＳＩ５０５との間で信号の授受を直接行う。

【０００４】

被試験ＬＳＩ５０５の試験時には、テストヘッド５０６内に格納されているピンエレクトロニクスのテスタドライバ５０９からテスト信号が発生され、そのテスト信号はポゴピン５１０、ＤＵＴボード５１１の配線５１２、ソケット５１３の電極５１４及びＬＳＩパッケージ５１５の配線５１６を介して被試験ＬＳＩ５０５に印加される。逆にＬＳＩ５０５の動作後の反応信号は同様の経路を介してＬＳＩテスタ５００のテスタコンパレータ５１７に伝達され、テスタコンパレータ５１７によって期待値ＥＸＰとの比較が行われることによりＬＳＩ５０５が設計通りに動作しているかどうかをＬＳＩテスタ５００が判定する。

【０００５】

【発明が解決しようとする課題】

上記のようにＬＳＩテスタ５００を用いてＬＳＩ５０５の試験を実施する場合、昨今、試験項目の一つであるタイミング検証試験の際に以下に述べる問題が発生してきた。ＬＳＩ５０５の動作が高速化するにつれ、ＬＳＩ５０５のインターフェースは数百ＭＨｚ級のクロックでの動作要求がなされ、ＬＳＩ５０５の製品スペックであるセットアップやホールドタイミング値等が非常に小さくなるため、ＬＳＩテスタ５００を用いて、厳しいタイミング条件でのタイミング検証試験を正確に行うことが困難になってきている。

【０００６】

具体例を説明するために、従来のＩ／Ｏバッファセル５２０の構成を示した図２０と、タイミング検証試験時のデータ端子５２１とクロック端子５２２のタイミング関係を示した図２１とを用いる。

【０００７】

図２０に示すように、クロック端子５２２より得られるクロックＣＬＫがクロック入力部６１１を介してドライバ５２４及びレシーバ５２５の制御入力に付与される。ドライバ５２４及びレシーバ５２５はクロックＣＬＫによって動作制御される。

【０００８】

また、データ端子５２１より得られるデータＤＡＴＡはデータ入出力部６１２を介してレシーバ５２５に一方入力に与えられ、基準電圧入力部６０７を介して基準電圧ＶREFがレシーバ５２５の他方入力に与えられる。レシーバ５２５はデータＤＡＴＡと基準電圧ＶREFとを比較して、その比較結果に基づきバッファリング処理して得られる内部信号を信号出力部６１０を介して内部ロジック５２３に出力する。

【０００９】

また、内部ロジック５２３からの出力は信号入力部６０９を介してドライバ５２４への入力として取り込み、ドライバ５２５の出力がデータ入出力部６１２を介してデータ端子５２１に出力される。

【００１０】

例えば、被試験ＬＳＩ５０５に搭載されたＩ／Ｏバッファセル５２０のクロックＣＬＫに対するデータＤＡＴＡのセットアップタイミングの製品規格を仮に０．２ｎｓとして、セットアップタイム０．２ｎｓのタイミング条件を被試験ＬＳＩ５０５内のＩ／Ｏバッファセル５２０が満足するか否かのタイミング検証試験をＬＳＩテスタ５００を用いて行う場

合を考える。
【００１１】
図２１のデータＤＡＴＡの波形がＬ１で、クロックＣＬＫの波形がＬ３の場合のセットアップタイムＴＳ０のタイミング検証試験を行う場合でも、実際にはデータＤＡＴＡとクロックＣＬＫそれぞれにスキューαが生じるため、データＤＡＴＡの位相が波形Ｌ２のように早くなり、クロックＣＬＫの位相が波形Ｌ４のように遅くなると、当初設定したセットアップタイムＴＳ１よりかなり大きいセットアップタイムＴＳ２でタイミング検証試験を行ってしまうことになる。
【００１２】
具体的には、ＬＳＩテスタ５００が発生する信号のタイミングスキューによる信号伝搬時間のばらつきが±０．１５ｎｓ、ＤＵＴボード５１１の配線５１２やソケット５１３の電極５１４の長さによる信号伝搬時間のばらつきが±０．０５ｎｓ、パッケージ５１５の配線５１６の長さによる信号伝搬時間のばらつきが±０．１ｎｓとすると、クロックＣＬＫとデータＤＡＴＡとの信号の位相差は最大０．６ｎｓとなる。
【００１３】
したがって、クロックＣＬＫがデータＤＡＴＡより０．６ｎｓの位相遅れがある場合でも、製品規格のセットアップである０．２ｎｓを確実に保証するためにはテストプログラム値を－０．４ｎｓ（クロックＣＬＫの位相をデータＤＡＴＡより０．４ｎｓを早める）としなければならない。なぜならば、テストプログラム値ｔｐを－０．４ｎｓより大きな値に設定にすると、クロックＣＬＫがデータＤＡＴＡより０．６ｎｓの位相遅れがある場合に、０．２より大きい（ｔｐ＋０．６）セットアップタイムでタイミング検証試験が行われることになり、セットアップタイム０．２ｎｓを満足しない被試験ＬＳＩ５０５を誤って良と判定してしまう危険性があるからである。
【００１４】
しかしながら、テストプログラム値ｔｐを－０．４ｎｓに設定したところで、ＬＳＩテスタ５００のタイミングスキューは存在するため、実際にＬＳＩ５０５に印加されるタイミングが最悪の場合（データＤＡＴＡがクロックＣＬＫより０．６ｎＳ位相が遅れる場合）、－１．０ｎｓをとりうる可能性がある。
【００１５】
上記最悪のタイミングがＬＳＩ５０５に印加された場合には、本来なら良と判定されるべき被試験ＬＳＩ５０５の大半が不良と判定されることになり、ＬＳＩ５０５の歩留りの極端な低下を招く事態となる。
【００１６】
この発明は上記問題点を解決するためになされたもので、テスタのタイミングスキューやＤＵＴボード等の伝送線路のバラツキに依存しない高精度なタイミング検証試験が実現可能なＩ／Ｏバッファセルを有する半導体装置を得ることを目的とする。
【００１７】
【課題を解決するための手段】
この発明に係る請求項１記載の半導体装置は、第１及び第２の入力信号を受け、第１の入力信号をバッファリング処理して内部回路への内部入力信号を出力する入出力バッファセルを有しており、前記入出力バッファセルは、前記第１の入力信号と前記第２の入力信号との位相差を比較して位相比較結果を出力する位相比較手段と、前記第２の入力信号に基づき動作制御され、前記第１の入力信号をバッファリング処理して前記内部入力信号を出力する内部信号出力手段とを備えている。
【００１８】
請求項２記載の半導体装置において、前記入出力バッファセルは、外部信号用テストモード信号、前記内部回路からの内部出力信号及び前記位相比較結果を受け、前記外部信号用テストモード信号に基づき、前記位相比較結果あるいは前記内部出力信号を外部出力用選択信号として出力する外部信号用選択手段と、前記第２の入力信号に基づき動作制御され、前記外部出力用選択信号をバッファリング処理して外部出力信号を出力する外部信号出

力手段とをさらに備えている。

【００１９】

請求項３記載の半導体装置において、前記第２の入力信号はセル外入力信号及びクロックを含み、前記入出力バッファセルは、位相比較用テストモード信号を受け、前記位相比較用テストモード信号に基づき、前記セル外入力信号及びクロックのうち一方の信号を前記位相比較手段に出力する位相比較用選択手段をさらに備えている。

【００２０】

請求項４記載の半導体装置において、前記第１の入力信号は複数の第１の入力信号を含み、前記入出力バッファセルは前記複数の第１の入力信号に対応して設けられる複数の入出力バッファセルを含み、前記複数の入出力バッファセルはそれぞれ前記位相比較手段、前記外部信号用選択手段、前記位相比較用選択手段及び前記内部信号出力手段を有し、前記複数の第１の入力信号のうち対応する第１の入力信号を受けるとともに、該対応する第１の入力信号をセル出力信号として出力可能であり、前記複数の入出力バッファセルは所定の順序付けがなされ、前段の入出力バッファセルの前記セル出力信号を前記セル外入力信号として受けている。

【００２１】

請求項５記載の半導体装置において、前記位相比較手段は、前記第１の入力信号と前記第２の入力信号との信号値の一致／不一致を論理的に比較して論理出力信号を出力する論理ゲートと、所定のサンプリング期間において、前記論理出力信号を前記位相比較結果として出力する位相比較結果出力手段とを有している。

【００２２】

請求項６記載の半導体装置において、前記位相比較結果出力手段は、前記第２の入力信号に基づき、前記第２の入力信号の所定のエッジ変化近傍期間を前記所定のサンプリング期間として検出するサンプリング期間検出手段を含んでいる。

【００２３】

請求項７記載の半導体装置は、前記位相比較結果を外部に出力可能な位相比較結果出力端子をさらに備えている。

【００２４】

請求項８記載の半導体装置において、前記位相比較手段は、前記第１の入力信号と前記第２の入力信号との信号値の一致／不一致を論理的に比較して論理出力信号を出力する論理ゲートと、前記第２の入力信号に基づき、前記第２の入力信号の所定のエッジ変化近傍期間を所定のサンプリング期間として検出するサンプリング期間検出手段と、前記所定のサンプリング期間に取り込んだ前記論理出力信号の信号値をラッチ信号としてラッチするサンプリング手段と、所定のノードと固定電位との間の信号経路上に設けられ、前記所定のノードへの電流供給時に前記ラッチ信号に基づき前記所定のノードを流れる電流量を変動させる電流量調整手段とを備え、前記位相比較結果出力端子は前記所定のノードを含み、前記位相比較結果は前記所定のノードを流れる電流を含んでいる。

【００２５】

請求項９記載の半導体装置において、前記位相比較手段は、前記第１の入力信号と前記第２の入力信号との信号値の一致／不一致を論理的に比較して論理出力信号を出力する論理ゲートと、前記第２の入力信号に基づき、前記第２の入力信号の所定のエッジ変化近傍期間を所定のサンプリング期間として検出するサンプリング期間検出手段と、前記所定のサンプリング期間に取り込んだ前記論理出力信号の信号値をラッチ信号としてラッチするサンプリング手段と、前記ラッチ信号を受け、前記ラッチ信号の所定のエッジ変化回数をカウントしてカウント結果を得るカウンタとを備えている。

【００２６】

請求項１０記載の半導体装置において、前記カウント結果は所定ビットのカウント値を含み、前記位相比較手段は、前記所定ビットのカウント値をラッチし、前記所定ビットのカウント値をシリアルに前記位相比較結果出力端子に出力可能なシフト回路をさらに備えている。

【００２７】
請求項１１記載の半導体装置において、前記カウント結果は所定ビットのカウント値を含み、前記位相比較結果出力端子は、前記カウント値のビット数である所定数の出力端子を含み、前記所定ビットのカウント値を受け、第１の条件設定時に前記所定ビットのカウント値を前記所定数の出力端子から外部に出力し、第２の条件設定時に他の信号を前記所定数の出力端子から出力する出力信号選択手段をさらに備えている。
【００２８】
この発明に係る請求項１２記載の半導体装置は、第１及び第２の入力信号並びにテストモード信号を受け、前記第１の入力信号をバッファリング処理して内部回路への内部入力信号を出力する入出力バッファセルを有し、前記入出力バッファセルは、第１の制御信号に基づき動作制御され、前記第１の制御信号の所定のエッジ変化をトリガとして入力部に受ける信号をバッファリング処理して前記内部入力信号を出力するとともに、前記内部入力信号をラッチする内部信号出力手段と、第２の制御信号に基づき動作制御され、前記第２の制御信号の前記所定のエッジ変化をトリガとして入力部に受ける信号をバッファリング処理して外部出力信号を出力するとともに、前記外部出力信号をラッチする外部信号出力手段と、前記内部信号出力手段の出力部と外部信号出力手段の入力部との間の信号経路上に設けられ、第３の制御信号に基づき導通／遮断する第１の転送手段と、前記外部信号出力手段の出力部と前記内部信号入力手段の入力部との間の信号経路上に設けられ、第４の制御信号に基づき導通／遮断する第２の転送手段と、テストモード信号及び前記第２の入力信号を受け、前記テストモード信号が位相比較モードを指示する時、前記第１の制御信号を前記第２の入力信号に、前記第２の制御信号を前記第２の入力信号を論理的に反転した信号に、前記第３の制御信号を前記第２の入力信号の前記所定のエッジ変化から第１の遅延時間遅れて導通を指示する信号に、前記第４の制御信号を前記第２の入力信号の前記所定のエッジ変化から第２の遅延時間遅れて導通を指示する信号にそれぞれ設定する制御信号設定手段とを備え、前記第２の遅延時間は前記第１の遅延時間よりも大きく設定されている。
【００２９】
【発明の実施の形態】
＜実施の形態１＞
図１はこの発明の実施の形態１であるＬＳＩのＩ／Ｏバッファセルの構成を示す回路図である。
【００３０】
Ｉ／Ｏバッファセル１は外部に設けられたデータ端子５、クロック端子１３及びテストモード端子１４それぞれを介して信号の授受が可能である。なお、データ端子５、クロック端子１３及びテストモード端子１４はボンディングパッドあるいはパッケージ端子として設けられる。
【００３１】
クロック端子１３より入力されるクロックＣＬＫはクロック入力部１１を介して位相比較器２の一方入力として付与されるとともに、レシーバ６及びドライバ８の制御入力に付与される。なお、クロックＣＬＫは後述するサンプリング期間設定用のクロックＴＧＣＬＫの生成用に、図１に示すように、位相比較器２にさらに付与される場合もある。データ端子５より入力されるデータＤＡＴＡはデータ入出力部１２を介して位相比較器２の他方入力に付与されるとともに、レシーバ６の一方入力に付与される。
【００３２】
位相比較器２はデータＤＡＴＡとクロックＣＬＫとを位相比較して位相比較結果をＭＵＸ（マルチプレクサ）３の一方入力に出力する。テストモード端子１４より入力されるテストモード信号ＳＴＭ１はテストモード入力部４を介してＭＵＸ３の制御入力に付与される。ＭＵＸ３は他方入力に信号入力部９を介して内部ロジック５０の出力信号を受け、テストモード信号ＳＴＭ１に基づき、位相比較結果及び内部ロジック５０の出力信号のうち、一方をドライバ８の入力部に出力する。

【００３３】
レシーバ６及びドライバ８は制御入力より得られる信号に基づき動作制御され、レシーバ６は基準電圧入力部７を介して基準電圧ＶREFを他方入力に受ける。なお、基準電圧ＶREFは外部から与えても、ＬＳＩ内部で発生するようにしてもよい。そして、レシーバ６はデータＤＡＴＡと基準電圧ＶREFとを比較し、その比較結果に基づきバッファリング処理して内部信号（ＬＳＩの内部回路と授受する信号）を信号出力部１０から内部ロジック５０に出力する。
【００３４】
ドライバ８はＭＵＸ３の出力信号をドライブしてその出力信号をデータ入出力部１２を介してデータ端子５から外部出力信号を出力する。
【００３５】
データＤＡＴＡ及びクロックＣＬＫはＬＳＩテスタ１００から出力される信号である。ＬＳＩテスタ１００は、ピンエレクトロニクス１０７Ａ，１０７Ｂを備え、ピンエレクトロニクス１０７Ａ，１０７Ｂはそれぞれテスタドライバ１１２及びテスタコンパレータ１１３並びにテスタドライバ１１２の入力部に与える信号のタイミングを微調整するバーニア１１１を有している。そして、ピンエレクトロニクス１０７Ａのテスタドライバ１１２からデータＤＡＴＡを出力し、ピンエレクトロニクス１０７Ｂのテスタドライバ１１２からクロックＣＬＫを出力している。
【００３６】
なお、上記構成の実施の形態１のＬＳＩを通常動作させる場合は、内部ロジック５０の出力信号の選択を指示するテストモード信号ＳＴＭ１をテストモード端子１４に付与すればよい。
【００３７】
図２は、実施の形態１のＩ／Ｏバッファセル１を有するＬＳＩにおいて、ＬＳＩテスタ１００によるデータＤＡＴＡ及びクロックＣＬＫの出力タイミング決定方法の処理手順を示すフローチャートである。以下、同図を参照してその処理手順を説明する。
【００３８】
まず、ステップＳ１で、位相比較器２の位相比較結果の選択を指示するテストモード信号ＳＴＭ１をＬＳＩのテストモード端子１４に与え、ＭＵＸ３から位相比較器２の位相比較結果をドライバ８の入力部に出力させるようにする（位相比較モードに設定する）。
【００３９】
次に、ステップＳ２で、ＬＳＩテスタ１００から予め設定した設定タイミングでデータＤＡＴＡ及びクロックＣＬＫをデータ端子５及びクロック端子１３にそれぞれ出力する。
【００４０】
そして、ステップＳ３で、ドライバ８によってデータ端子５から出力される、Ｉ／Ｏバッファセル１内の位相比較器２の位相比較結果を検知する。データ端子５より得られる位相比較結果をピンエレクトロニクス１０７Ａのテスタコンパレータ１１３に入力することにより、ＬＳＩテスタ１００は位相比較結果を検知することができる。
【００４１】
その後、ステップＳ４で、ステップＳ３で得た位相比較結果に基づき、データＤＡＴＡとクロックＣＬＫとの位相の一致を指示するか否かを判定して、一致を判定した場合（Ｙｅｓ）は処理を終了し、不一致を判定した場合（Ｎｏ）はステップＳ５に移行する。なお、ステップＳ４における位相比較結果に基づく一致／不一致の判定は、位相比較結果が完全一致を指示した場合、あるいはバイナリーサーチ法によってサーチする過程で位相比較結果に基づく設定タイミングの変更量がＬＳＩテスタ１００の最小タイミング分解能（時間）に到達した場合等が考えられる。
【００４２】
ステップＳ５で、位相比較結果に基づき、ピンエレクトロニクス１０７Ａ及び１０７Ｂのうち少なくとも一方のバーニア１１１で信号の掃引（微調整）処理を行ってデータＤＡＴＡのエッジＥ１とクロックＣＬＫのエッジＥ２とが一致する方向に、上記設定タイミング

を変更した後、ステップＳ２に戻る。

【００４３】

以降、ステップＳ４で位相比較結果が一致を指示したと判定されるまで、上記ステップＳ２～Ｓ５を繰り返す。

【００４４】

上記図２で示した処理により、データＤＡＴＡとクロックＣＬＫとの位相を一致させたタイミングを基準として、データＤＡＴＡとクロックＣＬＫとの間で所定のセットアップタイム（例えば、０．２ｎｓ）を満足するように、ＬＳＩテスタ１００のテストプラグラム中に記載するデータのタイミング値を補正して、そのタイミングにてデバイスの機能動作試験ベクタ（テストパターン）を走行させる。

【００４５】

したがって、Ｉ／Ｏバッファセル１内におけるデータＤＡＴＡとクロックＣＬＫとの位相が一致したタイミングを基準として、ＬＳＩテスタ１００のタイミング条件を設定することにより、ＬＳＩテスタ１００のタイミングスキューやＤＵＴボード等の伝送線路のバラツキが実施の形態１のＬＳＩのタイミング検証時に悪影響を与えなくなるため、実施の形態１のＬＳＩに対する高精度なタイミング検証試験を行うことができる。

【００４６】

また、図２で示した位相調整処理に要する時間はせいぜい数百μ秒～数秒間のため、実用上何ら問題にならない。

【００４７】

加えて、基準とするタイミングが最小タイミング分解能で設定されるため、実施の形態１のＬＳＩのタイミング試験を行うＬＳＩテスタ５００等のテスト装置はスキューの少ない高性能なものを用いなくとも、実施の形態１のＬＳＩに対する高精度なタイミング検証試験を行うことができるため、テストコストを上昇させることはない。

【００４８】

なお、テストモード端子１４を設けることなく、データ端子５より得られるデータＤＡＴＡに基づきテストモード信号ＳＴＭ１を内部で発生させてテストモード入力部４に付与する構成も理論的には可能である。

【００４９】

＜実施の形態２＞

図３はこの発明の実施の形態２であるＬＳＩのＩ／Ｏバッファセルの構成を示す回路図である。

【００５０】

同図に示すように、実施の形態２のＩ／Ｏバッファセル２００はＭＵＸ３に加えてＭＵＸ１８を内部に有し、テストモード端子１４に加え、ボンディングパッドあるいはパッケージ端子として設けられるテストモード端子１５を外部に有している。

【００５１】

テストモード端子１５より入力されるテストモード信号ＳＴＭ２はテストモード入力部１９を介してＭＵＸ１８の制御入力に付与される。ＭＵＸ１８はセル信号入力部１６より得られるセル外入力信号を一方入力とし、クロック入力部１１より得られるクロックＣＬＫを他方入力としており、テストモード信号ＳＴＭ２に基づき、セル信号入力部１６より得られる外部信号及びクロックＣＬＫのうち、一方を位相比較器２の一方入力に出力する。

【００５２】

また、データ端子５より得られるデータＤＡＴＡはデータ入出力部１２を介してレシーバ６の入力部及び位相比較器２の他方入力に与えられるとともに、セル信号出力部１７を介してセル外出力信号としてセル外に出力される。なお、他の構成は図１で示した実施の形態１のＩ／Ｏバッファセル１と同様であるため、説明を省略する。

【００５３】

このような構成の実施の形態２のＩ／Ｏバッファセル２００に対し、位相比較器２の位相比較結果の選択を指示するテストモード信号ＳＴＭ１をＬＳＩのテストモード端子１４に

与えるとともに、セル信号入力部１６より得られるセル外入力信号の選択を指示するテストモード信号ＳＴＭ２をテストモード端子１５に与える。

【００５４】

そして、図２のステップＳ２～Ｓ５で示したクロックＣＬＫとデータＤＡＴＡとの位相調整処理と同様な処理を行うことにより、セル信号入力部１６より得られるセル外入力信号とデータＤＡＴＡとの位相調整処理を実現できる。

【００５５】

したがって、Ｉ／Ｏバッファセル２００内におけるテストモード端子１４より得られるセル外入力信号とデータＤＡＴＡとの位相が一致したタイミングを基準としてタイミング条件を設定することにより、実施の形態１のＬＳＩ同様、実施の形態２のＬＳＩに対する高精度なタイミング検証試験を行うことができる。

【００５６】

加えて、ＭＵＸ１８によってクロックＣＬＫを選択することにより、実施の形態１と同様、Ｉ／Ｏバッファセル２００内におけるデータＤＡＴＡとクロックＣＬＫとの位相が一致したタイミングを基準としてタイミング条件を設定することもできる。

【００５７】

このように、実施の形態２のＬＳＩは、位相比較結果をモニタすることにより、Ｉ／Ｏバッファセル２００内におけるデータＤＡＴＡとセル外入力信号との間の基準タイミング及びデータＤＡＴＡとクロックＣＬＫとの間の基準タイミングのいずれかを選択的に認識することができる。

【００５８】

また、実施の形態１同様、実施の形態２のＬＳＩにおける位相調整処理に要する時間は実用上何ら問題になく、テストコストを上昇させることはない。

【００５９】

なお、テストモード端子１４，１５を設けることなく、データ端子５より得られるデータＤＡＴＡに基づきテストモード信号ＳＴＭ１，ＳＴＭ２を内部で発生させてテストモード入力部４，１９に付与する構成も理論的には可能である。

【００６０】

＜実施の形態３＞

図４はこの発明の実施の形態３であるＬＳＩのＩ／Ｏバッファセル群の構成を示す回路図である。

【００６１】

実施の形態３のＬＳＩのＩ／Ｏバッファセル群は、各々が実施の形態２のＩ／Ｏバッファセル２００と同構成の複数のＩ／Ｏバッファセルを初段から最終段にかけて直列に接続している。すなわち、複数のＩ／Ｏバッファセルそれぞれが、自身のセル信号入力部１６より得られるセル外入力信号として、前段のセルのセル信号出力部１７から得られるセル出力信号を受ける（初段のＩ／Ｏバッファセルを除く）。なお、図４において、３つのＩ／Ｏバッファセル２０１～２０３のみ代表的に示している。以下、説明の都合上、Ｉ／Ｏバッファセル２０１～２０３に関してのみ述べる。また、Ｉ／Ｏバッファセル２０１～２０３はそれぞれ図３で示したＩ／Ｏバッファセル２００と全く同じ内部構成であるが、説明の都合上、一部のみ図示している。

【００６２】

Ｉ／Ｏバッファセル２０１～２０３はテストモード端子１５より得られるテストモード信号ＳＴＭ２をそれぞれのＭＵＸ１８の制御入力に受け、データ端子６１～６３より得られるデータＤＡＴＡ１～ＤＡＴＡ３をそれぞれの位相比較器２の他方入力、レシーバ６の入力部に受けるとともに、それぞれのセル信号出力部１７からセル出力信号を次段のＩ／Ｏバッファセルのセル信号入力部１６に出力する。

【００６３】

このような構成の実施の形態３のＩ／Ｏバッファセル群に対し、位相比較器２の位相比較結果の選択を指示するテストモード信号ＳＴＭ１をＬＳＩのテストモード端子１４に与え

る（図４では図示せず）とともに、セル信号入力部１６より得られる前段セルからのセル出力信号の選択を指示するテストモード信号ＳＴＭ２をテストモード端子１５に与える。

【００６４】

そして、図２のステップＳ２～Ｓ５で示したクロックＣＬＫとデータＤＡＴＡとの位相調整処理と同様な処理を行うことにより、前段のセル出力信号と自身のデータＤＡＴＡとの位相調整処理が実現できる。なお、この処理はＩ／Ｏバッファセル群を構成するＩ／Ｏバッファセル毎に行う必要がある。

【００６５】

したがって、Ｉ／Ｏバッファセル２０１～２０３それぞれにおける前段のセル出力信号とデータＤＡＴＡとの位相が一致したタイミングを基準としてタイミング条件を設定することにより、実施の形態１のＬＳＩ同様、実施の形態３のＬＳＩのＩ／Ｏバッファ群の各Ｉ／Ｏバッファセルそれぞれに対する高精度なタイミング検証試験を行うことができる。

【００６６】

また、実施の形態３のＬＳＩは、実施の形態２と同様、位相比較結果をモニタすることにより、Ｉ／Ｏバッファセル２０１～２０３内におけるデータＤＡＴＡと前段セルのセル出力信号との間の基準タイミング及びデータＤＡＴＡとクロックＣＬＫとの間の基準タイミングのいずれかを選択的に認識することができる。

【００６７】

さらに、実施の形態１同様、実施の形態３のＬＳＩにおける各Ｉ／Ｏバッファセルの位相調整処理に要する時間は実用上何ら問題になく、テストコストを上昇させることはない。

【００６８】

＜実施の形態４＞

図５は、この発明の実施の形態４である位相比較器の内部構成を示す回路図である。なお、実施の形態４の位相比較器は、実施の形態１～実施の形態３で示したＩ／Ｏバッファセル内の位相比較器である。

【００６９】

同図に示すように、ＥＸＯＲゲート２０はデータＤＡＴＡ及びクロックＣＬＫを受け、そのＥＸＯＲ出力信号Ｓ２０をトランスファゲート２１を介してラッチ部２２に出力する。トランスファゲート２１はクロックＴＧＣＬＫの“Ｈ”／“Ｌ”によってオン／オフ制御される。クロックＴＧＣＬＫはクロックＣＬＫの立ち上がりエッジ近傍の所定期間に“Ｈ”となるサンプリング期間指定用のクロックである。このようなクロックＴＧＣＬＫは、クロックＣＬＫ自体をも用いても、外部から別途与えても、後述する実施の形態５のようにクロックＣＬＫに基づき内部で発生するようにしてもよい。

【００７０】

ラッチ部２２はインバータ２３及び２４のループ接続により構成され、ラッチ部２２の出力が位相比較結果としてＭＵＸ３の一方入力に出力される。

【００７１】

このような構成において、実施の形態４の位相比較器は、クロックＴＧＣＬＫを適切に設定することにより、クロックＣＬＫとデータＤＡＴＡとの位相がズレている場合は“Ｌ”の位相比較結果を出力し、クロックＣＬＫとデータＤＡＴＡとの位相が一致している場合は“Ｈ”の位相比較結果を出力することができる。

【００７２】

また、実施の形態４の位相比較器は、ＥＸＯＲゲート２０、トランスファゲート２１及びインバータ２３のみで構成されているため、その回路構成は簡単である。

【００７３】

＜実施の形態５＞

図６はこの発明の実施の形態５であるＬＳＩのＩ／Ｏバッファセルの構成を示す回路図である。

【００７４】

同図に示すように、実施の形態５のＩ／Ｏバッファセル２０５における位相比較器２Ａの

位相比較結果は位相比較結果出力部５９を介して位相比較結果出力端子６０に出力される。また、図１で示した実施の形態１のＩ／Ｏバッファセル１と比べた場合、ＭＵＸ３が省略され、信号入力部９が直接ドライバ８の入力部に接続されている。なお、他の構成は図１で示した実施の形態１のＩ／Ｏバッファセル１と同様であるため、説明を省略する。

【００７５】

このような構成の実施の形態５のＩ／Ｏバッファセル２０５に対し、図２のステップＳ２～Ｓ５で示したクロックＣＬＫとデータＤＡＴＡとの位相調整処理と同様な処理を行うことにより、クロックＣＬＫとデータＤＡＴＡとの位相調整処理を実現できる。

【００７６】

図７は、この発明の実施の形態５である位相比較器の内部構成を示す回路図である。同図に示すように、ＥＸＯＲゲート２０はデータＤＡＴＡ及びクロックＣＬＫを受け、そのＥＸＯＲ出力信号Ｓ２０をトランスファゲート２１を介してラッチ部２２に出力する。トランスファゲート２１はクロックＴＧＣＬＫの“Ｈ”／“Ｌ”によってオン／オフ制御される。

【００７７】

ラッチ部２２はインバータ２３及び２４のループ接続により構成され、ラッチ部２２の出力がインバータ２５の入力部に出力される。インバータ２５の出力信号はインバータ３７のＰＭＯＳトランジスタ３５及びＮＭＯＳトランジスタ３６のゲートに印加される。

【００７８】

インバータ３７は、テスタ電源ユニット３８，接地レベル間に設けられる。インバータ３７のＰＭＯＳトランジスタ３５のソースは位相比較結果出力端子６０を介してテスタ電源ユニット３８に接続され、ＮＭＯＳトランジスタ３６のドレイン，ソース間に浮遊キャパシタ３１が寄生する。テスタ電源ユニット３８はＬＳＩテスタ１００の位相比較結果出力端子６０に電源を供給するとともに、位相比較結果出力端子６０を流れる電流量を検出する機能を有している。

【００７９】

一方、クロックＣＬＫは遅延バッファ３０の入力部及びフリップフロップ２８のクロック入力Ｃにも付与される。遅延バッファ３０から出力される遅延クロックＳ３０はトランスファゲート３２を介してラッチ部３３に出力される。

【００８０】

フリップフロップ２８は反転出力部バーＱとデータ入力部Ｄとが短絡され、出力部Ｑより得られる出力信号Ｓ２８がトランスファゲート３２のゲートに出力される。

【００８１】

トランスファゲート３２はフリップフロップ２８の出力信号Ｓ２８の“Ｈ”／“Ｌ”によってオン／オフし、ラッチ部３３はインバータ３３Ａ及び３３Ｂのループ接続により構成される。

【００８２】

ラッチ部３３の出力は遅延バッファ３４及びインバータ２９を介して、クロックＴＧＣＬＫとしてトランスファゲート２１のゲートに付与される。

【００８３】

図８は実施の形態５の位相比較器の位相比較動作を示すタイミング図である。以下、図８を参照して、実施の形態５の位相比較器の位相比較動作を説明する。

【００８４】

フリップフロップ２８はクロック入力部Ｃからクロックを受け、反転出力部バーＱとデータ入力部Ｄとを短絡することにより、クロックＣＬＫを２分周した出力信号Ｓ２８を出力する。

【００８５】

一方、遅延バッファ３０はクロックＣＬＫを所定の時間遅延させて遅延クロックＳ３０を出力する。この遅延クロックＳ３０の“Ｈ”期間は、フリップフロップ２８の出力信号Ｓ２８によるトランスファゲート３２のオン，オフ制御によって、１回置きにラッチ部３３

にサンプリングされる。すなわち、出力信号Ｓ２８の▲１▼～▲８▼の“Ｈ”期間のうち、▲１▼，▲３▼，▲５▼，▲７▼の“Ｈ”期間のみがラッチ部３３にラッチされる。

【００８６】

そして、ラッチ部３３にラッチされた遅延クロックＳ３０の“Ｈ”期間は、遅延バッファ３４及びインバータ２９を介した遅延時間ΔＴ遅延してクロックＴＧＣＬＫとして現れる。すなわち、遅延クロックＳ３０の▲１▼，▲３▼，▲５▼，▲７▼の“Ｈ”期間が、クロックＴＧＣＬＫの▲１▼，▲３▼，▲５▼，▲７▼の“Ｈ”期間として現れる。

【００８７】

ここで、遅延バッファ３０，３４による信号伝播遅延時間を適切に設定することにより、２回に１回の割合でクロックＣＬＫの立ち上がりエッジ近傍期間にクロックＴＧＣＬＫの“Ｈ”期間（サンプリング期間）を設定することができる。

【００８８】

一方、図８においてはクロックＣＬＫに対してデータＤＡＴＡの位相が少し進んでいるため、その位相差分、ＥＸＯＲ出力信号Ｓ２０は“Ｈ”となり、“Ｈ”のＥＸＯＲ出力信号Ｓ２０はクロックＴＧＣＬＫが“Ｈ”期間のときのみラッチ部２２にサンプリングされ、インバータ２５を経てインバータ２５の出力信号がゲート信号Ｓ２５としてインバータ３７のＰＭＯＳトランジスタ３５及びＮＭＯＳトランジスタ３６のゲートに印加される。

【００８９】

図８のように、クロックＣＬＫに対してデータＤＡＴＡの位相が進んでいる場合、ゲート信号Ｓ２５が“Ｈ”となる期間が必ず存在するため、インバータ３７に貫通電流、浮遊キャパシタ３１への充放電電流が流れ、図９に示すように、テスタ電源ユニット３８，接地レベル間に電流が流れる。したがって、位相比較結果出力端子６０より得られる電流量（位相比較結果）によってデータＤＡＴＡとクロックＣＬＫとの位相のズレを認識することができる。

【００９０】

一方、クロックＣＬＫとデータＤＡＴＡとの間における位相が一致している場合、ゲート信号Ｓ２５が“Ｌ”に固定されるため、図９に示すように、上記貫通電流及び充放電電流が流れない。したがって、位相比較結果出力端子６０より得られる電流量（“０”）によってクロックＣＬＫとデータＤＡＴＡとの間における位相の一致を認識することができる。

【００９１】

このような構成において、実施の形態５の位相比較器２Ａは、クロックＣＬＫとデータＤＡＴＡとの位相のズレ量の応じた電流量が位相比較結果出力端子６０を流れることにより位相比較結果として認識される。

【００９２】

また、実施の形態５の位相比較器は、クロックＣＬＫに基づくクロックＴＧＣＬＫの発生用回路を設けて、ＥＸＯＲ出力信号Ｓ２０のサンプリング期間を所望の期間に設定することにより、データＤＡＴＡとクロックＣＬＫとの位相関係が複雑な場合も、クロックＣＬＫとデータＤＡＴＡとの位相の一致／不一致を確実に判定した位相比較結果を出力することができる。

【００９３】

インバータ３７に置き換えて、図１０に示すようなＮＭＯＳトランジスタ２６，２７の直列接続回路を用いて、ＮＭＯＳトランジスタ２６，２７のゲートにゲート信号Ｓ２５が印加されるように構成してもよい。この場合、ゲート信号Ｓ２５が“Ｈ”になると、ＮＭＯＳトランジスタ２６，２７が共にオンするため、位相比較結果出力端子６０を流れる電流量も多くなるため、位相のズレ量がハッキリ現れる。

【００９４】

なお、直列に接続するＮＭＯＳトランジスタ数が３個以上であってもよい。また、１個のＮＭＯＳトランジスタをテスタ電源ユニット３８，接地レベル間に設けても良い。

【００９５】

＜実施の形態６＞
データＤＡＴＡ，クロックＣＬＫそれぞれの持つジッタによって位相比較器２Ａの位相比較結果が不安定な値をとる期間が生じる。データＤＡＴＡ，クロックＣＬＫそれぞれにジッタを含んでいる場合においても、データＤＡＴＡとクロックＣＬＫとの位相の一致／不一致を確実に検知するように構成したのが実施の形態６の位相比較器である。
【００９６】
図１１はこの発明の実施の形態６である位相比較器の内部構成を示す回路図である。同図に示すように、インバータ２５の出力であるゲート信号Ｓ２５がデジタルカウンタ４０に取り込まれる。
【００９７】
デジタルカウンタ４０はフリップフロップ４１～４６からなり、フリップフロップ４１～４６はそれぞれ自身の反転出力部バーＱがデータ入力部Ｄに帰還している。
【００９８】
フリップフロップ４１はゲート信号Ｓ２５をクロック入力部Ｃに受け、出力部Ｑが次段のフリップフロップ４２のクロック入力部Ｃに接続される。同様に、フリップフロップ４２～４５の出力部Ｑがそれぞれフリップフロップ４３～４６のクロック入力部Ｃに接続される。
【００９９】
なお、デジタルカウンタ４０以外の構成は図７で示した実施の形態５の位相比較器２Ａと同様であるため説明は省略する。
【０１００】
　このような構成の実施の形態６の位相比較器は、図１２に示すように、ゲート信号Ｓ２５の“Ｈ”立ち上がりを検出する毎にデジタルカウンタ４０によってその回数がカウントすることができる。したがって、クロックＣＬＫをＮサイクル期間入力させた後、フリップフロップ４１～４６の反転出力部バーＱから６ビットのカウント結果ＣＮＴを得ることができる。
【０１０１】
その結果、カウント結果ＣＮＴとクロックＣＬＫの入力サイクル数Ｎとの関係において、ＣＮＴ＜Ｎの場合はクロックＣＬＫとデータＤＡＴＡとの位相が一致し、ＣＮＫ＝Ｎの場合はクロックＣＬＫとデータＤＡＴＡとの位相が不一致であると判定することができる。
【０１０２】
例えば、クロックＣＬＫが６４サイクル入力させた場合、ＬＳＩテスタ１００がデジタルカウンタ４０のカウント結果ＣＮＴを読みとり、ＣＮＴ＜６４の場合は位相一致と認識し、ＣＮＴ＝６４の場合は位相不一致と認識することができる。
【０１０３】
このように、実施の形態６の位相比較器は、ゲート信号Ｓ２５の“Ｈ”立ち上がり回数をカウントすることにより、ゲート信号Ｓ２５の“Ｈ”立ち上がりの出現率を正確に求めることにより位相の一致／不一致を認識している。したがって、クロックＣＬＫあるいはデータＤＡＴＡにジッタ成分が含まれていても、クロックＣＬＫとデータＤＡＴＡとの位相の一致／不一致を確実に検出することができる。
【０１０４】
＜実施の形態７＞
図１３はこの発明に実施の形態７であるＬＳＩの構成を示す説明図である。実施の形態７のＬＳＩ１０５のＩ／Ｏバッファセル１は実施の形態１のＩ／Ｏバッファセル１と同様な構成で、実施の形態６の位相比較器と同構成の位相比較器２Ａを有している。
【０１０５】
シフト回路４７は、位相比較器２Ａのカウント結果ＣＮＴの各ビットをラッチししており、シフトクロックＳＣＬＫを受けるとラッチしたカウント結果ＣＮＴを、シリアル出力端子である位相比較結果出力端子７１からシリアルにスキャン出力信号ＳＯＵＴとして出力する。

【０１０６】
このような構成の実施の形態７のＬＳＩ１０５は、外部出力端子として位相比較結果出力端子７１を１個追加するだけで、デジタルカウンタ４０の６ビットのカウント結果ＣＮＴを外部に出力することができる。
【０１０７】
＜実施の形態８＞
図１４はこの発明に実施の形態８であるＬＳＩ１０６の構成を示す説明図である。実施の形態８のＩ／Ｏバッファセル１は実施の形態１のＩ／Ｏバッファセル１と同様な構成で、実施の形態６の位相比較器と同構成の位相比較器２Ａを有している。但し、フリップフロップ４１～４６それぞれのカウントビット（反転出力部バーＱ（図示せず））を、６個のＭＵＸ７２及び６個のプライマリー端子７３（位相比較結果出力端子７１に相当）を介して、パラレルにパラレル出力信号ＤＯＵＴ１～ＤＯＵＴ６として出力されるようにデジタルカウンタ４０を構成している。
【０１０８】
なお、６個のＭＵＸ７２はそれぞれ一方入力にデジタルカウンタ４０のカウントビットを受け、他方入力に内部ロジック（図示せず）の出力信号等、通常動作時に用いる信号を受ける。そして、カウント出力時は一方入力より得られる信号を対応のプライマリー端子７３に出力し、それ以外の時は他方入力より得られる信号を対応のプライマリー端子７３に出力する。
【０１０９】
このような構成の実施の形態８のＬＳＩ１０６は、外部出力端子として既存のプライマリー端子７３を用いて有効利用を図ることにより、カウント結果ＣＮＴ出力用の外部端子を新たに設けることなく、デジタルカウンタ４０のカウント結果ＣＮＴを外部に出力することができる。
【０１１０】
＜実施の形態９＞
図１５はこの発明の実施の形態９であるＬＳＩのＩ／Ｏバッファセルの構成を示す回路図である。
【０１１１】
Ｉ／Ｏバッファセル１０１は外部に設けられたデータ端子５、クロック端子１３及びテストモード端子１４それぞれを介して信号の授受が可能である。なお、データ端子５、クロック端子１３及びテストモード端子１４はボンディングパッドあるいはパッケージ端子として設けられる。
【０１１２】
クロック端子１３より入力されるクロックＣＬＫはクロック入力部１１を介して、ＭＵＸ５３の他方入力（“０”）、レシーバ６Ｌの制御入力、インバータ５５の入力部及びＤフリップフロップ８１のクロック入力部Ｃに付与される。インバータ５５の出力である反転クロックＲＣＬＫはＭＵＸ５３の一方入力（“１”）に付与される。
【０１１３】
Ｄフリップフロップ８１の反転出力部バーＱがデータ入力部Ｄに接続され、出力ＱがＭＵＸ５２の一方入力に接続されるとともに、ＭＵＸ５４の一方入力に接続される。Ｄフリップフロップ８１は反転出力部バーＱとデータ入力部Ｄとが短絡することにより、クロックＣＬＫを２分周した信号を出力部Ｑから出力する。
【０１１４】
テストモード端子１４より入力されるテストモード信号ＳＴＭ１はテストモード入力部４を介してＭＵＸ５２～５４の制御入力に共通に付与される。ＭＵＸ５２の他方入力は“Ｈ”固定され、ＭＵＸ５４の他方入力は“Ｌ”固定される。ＭＵＸ５２～５４はテストモード信号ＳＴＭ１の“Ｈ”／“Ｌ”に基づき一方入力／他方入力より得られる信号を出力する。
【０１１５】

データ端子５より入力されるデータＤＡＴＡはデータ入出力部１２及びトランスファゲート５６を介してレシーバ６Ｌの一方入力に付与される。

【０１１６】

ラッチ機能付きレシーバ６Ｌ及びラッチ機能付きドライバ８Ｌは制御入力より得られる信号に基づき動作制御され、レシーバ６Ｌは基準電圧入力部７を介して基準電圧ＶREFを他方入力に受ける。そして、クロックＣＬＫの“Ｈ”立ち上がりをトリガとして、レシーバ６ＬはデータＤＡＴＡと基準電圧ＶREFとを比較し、その比較結果に基づきバッファリング処理して内部信号を信号出力部１０から内部ロジック５０に出力するとともに、その信号をラッチするラッチ機能を有している。

【０１１７】

レシーバ６Ｌの出力とドライバ８Ｌの入力とがトランスファゲート５８を介して接続され、レシーバ６Ｌの入力とドライバ８Ｌの出力とがトランスファゲート５６を介して接続される。ドライバ８Ｌは内部ロジック５０からの出力信号を信号入力部９より受け、制御入力に得られる信号の“Ｈ”立ち上がりをトリガとして、受信した信号をドライブして得られる出力信号を、トランスファゲート５６及びデータ入出力部１２を介してデータ端子５から出力するとともに、内部にラッチするラッチ機能を有している。

【０１１８】

ＭＵＸ５２の出力信号はバッファ８３を介してトランスファゲート５６のＮチャネルゲートに付与され、ＭＵＸ５３の出力信号はドライバ８Ｌの制御入力に付与され、ＭＵＸ５４の出力信号はバッファ８２を介してトランスファゲート５８のＮチャネルゲートに付与される。

【０１１９】

なお、バッファ８２，８３それぞれ信号伝播遅延時間ΔＴＢ１，ΔＴＢ２を有し、その関係はΔＴＢ１＜ΔＴＢ２となっている。

【０１２０】

このような構成において、“Ｌ”のテストモード信号ＳＴＭ１をテストモード端子１４に付与すれば、トランスファゲート５６は常時オンし、トランスファゲート５８は常時オフし、クロックＣＬＫがレシーバ６Ｌ及びドライバ８Ｌの制御入力に印加されるため、図１６に示すような等価回路を構成することにより、実施の形態９のＬＳＩ１０１は通常動作を行うことができる。

【０１２１】

一方、“Ｈ”のテストモード信号ＳＴＭ１をテストモード端子１４に付与すれば、クロックＣＬＫがレシーバ６Ｌの制御入力に印加されるため、反転クロックＲＣＬＫがドライバ８Ｌの制御入力に印加され、Ｄフリップフロップ８１の出力部Ｑより得られる信号がバッファ８３，８２を介してそれぞれトランスファゲート５６及び５８のＮチャネルゲートに印加されることにより、図１７に示すような等価回路を構成してデータＤＡＴＡとクロックＣＬＫとの位相比較を行うことができる。

【０１２２】

図１８は、図１７で示した等価回路を構成する実施の形態９の位相比較動作を示すタイミング図である。図１８において、期間Ｔ１は“Ｈ”のテストモード信号ＳＴＭ１をテストモード端子１４に付与した期間、期間Ｔ２は“Ｌ”のテストモード信号ＳＴＭ１をテストモード端子１４に付与した期間を示す。

【０１２３】

以下、図１７及び図１８を参照して位相比較動作を説明する。ＬＳＩテスタ１００によってクロックＣＬＫの立ち上がりエッジに同期して値が変化するデータＤＡＴＡを出力させる。この時、クロックＣＬＫの“Ｈ”立ち上がりよりセットアップ時間setup分、データＤＡＴＡが早く“Ｈ”に立ち上がるように設定する。そして、図示しないフリップフロップ初期化回路によって、テストモード信号ＳＴＭ１の“Ｈ”をトリガとしてＤフリップフロップ８１を“Ｈ”に初期設定する。

【０１２４】

図１８のようにデータＤＡＴＡが“Ｌ”から“Ｈ”に変化する場合、データＤＡＴＡの位相がクロックＣＬＫより進んでおれば、クロックＣＬＫの“Ｈ”立ち上がりをトリガとしてレシーバ６Ｌが活性状態となる際、レシーバ６Ｌは“Ｈ”のデータＤＡＴＡをバッファリング処理して出力する。

【０１２５】

その後、Ｄフリップフロップ８１のデータ出力部Ｄから得られる“Ｈ”の信号が、レシーバ６Ｌの出力の“Ｈ”立ち上がりから、バッファ８３及び８２の遅延時間分ΔＴＢ１及びΔＴＢ２それぞれ遅れてトランスファゲート５８及び５６のＮチャネルゲートにそれぞれ印加され、反転クロックＲＣＬＫの“Ｈ”立ち上がりをトリガとして、レシーバ６Ｌの出力である“Ｈ”がドライバ８Ｌにラッチされる。この際、バッファ８２の遅延時間ΔＴＢ１よりバッファ８３の遅延時間ΔＴＢ２の方が長く設定されているため、レシーバ６Ｌの入力部にドライバ８Ｌから誤った信号が入力されることはない。

【０１２６】

次のクロックＣＬＫのサイクルで、内部ロジック５０の影響がドライバ８Ｌの入力に現れないようにして、テストモード信号ＳＴＭ１を“Ｌ”にすることにより、図１８の期間Ｔ２に示すように、ドライバ８Ｌから“Ｈ”のデータＤＡＴＡをデータ端子５に出力することができる。

【０１２７】

一方、データＤＡＴＡの位相がクロックＣＬＫより遅れておれば、クロックＣＬＫが“Ｈ”に立ち上がる時は、データＤＡＴＡは依然“Ｌ”を維持しているため、レシーバ６Ｌに“Ｌ”がラッチされ、その結果、ドライバ８Ｌに“Ｌ”がラッチされることになる。

【０１２８】

したがって、ＬＳＩテスタ１００はドライバ８Ｌにラッチされる値が“Ｈ”となるタイミング条件と“Ｌ”となるタイミング条件との境界に位置するタイミングを基準として、データＤＡＴＡとクロックＣＬＫとの間で所定のセットアップタイム等を満足するように、ＬＳＩテスタ１００のテストプラグラム中に記載するデータのタイミング値を補正して、そのタイミングにてデバイスの機能動作試験ベクタを走行させればよい。

【０１２９】

このように、実施の形態９のＩ／Ｏバッファセル１０１は、位相比較機能を備えているため、実施の形態１～８のＩ／Ｏバッファセルのように、特別に位相比較器２，２Ａを設ける必要がない分、回路構成の簡略化を図ることができる。

【０１３０】

【発明の効果】

以上説明したように、この発明における請求項１記載の半導体装置の入出力バッファセルは、第１の入力信号と第２の入力信号との位相差を比較して位相比較結果を出力する位相比較手段を備えている。

【０１３１】

したがって、第１及び第２の入力信号間のタイミング条件を変化させながら外部から第１及び第２の入力信号を与え、上記位相比較結果をモニタすることにより、入出力バッファセル内における第１及び第２の入力信号間の基準タイミングを認識することができる。

【０１３２】

その結果、上記基準タイミングに基づき所定のタイミング条件で第１及び第２の入力信号を与えることにより、第１及び第２の入力信号をテスタ等で出力する場合に生じる第１及び第２の入力信号のタイミングスキューには依存することなく、高精度なタイミング検証試験を行うことができる。

【０１３３】

請求項２記載の半導体装置における入出力バッファセルは、外部信号用テストモード信号に基づき、位相比較結果あるいは内部出力信号を外部出力用選択信号として出力する外部信号用選択手段と、外部出力用選択信号をバッファリング処理して外部出力信号を出力する外部信号出力手段とを備えている。

【０１３４】
したがって、位相比較結果の選択を指示する外部信号用テストモード信号を付与することにより、外部信号出力手段から出力される外部出力信号として位相比較結果を外部に出力することができる。
【０１３５】
請求項３記載の半導体装置における入出力バッファセルは、第２のテストモード信号に基づき、セル外入力信号及びクロックのうち一方の信号を位相比較手段に出力する第２の信号選択手段をさらに備えている。
【０１３６】
したがって、上記位相比較結果をモニタすることにより、入出力バッファセル内における第１の入力信号とセル外入力信号との間の基準タイミング及び第１の入力信号とクロックとの間の基準タイミングのいずれかを選択的に認識することができる。
【０１３７】
請求項４記載の半導体装置における入出力バッファセルは、複数の第１の入力信号に対応して設けられる複数の入出力バッファセルを含み、上記複数の入出力バッファセルは所定の順序付けがなされ、前段の入出力バッファセルのセル出力信号をセル外入力信号として受けている。
【０１３８】
したがって、複数の入出力バッファセルのうち一の入出力バッファセルの位相比較結果をモニタすることにより、その入出力バッファセル内における第１の入力信号と前段入出力バッファセルからのセル出力信号との間の基準タイミング及び第１の入力信号とクロックとの間の基準タイミングのいずれかを選択的に認識することができる。
【０１３９】
請求項５記載の半導体装置における入出力バッファセルの位相比較手段は、第１の入力信号と第２の入力信号との信号値の一致／不一致を論理的に比較して論理出力信号を出力する論理ゲートと、所定のサンプリング期間において、論理出力信号に基づく信号を位相比較結果として出力する位相比較結果出力手段とを有している。
【０１４０】
したがって、位相比較結果の論理値が一致を指示するか不一致を指示するかによって、第１及び第２の入力信号間の入出力バッファセル内における位相関係を認識することができる。また、論理ゲートと位相比較結果出力手段のみで位相比較結果を出力することができるため、その回路構成は比較的簡単で済む。
【０１４１】
請求項６記載の半導体装置における入出力バッファセルの位相比較結果出力手段のサンプリング期間検出手段は、第２の入力信号に基づき、第２の入力信号の所定のエッジ変化近傍期間を所定のサンプリング期間として検出するため、第１及び第２の入力信号の位相関係が複雑な場合も、第１及び第２の入力信号間の位相の一致／不一致を確実に判定した位相比較結果を出力することができる。
【０１４２】
請求項７記載の半導体装置は、位相比較結果を外部に出力可能な位相比較結果出力端子をさらに備えるため、位相比較結果出力端子から常に位相比較結果を認識することができる。
【０１４３】
請求項８記載の半導体装置における位相比較結果出力手段の電流量調整手段は、位相比較結果出力端子である所定のノードと固定電位との間の信号経路上に設けられ、サンプリング手段によりサンプリングされたラッチ信号に基づき、所定のノードへの電流供給時に所定のノードを流れる電流量である位相比較結果を変動させている。
【０１４４】
したがって、ラッチ信号の論理値が一致を指示する期間を反映した位相比較結果を得ることができる。

【０１４５】
加えて、サンプリング期間検出手段は、第２の入力信号に基づき、第２の入力信号の所定のエッジ変化近傍期間を所定のサンプリング期間として検出するため、第１及び第２の入力信号の位相関係が複雑な場合も、第１及び第２の入力信号間の位相の一致／不一致を確実に判定した位相比較結果を出力することができる。
【０１４６】
請求項９記載の半導体装置の位相比較結果出力手段のカウンタは、ラッチ信号の所定のエッジ変化回数をカウントしてカウント結果を得るため、位相比較モードを指示する第１のテストモード信号を付与して、第２の信号としてクロックをＮサイクル入力させながら第１及び第２の入力信号を所定のタイミング条件で入力させた場合にカウンタより得られるカウント結果がＮであるか、Ｎ未満であるかを検知することにより、第１及び第２の信号にジッタ成分が含まれる場合でも、第１及び第２の信号間の位相の一致・不一致を正確に認識することができる。
【０１４７】
請求項１０記載の半導体装置の位相比較手段のカウンタは、所定ビットのカウント値をラッチし、所定ビットのカウント値を１ビット毎に位相比較結果出力端子に出力可能であるため、外部出力端子として位相比較結果出力端子を１個追加するだけで、所定ビットのカウント結果を外部に出力することができる。
【０１４８】
請求項１１記載の半導体装置の位相比較結果出力手段の出力信号選択手段は、所定ビットのカウント値を受け、第１の条件設定時に所定ビットのカウント値を、位相比較結果出力端子としての所定数の出力端子から一括して外部に出力可能であるため、速やかにカウンタのカウント結果を外部に出力することができる。
【０１４９】
また、第２の条件設定時は他の信号を所定数の出力端子から出力することができるため、所定数の出力端子の有効利用を図ることにより、出力端子数を必要最小限に抑えることができる。
【０１５０】
請求項１２記載の半導体装置の制御信号設定手段は、テストモード信号が位相比較モードを指示する時、第１の制御信号を第２の入力信号に、第２の制御信号を第２の入力信号を論理的に反転した信号に、第３の制御信号を第２の入力信号の所定のエッジ変化から第１の遅延時間遅れて活性状態を指示する信号に、第４の制御信号を第２の入力信号の所定のエッジ変化から第２の遅延時間（＞第１の遅延時間）遅れて活性状態を指示する信号にそれぞれ設定している。
【０１５１】
したがって、位相比較モードを指示するテストモード信号を付与して、第２の信号の所定のエッジ変化時に第１の入力信号の信号値が第１の値から第２の値に変化するタイミングとなるように第１及び第２の入力信号を与えて、ラッチ機能を有する外部信号出力手段にラッチさせる。この際、第１の遅延時間より第２の遅延時間の方が長く設定されているため、内部信号出力手段の入力部に誤った信号が付与されることはない。
【０１５２】
その後、通常モードを指示するテストモード信号を付与することによって、外部信号出力手段でラッチしたデータを外部出力信号としてモニタすることにより、入出力バッファセル内における第１及び第２の入力信号間の位相の進み／遅れを認識することができる。
【０１５３】
すなわち、上記モニタ時における外部出力信号が第１の値であれば第１の入力信号より第２の入力信号の方が位相が進んでおり、第２の値であれば第１の入力信号より第２の入力信号の方が位相が遅れていることを認識することができる。
【０１５４】
その結果、入出力バッファセル内における第１及び第２の入力信号間の基準タイミングを

認識し、上記基準タイミングに基づき所定のタイミング条件で第１及び第２の入力信号を与えることにより、第１及び第２の入力信号をテスタ等で出力する場合に生じる第１及び第２の入力信号のタイミングスキューには依存することなく、高精度なタイミング検証試験を行うことができる。

【０１５５】

また、特別に位相比較手段を設けことなく第１及び第２の入力信号間の位相の進み／遅れを認識することができる分、回路構成の簡略化を図ることができる。

【図面の簡単な説明】

【図１】　この発明の実施の形態１であるＬＳＩのＩ／Ｏバッファセルの内部構成を示す回路図である。

【図２】　実施の形態１のＬＳＩを用いた位相比較方法を示すフローチャートである。

【図３】　この発明の実施の形態２であるＬＳＩのＩ／Ｏバッファセルの内部構成を示す回路図である。

【図４】　この発明の実施の形態３であるＬＳＩのＩ／Ｏバッファセル群の構成を示す回路図である。

【図５】　この発明の実施の形態４であるＬＳＩの位相比較器の内部構成を示す回路図である。

【図６】　この発明の実施の形態５であるＬＳＩのＩ／Ｏバッファセルの内部構成を示す回路図である。

【図７】　この発明の実施の形態５であるＬＳＩの位相比較器の内部構成を示す回路図である。

【図８】　実施の形態５の位相比較器の位相比較動作を示すタイミング図である。

【図９】　実施の形態５の位相比較器の位相比較動作を示す波形図である。

【図１０】　実施の形態５の位相比較器の他の態様を示す説明図である。

【図１１】　この発明の実施の形態６であるＬＳＩの位相比較器の内部構成を示す回路図である。

【図１２】　実施の形態６の位相比較器の位相比較動作を示すタイミング図である。

【図１３】　この発明の実施の形態７であるＬＳＩのＩ／Ｏバッファセルの構成を示す説明図である。

【図１４】　この発明の実施の形態８であるＬＳＩのＩ／Ｏバッファセルの構成を示す説明図である。

【図１５】　この発明の実施の形態９であるＬＳＩのＩ／Ｏバッファセルの内部構成を示す回路図である。

【図１６】　実施の形態９のＩ／Ｏバッファセルの第１の動作時の等価回路を示す回路図である。

【図１７】　実施の形態９のＩ／Ｏバッファセルの第２の動作時の等価回路を示す回路図である。

【図１８】　実施の形態９のＩ／Ｏバッファセルの動作を示すタイミング図である。

【図１９】　従来のＬＳＩテスタを用いたＬＳＩの試験実施時の構成を示す説明図である。

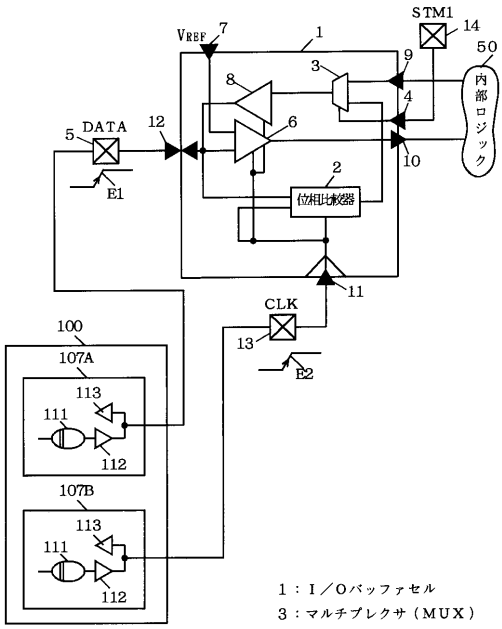
【図２０】　従来のＬＳＩのＩ／Ｏバッファセルの内部構成を示す回路図である。

【図２１】　従来のデータとクロックとの間に生じるスキューを示したタイミング図である。

【符号の説明】

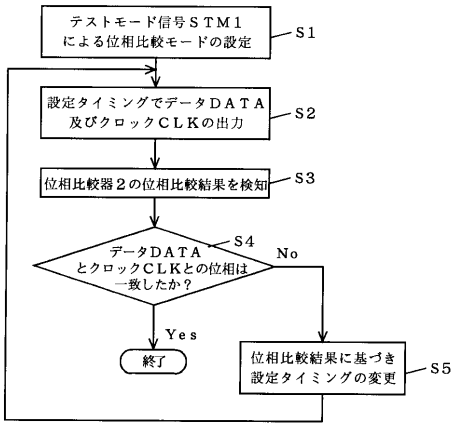
１，１０１，２００～２０３，２０５　Ｉ／Ｏバッファセル、２，２Ａ　位相比較器、３，１８，５２～５４　マルチプレクサ（ＭＵＸ）、４０　デジタルカウンタ、４７　シフト回路、５５　インバータ、５６，５８　トランスファゲート、６０　位相比較結果出力端子、７３　プライマリー端子、８１　Ｄフリップフロップ、８２，８３　バッファ。

【図１】

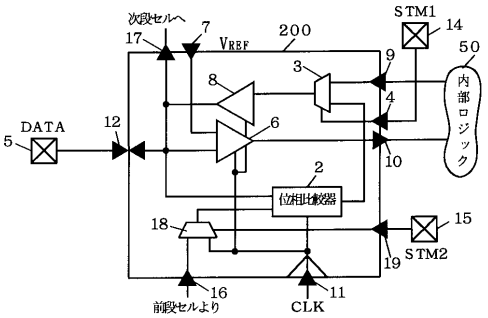


1：I／Oバッファセル
3：マルチプレクサ（MUX）

【図２】

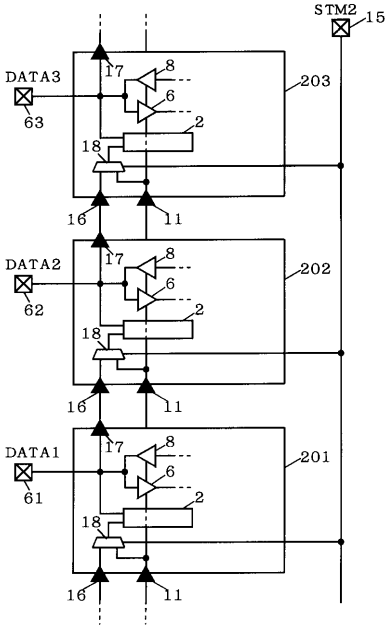


【図３】



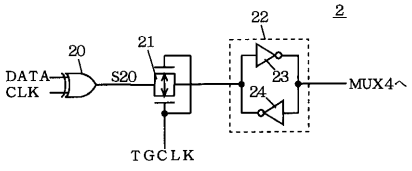
18：MUX　200：I／Oバッファセル

【図４】

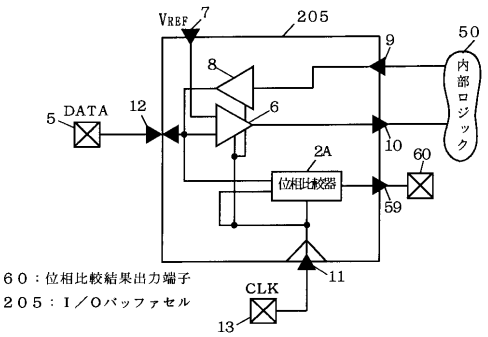


201～203：I／Oバッファ

【図５】

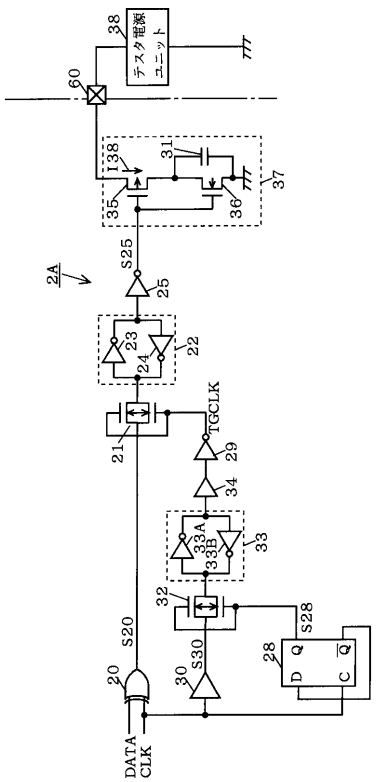


【図６】

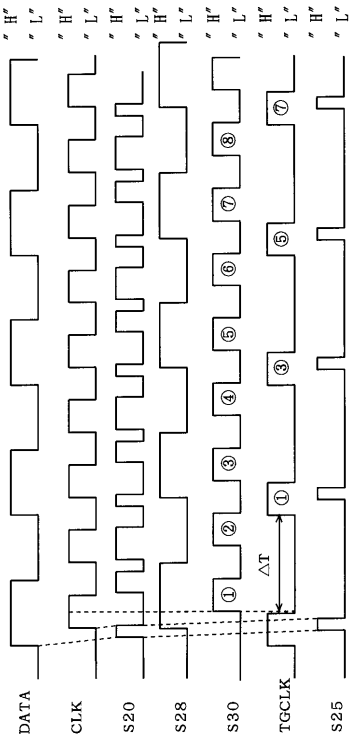


60：位相比較結果出力端子
205：I／Oバッファセル

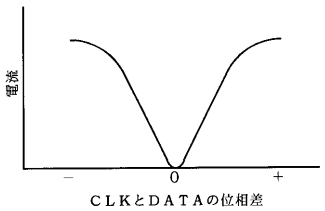
【図７】



【図８】

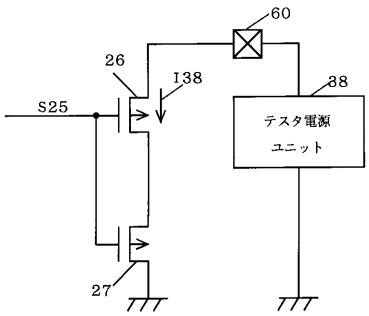


【図９】

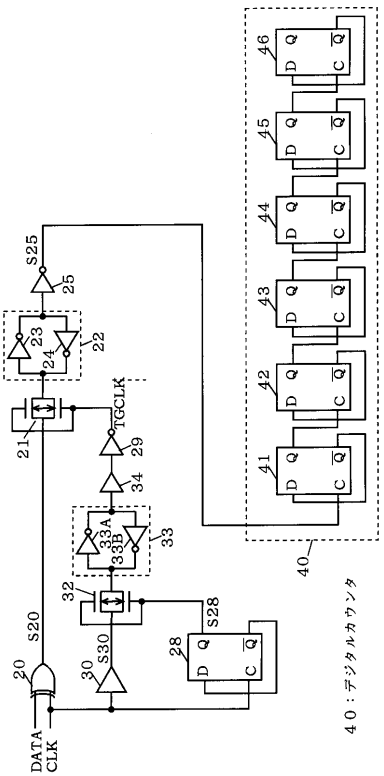


CLKとDATAの位相差

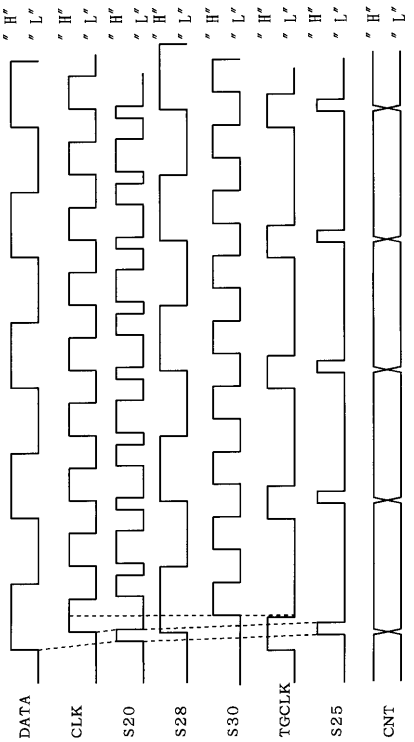
【図１０】



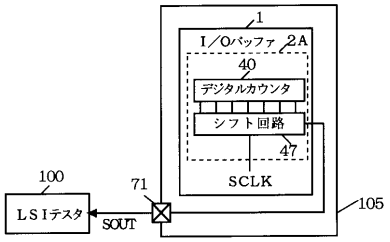
【図１１】



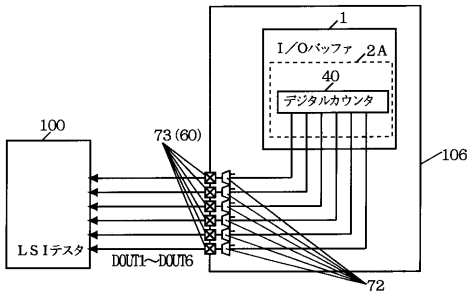
【図１２】



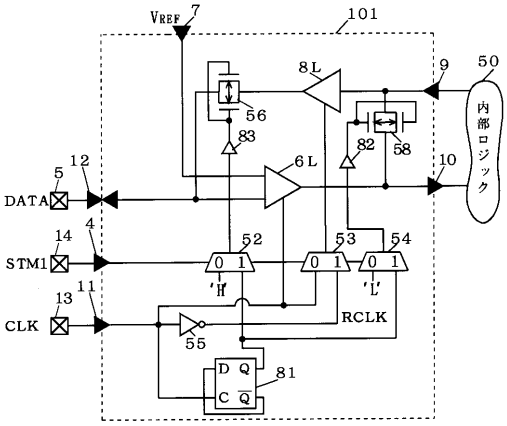
【図１３】



【図１４】

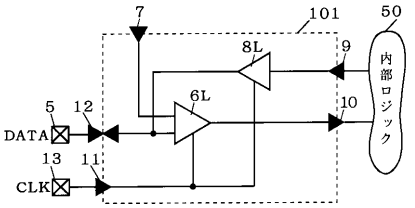


【図１５】

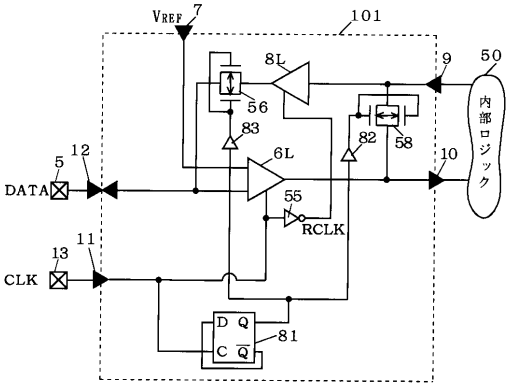


101：I／Oバッファセル
52～54：MUX
55：インバータ
56，58：トランスファゲート
81：Dフリップフロップ
82，83：バッファ
6L：ラッチ機能付きレシーバ
8L：ラッチ機能付きドライバ

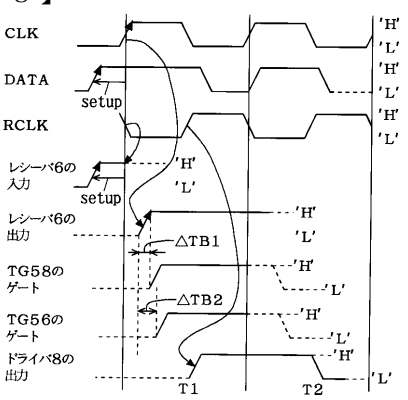
【図１６】



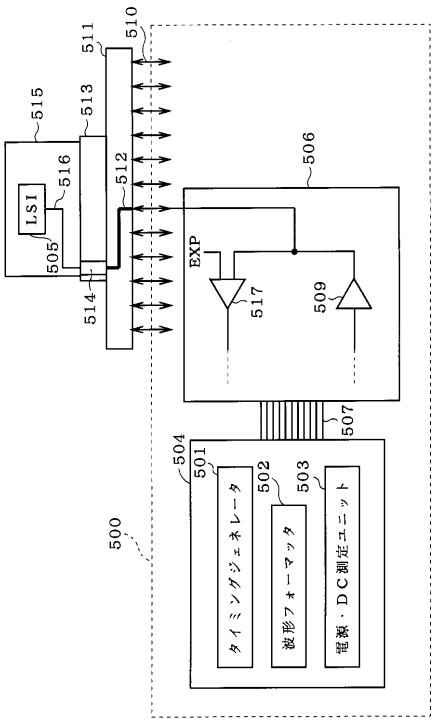
【図１７】



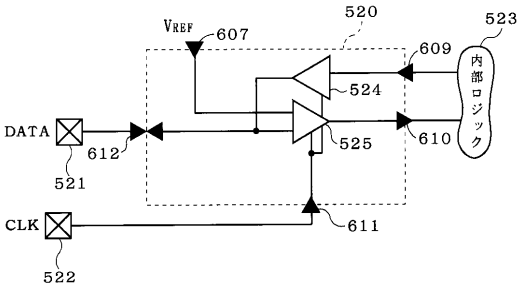
【図１８】



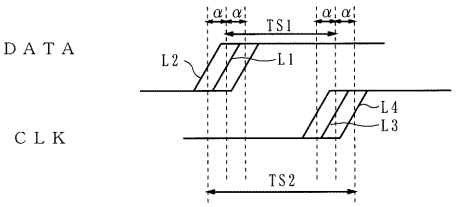
【図１９】


500
501
502
503
504
505
506
507
509
510
511
512
513
514
515
516
517
LSI
EXP
タイミングジェネレータ
波形フォーマッタ
電源・ＤＣ測定ユニット

【図２０】


VREF
607
520
523
609
524
525
610
内部ロジック
DATA
612
521
CLK
522
611

【図２１】


DATA
CLK
α
α
TS1
L2
L1
L4
L3
TS2

フロントページの続き

審査官　森　雅之

(56)参考文献　特開平５－２６４６６１（ＪＰ，Ａ）
特開平１０－２３９３９７（ＪＰ，Ａ）
特許第３１７７９６３（ＪＰ，Ｂ２）
特開平８－３３４５５０（ＪＰ，Ａ）
特開昭６１－１４９８６６（ＪＰ，Ａ）
特開平４－２４８４８３（ＪＰ，Ａ）
特開昭６３－２９５９８０（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)
工業所有権協力センターが調査した主分野
G01R 31/28
特許審査官は技術用語検索により追加調査した。