(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2023年11月30日(30.11.2023)

WIPO | PCT

(10) 国際公開番号
WO 2023/228782 A1

(51) 国際特許分類:
H01L 25/07 (2006.01) *H01L 23/34* (2006.01)
H01L 23/12 (2006.01) *H01L 25/18* (2023.01)

(21) 国際出願番号： PCT/JP2023/017924

(22) 国際出願日： 2023年5月12日(12.05.2023)

(25) 国際出願の言語： 日本語

(26) 国際公開の言語： 日本語

(30) 優先権データ：
特願 2022-087151 2022年5月27日(27.05.2022) JP

(71) 出願人: ロ ー ム 株 式 会 社 (**ROHM CO., LTD.**) [JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町２１番地 Kyoto (JP).

(72) 発明者: 田村 侑也(**TAMURA Yuya**); 〒6158585 京都府京都市右京区西院溝崎町２１番地 ローム株式会社内 Kyoto (JP).

(74) 代理人: 臼 井 尚, 外 (**USUI Takashi** et al.); 〒5430014 大阪府大阪市天王寺区玉造元町２番３２－１３０１ Osaka (JP).

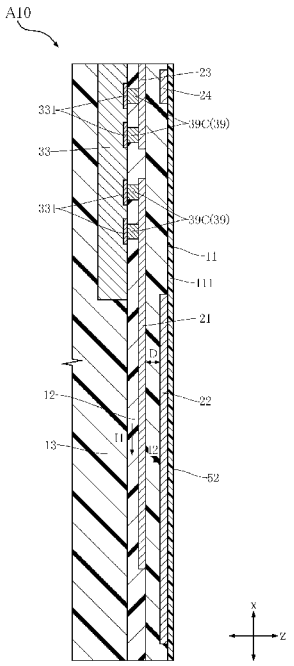
(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ,

(54) **Title:** SEMICONDUCTOR DEVICE

(54) 発明の名称： 半導体装置

[図12]
FIG.12



(57) **Abstract:** This semiconductor device comprises: a first semiconductor element having a first electrode and a second electrode; first wiring conductively connected to the first electrode; and second wiring conductively connected to the second electrode. The direction of the current that flows through the second wiring is the opposite of the direction of the current that flows through the first wiring. Viewed from a first direction, the first wiring overlaps with the second wiring. The distance between the first wiring and the second wiring in the first direction is shorter than a first dimension of the first wiring in a direction orthogonal to both the first direction and the direction in which the current flows in the first wiring.

(57) 要約：半導体装置は、第１電極および第２電極を有する第１半導体素子と、前記第１電極に導通する第１配線と、前記第２電極に導通する第２配線とを備える。前記第２配線に流れる電流の向きは、前記第１配線に流れる電流の向きとは逆である。第１方向に視て、前記第１配線は、前記第２配線に重なっている。前記第１方向における前記第１配線と前記第２配線との間隔は、前記第１方向と、前記第１配線において電流が流れる方向と、に対して直交する方向における前記第１配線の第１寸法よりも短い。

WO 2023/228782 A1

［続葉有］

DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

— 国際調査報告（条約第21条(3)）

明　細　書

発明の名称 ： 半導体装置

技術分野

[0001]　本開示は、半導体装置に関する。

背景技術

[0002]　特許文献１には、横型構造の半導体素子（ＨＥＭＴ）を備える半導体装置の一例が開示されている。半導体素子は、第１電極および第２電極を有する。当該半導体装置においては、半導体素子はダイパッドに接合されている。第１電極および第２電極は、ワイヤを介してダイパッドの周辺に位置する複数の端子リードに導通している。

[0003]　特許文献１に開示されている半導体装置においては、より効率的な電力変換を達成すべく、高周波である電気信号の伝送が求められることがある。そのためには、当該電気信号の伝送経路となる配線において、寄生インダクタンスを低減することが求められる。

先行技術文献

特許文献

[0004] 特許文献1：特開２０２０－１８８０８５号公報

発明の概要

発明が解決しようとする課題

[0005]　本開示は、従来より改良が施された半導体装置を提供することを一の課題とする。特に本開示は、先述の事情に鑑み、配線における寄生インダクタンスの低減を図ることが可能な半導体装置を提供することをその一の課題とする。

課題を解決するための手段

[0006]　本開示の一の側面によって提供される半導体装置は、第１電極および第２電極を有する第１半導体素子と、前記第１電極に導通する第１配線と、前記第２電極に導通する第２配線と、を備える。前記第２配線に流れる電流の向

きは、前記第１配線に流れる電流の向きとは逆であり、第１方向に視て、前記第１配線は、前記第２配線に重なっている。前記第１方向における前記第１配線と前記第２配線との間隔は、前記第１方向と、前記第１配線において電流が流れる方向と、に対して直交する方向における前記第１配線の第１寸法よりも短い。

発明の効果

[0007] 上記構成によれば、配線における寄生インダクタンスの低減を図ることが可能となる。

[0008] 本開示のその他の特徴および利点は、添付図面に基づき以下に行う詳細な説明によって、より明らかとなろう。

図面の簡単な説明

[0009] [図1]図１は、本開示の第１実施形態にかかる半導体装置の平面図である。

[図2]図２は、図１に対応する平面図であり、第４絶縁層、複数の第１ビア、複数の第２ビア、および複数の放熱層の図示を省略している。

[図3]図３は、図２に対応する平面図であり、第３絶縁層、および複数の中間層の図示を省略している。

[図4]図４は、図３に対応する平面図であり、第２絶縁層を省略するとともに、第１半導体素子、第２半導体素子およびＩＣを透過している。

[図5]図５は、図１に示す半導体装置の底面図であり、被覆層を透過している。

[図6]図６は、図４のＶＩ－ＶＩ線に沿う断面図である。

[図7]図７は、図４のＶＩＩ－ＶＩＩ線に沿う断面図である。

[図8]図８は、図４のＶＩＩＩ－ＶＩＩＩ線に沿う断面図である。

[図9]図９は、図４のＩＸ－ＩＸ線に沿う断面図である。

[図10]図１０は、図４のＸ－Ｘ線に沿う断面図である。

[図11]図１１は、図４の部分拡大図である。

[図12]図１２は、図１１のＸＩＩ－ＸＩＩ線に沿う断面図である。

[図13]図１３は、本開示の第２実施形態にかかる半導体装置の断面図である

。

[図14]図１４は、図１３に示す半導体装置の断面図であり、断面位置が図１３とは異なる。

[図15]図１５は、図１３に示す半導体装置の部分拡大断面図である。

[図16]図１６は、本開示の第３実施形態にかかる半導体装置の平面図である。

[図17]図１７は、図１６のＸＶＩＩ－ＸＶＩＩ線に沿う断面図である。

[図18]図１８は、図１６のＸＶＩＩＩ－ＸＶＩＩＩ線に沿う断面図である。

[図19]図１９は、図１６のＸＩＸ－ＸＩＸ線に沿う断面図である。

[図20]図２０は、本開示の第４実施形態にかかる半導体装置の平面図である。

[図21]図２１は、図２０のＸＸＩ－ＸＸＩ線に沿う断面図である。

[図22]図２２は、図２０のＸＸＩＩ－ＸＸＩＩ線に沿う断面図である。

[図23]図２３は、図２０のＸＸＩＩＩ－ＸＸＩＩＩ線に沿う断面図である。

発明を実施するための形態

[0010] 本開示を実施するための形態について、添付図面に基づいて説明する。

[0011] 第１実施形態：

図１～図１２に基づき、本開示の第１実施形態にかかる半導体装置Ａ１０について説明する。半導体装置Ａ１０は、第１絶縁層１１、第２絶縁層１２、第３絶縁層１３、第４絶縁層１４、第１配線２１、第２配線２２、第３配線２３、第４配線２４、複数の電力配線２５、複数の制御配線２６、複数の連絡配線２９、第１半導体素子３１、第２半導体素子３２、ＩＣ３３、および複数の接続配線３９を備える。さらに半導体装置Ａ１０は、複数の第１ビア４１、複数の第２ビア４２、複数の第３ビア４３、複数の第４ビア４４、複数の第５ビア４５、複数の端子５１、被覆層５２、複数の放熱層６１、および複数の中間層６２を備える。半導体装置Ａ１０は、配線基板に表面実装される樹脂パッケージ形式によるものである。

[0012] ここで、図２は、理解の便宜上、第４絶縁層１４、複数の第１ビア４１、

複数の第２ビア４２、および複数の放熱層６１の図示を省略している。図３は、理解の便宜上、図２に対して第３絶縁層１３、および複数の中間層６２の図示を省略している。図４は、理解の便宜上、図３に対して第２絶縁層１２の図示を省略するとともに、第１半導体素子３１、第２半導体素子３２およびＩＣ３３を透過している。図４では、透過した複数の第１半導体素子３１、第２半導体素子３２およびＩＣ３３を想像線（二点鎖線）で示している。図５は、理解の便宜上、被覆層５２を倒壊している。図５では、透過した被覆層５２を想像線で示している。

[0013] 半導体装置Ａ１０の説明においては、便宜上、後述する第４絶縁層１４の頂面１４１の法線方向の一例を「第１方向ｚ」と呼ぶ。第１方向ｚに対して直交する方向の一例を「第２方向ｘ」と呼ぶ。第１方向ｚおよび第２方向ｘに対して直交する方向の一例を「第３方向ｙ」と呼ぶ。図１に示すように、半導体装置Ａ１０は、第１方向ｚに視て矩形状である。

[0014] 半導体装置Ａ１０は、外部から半導体装置Ａ１０に供給された直流電力を、第１半導体素子３１および第２半導体素子３２により交流電力に変換する。半導体装置Ａ１０は、たとえばモータを駆動するためのインバータに用いられる。半導体装置Ａ１０は、たとえば米国特許出願公開第２０１０／００１９３７０号明細書に開示されているＬＤＳ（Laser Direct Structuring）工法によって形成することができる。

[0015] 第１絶縁層１１は、図９および図１２に示すように、第１方向ｚにおいて第１配線２１と第２配線２２との間に位置する。第１絶縁層１１は、樹脂を含む。第１絶縁層１１は、第１方向ｚを向く底面１１１を有する。半導体装置Ａ１０を配線基板に実装する際、底面１１１は、当該配線基板に対向する。

[0016] 第２絶縁層１２は、図６～図８に示すように、第１方向ｚにおいて第１半導体素子３１、第２半導体素子３２およびＩＣ３３と、第１絶縁層１１との間に位置する。第２絶縁層１２は、第１絶縁層１１に接している。第２絶縁層１２の組成は、第１絶縁層１１の組成と同一である。

[0017] 第３絶縁層１３は、図６～図１０に示すように、第１方向ｚにおいて第２絶縁層１２を基準として第１絶縁層１１とは反対側に位置する。第３絶縁層１３は、第２絶縁層１２に接している。第３絶縁層１３の組成は、第１絶縁層１１の組成と同一である。

[0018] 第４絶縁層１４は、図６～図１０に示すように、第１方向ｚにおいて第３絶縁層１３を基準として第２絶縁層１２とは反対側に位置する。第４絶縁層１４は、第３絶縁層１３に接している。第４絶縁層１４の組成は、第１絶縁層１１の組成と同一である。第４絶縁層１４は、第１方向ｚにおいて底面１１１とは反対側を向く頂面１４１を有する。

[0019] 第１半導体素子３１は、図６、図７および図９に示すように、第２絶縁層１２に対向している。第２半導体素子３２の少なくとも一部は、第３絶縁層１３に覆われている。第１半導体素子３１は、主として電力変換に用いられるトランジスタ（スイッチング素子）である。第１半導体素子３１は、たとえば窒化物半導体を含む材料からなる。半導体装置Ａ１０においては、第１半導体素子３１は、窒化ガリウム（ＧａＮ）を含む材料からなるＨＥＭＴ（High Electron Mobility Transistor：高電子移動度トランジスタ）である。

[0020] 図３および図９に示すように、第１半導体素子３１の各々は、第１主面３１Ａ、２つの第１電極３１１、複数の第２電極３１２、および複数の第３電極３１３を有する。第１主面３１Ａは、第１方向ｚにおいて第４絶縁層１４の頂面１４１と同じ側を向く。２つの第１電極３１１、複数の第２電極３１２、および複数の第３電極３１３は、第１方向ｚにおいて第１主面３１Ａが位置する側とは反対側に位置する。したがって、２つの第１電極３１１、複数の第２電極３１２、および複数の第３電極３１３は、第２絶縁層１２に対向している。

[0021] 図３に示すように、複数の第２電極３１２、および複数の第３電極３１３の各々は、第３方向ｙに延びている。複数の第２電極３１２の第３方向ｙの両側に、複数の第３電極３１３のうち２つの第３電極３１３が位置する。複数の第３電極３１３には、第１半導体素子３１により変換される前の電力に

対応する電流が流れる。したがって、複数の第３電極３１３は、第１半導体素子３１のドレインに対応する。複数の第２電極３１２には、第１半導体素子３１により変換された後の電力に対応する電流が流れる。したがって、複数の第２電極３１２は、第１半導体素子３１のソースに相当する。

[0022] 図３に示すように、２つの第１電極３１１は、第１半導体素子３１の第３方向ｙの両側に位置する。２つの第１電極３１１のいずれかには、第１半導体素子３１を駆動するためのゲート電圧が印加される。第１方向ｚに視て、２つの第１電極３１１の各々の面積は、複数の第２電極３１２、および複数の第３電極３１３の各々の面積よりも小さい。第１半導体素子３１における２つの第１電極３１１、複数の第２電極３１２、および複数の第３電極３１３の各々の形状および配置形態は一例である。

[0023] 第２半導体素子３２は、図６、図７および図１０に示すように、第２絶縁層１２に対向している。第２半導体素子３２の少なくとも一部は、第３絶縁層１３に覆われている。第２半導体素子３２は、第２方向ｘにおいて第１半導体素子３１から離れている。第１半導体素子３１は、第２半導体素子３２と同一構造および同一機能の素子である。したがって、第１半導体素子３１の説明においては、第２半導体素子３２の説明と重複する内容を省略する。

[0024] 図３および図１０に示すように、第２半導体素子３２は、第２主面３２Ａ、２つの第４電極３２１、複数の第５電極３２２、および複数の第６電極３２３を有する。第２主面３２Ａは、第１方向ｚにおいて第４絶縁層１４の頂面１４１と同じ側を向く。２つの第４電極３２１、複数の第５電極３２２、および複数の第６電極３２３は、第１方向ｚにおいて第２主面３２Ａが位置する側とは反対側に位置する。したがって、２つの第４電極３２１、複数の第５電極３２２、および複数の第６電極３２３は、第２絶縁層１２に対向している。

[0025] ２つの第４電極３２１の構造および機能は、第１半導体素子３１の２つの第１電極３１１の構造および機能に相当する。複数の第５電極３２２の構造および機能は、第１半導体素子３１の複数の第２電極３１２の構造および機

能に相当する。複数の第６電極３２３の構造および機能は、第２半導体素子３２の複数の第３電極３１３の構造および機能に相当する。第１半導体素子３１の場合と同様に、第２半導体素子３２における２つの第４電極３２１、複数の第５電極３２２、および複数の第６電極３２３の各々の形状および配置形態は一例である。

[0026] ＩＣ３３は、図２、図５および図６に示すように、第２絶縁層１２に対向している。ＩＣ３３は、第３絶縁層１３に覆われている。ＩＣ３３は、第１半導体素子３１および第２半導体素子３２の第３方向ｙの一方側に位置する。ＩＣ３３は、第１半導体素子３１および第２半導体素子３２に導通している。ＩＣ３３は、第２半導体素子３２の２つの第４電極３２１のいずれかと、複数の第１半導体素子３１の２つの第１電極３１１のいずれかとゲート電圧を印加するゲートドライバである。ＩＣ３３は、複数のパッド３３１を有する。複数のパッド３３１は、第２絶縁層１２に対向している。

[0027] 複数の接続配線３９は、図６～図１０に示すように、第２絶縁層１２に収容されている。図３に示すように、第１方向ｚに視て、複数の接続配線３９の各々は、第１半導体素子３１、第２半導体素子３２およびＩＣ３３のいずれかに重なっている。複数の接続配線３９の各々は、第１配線２１、第３配線２３、複数の電力配線２５、および複数の制御配線２６のいずれかにつながっている。複数の接続配線３９の組成は、第１配線２１の組成と同一である。

[0028] 図３および図４に示すように、複数の接続配線３９は、複数の第１接続配線３９Ａ、複数の第２接続配線３９Ｂ、および複数の第３接続配線３９Ｃを含む。

[0029] 複数の第１接続配線３９Ａの各々は、第１半導体素子３１の２つの第１電極３１１、複数の第２電極３１２、および複数の第３電極３１３のいずれかにつながっている。複数の第２接続配線３９Ｂの各々は、第２半導体素子３２の２つの第４電極３２１、複数の第５電極３２２、および複数の第６電極３２３のいずれかにつながっている。複数の第３接続配線３９Ｃは、ＩＣ３

３の複数のパッド３３１に個別につながっている。

[0030] 複数の電力配線２５は、図６、図７、図９および図１０に示すように、第１絶縁層１１と第２絶縁層１２との間に位置する。複数の電力配線２５の各々の少なくとも一部は、第２絶縁層１２に収容されている。複数の電力配線２５の組成は、第１配線２１の組成と同一である。

[0031] 図４に示すように、複数の電力配線２５は、第１電力配線２５Ａ、第２電力配線２５Ｂおよび第３電力配線２５Ｃを含む。第１半導体素子３１の複数の第２電極３１２は、複数の第１接続配線３９Ａのうちのいくつかを介して第１電力配線２５Ａに導通している。第１半導体素子３１の複数の第３電極３１３は、複数の第１接続配線３９Ａのいくつかを介して第２電力配線２５Ｂに導通している。第２半導体素子３２の複数の第５電極３２２は、複数の第２接続配線３９Ｂのいくつかを介して第２電力配線２５Ｂに導通している。第２半導体素子３２の複数の第６電極３２３は、複数の第２接続配線３９Ｂのいくつかを介して第３電力配線２５Ｃに導通している。

[0032] 複数の制御配線２６は、図８および図１０に示すように、第１絶縁層１１と第２絶縁層１２との間に位置する。複数の制御配線２６の各々の少なくとも一部は、第２絶縁層１２に収容されている。複数の制御配線２６の組成は、第１配線２１の組成と同一である。複数の制御配線２６の各々は、複数の第３接続配線３９Ｃのいずれかを介してＩＣ３３の複数のパッド３３１のいずれかに導通している。

[0033] 第１配線２１は、図１２に示すように、第１絶縁層１１と第２絶縁層１２との間に位置する。第１配線２１の少なくとも一部は、第２絶縁層１２に収容されている。第１配線２１の組成は、少なくとも銅（Ｃｕ）を含む。第１配線２１は、複数の第１接続配線３９Ａのいずれかを介して第１半導体素子３１の２つの第１電極３１１のいずれかに導通している。さらに第１配線２１は、複数の第３接続配線３９Ｃのいずれかを介してＩＣ３３の複数のパッド３３１のいずれかに導通している。第１配線２１においては、ＩＣ３３の複数のパッド３３１のいずれかから第１半導体素子３１の２つの第１電極３

１１のいずれかに向けて電流Ｉ１が流れる。

[0034] 第２配線２２は、図１２に示すように、第１絶縁層１１を基準として第２絶縁層１２とは反対側に位置する。第２配線２２の少なくとも一部は、第１絶縁層１１に収容されている。第２配線２２の組成は、第１配線２１の組成と同一である。第２配線２２は、後述する第１端子５１Ａと、第１電力配線２５Ａとを介して第１半導体素子３１の複数の第２電極３１２に導通している。さらに第２配線２２は、複数の制御配線２６のいずれかを介してＩＣ３３の複数のパッド３３１のいずれかに導通している。第２配線２２においては、第１半導体素子３１の複数の第２電極３１２からＩＣ３３の複数のパッド３３１のいずれかに向けて電流Ｉ２が流れる。したがって、電流Ｉ２の向きは、第１配線２１に流れる電流Ｉ１の向きとは逆である。

[0035] 図１１に示すように、第１方向ｚに視て、第１配線２１は、第２配線２２に重なっている。図１１および図１２に示すように、第１方向ｚにおける第１配線２１と第２配線２２との間隔Ｄは、第１方向ｚと、第１配線２１において電流Ｉ１が流れる方向とに対して直交する方向における第１配線２１の第１寸法Ｂ１よりも短い。さらに図１１に示すように、第１方向ｚと、第２配線２２において電流Ｉ２が流れる方向とに対して直交する方向における第２配線２２の第２寸法Ｂ２よりも、第１寸法Ｂ１の方が小さい。

[0036] 第３配線２３は、図１２に示すように、第１絶縁層１１と第２絶縁層１２との間に位置する。第３配線２３の少なくとも一部は、第２絶縁層１２に収容されている。第３配線２３の組成は、第１配線２１の組成と同一である。第３配線２３は、複数の第２接続配線３９Ｂのいずれかを介して第２半導体素子３２の２つの第４電極３２１のいずれかに導通している。さらに第３配線２３は、複数の第３接続配線３９Ｃのいずれかを介してＩＣ３３の複数のパッド３３１のいずれかに導通している。第３配線２３においては、ＩＣ３３の複数のパッド３３１のいずれかから第２半導体素子３２の２つの第４電極３２１のいずれかに向けて電流が流れる。

[0037] 第４配線２４は、図１２に示すように、第１絶縁層１１を基準として第２

絶縁層１２とは反対側に位置する。第４配線２４の少なくとも一部は、第１絶縁層１１に収容されている。第４配線２４の組成は、第１配線２１の組成と同一である。第４配線２４は、後述する第２端子５１Ｂと、第２電力配線２５Ｂとを介して第２半導体素子３２の複数の第５電極３２２に導通している。さらに第４配線２４は、複数の制御配線２６のいずれかを介してＩＣ３３の複数のパッド３３１のいずれかに導通している。第４配線２４においては、第２半導体素子３２の複数の第５電極３２２からＩＣ３３の複数のパッド３３１のいずれかに向けて電流が流れる。したがって、第４配線２４に流れる電流の向きは、第３配線２３に流れる電流の向きとは逆である。第１方向ｚに視て、第３配線２３は、第４配線２４に重なっている。

[0038] 図１１に示すように、第１配線２１の導通経路長Ｌ１は、第３配線２３の導通経路長Ｌ２よりも長い。導通経路長Ｌ１は、ＩＣ３３の複数のパッド３３１のいずれかから第１半導体素子３１の２つの第１電極３１１のいずれかに至る導電経路のうち、第１配線２１における最短経路の長さである。導通経路長Ｌ２は、ＩＣ３３の複数のパッド３３１のいずれかから第２半導体素子３２の２つの第２電極３１２のいずれかに至る導電経路のうち、第２配線２２における最短経路の長さである。

[0039] 複数の連絡配線２９は、図６～図１０に示すように、第１絶縁層１１に収容されている。複数の連絡配線２９の各々は、第１配線２１、第２配線２２、複数の電力配線２５、および複数の制御配線２６のいずれかと、第２配線２２、第４配線２４、および複数の端子５１とのいずれかとにつながっている。図５に示すように、第１方向ｚに視て、複数の連絡配線２９は、第１絶縁層１１の底面１１１の周縁に囲まれている。複数の連絡配線２９の組成は、第１配線２１の組成と同一である。

[0040] 図４および図５に示すように、複数の連絡配線２９は、複数の第１連絡配線２９Ａ、複数の第２連絡配線２９Ｂ、複数の第３連絡配線２９Ｃ、および複数の第４連絡配線２９Ｄを含む。

[0041] 図６および図７に示すように、複数の第１連絡配線２９Ａは、第１電力配

線２５Ａと後述する第１端子５１Ａとにつながっている。複数の第２連絡配線２９Ｂは。第２電力配線２５Ｂと後述する第２端子５１Ｂとにつながっている。複数の第３連絡配線２９Ｃは、第３電力配線２５Ｃと後述する第３端子５１Ｃとにつながっている。図８～図１０に示すように、複数の第４連絡配線２９Ｄの各々は、第１配線２１、第３配線２３、および複数の制御配線２６の各々のいずれかと、第２配線２２、第４配線２４、および後述する複数の制御端子５１Ｄの各々のいずれかとにつながっている。

[0042] 複数の端子５１は、図６～図１０に示すように、第１絶縁層１１を基準として第２絶縁層１２とは反対側に位置する。図５に示すように、複数の端子５１の各々は、複数の連絡配線２９のいずれかにつながっている。これにより、複数の端子５１の各々は、第１半導体素子３１、第２半導体素子３２およびＩＣ３３の少なくともいずれかに導通している。複数の端子５１は、第１絶縁層１１に接している。半導体装置Ａ１０においては、複数の端子５１の各々の少なくとも一部は、第１絶縁層１１に収容されている。複数の端子５１の組成は、第１配線２１の組成と同一である。

[0043] 図５に示すように、複数の端子５１は、第３端子５１Ｃ、第２端子５１Ｂ、第３端子５１Ｃ、および複数の制御端子５１Ｄを含む。

[0044] 図４および図５に示すように、第１端子５１Ａは、複数の第１連絡配線２９Ａを介して第１電力配線２５Ａに導通している。第２配線２２は、第１端子５１Ａにつながっている。第３端子５１Ｃは、複数の第３連絡配線２９Ｃを介して第２電力配線２５Ｂに導通している。第１端子５１Ａおよび第３端子５１Ｃには、第１半導体素子３１および第２半導体素子３２が変換する対象である直流電力が入力される。第１端子５１Ａは、負極（Ｎ端子）である。第３端子５１Ｃは、正極（Ｐ端子）である。

[0045] 図４および図５に示すように、第２端子５１Ｂは、複数の第２連絡配線２９Ｂを介して第２電力配線２５Ｂに導通している。第２端子５１Ｂから、第１半導体素子３１および第２半導体素子３２により変換された交流電力が出力される。第４配線２４は、第２端子５１Ｂにつながっている。

[0046] 複数の制御端子５１Ｄの各々は、複数の第４連絡配線２９Ｄのいずれかを介して、第１配線２１、第３配線２３、および複数の制御配線２６のいずれかに導通している。したがって、複数の制御端子５１Ｄの各々は、ＩＣ３３に導通している。複数の制御端子５１Ｄのいずれかには、ＩＣ３３を駆動するための電力が入力される。複数の制御端子５１Ｄのいずれかには、ＩＣ３３への電気信号が入力される。さらに複数の制御端子５１Ｄのいずれかから、ＩＣ３３からの電気信号が出力される。

[0047] 被覆層５２は、図６～図１０に示すように、第１絶縁層１１を基準として第２絶縁層１２とは反対側に位置する。被覆層５２は、第１絶縁層１１の一部として底面１１１を覆っている。被覆層５２は、絶縁体である。被覆層５２は、たとえばソルダーレジストである。第２配線２２および第４配線２４は、被覆層５２に覆われている。被覆層５２には、複数の開口５２１が設けられている。複数の開口５２１は、被覆層５２を第１方向ｚに貫通している。複数の開口５２１の各々から、複数の端子５１のいずれかが外部に露出している。これにより、半導体装置Ａ１０を配線基板に実装する際、ハンダを介して複数の端子５１の各々を当該配線基板に導電接合させることができる。

[0048] 複数の放熱層６１は、図６、図７、図９および図１０に示すように、第３絶縁層１３を基準として第２絶縁層１２とは反対側に位置する。半導体装置Ａ１０においては、複数の放熱層６１の各々の少なくとも一部は、第４絶縁層１４に収容されている。複数の放熱層６１は、第４絶縁層１４に接している。複数の放熱層６１は、第４絶縁層１４の頂面１４１から外部に露出している。複数の放熱層６１の組成は、第１配線２１の組成と同一である。

[0049] 図１に示すように、複数の放熱層６１は、第１放熱層６１Ａおよび第２放熱層６１Ｂを含む。第１放熱層６１Ａおよび第２放熱層６１Ｂは、第２方向ｘにおいて互いに離れている。第１方向ｚに視て、第１放熱層６１Ａは、第１半導体素子３１に重なっている。第１方向ｚに視て、第２放熱層６１Ｂは、第２半導体素子３２に重なっている。

[0050] 複数の中間層６２は、図６～図１０に示すように、第３絶縁層１３を基準として第２絶縁層１２とは反対側に位置するとともに、第３絶縁層１３と複数の放熱層６１との間に位置する。複数の中間層６２の各々の少なくとも一部は、第３絶縁層１３に収容されている。複数の中間層６２は、第４絶縁層１４に接している。したがって、第４絶縁層１４は、複数の中間層６２と複数の放熱層６１との間に位置する。複数の中間層６２の組成は、第１配線２１の組成と同一である。

[0051] 図２に示すように、複数の中間層６２は、第１中間層６２Ａ、第２中間層６２Ｂおよび第３中間層６２Ｃを含む。第１中間層６２Ａおよび第２中間層６２Ｂは、第２方向ｘにおいて互いに離れている。第１方向ｚに視て、第１中間層６２Ａは、第１半導体素子３１および第１放熱層６１Ａに重なっている。第１中間層６２Ａは、第１半導体素子３１から離れている。第１方向ｚに視て、第２中間層６２Ｂは、第２半導体素子３２および第２放熱層６１Ｂに重なっている。第２中間層６２Ｂは、第２半導体素子３２から離れている。第３中間層６２Ｃは、第２方向ｘにおいて第１中間層６２Ａと第２中間層６２Ｂとの間に位置する。第１方向ｚに視て、第３中間層６２Ｃは、ＩＣ３３に重なっている。第３中間層６２Ｃは、ＩＣ３３から離れている。

[0052] 複数の第１ビア４１は、図６に示すように、第４絶縁層１４に収容されている。複数の第１ビア４１は、第１放熱層６１Ａと第１中間層６２Ａとにつながっている。これにより、第１中間層６２Ａは、第１放熱層６１Ａに導通している。複数の第１ビア４１の組成は、第１配線２１の組成と同一である。

[0053] 複数の第２ビア４２は、図６および図１０に示すように、第４絶縁層１４に収容されている。複数の第２ビア４２は、第２放熱層６１Ｂと第２中間層６２Ｂとにつながっている。これにより、第２中間層６２Ｂは、第２放熱層６１Ｂに導通している。複数の第２ビア４２の組成は、第１配線２１の組成と同一である。

[0054] 複数の第３ビア４３は、図６および図７に示すように、第２絶縁層１２お

よび第３絶縁層１３に収容されている。複数の第３ビア４３は、第１中間層６２Ａと第１電力配線２５Ａとにつながっている。これにより、第１中間層６２Ａは、第１電力配線２５Ａに導通している。複数の第３ビア４３の組成は、第１配線２１の組成と同一である。

[0055] 複数の第４ビア４４は、図６および図７に示すように、第２絶縁層１２および第３絶縁層１３に収容されている。複数の第４ビア４４は、第２中間層６２Ｂと第２電力配線２５Ｂとにつながっている。これにより、第２中間層６２Ｂは、第２電力配線２５Ｂに導通している。複数の第４ビア４４の組成は、第１配線２１の組成と同一である。

[0056] 複数の第５ビア４５は、図８に示すように、第２絶縁層１２および第３絶縁層１３に収容されている。複数の第５ビア４５は、第２中間層６２Ｂと、複数の制御配線２６のいずれかとに導通している。

[0057] 次に、半導体装置Ａ１０の作用効果について説明する。

[0058] 半導体装置Ａ１０は、第１半導体素子３１の第１電極３１１に導通する第１配線２１と、第１半導体素子３１の第２電極３１２に導通する第２配線２２とを備える。第２配線２２に流れる電流Ｉ２の向きは、第１配線２１に流れる電流Ｉ１の向きとは逆である。第１方向ｚに視て、第１配線２１は、第２配線２２に重なっている。第１方向ｚにおける第１配線２１と第２配線２２との間隔Ｄは、第１配線２１の第１寸法Ｂ１（第１方向ｚと第１配線２１において電流Ｉ１が流れる方向に対して直交する方向における寸法）よりも短い。本構成をとることにより、第２配線２２の導通に伴い、第１配線２１には逆起電力が発生する。すなわち、半導体装置Ａ１０においては、第１配線２１および第２配線２２には、相互インダクタンスが作用しやすいものとなる。これにより、第１配線２１における寄生インダクタンスを低減されるため、第１配線２１における電流の流れがより円滑になる。したがって、本構成によれば、半導体装置Ａ１０の配線における寄生インダクタンスの低減を図ることが可能となる。

[0059] 半導体装置Ａ１０においては、第１半導体素子３１の第１電極３１１は、

第１半導体素子３１を駆動するためのゲート電圧が印加される。したがって、第１配線２１における寄生インダクタンスが低減されることにより、第１半導体素子３１のスイッチング損失を抑制することができる。

[0060] 第１配線２１の第１寸法Ｂ１は、第２配線２２の第２寸法Ｂ２（第１方向ｚと第２配線２２において電流Ｉ２が流れる方向に対して直交する方向における寸法）よりも短い。本構成をとることにより、第１方向ｚに視て、第２配線２２に重なる第１配線２１の面積がより増加する。これにより、第１配線２１および第２配線２２に作用する相互インダクタンスに伴って第１配線２１に発生する逆起電力がより大きくなる。したがって、第１配線２１における寄生インダクタンスをより効果的に低減することができる。

[0061] 半導体装置Ａ１０は、第１方向ｚにおいて第１配線２１と第２配線２２との間に位置する第１絶縁層１１をさらに備える。第１絶縁層１１は、樹脂を含む。第２配線２２の少なくとも一部は、第１絶縁層１１に収容されている。本構成をとることにより、第１配線２１と第２配線２２との電気絶縁を確保しつつ、第１方向ｚにおける第１配線２１と第２配線２２との間隔Ｄをより短くすることができる。これにより、第１配線２１および第２配線２２に作用する相互インダクタンスがより大きなものとなるため、第１配線２１における寄生インダクタンスをさらに低減することが可能となる。

[0062] 半導体装置Ａ１０は、第１方向ｚにおいて第１半導体素子３１と第１絶縁層１１との間に位置する第２絶縁層１２と、第２絶縁層１２を基準として第１絶縁層１１とは反対側に位置する第３絶縁層１３とをさらに備える。第１半導体素子３１の少なくとも一部は、第３絶縁層１３に覆われている。第１配線２１は、第１絶縁層１１と第２絶縁層１２との間に位置する。本構成をとることにより、第１半導体素子３１と第１絶縁層１１との間に第１配線２１を配置しつつ、第１半導体素子３１の絶縁耐圧の低下を抑制できる。

[0063] 半導体装置Ａ１０は、第３絶縁層１３を基準として第２絶縁層１２とは反対側に位置する放熱層６１とをさらに備える。放熱層６１は、外部に露出している。第１方向ｚに視て、放熱層６１は、第１半導体素子３１に重なって

いる。本構成をとることにより、第１半導体素子３１から発生した熱を効率よく外部に放出することができる。

[0064] 半導体装置Ａ１０は、第３絶縁層１３を基準として第２絶縁層１２とは反対側に位置し、かつ第３絶縁層１３と放熱層６１との間に位置する中間層６２をさらに備える。中間層６２は、第３絶縁層１３に接し、かつ第１半導体素子３１から離れている。中間層６２は、第１半導体素子３１が導通する複数の電力配線２５のいずれかと、放熱層６１とに導通している。本構成をとることにより、第１半導体素子３１から発生した熱が複数の電力配線２５のいずれかを介して中間層６２に伝導される。この場合において、第１方向ｚに視てえ、中間層６２は、第１半導体素子３１および放熱層６１に重なっている。したがって、第１半導体素子３１から発生した熱を、より円滑に放熱層６１伝導させることができる。さらに中間層６２は、第１半導体素子３１から発生するノイズや、外部から半導体装置Ａ１０に侵入するノイズを低減する効果がある。

[0065] 第２実施形態：

図１３～図１５に基づき、本開示の第２実施形態にかかる半導体装置Ａ２０について説明する。これらの図において、先述した半導体装置Ａ１０と同一または類似の要素には同一の符号を付して、重複する説明を省略する。ここで、図１３の断面位置は、半導体装置Ａ１０を示す図６の断面位置と同一（あるいは略同一）である。図１４の断面位置は、半導体装置Ａ１０を示す図９の断面位置と同一（あるいは略同一）である。図１５の断面位置は、半導体装置Ａ１０を示す図１２の断面位置と同一（あるいは略同一）である。

[0066] 半導体装置Ａ２０においては、第１絶縁層１１の構成が、半導体装置Ａ１０の当該構成と異なる。

[0067] 図１３～図１５に示すように、第２配線２２、第４配線２４、および複数の端子５１は、第１絶縁層１１の底面１１１を基準として複数の連絡配線２９とは反対側に位置する。したがって、第２配線２２、第４配線２４、および複数の端子５１は、第１絶縁層１１には収容されず、かつ底面１１１に接

している。半導体装置Ａ２０においては、第１絶縁層１１は、ケイ素化合物を含む。当該ケイ素化合物は、二酸化ケイ素（SiO_2）または窒化ケイ素（Si_3N_4）のいずれかである。第１絶縁層１１は、比較的低温条件下でのプラズマＣＶＤ（Chemical Vapor Deposition）により形成される。

[0068] 図１５に示すように、第１絶縁層１１の第１方向ｚにおける寸法は、半導体装置Ａ１０における当該寸法よりも小さい。したがって、第１方向ｚにおける第１配線２１と第２配線２２と間隔Ｄは、半導体装置Ａ１０における間隔Ｄよりもさらに短い。

[0069] 次に、半導体装置Ａ２０の作用効果について説明する。

[0070] 半導体装置Ａ２０は、第１半導体素子３１の第１電極３１１に導通する第１配線２１と、第１半導体素子３１の第２電極３１２に導通する第２配線２２とを備える。第２配線２２に流れる電流Ｉ２の向きは、第１配線２１に流れる電流Ｉ１の向きとは逆である。第１方向ｚに視て、第１配線２１は、第２配線２２に重なっている。第１方向ｚにおける第１配線２１と第２配線２２との間隔Ｄは、第１配線２１の第１寸法Ｂ１（第１方向ｚと第１配線２１において電流Ｉ１が流れる方向に対して直交する方向における寸法）よりも短い。したがって、本構成によれば、半導体装置Ａ２０においても、半導体装置Ａ２０の配線における寄生インダクタンスの低減を図ることが可能となる。さらに半導体装置Ａ２０においては、半導体装置Ａ１０と共通する構成を具備することにより、半導体装置Ａ１０と同等の作用効果を奏する。

[0071] 半導体装置Ａ２０においては、第１絶縁層１１は、ケイ素化合物を含む。本構成をとることにより、第１方向ｚにおける第１配線２１と第２配線２２との間隔Ｄをより短く設定することができる。これにより、第１配線２１および第２配線２２に作用する相互インダクタンスがより大きなものとなるため、第１配線２１における寄生インダクタンスをさらに低減することが可能となる。

[0072] 第３実施形態：

図１６～図１９に基づき、本開示の第３実施形態にかかる半導体装置Ａ３

０について説明する。これらの図において、先述した半導体装置Ａ１０と同一または類似の要素には同一の符号を付して、重複する説明を省略する。

[0073] 半導体装置Ａ３０においては、中間層６２の構成と、第４絶縁層１４、複数の中間層６２、複数の第１ビア４１、複数の第２ビア４２、複数の第３ビア４３、複数の第４ビア４４、および複数の第５ビア４５を具備しないこととが、半導体装置Ａ１０の場合と異なる。

[0074] 図１６～図１９に示すように、第３絶縁層１３は、第１方向ｚにおいて第１絶縁層１１の底面１１１とは反対側を向く頂面１３１を有する。複数の放熱層６１の各々の少なくとも一部は、第３絶縁層１３に収容されている。複数の放熱層６１は、頂面１３１から外部に露出している。複数の放熱層６１の各々は、複数の電力配線２５、および複数の制御配線２６のいずれに対しても電気絶縁されている。

[0075] 次に、半導体装置Ａ３０の作用効果について説明する。

[0076] 半導体装置Ａ３０は、第１半導体素子３１の第１電極３１１に導通する第１配線２１と、第１半導体素子３１の第２電極３１２に導通する第２配線２２とを備える。第２配線２２に流れる電流Ｉ２の向きは、第１配線２１に流れる電流Ｉ１の向きとは逆である。第１方向ｚに視て、第１配線２１は、第２配線２２に重なっている。第１方向ｚにおける第１配線２１と第２配線２２との間隔Ｄは、第１配線２１の第１寸法Ｂ１（第１方向ｚと第１配線２１において電流Ｉ１が流れる方向に対して直交する方向における寸法）よりも短い。したがって、本構成によれば、半導体装置Ａ３０においても、半導体装置Ａ３０の配線における寄生インダクタンスの低減を図ることが可能となる。さらに半導体装置Ａ３０においては、半導体装置Ａ１０と共通する構成を具備することにより、半導体装置Ａ１０と同等の作用効果を奏する。

[0077] 半導体装置Ａ３０においては、半導体装置Ａ１０の場合に対して第４絶縁層１４および中間層６２を具備しない。放熱層６１の少なくとも一部は、第３絶縁層１３に収容されている。放熱層６１は、第３絶縁層１３に接し、かつ第３絶縁層１３から外部に露出している。本構成をとることにより、半導

体装置Ａ３０の放熱性能の低下を抑制しつつ、半導体装置Ａ３０の第１方向ｚにおける寸法を縮小することができる。

[0078] 第４実施形態：

図２０～図２３に基づき、本開示の第４実施形態にかかる半導体装置Ａ４０について説明する。これらの図において、先述した半導体装置Ａ１０と同一または類似の要素には同一の符号を付して、重複する説明を省略する。

[0079] 半導体装置Ａ４０においては、第３絶縁層１３の構成と、複数の放熱層６１を具備しないこととが、先述した半導体装置Ａ３０の場合と異なる。

[0080] 図２０～図２３に示すように、第１半導体素子３１の第１主面３１Ａと、第２半導体素子３２の第２主面３２Ａとは、第３絶縁層１３の頂面１３１から外部に露出している。第１主面３１Ａおよび第２主面３２Ａの各々は、頂面１３１と面一である。したがって、第３絶縁層１３の第１方向ｚのおける寸法は、半導体装置Ａ３０の当該寸法よりも小さい。

[0081] 次に、半導体装置Ａ４０の作用効果について説明する。

[0082] 半導体装置Ａ４０は、第１半導体素子３１の第１電極３１１に導通する第１配線２１と、第１半導体素子３１の第２電極３１２に導通する第２配線２２とを備える。第２配線２２に流れる電流Ｉ２の向きは、第１配線２１に流れる電流Ｉ１の向きとは逆である。第１方向ｚに視て、第１配線２１は、第２配線２２に重なっている。第１方向ｚにおける第１配線２１と第２配線２２との間隔Ｄは、第１配線２１の第１寸法Ｂ１（第１方向ｚと第１配線２１において電流Ｉ１が流れる方向に対して直交する方向における寸法）よりも短い。したがって、本構成によれば、半導体装置Ａ４０においても、半導体装置Ａ４０の配線における寄生インダクタンスの低減を図ることが可能となる。さらに半導体装置Ａ４０においては、半導体装置Ａ１０と共通する構成を具備することにより、半導体装置Ａ１０と同等の作用効果を奏する。

[0083] 半導体装置Ａ４０においては、半導体装置Ａ３０の場合に対して放熱層６１を具備しない。第１半導体素子３１の第１主面３１Ａは、第３絶縁層１３から外部に露出している。さらに第１主面３１Ａは、第３絶縁層１３と面一

である。本構成をとることにより、半導体装置Ａ４０の放熱性能の低下を抑制しつつ、半導体装置Ａ４０の第１方向ｚにおける寸法をさらに縮小することができる。

[0084] 本開示は、先述した実施形態に限定されるものではない。本開示の各部の具体的な構成は、種々に設計変更自在である。

[0085] 本開示は、以下の付記に記載した実施形態を含む。

付記１：

第１電極および第２電極を有する第１半導体素子と、

前記第１電極に導通する第１配線と、

前記第２電極に導通する第２配線と、を備え、

前記第２配線に流れる電流の向きは、前記第１配線に流れる電流の向きとは逆であり、

第１方向に視て、前記第１配線は、前記第２配線に重なっており、

前記第１方向における前記第１配線と前記第２配線との間隔は、前記第１方向と、前記第１配線において電流が流れる方向と、に対して直交する方向における前記第１配線の第１寸法よりも短い、半導体装置。

付記２：

前記第１方向と、前記第２配線において電流が流れる方向と、に対して直交する方向における前記第２配線の第２寸法よりも、前記第１寸法の方が小さい、付記１に記載の半導体装置。

付記３：

前記第１方向において前記第１配線と前記第２配線との間に位置する第１絶縁層をさらに備える、付記２に記載の半導体装置。

付記４：

前記第１絶縁層は、樹脂を含み、

前記第２配線の少なくとも一部は、前記第１絶縁層に収容されている、付記３に記載の半導体装置。

付記５：

前記第１絶縁層は、ケイ素化合物を含む、付記３に記載の半導体装置。

付記６：

前記第１方向において前記第１半導体素子と前記第１絶縁層との間に位置する第２絶縁層をさらに備え、

前記第１配線は、前記第１絶縁層と前記第２絶縁層との間に位置しており、

前記第１電極および前記第２電極は、前記第２絶縁層に対向している、付記４または５に記載の半導体装置。

付記７：

前記第２絶縁層は、樹脂を含み、

前記第１配線の少なくとも一部は、前記第２絶縁層に収容されている、付記６に記載の半導体装置。

付記８：

前記第１絶縁層と前記第２絶縁層との間に位置する複数の電力配線をさらに備え、

前記第１半導体素子は、前記第２絶縁層に対向する第３電極を有し、

前記第２電極および前記第３電極の各々は、前記複数の電力配線のいずれかに導通している、付記６または７に記載の半導体装置。

付記９：

前記第２絶縁層に対向する第４電極および第５電極を有する第２半導体素子と、

前記第１絶縁層と前記第２絶縁層との間に位置するとともに、前記第４電極に導通する第３配線をさらに備え、

前記第５電極は、前記複数の電力配線のいずれかに導通しており、

前記第１配線の導通経路長は、前記第３配線の導通経路長よりも長い、付記８に記載の半導体装置。

付記１０：

前記第２配線は、前記複数の電力配線のいずれかを介して前記第２電極に

導通している、付記９に記載の半導体装置。

付記１１：

前記第２絶縁層を基準として前記第１絶縁層とは反対側に位置するＩＣをさらに備え、

前記第１配線、前記第２配線および前記第３配線は、前記ＩＣに導通している、付記１０に記載の半導体装置。

付記１２：

前記第１絶縁層を基準として前記第２絶縁層とは反対側に位置する複数の端子をさらに備え、

前記複数の端子の各々は、前記第１半導体素子、前記第２半導体素子および前記ＩＣの少なくともいずれかに導通しており、

前記複数の端子は、前記第１絶縁層に接している、付記１１に記載の半導体装置。

付記１３：

前記第１絶縁層を基準として前記第２絶縁層とは反対側に位置するとともに、前記第１絶縁層の一部を覆う被覆層をさらに備え、

前記被覆層は、絶縁体であり、

前記第２配線は、前記被覆層に覆われている、付記１２に記載の半導体装置。

付記１４：

前記第２絶縁層を基準として前記第１絶縁層とは反対側に位置する第３絶縁層をさらに備え、

前記第１半導体素子の少なくとも一部は、前記第３絶縁層に覆われている、付記８ないし１３のいずれかに記載の半導体装置。

付記１５：

前記第１半導体素子は、前記第１方向において前記第１電極および前記第２電極が位置する側とは反対側を向く主面を有し、

前記主面は、前記第３絶縁層から露出している、付記１４に記載の半導体

装置。

付記１６：

前記第３絶縁層を基準として前記第２絶縁層とは反対側に位置する放熱層をさらに備え、

前記第１方向に視て、前記放熱層は、前記第１半導体素子に重なっている、付記１４に記載の半導体装置。

付記１７：

前記第３絶縁層を基準として前記第２絶縁層とは反対側に位置し、かつ前記第３絶縁層と前記放熱層との間に位置する中間層をさらに備え、

前記中間層は、前記第３絶縁層に接し、かつ前記第１半導体素子から離れており、

前記第１方向に視て、前記中間層は、前記第１半導体素子および前記放熱層に重なっており、

前記中間層は、前記複数の電力配線のいずれかと、前記放熱層と、に導通している、付記１６に記載の半導体装置。

付記１８：

前記中間層と前記放熱層との間に位置する第４絶縁層をさらに備え、

前記中間層および前記放熱層は、前記第４絶縁層に接している、付記１７に記載の半導体装置。

符号の説明

[0086] Ａ１０，Ａ２０，Ａ３０，Ａ４０：半導体装置

１１：第１絶縁層　　１１１：底面

１２：第２絶縁層　　１３：第３絶縁層

１４：第４絶縁層　　１４１：頂面

２１：第１配線　　２２：第２配線

２３：第３配線　　２４：第４配線

２５：電力配線　　２５Ａ：第１電力配線

２５Ｂ：第２電力配線　　２５Ｃ：第３電力配線

２６：制御配線　　２９：連絡配線

２９Ａ：第１連絡配線　　２９Ｂ：第２連絡配線

２９Ｃ：第３連絡配線　　２９Ｄ：第４連絡配線

３１：第１半導体素子　　３１Ａ：第１主面

３１１：第１電極　　３１２：第２電極

３１３：第３電極　　３２：第２半導体素子

３２Ａ：第２主面　　３２１：第４電極

３２２：第５電極　　３２３：第６電極

３３：ＩＣ　　３３１：パッド

３９：接続配線　　３９Ａ：第１接続配線

３９Ｂ：第２接続配線　　３９Ｃ：第３接続配線

４１：第１ビア　　４２：第２ビア

４３：第３ビア　　４４：第４ビア

４５：第５ビア　　５１：端子

５１Ａ：第１端子　　５１Ｂ：第２端子

５１Ｃ：第３端子　　５１Ｄ：制御端子

５２：被覆層　　５２１：開口

６１：放熱層　　６１Ａ：第１放熱層

６１Ｂ：第２放熱層　　６２：中間層

６２Ａ：第１中間層　　６２Ｂ：第２中間層

６２Ｃ：第３中間層　　Ｂ１：第１寸法

Ｂ２：第２寸法　　Ｄ：間隔

ｚ：第１方向　　ｘ：第２方向

ｙ：第３方向

請求の範囲

[請求項1] 第１電極および第２電極を有する第１半導体素子と、

前記第１電極に導通する第１配線と、

前記第２電極に導通する第２配線と、を備え、

前記第２配線に流れる電流の向きは、前記第１配線に流れる電流の向きとは逆であり、

第１方向に視て、前記第１配線は、前記第２配線に重なっており、

前記第１方向における前記第１配線と前記第２配線との間隔は、前記第１方向と、前記第１配線において電流が流れる方向と、に対して直交する方向における前記第１配線の第１寸法よりも短い、半導体装置。

[請求項2] 前記第１方向と、前記第２配線において電流が流れる方向と、に対して直交する方向における前記第２配線の第２寸法よりも、前記第１寸法の方が小さい、請求項１に記載の半導体装置。

[請求項3] 前記第１方向において前記第１配線と前記第２配線との間に位置する第１絶縁層をさらに備える、請求項２に記載の半導体装置。

[請求項4] 前記第１絶縁層は、樹脂を含み、

前記第２配線の少なくとも一部は、前記第１絶縁層に収容されている、請求項３に記載の半導体装置。

[請求項5] 前記第１絶縁層は、ケイ素化合物を含む、請求項３に記載の半導体装置。

[請求項6] 前記第１方向において前記第１半導体素子と前記第１絶縁層との間に位置する第２絶縁層をさらに備え、

前記第１配線は、前記第１絶縁層と前記第２絶縁層との間に位置しており、

前記第１電極および前記第２電極は、前記第２絶縁層に対向している、請求項４または５に記載の半導体装置。

[請求項7] 前記第２絶縁層は、樹脂を含み、

前記第１配線の少なくとも一部は、前記第２絶縁層に収容されている、請求項６に記載の半導体装置。

[請求項8] 前記第１絶縁層と前記第２絶縁層との間に位置する複数の電力配線をさらに備え、

前記第１半導体素子は、前記第２絶縁層に対向する第３電極を有し、

前記第２電極および前記第３電極の各々は、前記複数の電力配線のいずれかに導通している、請求項６または７に記載の半導体装置。

[請求項9] 前記第２絶縁層に対向する第４電極および第５電極を有する第２半導体素子と、

前記第１絶縁層と前記第２絶縁層との間に位置するとともに、前記第４電極に導通する第３配線をさらに備え、

前記第５電極は、前記複数の電力配線のいずれかに導通しており、

前記第１配線の導通経路長は、前記第３配線の導通経路長よりも長い、請求項８に記載の半導体装置。

[請求項10] 前記第２配線は、前記複数の電力配線のいずれかを介して前記第２電極に導通している、請求項９に記載の半導体装置。

[請求項11] 前記第２絶縁層を基準として前記第１絶縁層とは反対側に位置するＩＣをさらに備え、

前記第１配線、前記第２配線および前記第３配線は、前記ＩＣに導通している、請求項１０に記載の半導体装置。

[請求項12] 前記第１絶縁層を基準として前記第２絶縁層とは反対側に位置する複数の端子をさらに備え、

前記複数の端子の各々は、前記第１半導体素子、前記第２半導体素子および前記ＩＣの少なくともいずれかに導通しており、

前記複数の端子は、前記第１絶縁層に接している、請求項１１に記載の半導体装置。

[請求項13] 前記第１絶縁層を基準として前記第２絶縁層とは反対側に位置する

とともに、前記第１絶縁層の一部を覆う被覆層をさらに備え、

前記被覆層は、絶縁体であり、

前記第２配線は、前記被覆層に覆われている、請求項１２に記載の半導体装置。

[請求項14] 前記第２絶縁層を基準として前記第１絶縁層とは反対側に位置する第３絶縁層をさらに備え、

前記第１半導体素子の少なくとも一部は、前記第３絶縁層に覆われている、請求項８ないし１３のいずれかに記載の半導体装置。

[請求項15] 前記第１半導体素子は、前記第１方向において前記第１電極および前記第２電極が位置する側とは反対側を向く主面を有し、

前記主面は、前記第３絶縁層から露出している、請求項１４に記載の半導体装置。

[請求項16] 前記第３絶縁層を基準として前記第２絶縁層とは反対側に位置する放熱層をさらに備え、

前記第１方向に視て、前記放熱層は、前記第１半導体素子に重なっている、請求項１４に記載の半導体装置。

[請求項17] 前記第３絶縁層を基準として前記第２絶縁層とは反対側に位置し、かつ前記第３絶縁層と前記放熱層との間に位置する中間層をさらに備え、

前記中間層は、前記第３絶縁層に接し、かつ前記第１半導体素子から離れており、

前記第１方向に視て、前記中間層は、前記第１半導体素子および前記放熱層に重なっており、

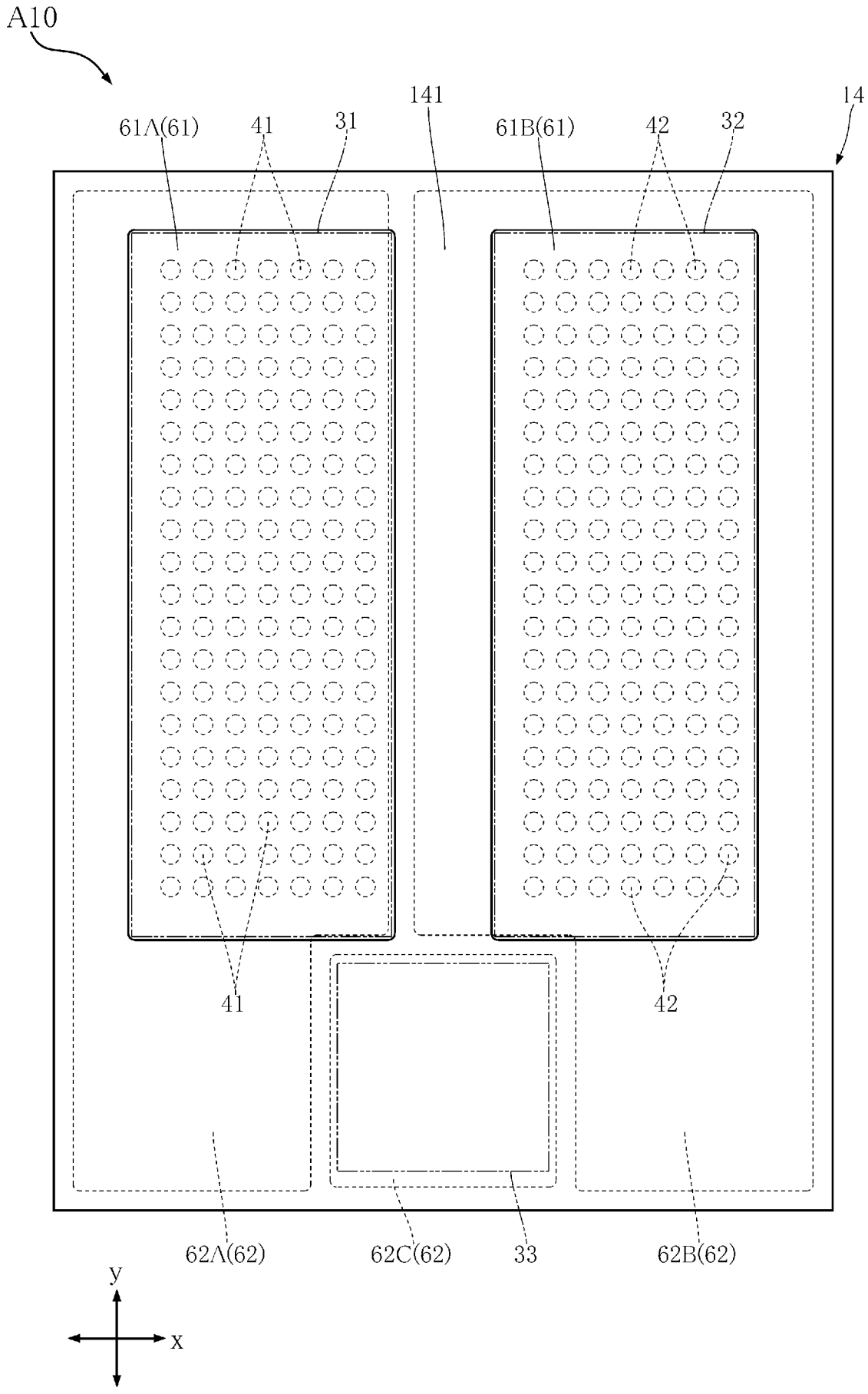
前記中間層は、前記複数の電力配線のいずれかと、前記放熱層と、に導通している、請求項１６に記載の半導体装置。

[請求項18] 前記中間層と前記放熱層との間に位置する第４絶縁層をさらに備え、

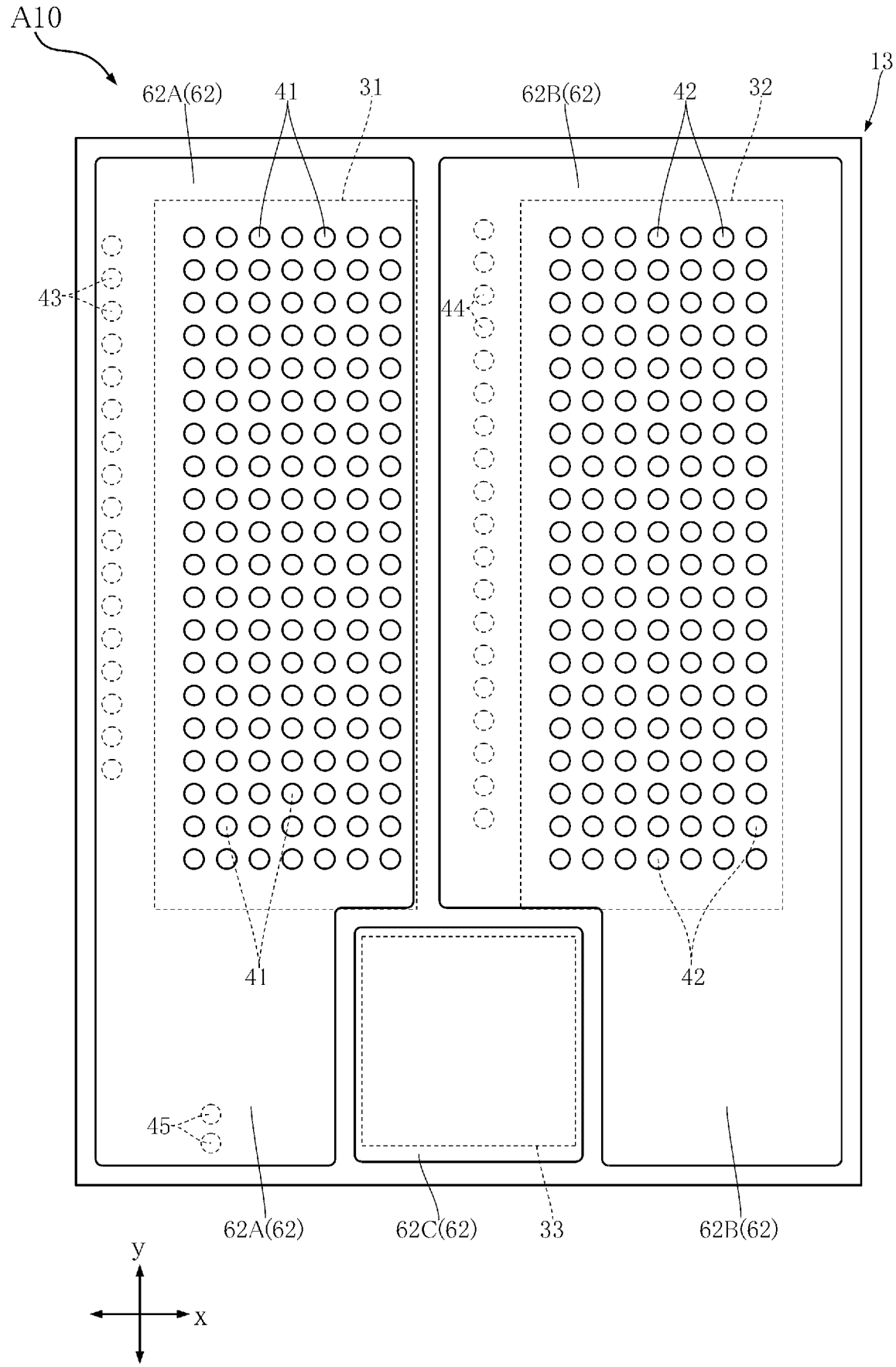
前記中間層および前記放熱層は、前記第４絶縁層に接している、請

求項１７に記載の半導体装置。

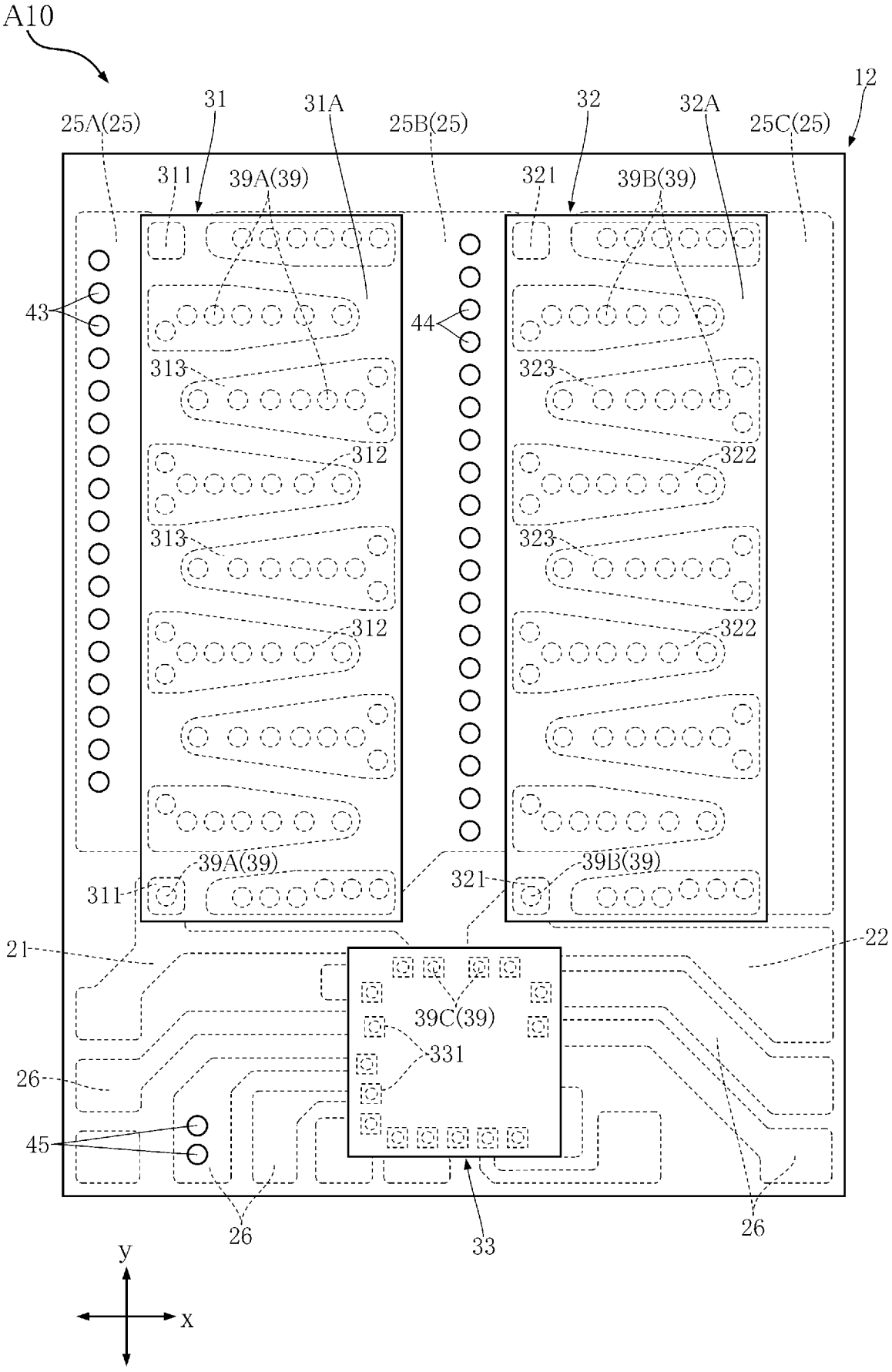
[図1]
FIG.1



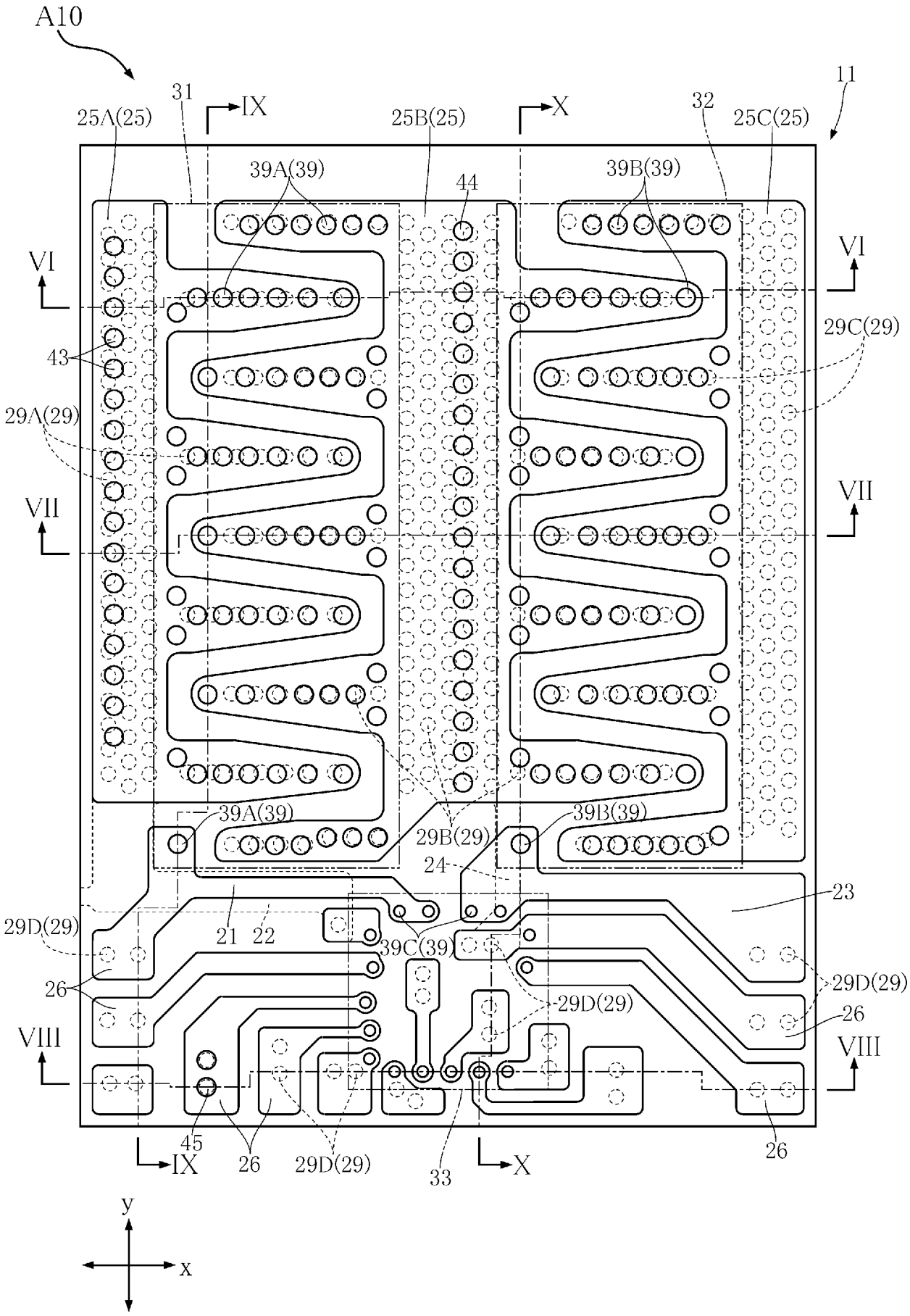
[図2]
FIG.2


A10
13
62A(62)
41
31
62B(62)
42
32
43
44
41
42
45
62A(62)
62C(62)
33
62B(62)
y
x

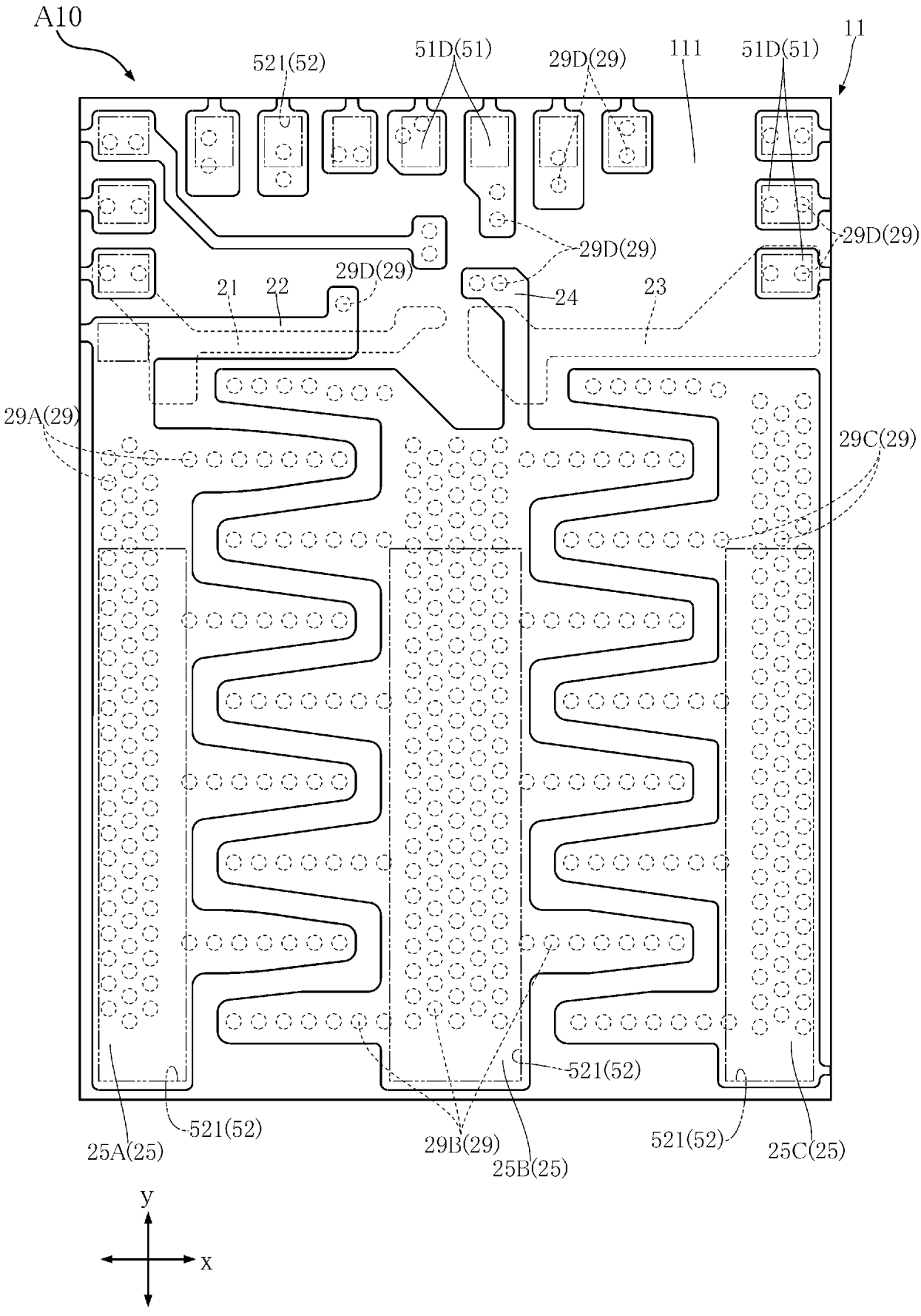
[図3]
FIG.3


A10
12
31
31A
32
32A
25A(25)
25B(25)
25C(25)
311
39A(39)
321
39B(39)
43
44
313
312
323
322
39A(39)
39B(39)
311
321
21
22
39C(39)
331
26
45
26
33
26
y
x

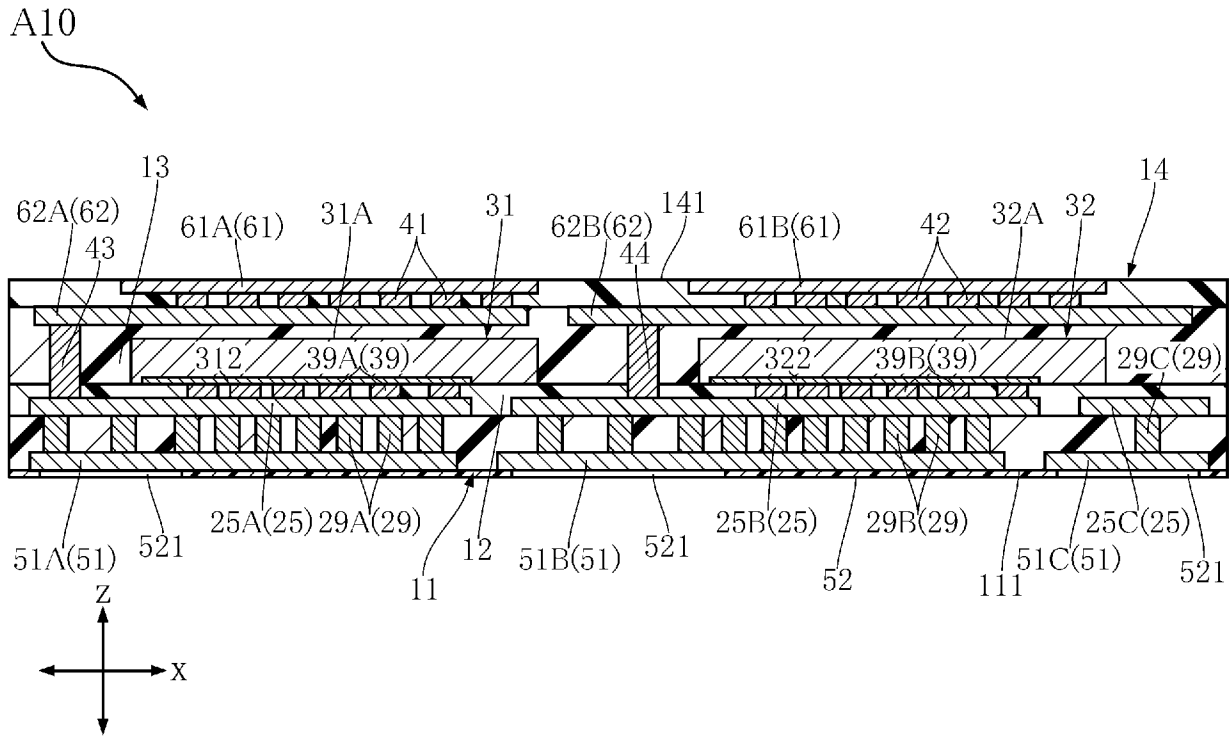
[図4]
FIG.4


A10
11
31
IX
25A(25)
25B(25)
X
32
25C(25)
39A(39)
44
39B(39)
VI
VI
43
29C(29)
29A(29)
VII
VII
39A(39)
29B(29)
39B(39)
24
23
29D(29)
21
22
39C(39)
26
29D(29)
29D(29)
26
VIII
VIII
45
IX
26
29D(29)
33
X
26
y
x

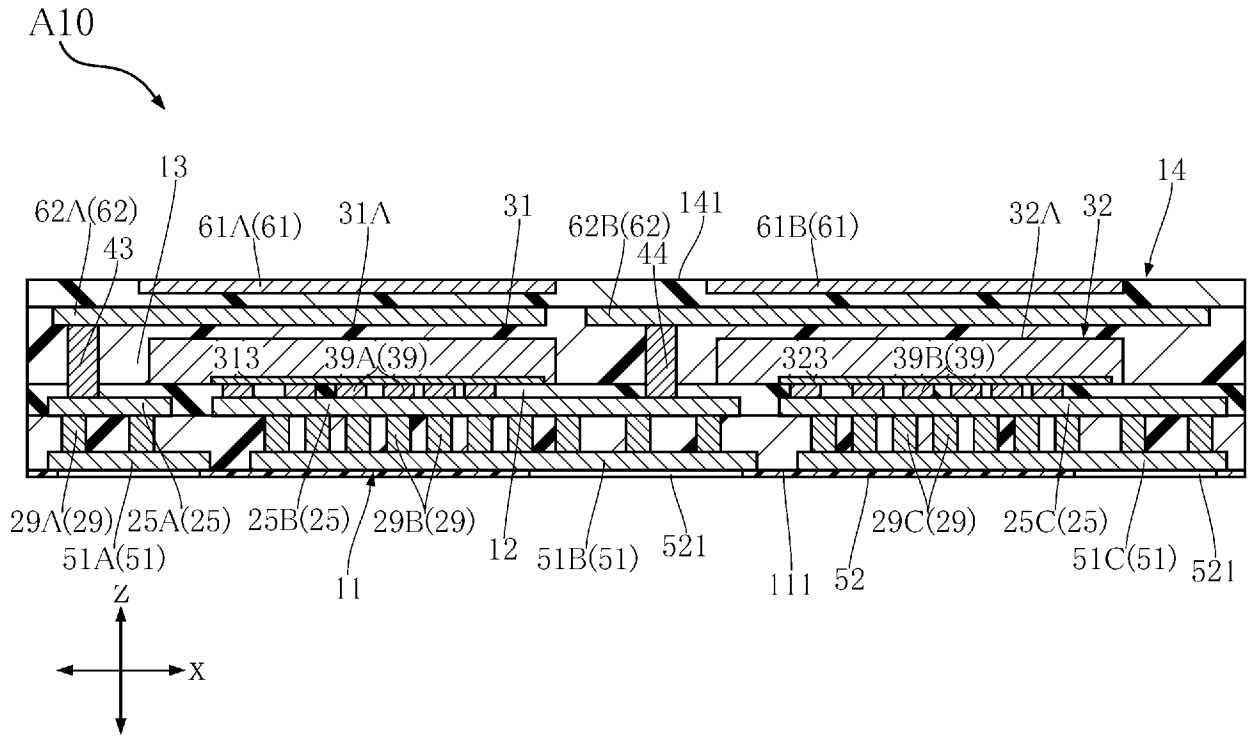
[図5]
FIG.5


A10
11
521(52)
51D(51)
29D(29)
111
51D(51)
29D(29)
29D(29)
29D(29)
21
22
24
23
29A(29)
29C(29)
521(52)
521(52)
25A(25)
29B(29)
25B(25)
521(52)
25C(25)
y
x

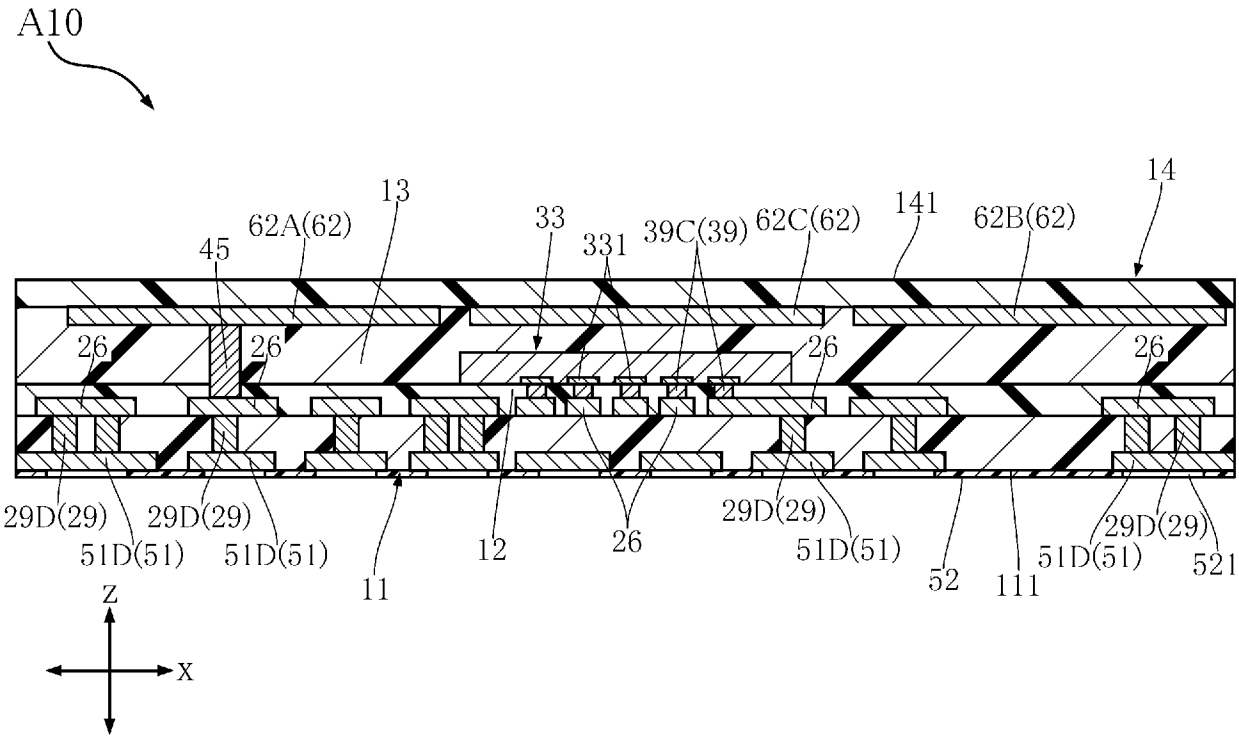
[図6]
FIG.6



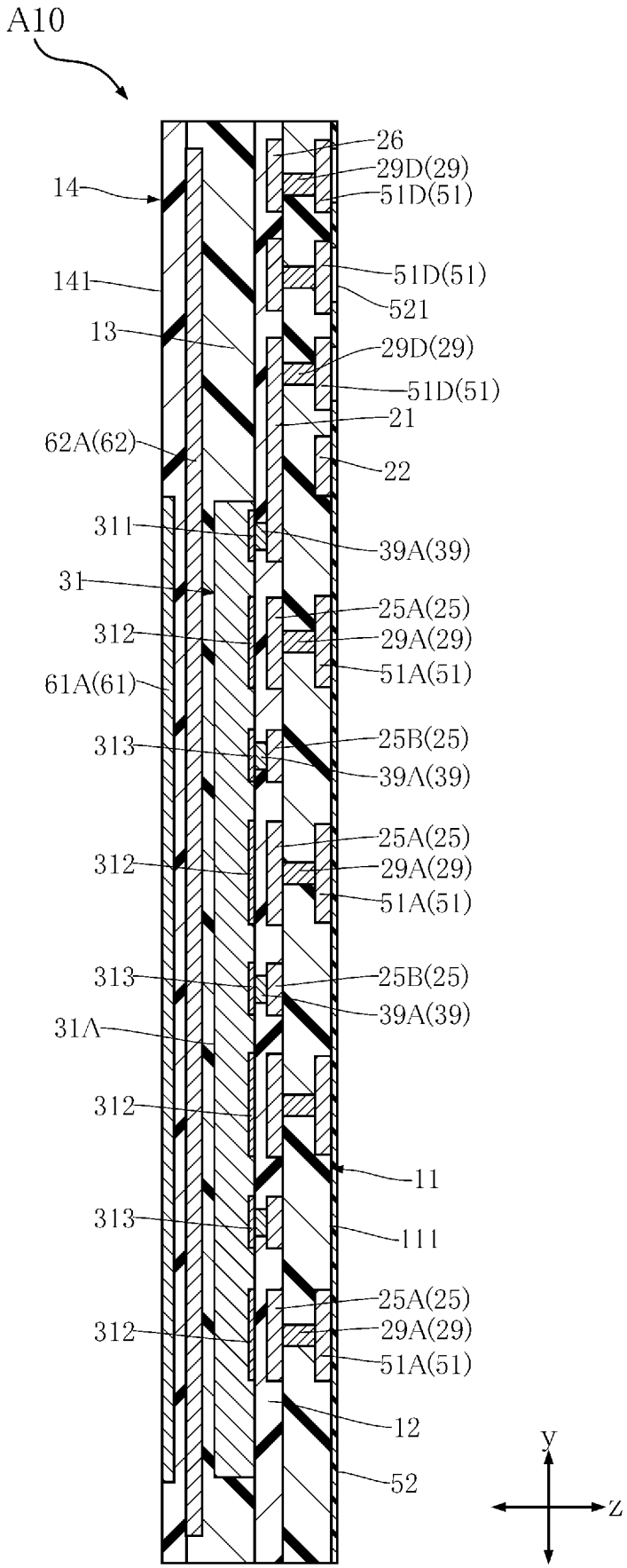
[図7]
FIG.7



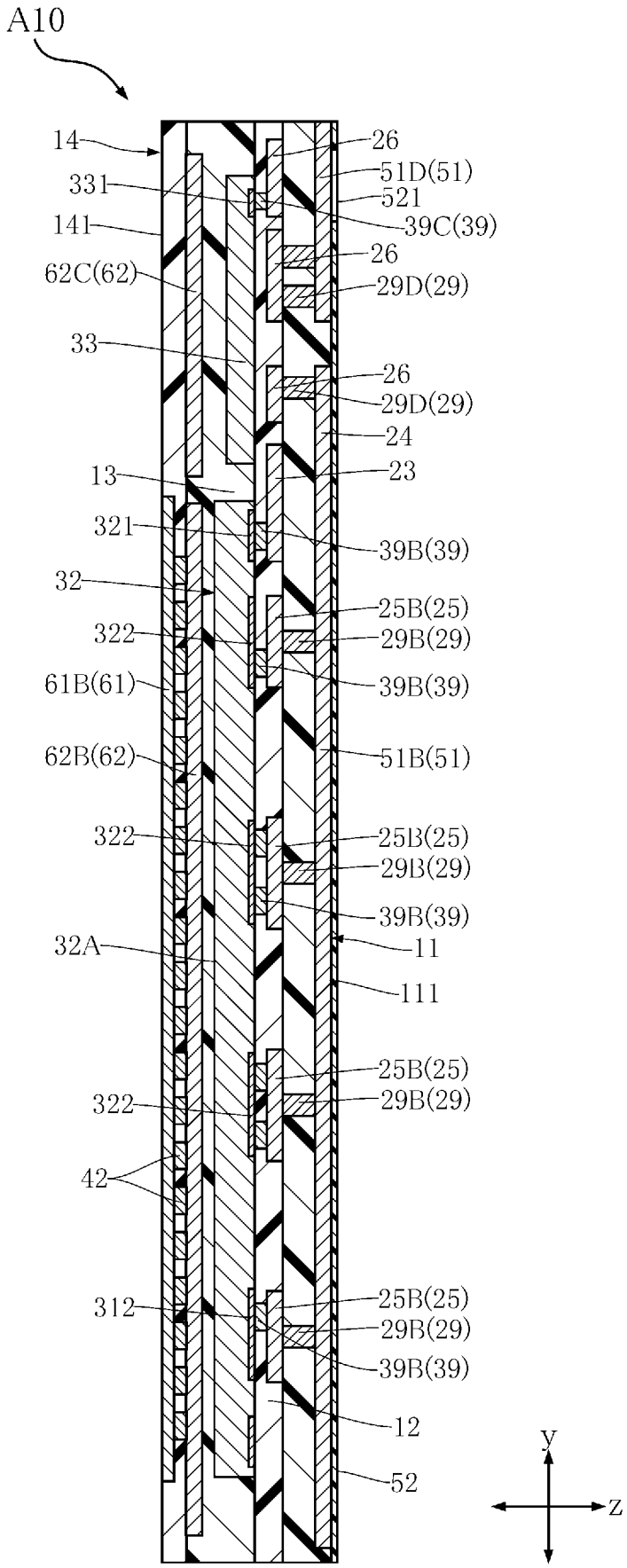
[図8]
FIG.8


A10
14
13
62A(62)
33
331
39C(39)
62C(62)
141
62B(62)
45
26
26
26
26
29D(29)
29D(29)
29D(29)
29D(29)
51D(51)
51D(51)
51D(51)
51D(51)
11
12
26
52
111
521
Z
X

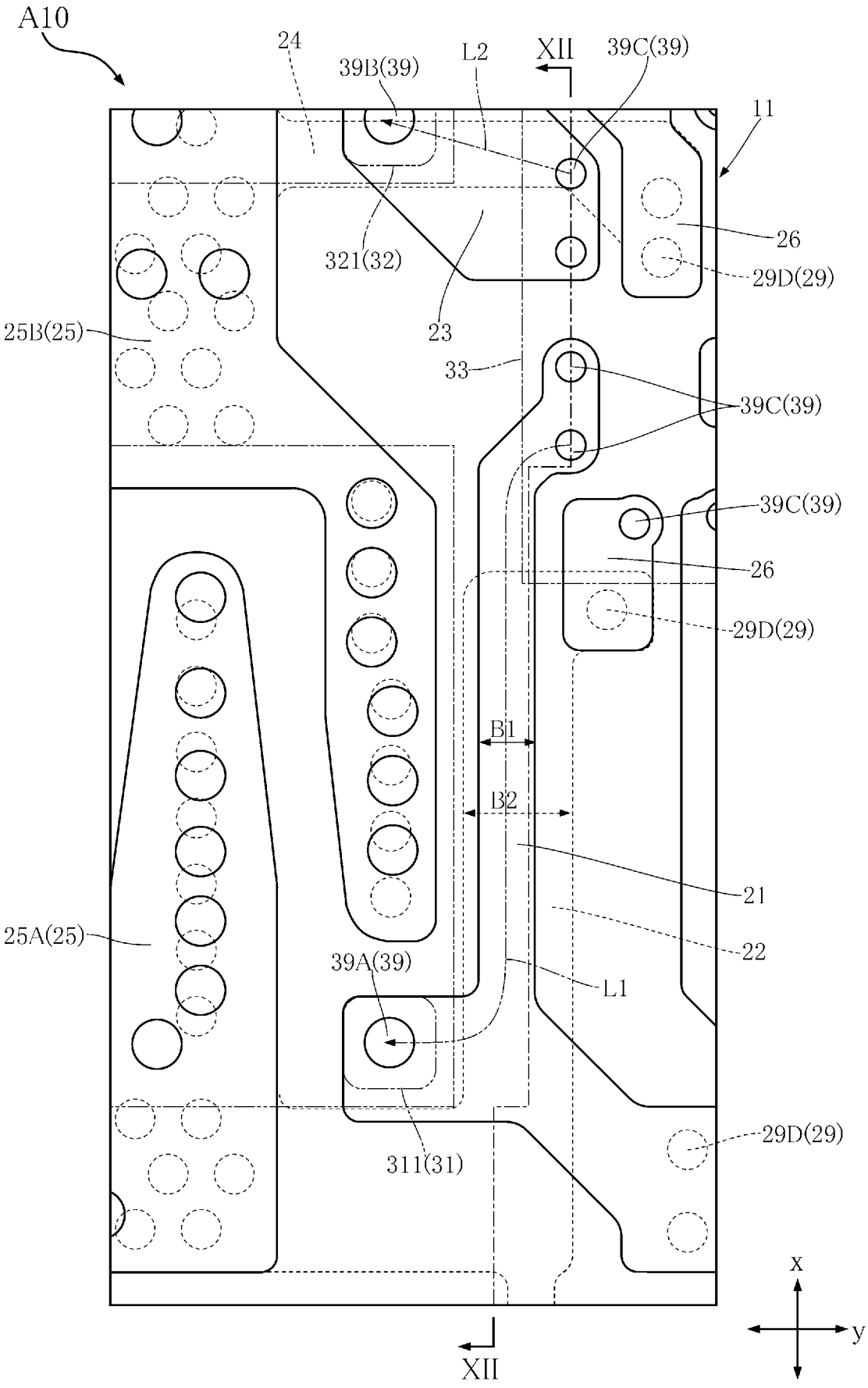
[図9]
FIG.9


A10
26
29D(29)
51D(51)
14
51D(51)
141
521
13
29D(29)
51D(51)
21
62A(62)
22
311
39A(39)
31
25A(25)
312
29A(29)
51A(51)
61A(61)
25B(25)
313
39A(39)
25A(25)
312
29A(29)
51A(51)
313
25B(25)
39A(39)
31A
312
11
313
111
25A(25)
312
29A(29)
51A(51)
12
52
y
z

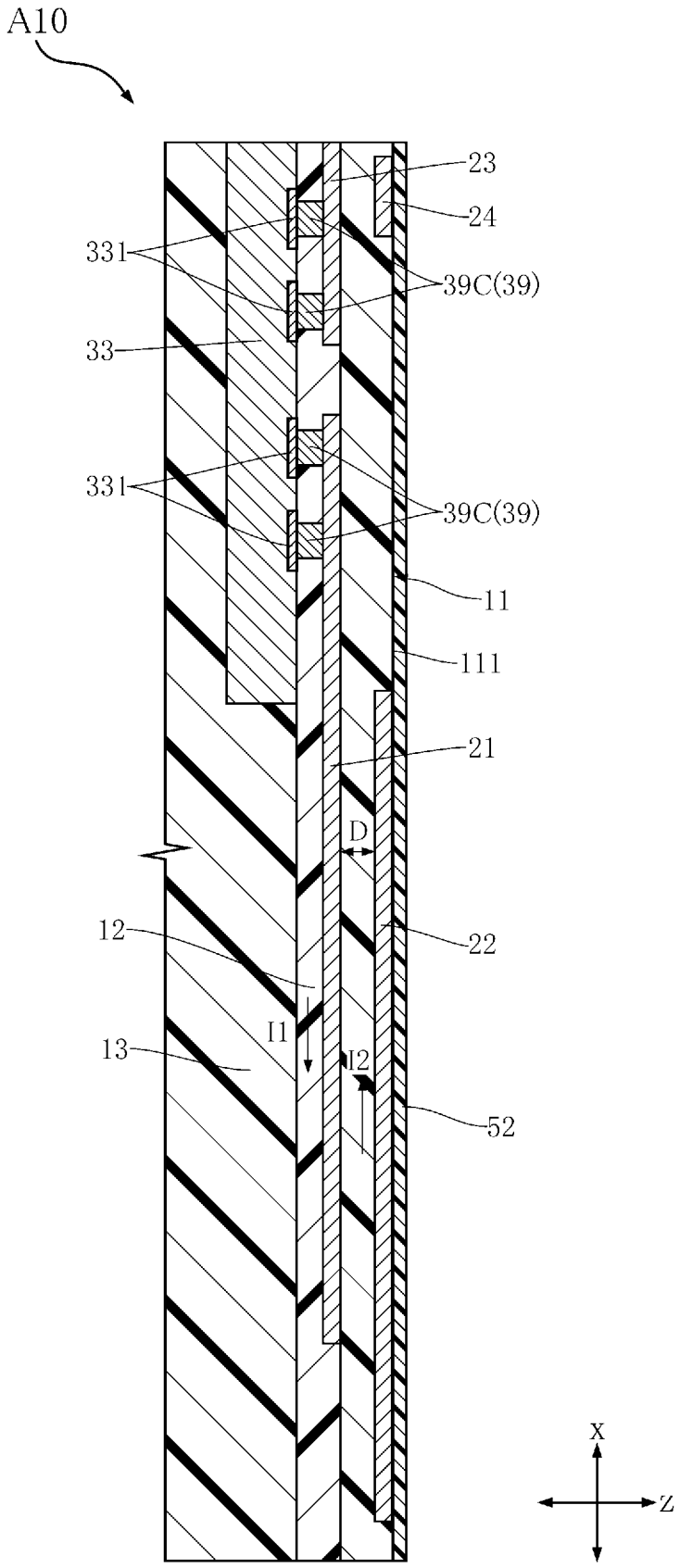
[図10]
FIG.10


A10
14
331
141
62C(62)
33
13
321
32
322
61B(61)
62B(62)
322
32A
322
42
312
26
51D(51)
521
39C(39)
26
29D(29)
26
29D(29)
24
23
39B(39)
25B(25)
29B(29)
39B(39)
51B(51)
25B(25)
29B(29)
39B(39)
11
111
25B(25)
29B(29)
25B(25)
29B(29)
39B(39)
12
52
y
z

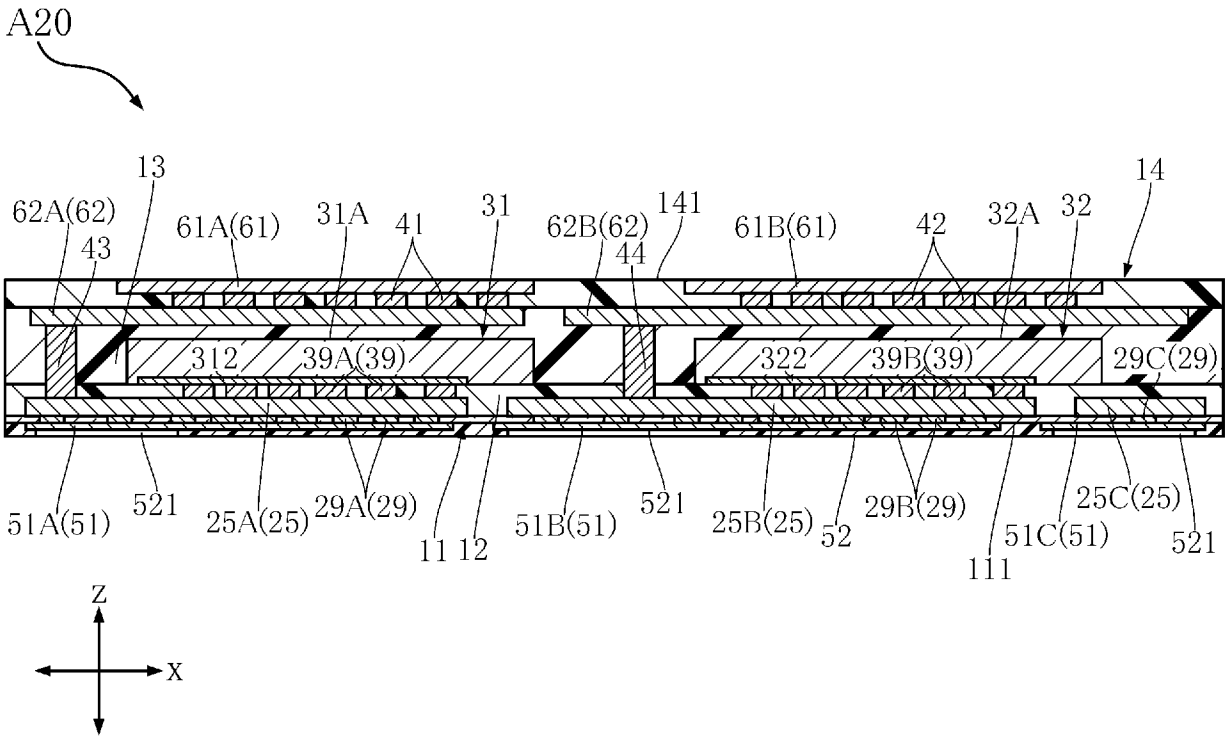
[図11]
FIG.11


A10
24
39B(39)
L2
XII
39C(39)
11
26
29D(29)
321(32)
23
25B(25)
33
39C(39)
39C(39)
26
29D(29)
B1
B2
21
22
25A(25)
39A(39)
L1
311(31)
29D(29)
XII
x
y

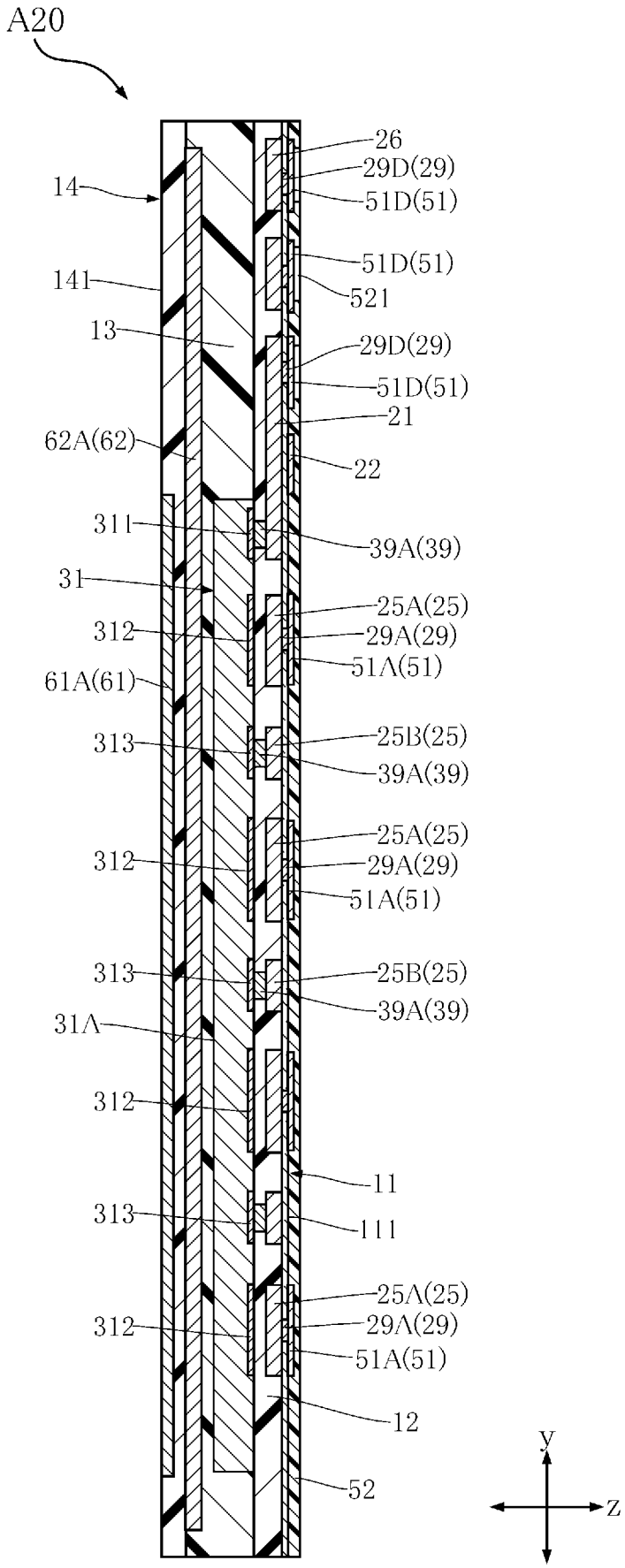
[図12]
FIG.12



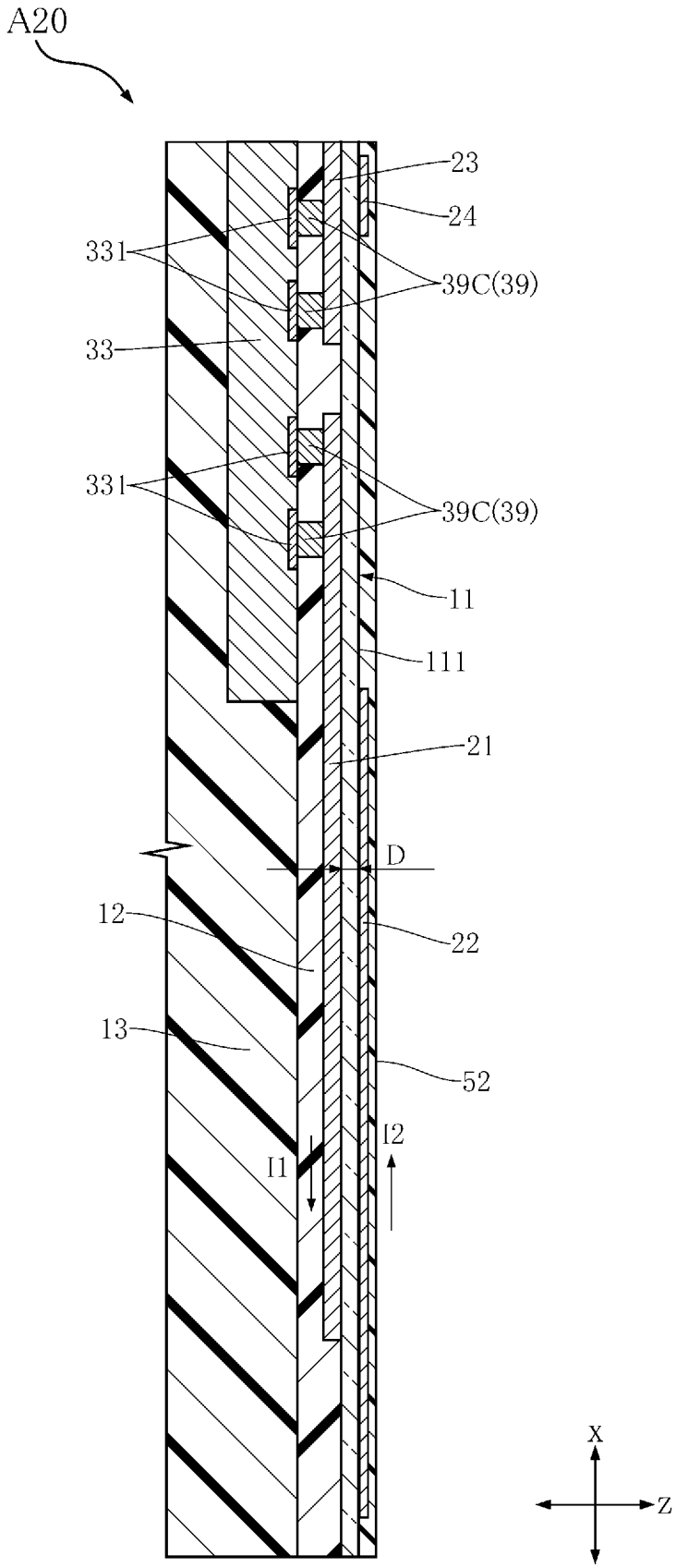
[図13]
FIG.13


A20
13
14
62A(62)
43
61A(61)
31A
41
31
62B(62)
141
44
61B(61)
42
32A
32
312
39A(39)
322
39B(39)
29C(29)
51A(51)
521
25A(25)
29A(29)
11
12
51B(51)
521
25B(25)
52
29B(29)
111
51C(51)
25C(25)
521
Z
X

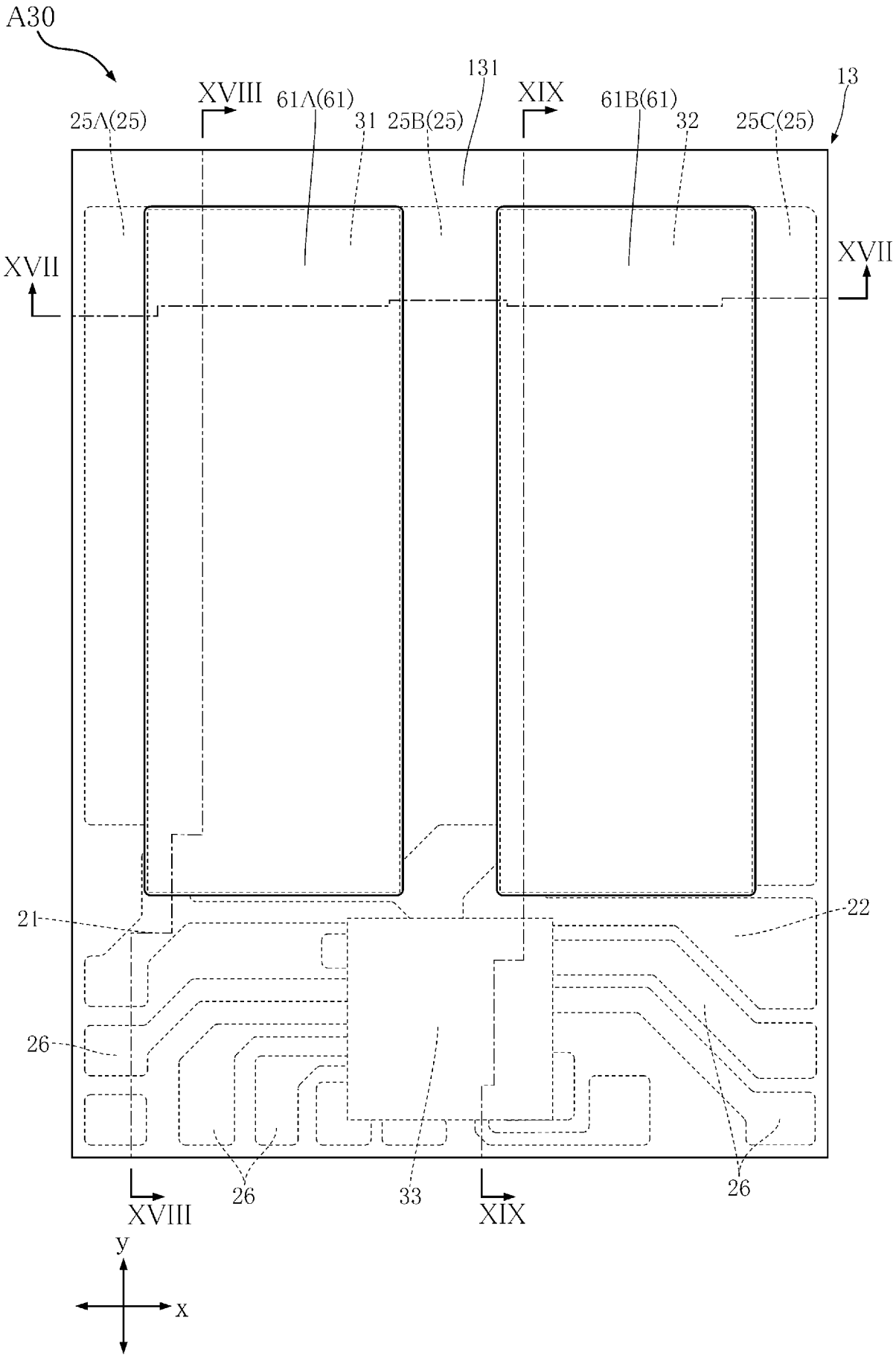
[図14]
FIG.14


A20
26
29D(29)
14
51D(51)
51D(51)
141
521
13
29D(29)
51D(51)
21
62A(62)
22
311
39A(39)
31
25A(25)
312
29A(29)
61A(61)
51A(51)
313
25B(25)
39A(39)
25A(25)
312
29A(29)
51A(51)
313
25B(25)
31A
39A(39)
312
11
313
111
25A(25)
312
29A(29)
51A(51)
12
52
y
z

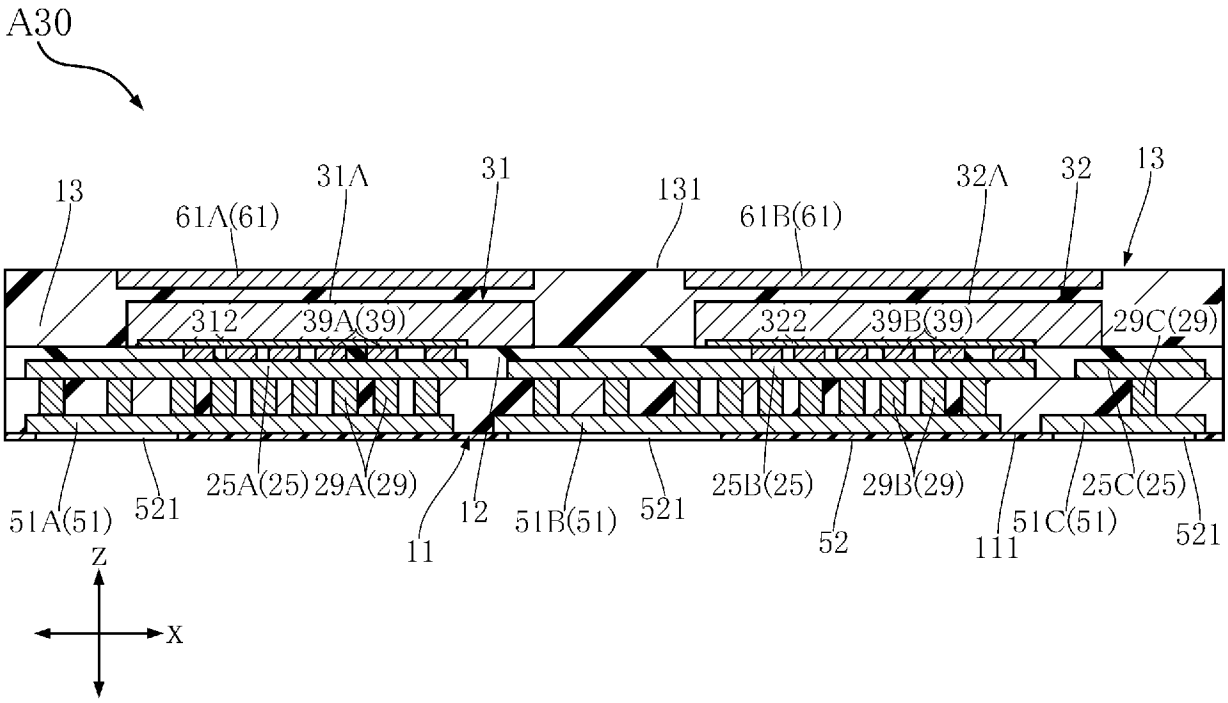
[図15]
FIG.15



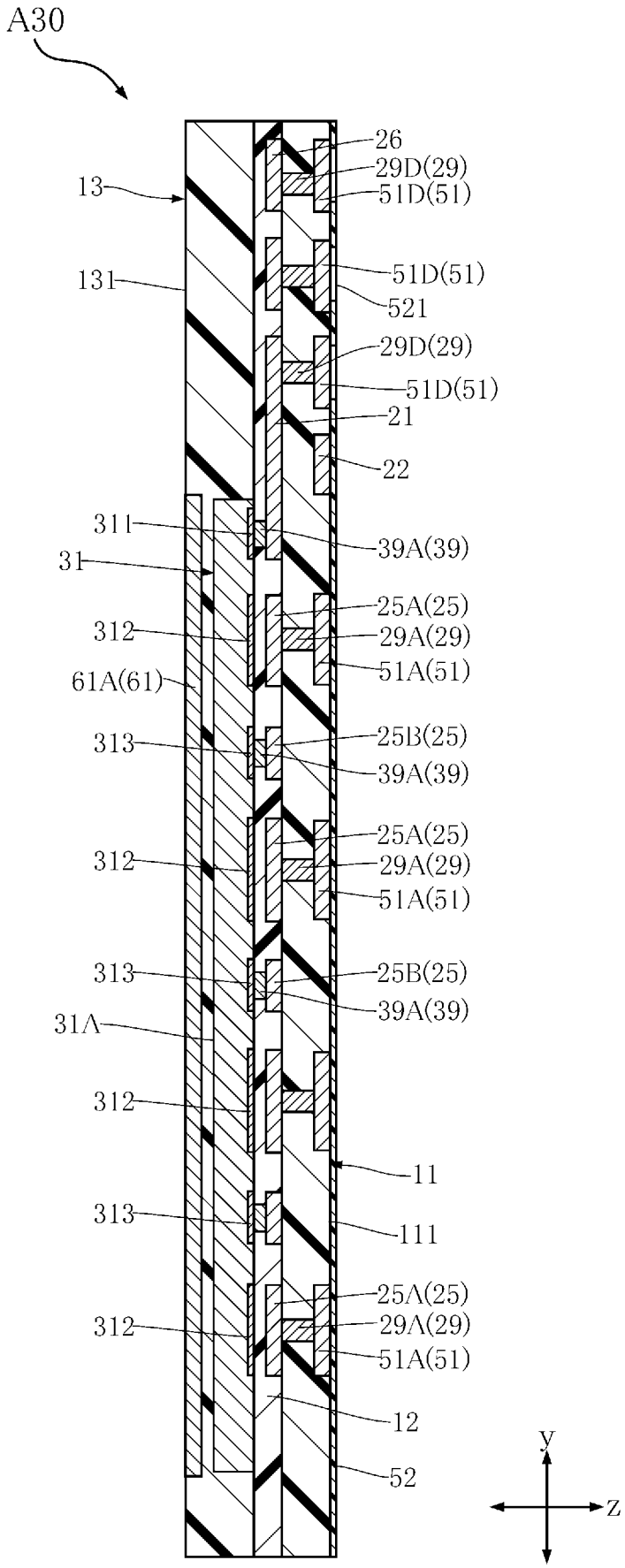
[図16]
FIG.16


A30
XVIII
61A(61)
131
XIX
61B(61)
13
25A(25)
31
25B(25)
32
25C(25)
XVII
XVII
21
22
26
26
26
33
XVIII
XIX
y
x

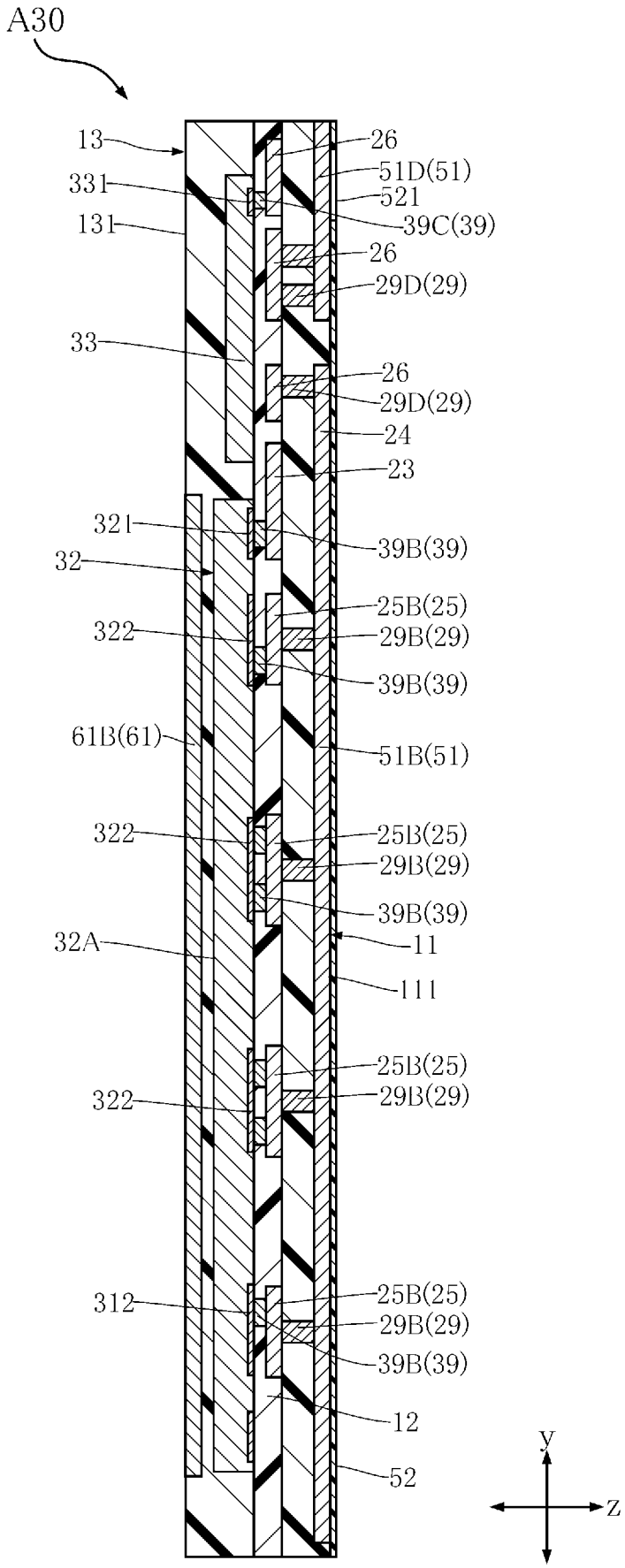
[図17]
FIG.17


A30
13
61A(61)
31A
31
131
61B(61)
32A
32
13
312
39A(39)
322
39B(39)
29C(29)
51A(51)
521
25A(25)
29A(29)
11
12
51B(51)
521
25B(25)
52
29B(29)
111
25C(25)
51C(51)
521
Z
X

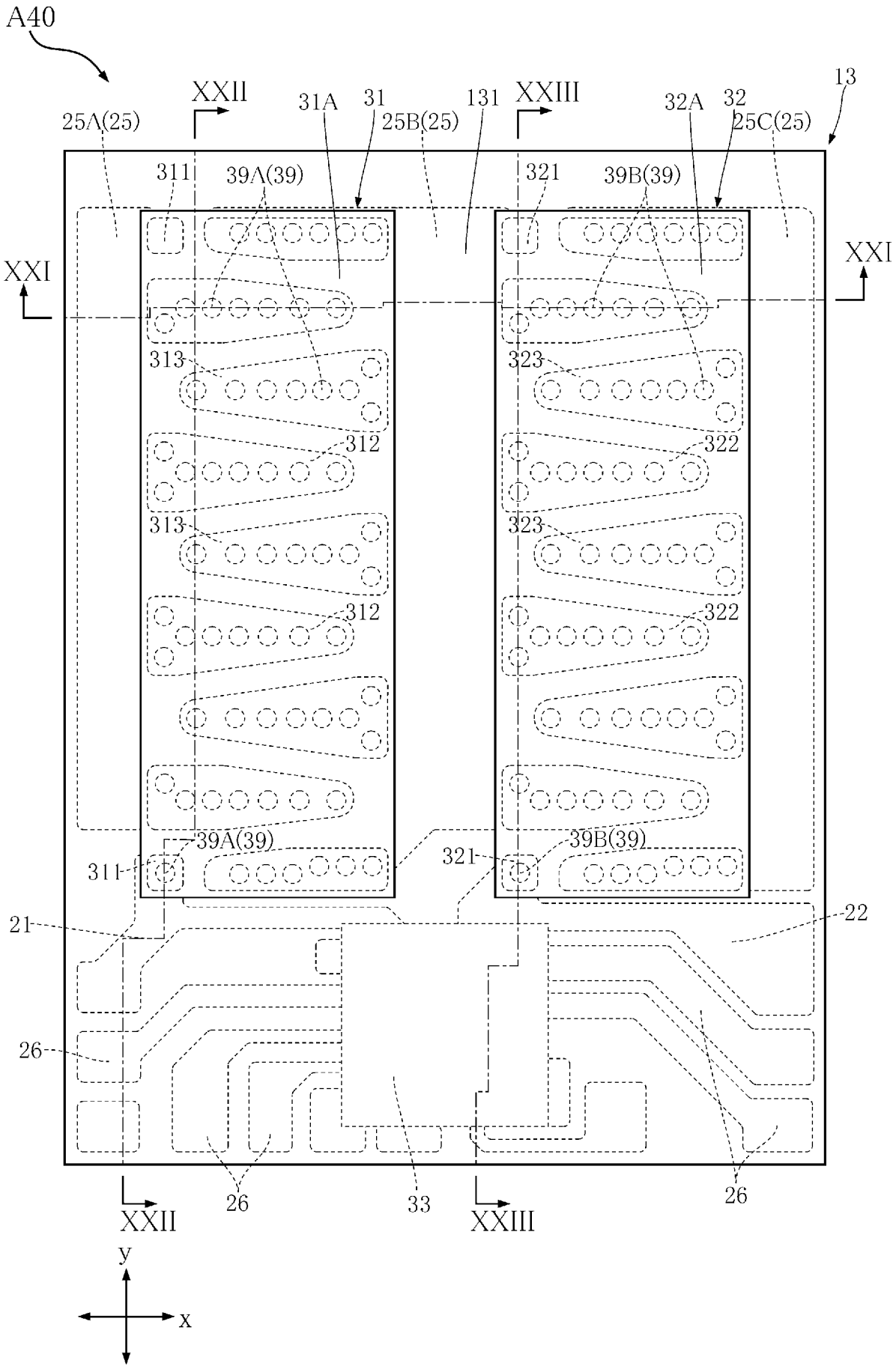
[図18]
FIG.18


A30
26
29D(29)
51D(51)
13
131
51D(51)
521
29D(29)
51D(51)
21
22
311
39A(39)
31
25A(25)
312
29A(29)
51A(51)
61A(61)
313
25B(25)
39A(39)
25A(25)
312
29A(29)
51A(51)
313
25B(25)
39A(39)
31A
312
11
313
111
25A(25)
312
29A(29)
51A(51)
12
52
y
z

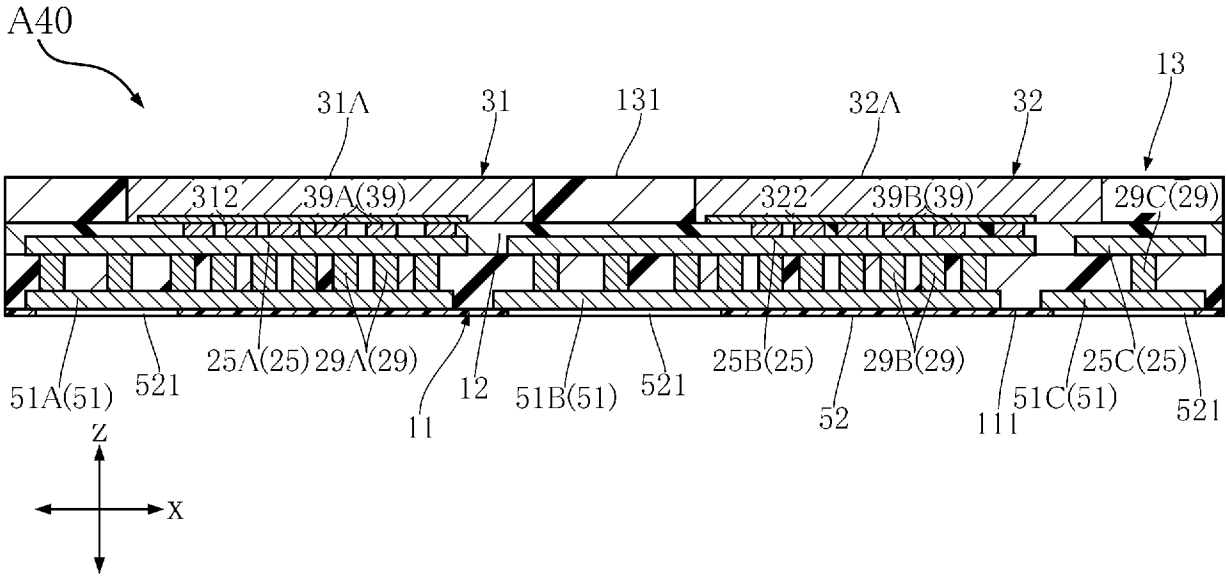
[図19]
FIG.19


A30
13
331
131
33
321
32
322
61B(61)
322
32A
322
312
26
51D(51)
521
39C(39)
26
29D(29)
26
29D(29)
24
23
39B(39)
25B(25)
29B(29)
39B(39)
51B(51)
25B(25)
29B(29)
39B(39)
11
111
25B(25)
29B(29)
25B(25)
29B(29)
39B(39)
12
52
y
z

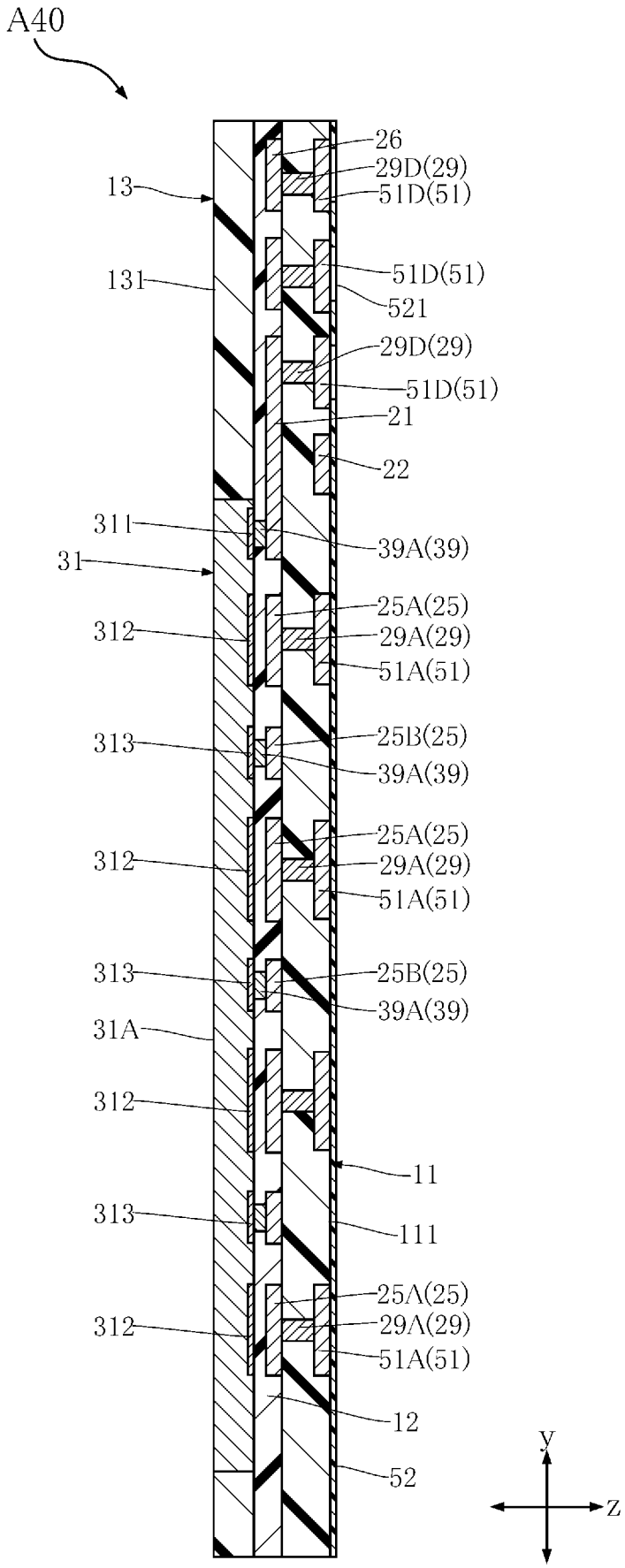
[図20]
FIG.20


A40
XXII
31A
31
131
XXIII
32A
32
13
25A(25)
25B(25)
25C(25)
311
39A(39)
321
39B(39)
XXI
XXI
313
323
312
322
313
323
312
322
39A(39)
39B(39)
311
321
21
22
26
26
33
26
XXII
XXIII
y
x

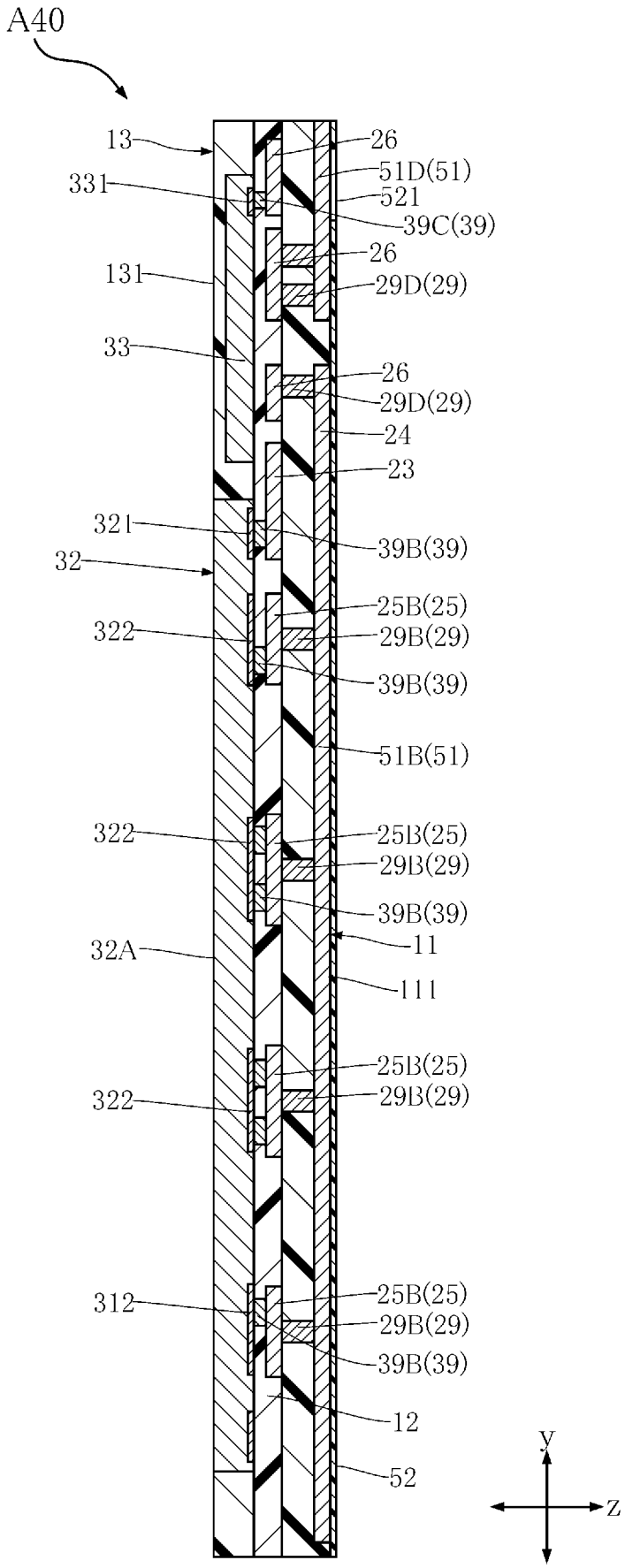
[図21]
FIG.21


A40
31A
31
131
32A
32
13
312
39A(39)
322
39B(39)
29C(29)
51A(51)
521
25A(25)
29A(29)
11
12
51B(51)
521
25B(25)
52
29B(29)
111
51C(51)
25C(25)
521
Z
X

[図22]
FIG.22


A40
26
29D(29)
51D(51)
13
131
51D(51)
521
29D(29)
51D(51)
21
22
311
39A(39)
31
25A(25)
312
29A(29)
51A(51)
313
25B(25)
39A(39)
25A(25)
312
29A(29)
51A(51)
313
25B(25)
39A(39)
31A
312
11
313
111
25A(25)
312
29A(29)
51A(51)
12
52
y
z

[図23]
FIG.23


A40
13
331
131
33
321
32
322
322
32A
322
312
26
51D(51)
521
39C(39)
26
29D(29)
26
29D(29)
24
23
39B(39)
25B(25)
29B(29)
39B(39)
51B(51)
25B(25)
29B(29)
39B(39)
11
111
25B(25)
29B(29)
25B(25)
29B(29)
39B(39)
12
52
y
z

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2023/017924

A. CLASSIFICATION OF SUBJECT MATTER

H01L 25/07(2006.01)i; ***H01L 23/12***(2006.01)i; ***H01L 23/34***(2006.01)i; ***H01L 25/18***(2023.01)i
FI: H01L25/04 C; H01L23/34 A; H01L23/12 N

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L25/07; H01L23/12; H01L23/34; H01L25/18

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
Published unexamined utility model applications of Japan 1971-2023
Registered utility model specifications of Japan 1996-2023
Published registered utility model applications of Japan 1994-2023

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	WO 2022/091288 A1 (MITSUBISHI ELECTRIC CORP) 05 May 2022 (2022-05-05) paragraphs [0011]-[0028], fig. 1-5	1
Y		2-4, 6-7
A		8-18
X	JP 2004-14862 A (NISSAN MOTOR CO LTD) 15 January 2004 (2004-01-15) paragraphs [0013]-[0019], fig. 1	1-3, 5
Y		2-4, 6-7
A		8-18
Y	WO 2021/205926 A1 (ROHM CO LTD) 14 October 2021 (2021-10-14) paragraphs [0011]-[0035], fig. 1-7	6-7
A		8-18

☐ Further documents are listed in the continuation of Box C. ☑ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
21 July 2023	**01 August 2023**
Name and mailing address of the ISA/JP **Japan Patent Office (ISA/JP)** **3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915** **Japan**	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/JP2023/017924

Patent document cited in search report	Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
WO 2022/091288 A1	05 May 2022	(Family: none)	
JP 2004-14862 A	15 January 2004	US 2003/0226685 A1 paragraphs [0034]-[0040], fig. 1 EP 1369920 A2	
WO 2021/205926 A1	14 October 2021	DE 212021000110 U1 CN 115335992 A	

国際調査報告

国際出願番号
PCT/JP2023/017924

A. 発明の属する分野の分類（国際特許分類（ＩＰＣ））

H01L 25/07(2006.01)i; H01L 23/12(2006.01)i; H01L 23/34(2006.01)i; H01L 25/18(2023.01)i
FI: H01L25/04 C; H01L23/34 A; H01L23/12 N

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

H01L25/07; H01L23/12; H01L23/34; H01L25/18

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０２３年
日本国実用新案登録公報	１９９６－２０２３年
日本国登録実用新案公報	１９９４－２０２３年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献のカテゴリー*	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
X	WO 2022/091288 A1 (三菱電機株式会社) 05.05.2022 (2022-05-05) 段落[0011]-[0028]、図1-5	1
Y		2-4,6-7
A		8-18
X	JP 2004-14862 A (日産自動車株式会社) 15.01.2004 (2004-01-15) 段落[0013]-[0019]、図1	1-3,5
Y		2-4,6-7
A		8-18
Y	WO 2021/205926 A1 (ローム株式会社) 14.10.2021 (2021-10-14) 段落[0011]-[0035]、図1-7	6-7
A		8-18

☐ C欄の続きにも文献が列挙されている。

☑ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー
"A" 特に関連のある文献ではなく、一般的技術水準を示すもの
"E" 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
"L" 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
"O" 口頭による開示、使用、展示等に言及する文献
"P" 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
"T" 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの
"X" 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
"Y" 特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
"&" 同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
21.07.2023	01.08.2023

名称及びあて先
日本国特許庁(ISA/JP)
〒100-8915
日本国
東京都千代田区霞が関三丁目４番３号

権限のある職員（特許庁審査官）
豊島　洋介 5F 9850

電話番号 03-3581-1101 内線 3516

国際調査報告
パテントファミリーに関する情報

国際出願番号
PCT/JP2023/017924

引用文献	公表日	パテントファミリー文献	公表日
WO 2022/091288 A1	05.05.2022	（ファミリーなし）	
JP 2004-14862 A	15.01.2004	US 2003/0226685 A1 段落[0034]-[0040]、図1 EP 1369920 A2	
WO 2021/205926 A1	14.10.2021	DE 212021000110 U1 CN 115335992 A	