

(19) 日本国特許庁(JP)

(12) 公 開 特 許 公 報(A)

(11) 特許出願公開番号  
特開2004-22642  
(P2004-22642A)

(43) 公開日 平成16年1月22日(2004.1.22)

(51) Int.Cl.<sup>7</sup>  
H O 1 L 21/8242  
H O 1 L 27/108

F I  
H O 1 L 27/10 6 2 5 A

テーマコード (参考)  
5 F O 8 3

審査請求 未請求 請求項の数 15 O L (全 13 頁)

(21) 出願番号	特願2002-172629 (P2002-172629)	(71) 出願人	000003078 株式会社東芝 東京都港区芝浦一丁目1番1号
(22) 出願日	平成14年6月13日 (2002. 6. 13)	(74) 代理人	100058479 弁理士 鈴江 武彦
		(74) 代理人	100084618 弁理士 村松 貞男
		(74) 代理人	100068814 弁理士 坪井 淳
		(74) 代理人	100092196 弁理士 橋本 良郎
		(74) 代理人	100091351 弁理士 河野 哲
		(74) 代理人	100088683 弁理士 中村 誠

最終頁に続く

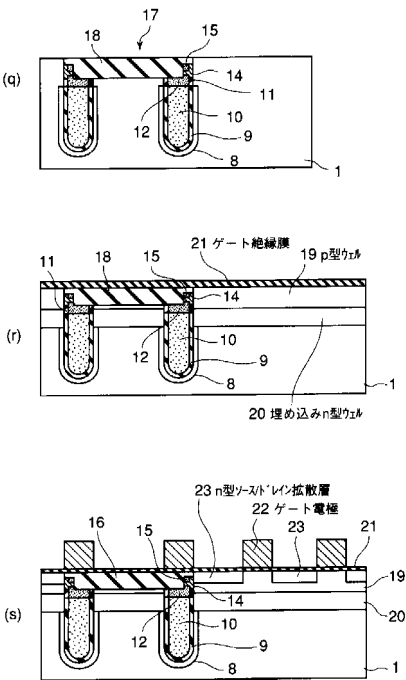
(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】 (修正有)

【課題】トレンチキャパシタのストレージノード電極とMOSトランジスタのn型ソース/ドレイン拡散層とを接続するn型多結晶シリコン膜のエピタキシャル成長を防止すること。

【解決手段】n型多結晶シリコン膜(ストレージノード電極)12をn型多結晶シリコン膜15を介してMOSトランジスタのn型ソース/ドレイン拡散層23に接続させる際に、n型多結晶シリコン膜15とn型ソース/ドレイン拡散層23との間にWSiN層14を介在させる。

【選択図】 図4



## 【特許請求の範囲】

## 【請求項 1】

表面に溝を有する半導体基板と、  
前記溝の内部に設けられた多結晶半導体膜と、  
前記半導体基板の表面に設けられた拡散層と  
前記拡散層と前記多結晶半導体膜との間に設けられ、金属、窒素および前記半導体基板を  
構成する半導体を含み、前記拡散層と前記多結晶半導体膜とを電氣的に接続するための金  
属半導体窒化物層と  
を具備してなることを特徴とする半導体装置。

## 【請求項 2】

表面に溝を有する半導体基板と、  
前記溝の開口面に達しないように、前記溝の内部に埋め込まれた第 1 の多結晶半導体膜と  
、  
前記第 1 の多結晶半導体膜上に設けられた、前記溝内の第 2 の多結晶半導体膜と、  
前記半導体基板の表面に設けられた第 1 の拡散層と、  
前記第 1 の拡散層と前記第 2 の多結晶半導体膜との間に設けられ、金属、窒素および前記  
半導体基板を構成する半導体を含み、前記第 1 の拡散層と前記第 2 の多結晶半導体膜とを  
電氣的に接続するための金属半導体窒化物層と  
を具備してなることを特徴とする半導体装置。

## 【請求項 3】

前記溝の周囲の前記半導体基板内に設けられた第 2 の拡散層と、前記溝の内側面と前記第  
1 の多結晶半導体膜との間に設けられた絶縁膜とをさらに備え、前記第 2 の拡散層、前記  
絶縁膜および前記第 1 の多結晶半導体膜はトレンチキャパシタを構成し、前記第 1 の拡散  
層は MOS トランジスタのソース/ドレイン拡散層であることを特徴とする請求項 2 に記  
載の半導体装置。

## 【請求項 4】

前記金属半導体窒化物層を構成する金属は、該金属が窒化物を形成する際の G i b b s の  
自由エネルギーの低下と前記半導体基板を構成する半導体が窒化物を形成する際の G i b  
b s の自由エネルギーの低下とを比較したときに、後者の低下分の方が大きくなるもので  
あることを特徴とする請求項 1 または 2 に記載の半導体装置の形成方法。

## 【請求項 5】

前記半導体基板を構成する半導体はシリコン、前記金属半導体窒化物層を構成する金属は  
、タングステン、モリブデンまたはクロムであることを特徴とする請求項 1 または 2 に記  
載の半導体装置

## 【請求項 6】

前記金属半導体窒化物層は、アモルファス状態のものであることを特徴とする請求項 1 ま  
たは 2 に記載の半導体装置。

## 【請求項 7】

前記半導体基板は、単結晶のものであることを特徴とする請求項 1 ないし 6 のいずれか 1  
項に記載の半導体装置。

## 【請求項 8】

半導体基板の表面に溝を形成する工程と、  
前記溝の開口面よりも下の部分を第 1 の多結晶半導体膜で埋め込む工程と、  
前記第 1 の多結晶半導体膜で埋め込まれていない前記溝の側面を金属窒化物膜で覆う工程  
と、  
熱処理により、前記溝の側面とそれに接した前記金属窒化物膜とを反応させ、前記溝の側  
面に接した前記金属窒化物膜を、前記金属窒化物膜を構成する金属および窒素と、前記半  
導体基板を構成する半導体とを含む、金属半導体窒化物層に変える工程と、  
前記金属半導体窒化物層を残して前記金属窒化物膜を除去する工程と、  
前記溝の内部に第 2 の多結晶半導体膜を形成する工程と、

10

20

30

40

50

前記半導体基板の表面に、前記金属半導体窒化物層を介して前記第2の多結晶半導体膜と電氣的に接続するための拡散層を形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項9】

半導体基板の表面に溝を形成する工程と、  
前記溝の側面および底面を絶縁膜で覆う工程と、  
前記溝の開口面よりも下の部分を第1の多結晶半導体膜で埋め込む工程と、  
前記第1の多結晶半導体膜が埋め込まれていない前記溝の側面を覆う前記絶縁膜を除去する工程と、  
前記絶縁膜を除去して露出した前記溝の側面を金属窒化物膜で覆う工程と、  
熱処理により、前記溝の側面とそれに接した前記金属窒化物膜とを反応させ、前記溝の側面に接した前記金属窒化物膜を、前記金属窒化物膜を構成する金属および窒素と、前記半導体基板を構成する半導体とを含む、金属半導体窒化物層に変える工程と、  
前記金属半導体窒化物層を残して前記金属窒化物膜を除去する工程と、  
前記溝の内部に第2の多結晶半導体膜を形成する工程と、  
前記半導体基板の表面に、前記金属半導体窒化物層を介して前記第2の多結晶半導体膜と電氣的に接続するための第1の拡散層を形成する工程とを有することを特徴とする半導体装置の製造方法。

10

【請求項10】

前記溝の側面および底面を前記絶縁膜で覆う工程の前に、前記溝の周囲の前記半導体基板内に第2の拡散層を形成する工程をさらに有することを特徴とする請求項9に記載の半導体装置の製造方法。

20

【請求項11】

前記金属窒化物膜を構成する金属は、該金属が窒化物を形成する際のGibbsの自由エネルギーの低下と前記半導体基板を構成する半導体が窒化物を形成する際のGibbsの自由エネルギーの低下を比較したときに、後者の低下分の方が大きくなるものであることを特徴とする請求項8または9に記載の半導体装置の形成方法。

【請求項12】

前記金属半導体窒化物層は、アモルファス状態のものであることを特徴とする請求項8または9に記載の半導体装置の形成方法。

30

【請求項13】

前記半導体基板を構成する半導体はシリコン、前記金属窒化物膜を構成する金属は、タングステン、モリブデンまたはクロムであることを特徴とする請求項8または9に記載の半導体装置の製造方法。

【請求項14】

前記熱処理を非酸化性雰囲気中で行うことを特徴とする請求項8または9に記載の半導体装置の製造方法。

【請求項15】

前記半導体基板は、単結晶のものであることを特徴とする請求項8ないし14のいずれか1項に記載の半導体装置。

40

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置およびその製造方法に係わり、特にトレンチキャパシタとそれに接続したソース/ドレイン拡散層を含む半導体装置およびその製造方法に関する。

【0002】

【従来の技術】

図6に、従来のトレンチキャパシタを有するDRAMセルの断面図を示す。図6において、81は単結晶のp型シリコン基板、82はトレンチキャパシタ、83は埋め込みn型ウェル、84はp型ウェル、85はn型ソース/ドレイン拡散層、86はゲート絶縁膜、8

50

7はゲート電極、88は素子分離絶縁膜、89は絶縁膜をそれぞれ示している。

【0003】

トレンチキャパシタ82は、n型拡散層90（プレート電極）とキャパシタ絶縁膜91とn型多結晶シリコン膜92（ストレージノード電極）とで構成されている。

【0004】

n型多結晶シリコン膜92上にはn型多結晶シリコン膜93が設けられ、n型多結晶シリコン膜93はn型ソース/ドレイン拡散層85に直接接続されている。すなわち、トレンチキャパシタ82は接続部としてのn型多結晶シリコン膜93を介してn型ソース/ドレイン拡散層85に接続されている。

【0005】

ここで、n型ソース/ドレイン拡散層85は単結晶であるため、DRAMプロセスの熱工程において、n型多結晶シリコン膜93は、ソース/ドレイン拡散層85をシードにしてエピタキシャル成長する恐れがある。上記熱工程は、例えばトレンチキャパシタ82およびMOSトランジスタを形成した後のパッシベーション膜の形成工程である。

【0006】

n型多結晶シリコン膜93がエピタキシャル成長すると、素子内に応力が発生して基板内に結晶欠陥が生じる。この種の結晶欠陥はリーク電流の原因となる。キャパシタに蓄えられる電荷の量は、一般に、DRAMの高集積化に伴って減少する。そのため、今後開発される高集積度のDRAMにおいては、上記リーク電流は無視できなくなる。

【0007】

上記リーク電流の発生を防止する手法の一つとして、図7に示すようなDRAMセルの採用が考えられる。図7のDRAMセルにおいては、n型多結晶シリコン膜93は、シリコン窒化膜94を介して、ソース/ドレイン拡散層85に間接接続されている。これにより、シリコン窒化膜94がバリアとなって、ソース/ドレイン拡散層85はシードとして働かなくなり、n型多結晶シリコン膜93のエピタキシャル成長を防止できるようになる。

【0008】

ここで、シリコン窒化膜94は絶縁膜の一種であるため、n型多結晶シリコン膜93とソース/ドレイン拡散層85との間の電氣的接続を確保するためには、シリコン窒化膜94を非常に薄く形成する必要がある。

【0009】

しかしながら、非常に薄いシリコン窒化膜94を形成したとしても、シリコン窒化膜94が絶縁膜であることには変わりはないので、トレンチキャパシタ82とソース/ドレイン拡散層85との間のコンタクト抵抗の増加は避けられない。

【0010】

【発明が解決しようとする課題】

上述の如く、従来のトレンチキャパシタを有するDRAMセルにおいては、トレンチキャパシタは、n型多結晶シリコン膜、またはn型多結晶シリコン膜/シリコン窒化膜を介して、ソース/ドレイン拡散層に接続されている。

【0011】

しかしながら、前者の場合には、トレンチキャパシタを構成するn型多結晶シリコン膜（ストレージノード電極）のエピタキシャル成長によって、素子内にリーク電流の原因となる応力が発生し、後者の場合には、上記n型多結晶シリコン膜とソース/ドレイン拡散層との間のコンタクト抵抗の増加は避けられない。

【0012】

本発明は、上記事情を考慮してなされたもので、その目的とするところは、溝内に埋め込まれ、半導体基板の表面の拡散層と電氣的に接続するための多結晶半導体膜のエピタキシャル成長の発生防止、および上記多結晶半導体膜と上記拡散層との間のコンタクト抵抗の増加防止を図れる半導体装置およびその製造方法を提供することにある。

【0013】

【課題を解決するための手段】

10

20

30

40

50

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば下記の通りである。すなわち、上記目的を達成するために、本発明に係る半導体装置は、表面に溝を有する半導体基板と、前記溝の内部に設けられた多結晶半導体膜と、前記拡散層と前記多結晶半導体膜との間に設けられ、金属、窒素および前記半導体基板を構成する半導体を含み、前記拡散層と前記多結晶半導体膜とを電気的に接続するための金属半導体窒化物層とを備えていることを特徴とする。

【0014】

また、本発明に係る他の半導体装置は、表面に溝を有する半導体基板と、前記溝の開口面に達しないように、前記溝の内部に埋め込まれた第1の多結晶半導体膜と、前記第1の多結晶半導体膜上に設けられた、前記溝内の第2の多結晶半導体膜と、前記半導体基板の表面に設けられた第1の拡散層と、金属、窒素および前記半導体基板を構成する半導体を含み、前記第1の拡散層と前記第2の多結晶半導体膜とを電気的に接続するための金属半導体窒化物層とを備えていることを特徴とする。

10

【0015】

また、本発明に係る半導体装置の製造方法は、半導体基板の表面に溝を形成する工程と、前記溝の開口面よりも下の部分を第1の多結晶半導体膜で埋め込む工程と、前記第1の多結晶半導体膜で埋め込まれていない前記溝の側面を金属窒化物膜で覆う工程と、熱処理により、前記溝の側面とそれに接した前記金属窒化物膜とを反応させ、前記溝の側面に接した前記金属窒化物膜を、前記金属窒化物膜を構成する金属および窒素と、前記半導体基板を構成する半導体とを含む、金属半導体窒化物層に変える工程と、前記金属半導体窒化物層を残して前記金属窒化物膜を除去する工程と、前記溝の内部に第2の多結晶半導体膜を形成する工程と、前記半導体基板の表面に、前記金属半導体窒化物層を介して前記第2の多結晶半導体膜と電気的に接続するための拡散層を形成する工程とを有することを特徴とする。

20

【0016】

また、本発明に係る他の半導体装置の製造方法は、半導体基板の表面に溝を形成する工程と、前記溝の側面および底面を絶縁膜で覆う工程と、前記溝の開口面よりも下の部分を第1の多結晶半導体膜で埋め込む工程と、前記第1の多結晶半導体膜が埋め込まれていない前記溝の側面を覆う前記絶縁膜を除去する工程と、前記絶縁膜を除去して露出した前記溝の側面を金属窒化物膜で覆う工程と、熱処理により、前記溝の側面とそれに接した前記金属窒化物膜とを反応させ、前記溝の側面に接した前記金属窒化物膜を、前記金属窒化物膜を構成する金属および窒素と、前記半導体基板を構成する半導体とを含む、金属半導体窒化物層に変える工程と、前記金属半導体窒化物層を残して前記金属窒化物膜を除去する工程と、前記溝の内部に第2の多結晶半導体膜を形成する工程と、前記半導体基板の表面に、前記金属半導体窒化物層を介して前記第2の多結晶半導体膜と電気的に接続するための第1の拡散層を形成する工程とを有することを特徴とする。

30

【0017】

本発明によれば、溝内の多結晶半導体膜が金属半導体窒化物層を介して半導体基板の表面に形成された拡散層に接続されるので、上記金属半導体窒化物層がバリアとなって、熱工程における上記拡散層をシードする上記多結晶多結晶膜のエピタキシャル成長は防止される。また、上記金属半導体窒化物層が金属を含んでいるので、上記多結晶半導体膜と上記拡散層との間のコンタクト抵抗の増加は防止される。

40

【0018】

本発明の上記ならびにその他の目的と新規な特徴は、本明細書の記載および添付図面によって明らかになるであろう。

【0019】

【発明の実施の形態】

以下、図面を参照しながら本発明の実施の形態を説明する。

【0020】

図1～図3は、本発明の一実施形態に係るDRAMセルの製造工程を示す断面図である。

50

## 【0021】

まず、図1(a)に示すように、単結晶のp型シリコン基板1の表面に薄いシリコン酸化膜2を熱酸化により形成し、続いてシリコン酸化膜2上に厚さ20nm程度のシリコン窒化膜( $\text{Si}_3\text{N}_4$ 膜)3を堆積し、続いてフォトリソグラフィとRIE等のエッチングとを用いて、トレンチキャパシタのトレンチが形成される領域上のシリコン酸化膜2およびシリコン窒化膜3に開口部4を形成する。

## 【0022】

次に、図1(b)に示すように、シリコン窒化膜3をマスクにしてp型シリコン基板1をRIE等の異方性エッチングにより加工してトレンチ5を形成し、続いてLP-CVDプロセスにより、トレンチ5の内壁を被覆するように、AsSG膜(As添加シリゲートガラス膜)6を全面に堆積する。 10

## 【0023】

次に、図1(c)に示すように、トレンチ5内をその途中の深さまでレジスト7で埋め込み、続いてレジスト7をマスクにしてHFを含む液でAsSG膜6のエッチングを行い、レジスト7で被覆されていないAsSG膜6を除去する。その後、レジスト7を除去する。

## 【0024】

次に、図1(d)に示すように、熱処理により、AsSG膜6中のAsをトレンチ5の内壁(側面および底面)のp型シリコン基板1中に拡散させ、トレンチキャパシタのプレート電極を構成するn型拡散層8を形成する。その後、AsSG膜6を除去する。 20

## 【0025】

次に、図1(e)に示すように、トレンチ5の内壁を被覆するように、窒化シリコンを主成分とするキャパシタ絶縁膜9を形成し、続いてトレンチ5の内部を埋め込むように、トレンチキャパシタのストレージ電極の一部を構成する、リン等のn型不純物を含むn型多結晶シリコン膜10を堆積し、続いてトレンチ5の外部に堆積したn型多結晶シリコン膜10を例えばCMP(Chemical Mechanical Polishing)プロセスにより除去する。

## 【0026】

次に、図1(f)に示すように、開口部4内およびトレンチ5内のn型多結晶シリコン膜10をエッチングにより除去し、さらにn型多結晶シリコン膜10を除去して露出したキャパシタ絶縁膜9をエッチングにより除去し、続いてn型多結晶シリコン膜10およびキャパシタ絶縁膜9を除去して露出した開口部4およびトレンチ5の側面をシリコン酸化膜(側壁絶縁膜)11で覆う。 30

## 【0027】

シリコン酸化膜11は、例えばいわゆる側壁残しプロセスにより形成する。すなわち、開口部4およびトレンチ5の側面を被覆するように、側壁絶縁膜となるシリコン酸化膜( $\text{SiO}_2$ 膜)をLP-CVDプロセスにより全面に堆積し、続いて上記シリコン酸化膜をRIE等の異方性エッチングにより全面エッチングすることにより、n型多結晶シリコン膜10およびキャパシタ絶縁膜9を除去して露出した開口部4およびトレンチ5の側面を覆うシリコン酸化膜11が得られる。また、側壁絶縁膜としてシリコン酸化膜を使用した 40

## 【0028】

次に、図1(g)に示すように、トレンチ5内をその途中の深さまでストレージノード電極の一部を構成するn型多結晶シリコン膜12で埋め込み、続いてn型多結晶シリコン膜12をマスクにしてHFを含む液でシリコン酸化膜11をエッチングし、n型多結晶シリコン膜12で被覆されていないトレンチ5および開口部4の側面上のシリコン酸化膜11を除去する。図には、n型多結晶シリコン膜12で被覆された部分のシリコン酸化膜11の上部が多少エッチングされた様子が示されている。

## 【0029】

n型多結晶シリコン膜12は、例えば以下のプロセスにより形成する。すなわち、トレン 50

チ 5 の内部を埋め込むように n 型多結晶シリコン膜 1 2 となる n 型多結晶シリコン膜を全面に堆積し、続いて該 n 型多結晶シリコン膜を所望の高さまでリセスすることにより、n 型多結晶シリコン膜 1 2 が得られる。

【 0 0 3 0 】

次に、図 2 ( h ) に示すように、n 型多結晶シリコン膜 1 0 , 1 2 で埋め込まれていないトレンチ 5 の側面および多結晶シリコン膜 1 2 の上面を被覆するように、薄いタングステン窒化膜 ( W N x 膜 ) 1 3 を全面に堆積する。ここでは、タングステン窒化膜 1 3 を全面に堆積したが、少なくともトレンチ 5 の S i が露出した側面を完全に被覆するように堆積すれば良い。

【 0 0 3 1 】

タングステン窒化膜 1 3 の堆積方法としては、P V D 法および C V D 法のいずれの方法でも良く、タングステン窒化膜 1 3 の膜厚は最も薄い部分で 5 n m 程度あれば良い。また、タングステン窒化膜 1 3 の窒素濃度は 1 0 ~ 3 0 a t m . % 程度が好適である。

【 0 0 3 2 】

次に、非酸化雰囲気、例えば窒素雰囲気中で 4 5 0 ~ 1 1 0 0 の熱処理を行う。上記非酸化雰囲気は、窒素雰囲気に限定されるものではなく、例えば水素雰囲気つまり還元性雰囲気でも構わない。また、上記熱処理の雰囲気は、アルゴン等の不活性雰囲気でも構わないし、さらに窒素、アルゴン、水素の混合ガス雰囲気でも構わない。

【 0 0 3 3 】

このような熱処理を行うことにより、タングステン窒化膜 1 3 とそれに接した部分のトレンチ 5 の側面の S i とがごく僅か反応し、図 2 ( i ) に示すように、トレンチ 5 の側面の表面に接したタングステン窒化膜 1 3 は W、S i および N を含むアモルファスの層 ( W S i N 層 ) 1 4 に変化する。

【 0 0 3 4 】

同様な反応により、n 型多結晶シリコン膜 1 2 の上面のタングステン窒化膜 1 3 もアモルファスの W S i N 層 1 4 に変わる。この n 型多結晶シリコン膜 1 2 の上面のアモルファスの W S i N 層 1 4 は、プロセス上形成されるものであって、無くても構わない。

【 0 0 3 5 】

このような方法によれば、厚さ 1 n m 程度の W S i N 層 1 4 を非常に再現性良く形成することができる。W S i N 層 1 4 は、タングステン窒化膜 1 3 からトレンチ 5 の側面および n 型多結晶シリコン膜 1 2 に窒素が再分布することにより形成される。

【 0 0 3 6 】

また、W S i N 層 1 4 は、S i - N 結合を含み、さらに W も含むため単純なシリコン窒化膜よりも抵抗は低いものとなる。

【 0 0 3 7 】

さらに、W S i N 層 1 4 の膜構造はアモルファスであるため、後工程で行われる熱工程における n 型多結晶シリコン膜 1 2 のエピタキシャル成長を防止するバリアとして働く。また、W S i N 層 1 4 は 9 5 0 以上の高温の熱処理工程に対しても非常に安定である。そのため、W S i N 層 1 4 によるエピタキシャル成長防止の効果は、高温の熱処理工程においても失われない。

【 0 0 3 8 】

ここで、金属、シリコンおよび窒素を含む金属半導体窒化物膜として、W S i N 層 1 4 を例としてあげたが、上記金属はタングステン ( W ) に限定されるものではない。

【 0 0 3 9 】

すなわち、金属が窒化物を形成する際の G i b b s の自由エネルギーの低下と S i が窒化物を形成する際の G i b b s の自由エネルギーの低下を比較したときに後者の低下分が大きくなるような金属ならば何でも良く、W の他に例えばモリブデン ( M o )、クロム ( C r ) など好適である。

【 0 0 4 0 】

このような条件を満たす金属は、窒素との化合物の形で存在するよりもシリコンとの化合

10

20

30

40

50

物の形で存在する方がエネルギー的に安定である。そのため、図 2 ( i ) の工程で、タングステン窒化膜 1 3 からトレンチ 5 の側面および n 型多結晶シリコン膜 1 2 に窒素を容易に再分布させることができ、W S i N 層 1 4 を確実に形成することが可能となる。

【 0 0 4 1 】

次に、図 2 ( j ) に示すように、 $H_2$   $O_2$ 、 $H_2$   $O_2$  と  $H_2$   $SO_4$  の混合液、 $H_2$   $O_2$  と H C l の混合液、あるいは  $H_2$   $O_2$  と  $NH_3$  の混合液などを用いてウェットエッチングを行うことにより、W S i N 層 1 4 を残存させ、タングステン窒化膜 1 3 を除去する。

【 0 0 4 2 】

W S i N 層 1 4 に対してタングステン窒化膜 1 3 を選択的に除去できるようなエッチングであれば、薬液の組み合わせは上記の組み合わせに限ったものでは無く、またドライエッチングを用いても構わない。

【 0 0 4 3 】

次に、図 2 ( k ) に示すように、W S i N 層 1 4 を介して、トレンチ 5 内をその途中の深さまでキャパシタのストレージノード電極の一部を構成する n 型多結晶シリコン膜 1 5 でさらに埋め込む。n 型多結晶シリコン膜 1 5 の形成方法は、第 2 の n 型多結晶シリコン膜 1 2 のそれと同様である。

【 0 0 4 4 】

次に、図 2 ( l ) に示すように、開口部 4 およびトレンチ 5 内を埋め込むように、シリコン酸化膜 1 6 を全面に堆積する。

【 0 0 4 5 】

次に、図 2 ( m ) に示すように、フォトリソグラフィとエッチングを用いて、隣接するトレンチ 5 を跨ぐ領域のシリコン酸化膜 1 6 を除去する。すなわち、素子分離領域上のシリコン酸化膜 1 6 を除去する。

【 0 0 4 6 】

次に、図 3 ( n ) に示すように、シリコン酸化膜 1 6 をマスクにして、シリコン窒化膜 3、薄いシリコン酸化膜 2、p 型シリコン基板 1、多結晶シリコン膜 1 5、W S i N 層 1 4、多結晶シリコン膜 1 2 およびシリコン酸化膜 1 1 をエッチングし、素子分離用の浅い溝 (素子分離溝) 1 7 を形成する。このとき、素子分離溝 1 7 の底が第 1 の n 型多結晶シリコン膜 1 0 に達しないように、素子分離溝 1 7 の深さを設定する。

【 0 0 4 7 】

次に、図 3 ( o ) に示すように、シリコン酸化膜 1 6 を除去し、続いて溝 1 7 を埋め込むようにシリコン酸化膜 1 8 を全面に堆積する。

【 0 0 4 8 】

次に、図 3 ( p ) に示すように、素子分離溝 1 7 の外部のシリコン酸化膜 1 8 が除去され、かつシリコン酸化膜 1 8 およびシリコン窒化膜 3 の表面が平坦になるまで、C M P プロセスによりシリコン酸化膜 1 8 およびシリコン窒化膜 3 を研磨する。

【 0 0 4 9 】

次に、図 4 ( q ) に示すように、シリコン窒化膜 3 を例えば熱燐酸を用いて除去し、続いてシリコン酸化膜 2、1 8 を例えば希 H F を用いて除去することにより、素子分離溝 1 7 をシリコン酸化膜 (素子分離絶縁膜) 1 8 で埋め込んでなる素子分離 (S T I : S h a l l o w T r e n c h I s o l a t i o n) が得られる。

【 0 0 5 0 】

シリコン酸化膜 1 8 は、工程で繰り返し行われる希 H F を含む洗浄処理などでエッチングされて徐々に薄くなる。このことをあらかじめ考慮し、M O S トランジスタを形成する段階でシリコン酸化膜 1 8 の表面が p 型シリコン基板 1 の表面に対して所望の高さになるように、図 3 ( p ) の工程での C M P 量を加減し、図 4 ( q ) の工程時におけるシリコン酸化膜 1 8 の高さを決定する。

【 0 0 5 1 】

次に、図 4 ( r ) に示すように、p 型シリコン基板 1 の表面に p 型ウェル 1 9 および埋め



込み n 型ウェル 20 を形成し、続いて埋め込み n 型ウェル 20 および素子分離絶縁膜 18 上にゲート絶縁膜 21 を形成する。

【0052】

p 型ウェル 19 および埋め込み n 型ウェル 20 は、その接合部分が、シリコン酸化膜 11 の中間に位置するように形成する。さらに、埋め込み n 型ウェル 20 は n 型拡散層（キャパシタ電極）8 と接続するように形成する。

【0053】

次に、図 4 (s) に示すように、ゲート電極 22 を形成し、続いてゲート電極 22 をマスクにして n 型不純物を p 型ウェル 19 の表面にイオン注入し、n 型不純物の活性化アニールを行って n 型ソース/ドレイン拡散層 22 を形成し、メモリセルの n チャネル MOS トランジスタが完成する。n チャネル MOS トランジスタの二つの n 型ソース/ドレイン拡散層 23 のうち WSiN 層 14 に隣接する側のものは、WSiN 層 14 を介して n 型多結晶シリコン膜 12 にコンタクトする。

10

【0054】

この後、通常の DRAM プロセスにより配線層等が形成され、DRAM セルが完成する。

【0055】

以上述べたように、本実施形態の DRAM セルにおいては、トレンチキャパシタの n 型多結晶シリコン膜 12 と MOS トランジスタのソース/ドレイン拡散層 23 とが、n 型多結晶シリコン膜 12 と WSiN 層 14 とで構成された接続部により電氣的に接続されている。

20

【0056】

このような構成であれば、n 型多結晶シリコン膜 12 の形成後の高温を伴う熱工程（パッシベーション膜の形成工程）における、トレンチ 5 の側面（単結晶シリコン）からの n 型多結晶シリコン膜 12 のエピタキシャル成長を WSiN 層 14 により抑制でき、p 型シリコン基板 1 中に結晶欠陥が発生することを防止できる。したがって、結晶欠陥の発生によるリーク電流の発生を防止できる。

【0057】

また、WSiN 層 14 は金属である W を含むため、従来の接続部に使用されているシリコン窒化膜に比べて抵抗が低い。そのため、WSiN 層 14 とソース/ドレイン拡散層 22 との間のコンタクト抵抗の増加を抑制でき、これによりメモリの動作速度の低下を防止できる。

30

【0058】

さらに、WSiN 層 14 の抵抗が低いことから、WSiN 層 14 を非常に薄く形成する必要はない。そのため、WSiN 層 14 の膜厚のばらつきによって、コンタクト抵抗が大きくなったり、あるいはメモリセル間のコンタクト抵抗のばらつきが大きくなるという問題もない。

【0059】

なお、本発明は、上記実施形態に限定されるものではない。例えば、上記実施形態では、接続部の多結晶半導体膜として多結晶シリコン膜を用いたが、その代わりに、多結晶ゲルマニウム膜や多結晶ゲルマニウムシリコン膜等の多結晶半導体膜を用いても構わない。

40

【0060】

また、上記実施形態では、トレンチキャパシタが n チャネル MOS トランジスタに接続する場合について説明したが、トレンチキャパシタが p チャネル MOS トランジスタに接続する場合にも本発明は有効であり、さらに CMOS（デュアルゲート）に対しても本発明は有効である。

【0061】

また、上記実施形態では、トレンチキャパシタのトレンチ側面からの多結晶半導体膜のエピタキシャル成長を抑制する場合について説明したが、本発明は図 5 に示すように、トレンチ 31 の側面の拡散層（単結晶半導体）32 と多結晶半導体膜 33 とが接続する構造であれば、それらの間に金属半導体窒化物層 34 を挿設することにより、素子の種類に関係

50

なく、後工程での高温熱処理時における多結晶半導体膜 33 の単結晶化を防止できる。また、多結晶半導体膜 33 の下の構造は特に限定されない。

#### 【0062】

また、上記実施形態では、トレンチ内に合計三つの多結晶シリコン膜 10, 12, 15 を形成したが、一つもしくは二つの多結晶シリコン膜、または四つ以上の多結晶シリコン膜を形成して、そのトレンチ内の多結晶シリコン膜と基板表面の拡散層とを金属半導体窒化物層を用いて電氣的に接続する構造とすることも可能である。

#### 【0063】

さらに、上記実施形態には種々の段階の発明が含まれており、開示される複数の構成要件における適宜な組み合わせにより種々の発明が抽出され得る。例えば、実施形態に示される全構成要件から幾つかの構成要件が削除されても、発明が解決しようとする課題の欄で述べた課題を解決できる場合には、この構成要件が削除された構成が発明として抽出され得る。

10

#### 【0064】

その他、本発明の要旨を逸脱しない範囲で、種々変形して実施できる。

#### 【0065】

#### 【発明の効果】

以上詳説したように本発明によれば、溝内に埋め込まれ、半導体基板の表面の拡散層と電氣的に接続するための多結晶半導体膜のエピタキシャル成長の発生防止、および上記多結晶半導体膜と上記拡散層との間のコンタクト抵抗の増加防止を図れる半導体装置およびその製造方法を実現できるようになる。

20

#### 【図面の簡単な説明】

【図 1】本発明の一実施形態に係るトレンチキャパシタを有する D R A M セルの製造工程を示す断面図

【図 2】図 1 に続く同 D R A M セルの製造工程を示す断面図

【図 3】図 2 に続く同 D R A M セルの製造工程を示す断面図

【図 4】図 3 に続く同 D R A M セルの製造工程を示す断面図

【図 5】本発明の他の実施形態を説明するための断面図

【図 6】従来のトレンチキャパシタを有する D R A M セルを示す断面図

【図 7】従来の他のトレンチキャパシタを有する D R A M セルを示す断面図

30

#### 【符号の説明】

1 ... p 型シリコン基板

2 ... シリコン酸化膜

3 ... シリコン窒化膜

4 ... 開口部

5 ... トレンチ

6 ... A s S G 膜

7 ... レジスト

8 ... n 型拡散層 ( プレート電極 )

9 ... キャパシタ絶縁膜

40

10 ... n 型多結晶シリコン膜 ( ストレージノード電極 : 第 1 の多結晶半導体膜 )

11 ... シリコン酸化膜 ( 側壁絶縁膜 )

12 ... n 型多結晶シリコン膜 ( ストレージノード電極 : 第 1 の多結晶半導体膜 )

13 ... タングステン窒化膜

14 ... W S i N 層 ( 金属半導体窒化物層 )

15 ... n 型多結晶シリコン膜 ( 第 2 の多結晶半導体膜 )

16 ... シリコン酸化膜

17 ... トレンチ

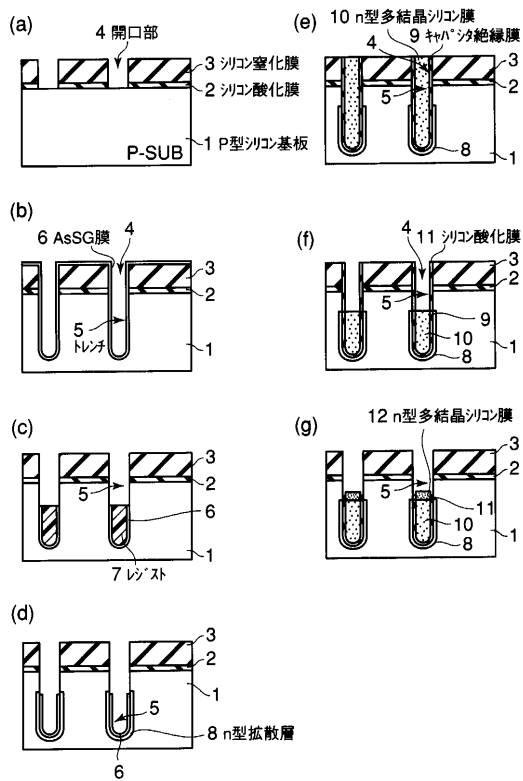
18 ... シリコン酸化膜 ( 素子分離絶縁膜 )

19 ... p 型ウェル

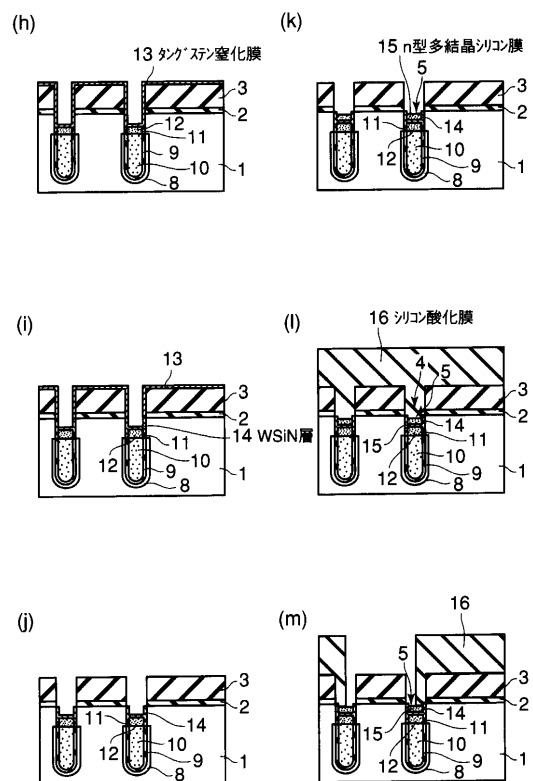
50

- 2 0 ... 埋め込み n 型 ウェル
- 2 1 ... ゲート電極
- 2 2 ... n 型ソース / ドレイン 拡散層
- 3 1 ... トレンチ
- 3 2 ... 拡散層 ( 単結晶半導体 )
- 3 3 ... 多結晶半導体膜

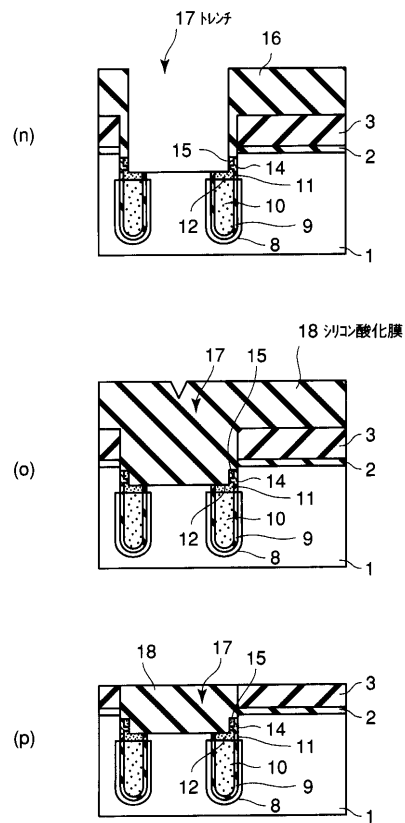
【 図 1 】



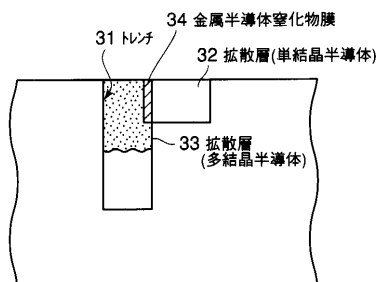
【 図 2 】



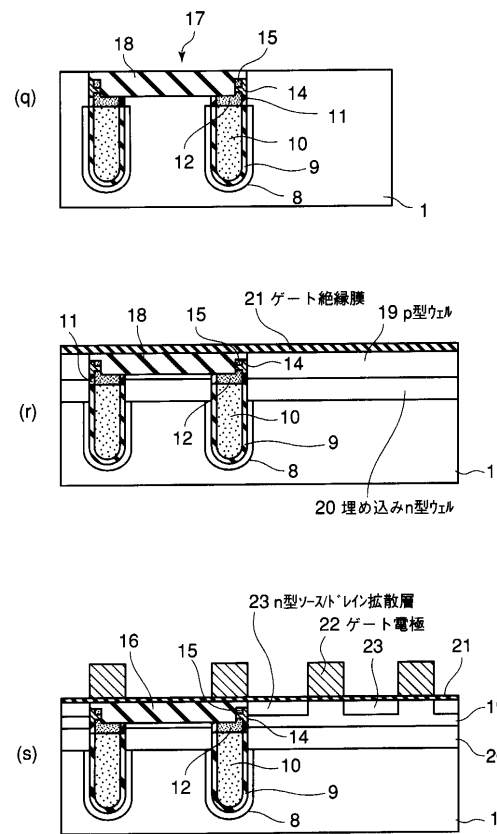
【図 3】



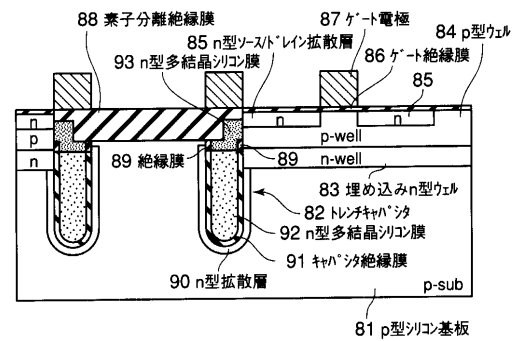
【図 5】



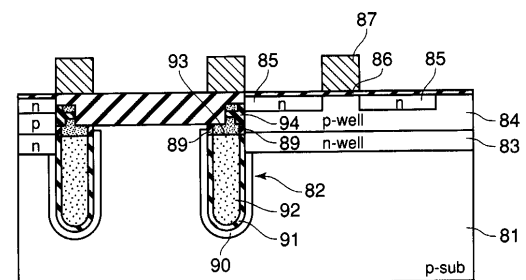
【図 4】



【図 6】



【図 7】



---

フロントページの続き

(74)代理人 100070437

弁理士 河井 将次

(72)発明者 赤坂 泰志

神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横浜事業所内

F ターム(参考) 5F083 AD17 GA02 GA06 JA39 JA40 JA60 PR09 PR40