

	(19) 대한민국특허청(KR) (12) 공개특허공보(A)	(11) 공개번호 10-2011-0035569 (43) 공개일자 2011년04월06일
(51) Int. Cl. <i>H01L 21/8247</i> (2006.01) <i>H01L 27/115</i> (2006.01) (21) 출원번호 10-2009-0093347 (22) 출원일자 2009년09월30일 심사청구일자 2009년09월30일	(71) 출원인 경희대학교 산학협력단 경기도 용인시 기흥구 서천동 1 경희대학교 국제 캠퍼스내 (72) 발명자 임대영 경기도 수원시 영통구 영통동 진덕아파트 703동 1704호 김동학 경기도 수원시 영통구 영통동 1002-4번지 203호 (74) 대리인 이덕록	

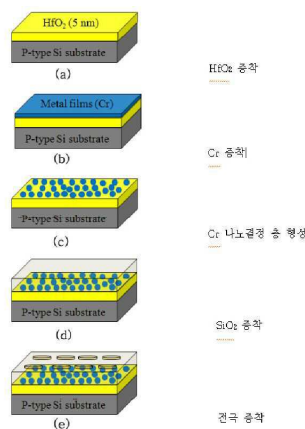
전체 청구항 수 : 총 10 항

(54) 크롬 나노결정을 전하트랩층으로 이용한 비휘발성 메모리 제조 방법

(57) 요약

본 발명은 기판을 세정하는 단계; 상기 기판 상의 산화물(native oxide)를 제거하는 단계; 상기 기판 상에 터널링 층을 증착하는 단계; 상기 터널링 층 상에 Cr 층을 증착하는 단계; 상기 Cr 층을 열처리하여 Cr 나노결정 층을 형성시키는 단계; 상기 Cr 나노결정 층 상에 블록킹 층을 증착하는 단계; 및 상기 블록킹 층 상에 전극 층을 증착하는 단계로 이루어진 크롬 나노결정을 전하트랩층으로 이용한 비휘발성 메모리 제조 방법 및 이로부터 제조된 비휘발성 메모리에 관한 것이다.

대표도 - 도3



이 발명을 지원한 국가연구개발사업

과제고유번호 R01-2007-000-20142-0

부처명 한국과학재단

연구관리전문기관

연구사업명 특정기초사업

연구과제명 금속 이온 및 합금에 의해 형성된 전하트랩을 이용한 비휘발성 메모리 연구

기여율

주관기관 경희대학교 산학협력단

연구기간 2007년 9월 1일~2010년 8월 31일

특허청구의 범위

청구항 1

기판을 세정하는 단계;

상기 기판 상의 산화물(native oxide)를 제거하는 단계;

상기 기판 상에 터널링 층을 증착하는 단계;

상기 터널링 층 상에 Cr 층을 증착하는 단계;

상기 Cr 층을 열처리하여 전하트랩층으로서 Cr 나노결정 층을 형성시키는 단계;

상기 Cr 나노결정 층 상에 블록킹 층을 증착하는 단계; 및

상기 블록킹 층 상에 전극 층을 증착하는 단계

로 이루어진 비휘발성 메모리의 제조 방법.

청구항 2

제1항에 있어서, 상기 기판 세정 단계가 기판을 아세톤에 침지시키고, 초음파 세척기를 이용하여 유기물을 제거하고, 이어서 상기 기판을 에탄올에 침지시키고, 초음파 세척기를 이용하여 무기물을 제거한 후, 최종적으로 기판을 순수(diwater)에 침지시키고, 초음파 세척기를 이용하여 아세톤 및 에탄올을 제거하는 것을 특징으로 하는 비휘발성 메모리의 제조 방법.

청구항 3

제1항에 있어서, 상기 기판 상의 산화물(native oxide) 제거 단계가 완충 HF 용액을 이용하여 기판 위에 존재하는 산화물을 제거하는 것을 특징으로 하는 비휘발성 메모리의 제조 방법.

청구항 4

제1항에 있어서, 상기 기판 상에 터널링 층 증착 단계가 원자 층 증착법(Atomic layer deposition; ALD)을 이용하여 300 내지 400 °C의 기판 온도에서 상기 기판 상에 터널링 산화물(tunneling oxide)로서 HfO_2 층을 3 내지 7 nm 두께로 증착하는 것을 특징으로 하는 비휘발성 메모리의 제조 방법.

청구항 5

제1항에 있어서, 상기 터널링 층 상에 Cr 층 증착 단계가 Cr 층을 스퍼터링 방법을 이용하여 0.5 내지 2 nm 두께로 증착하는 것을 특징으로 하는 비휘발성 메모리의 제조 방법.

청구항 6

제1항에 있어서, 상기 Cr 나노결정 층을 형성시키는 단계가 Cr 층이 증착된 기판을 고속 열 어닐링(Rapid thermal annealing; RTA) 공정에 의해 300 - 500°C의 저온으로, 60 내지 120초 동안 N_2 환경 및 0.5 내지 2 torr의 압력하에서 열처리하여 전하트랩층으로서 Cr 나노결정 층을 형성시키는 것을 특징으로 하는 비휘발성 메모리의 제조 방법.

청구항 7

제1항에 있어서, 상기 블록킹 층을 증착시키는 단계가 상기 Cr 나노결정 층 위에 화학 진공 증착법(chemical vapor deposition; CVD)으로 SiO_2 블록킹 산화물(blocking oxide)을 15 내지 25 nm 두께로 증착하는 것을 특징으로 하는 비휘발성 메모리의 제조 방법.

청구항 8

제1항에 있어서, 상기 전극 층을 증착시키는 단계가 상기 블록킹 산화물 위에 열증착법(thermal evaporator)을 이용하여 Al 전극을 150 내지 300 μm 두께로 증착하는 것을 특징으로 하는 비휘발성 메모리의 제조 방법.

청구항 9

제1항의 방법에 따라 제조되어, 기판, 터널링층, Cr 나노결정층, 블록킹 층 및 전극층이 순차적으로 증착되어 구성된 비휘발성 메모리.

청구항 10

제3항에 있어서, 상기 비휘발성 메모리가 기판, HfO₂ 층, Cr 나노결정층, SiO₂ 층 및 Al 전극 층이 순차적으로 증착되어 구성된 것을 특징으로 하는 비휘발성 메모리.

명세서

발명의 상세한 설명

기술 분야

[0001] 본 발명은 크롬 나노결정을 전하트랩층으로 이용한 비휘발성 메모리 제조 방법에 관한 것으로, 보다 구체적으로는 기판을 세정하는 단계; 상기 기판 상의 산화물(native oxide)를 제거하는 단계; 상기 기판 상에 터널링 층을 증착하는 단계; 상기 터널링 층 상에 Cr 층을 증착하는 단계; 상기 Cr 층을 열처리하여 Cr 나노결정 층을 형성시키는 단계; 상기 Cr 나노결정 층 상에 블록킹 층을 증착하는 단계; 및 상기 블록킹 층 상에 전극 층을 증착하는 단계로 이루어진 크롬 나노결정을 전하트랩층으로 이용한 비휘발성 메모리 제조 방법 및 이로부터 제조된 비휘발성 메모리에 관한 것이다.

배경 기술

[0002] 최근 메모리 소자의 크기가 작아짐에 따라 금속 나노결정(metal nanocrystal)을 기반으로 한 메모리가 주목받고 있다. 현재 사용되고 있는 폴리실리콘에 기반하고 있는 플래시 메모리는 그 크기가 커서 동작 전압이 크고 속도가 느린 단점이 존재한다.

[0003] 이를 극복하기 위해 나노결정을 전하트랩층으로 이용하는 많은 신기술이 개발된 바 있다. 예를 들어, 대한민국 특허출원 제10-2006-0085295호 “나노 입자의 복합체를 이용한 전하 트랩형 메모리 소자 및 그 제조 방법”에는 기판과, 이 기판 상에 나노 입자의 복합물로 형성된 전하 트랩층을 포함하는 게이트 구조체를 구비하는 전하 트랩형 메모리 소자 및 그 제조 방법이 개시되어 있으며, 대한민국 특허출원 제10-2007-0080188호 “비휘발성 메모리 소자 및 그 제조 방법”에는 반도체 기판, 반도체 기판 상의 전하 트랩층으로서, 적층된 2 이상의 서브 전하 트랩막을 포함하는 전하 트랩층, 및 전하 트랩층 상의 게이트 전극을 포함하되, 각 서브 전하 트랩막은 복수의 나노 크리스탈을 포함하는 나노 크리스탈층, 및 나노 크리스탈층을 덮는 유전막을 포함하고, 2 이상의 서브 전하 트랩막 중 적어도 하나는 각 나노 크리스탈을 둘러싸는 산화막을 포함하는 비휘발성 메모리 소자가 개시되어 있다.

[0004] 또한 대한민국 등록특허 제10-0914292호 “실리콘 나노크리스탈을 갖는 전하트랩층 형성방법과, 이를 이용한 비휘발성 메모리소자 및 그 제조방법”에는 실리콘-나노크리스탈을 갖는 전하트랩층을 형성하기 위해, 먼저 기판 위에 비정질 실리콘막을 형성하고, 산화분위기 또는 질화분위기에서 비정질 실리콘막에 대한 열처리를 수행하되, 상기 열처리는 실리콘-나노크리스탈 형성을 위한 1차 열처리와, 매트릭스 형성을 위한 2차 열처리를 포함할 수 있으며, 1차 열처리에 의해 비정질 실리콘막 내부에는 실리콘-나노크리스탈이 형성되고, 2차 열처리에 의해 비정질 실리콘막은 산화 또는 질화되고, 결과적으로 실리콘-나노크리스탈을 갖는 실리콘옥사이드막 또는 실리콘나이트라이드막으로 이루어지는 전하트랩층이 형성되는 비휘발성 메모리소자의 제조방법이 개시되어 있다.

[0005] 또한 대한민국 등록특허 제10-0846507호 “알루미늄이 도핑된 전하트랩층을 구비한 비휘발성 메모리소자 및 그 제조방법”에는 표면에 이격된 소스영역 및 드레인영역이 형성된 기판; 상기 기판 상에서, 상기 소스 및 드레인 과 접촉되게 형성된 터널막; 상기 터널막 상에서 전하를 트랩하는 실리콘 나노도트들과 상기 나노도트들을 덮는 실리콘 산화물층을 구비하는 전하트랩층; 상기 전하트랩층 상에 형성된 블록킹막; 및 상기 블록킹막 상에 형성된 게이트전극;을 구비하며, 상기 전하트랩층은 Al 이 도핑된 것을 특징으로 하는 알루미늄이 도핑된 전하트랩층을 구비한 비휘발성 메모리 소자의 제조방법이 개시되어 있다.

[0006] 하지만 상기와 같은 기술들은 반도체나 금속의 나노결정을 형성함에 있어 고온 공정이 필요하고 또 그 일함수가 적절하지 않아 메모리로써의 기록/삭제(write/erase) 속도 및 보존 특성이 좋지 않았다.

[0007] 본 발명자들은 상기와 같은 종래 기술의 문제점을 극복하기 위하여 예의 연구를 거듭한 결과 저온 공정이 가능할 뿐 아니라 일함수가 실리콘 밴드갭 이내에 형성되어 우수한 보존 특성 및 동작속도를 보이는 Cr 나노결정에 기반 한 비휘발성 메모리를 개발하고 본 발명에 이르게 되었다.

발명의 내용

해결 하고자하는 과제

[0008] 따라서 본 발명의 목적은 적절한 일함수를 갖는 Cr 나노 결정을 이용하여 고밀도의 전하트랩 레벨을 형성하여 고밀도의 전하 저장, 긴 유지 시간이 가능한 비휘발성 메모리의 제조 방법 및 그로부터 제조된 비휘발성 메모리를 제공하는 것이다.

과제 해결수단

[0009] 상기와 같은 본 발명의 목적은 크롬 금속 나노 결정을 전하트랩층으로 이용한 비휘발성 메모리 제조하고, 제조된 비휘발성 메모리에 대하여 어닐링 온도에 따른 Cr 나노결정 층의 크기 변화 조사 Cr 나노결정 층의 C-V 이력 특성 조사함으로써 Cr 나노결정 층 형성을 위한 최적의 어닐링 조건을 확립함으로써 달성되었다.

[0010] 본 발명은 크롬 금속 나노 결정을 전하트랩층으로 이용한 비휘발성 메모리 제조 방법을 제공한다.

[0011] 본 발명에 따른 방법은 기판을 세정하는 단계; 상기 기판 상의 산화물(native oxide)를 제거하는 단계; 상기 기판 상에 터널링 층을 증착하는 단계; 상기 터널링 층 상에 Cr 층을 증착하는 단계; 상기 Cr 층을 열처리하여 전하트랩층으로서 Cr 나노결정 층을 형성시키는 단계; 상기 Cr 나노결정 층 상에 블록킹 층을 증착하는 단계; 및 상기 블록킹 층 상에 전극 층을 증착하는 단계로 이루어진다.

[0012] 이하 본 발명 방법의 바람직한 공정단계들 도 1 내지 3을 참고로 보다 상세하게 설명한다.

[0013] 본 발명의 방법에 있어서, 기판 세정 단계에서는, 도 1에 도시한 바와 같이, 반도체 기판, 예를 들어 p-형 Si(001) 기판을 아세톤에 침지시키고, 초음파 세척기를 이용하여 유기물을 제거하고, 이어서 상기 시료를 에탄올에 침지시키고, 초음파 세척기를 이용하여 무기물을 제거한 후, 최종적으로 기판을 순수(dwater)에 침지시키고, 초음파 세척기를 이용하여 아세톤 및 에탄올을 제거한다.

[0014] 본 발명의 방법에 있어서, 기판 상의 산화물(native oxide) 제거 단계에서는, 도 2에 도시한 바와 같이, 완충 HF 용액을 이용하여 기판 위에 존재하는 산화물을 제거한다.

[0015] 본 발명의 방법에 있어서, 기판 상에 터널링 층 증착 단계에서는, 도 3의 (a)에 도시한 바와 같이, 바람직하게는 원자 층 증착법(Atomic layer deposition; ALD)을 이용하여 300 내지 400 °C, 바람직하게는 350°C의 기판 온도에서 상기 기판 상에 터널링 산화물(tunneling oxide)로서, 바람직하게는 HfO₂층을 3 내지 7 nm 두께로, 바람직하게는 5 nm 두께 증착한다.

[0016] 본 발명의 방법에 있어서, 터널링 층 상에 Cr 층 증착 단계에서는, 도 3의 (b)에 도시한 바와 같이, Cr 층을 스퍼터링 방법을 이용하여 0.5 내지 2 nm, 바람직하게는 1 nm 두께로 증착한다.

[0017] 본 발명의 방법에 있어서, 전하트랩층으로서 Cr 나노결정 층을 형성시키는 단계에서는, 도 3의 (c)에 도시한 바와 같이, Cr 층이 증착된 기판을, 바람직하게는 고속 열 어닐링(Rapid thermal annealing; RTA) 공정에 의해 300 - 500°C의 저온으로, 60 내지 120 초, 바람직하게는 90초 동안 N₂ 환경 및 0.5 내지 2 torr, 바람직하게는 1 torr의 압력하에서 열처리하여 전하트랩층으로서 Cr 나노결정 층을 형성시킨다.

[0018] 본 발명의 방법에 있어서, 블록킹 층을 증착시키는 단계에서는, 도 3의 (d)에 도시한 바와 같이, Cr 나노결정

층 위에, 바람직하게는 화학 진공 증착법(chemical vapor deposition; CVD)으로 바람직하게는 SiO₂ 블록킹 산화물(blocking oxide)을 15 내지 25 nm, 바람직하게는 20 nm 두께로 증착한다.

[0019] 본 발명의 방법에 있어서, 전극 층을 증착시키는 단계에서는, 도 3의 (e)에 도시한 바와 같이, 블록킹 산화물 위에, 바람직하게는 열증착법(thermal evaporator)을 이용하여, 바람직하게는 Al 전극을 150 내지 300 μm, 바람직하게는 200 μm 두께로 증착한다.

[0020] 상기와 같은 단계에 의하여 최종적으로 플로팅 게이트 비휘발성 메모리(Floating gate nonvolatile memory; FGNM) 구조가 완성된다.

[0021] 또한 본 발명은 상기와 같은 방법으로 제조되어, 기관, 터널링층, Cr 나노결정층, 블록킹 층 및 전극층이 순차적으로 적층되어 구성된 비휘발성 메모리를 제공한다.

[0022] 본 발명에 따른 방법은 비휘발성 메모리, 특히 플래시 메모리 분야에서 현재의 폴리실리콘에 기반 한 기술을 대체할 수 있을 것이며, 또한 종래의 폴리실리콘 기술이 안고 있는 고전압 구동, 느린 속도의 단점을 극복함으로써 차세대 플래시 메모리 소자에 이용될 수 있다.

[0023] 따라서 본 발명의 방법을 성공적으로 응용함으로써 플래시 메모리 분야에서 획기적인 변화를 불러올 수 있을 것으로 기대되며, 2008년 현재 플래시 메모리 시장의 규모가 DRAM 시장보다 큰 250억 달러 규모로 그 파급력은 엄청날 것으로 예상된다. 또한, 본 발명의 방법은 양산성을 가지고 있으므로 양산설비와 결합된 생산기술을 확보함으로써 사업화할 수 있을 것이다.

효 과

[0024] 본 발명의 방법에 따라 제조된 비휘발성 메모리는 금속 나노결정을 기반으로 한 비휘발성 메모리는 기존의 폴리실리콘(poly-silicon)을 기반으로 한 메모리에 비해 동작 전압이 낮고, 프로그래밍/삭제 속도(program/erase speeds)가 빠르며, 보존 시간(retention time)이 긴 효과가 있어, 본 발명은 반도체 산업상 매우 유용한 발명인 것이다.

발명의 실시를 위한 구체적인 내용

[0025] 이하에서 본 발명의 바람직한 실시형태를 실시예를 참고로 보다 구체적으로 설명한다. 하지만 본 발명의 범위가 이러한 실시예에 한정되는 것은 아니다.

[0026] 실시예 1: 크롬 금속 나노 결정을 전하트랩층으로 이용한 비휘발성 메모리 제조

[0027] 우선 시료[p-형 Si(001) 기관]를 아세톤에 침지시키고, 초음파 세척기를 이용하여 유기물을 제거하고, 이어서 상기 시료를 에탄올에 침지시키고, 초음파 세척기를 이용하여 무기물을 제거하였다. 최종적으로 상기 시료를 순수에 침지시키고, 초음파 세척기를 이용하여 아세톤 및 에탄올을 제거하였다. 이어서 완충 HF 용액을 이용하여 기관 위에 존재하는 산화물을 제거하였다.

[0028] 원자 층 증착법(Atomic layer deposition; ALD)을 이용하여 350℃의 기관 온도에서 상기 기관 상에 터널링 산화물(tunneling oxide)로서 5 nm 두께의 HfO₂를 증착한 후, 1 nm 두께의 Cr 층을 스퍼터링 방법을 이용하여 증착하였다.

[0029] 상기 기관을 고속 열 어닐링(Rapid thermal annealing; RTA) 공정에 의해 300 - 500℃의 저온으로 90초 동안 N₂ 환경 및 1 torr의 압력하에서 열처리하여 Cr 나노결정 층을 형성시켰다, 이어서, 상기 Cr 나노결정 층 위에 화학 진공 증착법(chemical vapor deposition; CVD)으로 20 nm 두께의 SiO₂ 블록킹 산화물(blocking oxide)을 증착하였다. 상기 블록킹 산화물 위에 열증착법(thermal evaporator)을 이용하여 200 μm 두께의 Al 전극을 증착하여 최종적으로 플로팅 게이트 비휘발성 메모리(Floating gate nonvolatile memory; FGNM) 구조를

완성하였다.

[0030] 실험예 1 : 어닐링 온도에 따른 Cr 나노결정 층의 크기 변화 조사

[0031] 상기 실시예에서 고속 열 어닐링 공정에 의해 Cr 나노결정 층을 형성시킴에 있어 어닐링 온도 변화에 따른 Cr 나노결정층의 크기 변화를 SEM 이미지 분석을 통해 조사하였다. 도 3에 도시한 바와 같이, 300℃에서 어닐링하였을 때 Cr은 거의 파괴되지 않았으며, 400℃에서 어닐링하였을 때 Cr이 약 3nm 크기로 결정화되었으며, 400℃에서 어닐링하였을 때 5 내지 10 nm 크기로 결정화됨을 알 수 있다. 이를 통해 어닐링 온도 증가에 따라 Cr 나노결정 층의 크기는 증가하였으며, Cr 나노결정 층의 밀도는 감소하였음을 알 수 있다.

[0032] 실험예 2 : Cr 나노결정 층의 C-V 이력특성(hysteresis) 조사

[0033] 상기 실시예에서 제조한 비휘발성 메모리 소자에 대하여 메모리 캐패시터(memory capacitor)의 메모리 동작 특성을 조사하였다. 도 4에 도시한 바와 같이, 메모리 윈도우(memory window)는 온도가 증가함에 따라 증가하다가 500℃에서 최대가 되었다. 즉, Cr 나노결정 층의 크기가 증가함에 따라 메모리 윈도우의 크기가 증가하였으며, 항복전압(breakdown voltage)은 감소하였다. 이 때, +/- 7V 스위프(sweep) 전압에 대해 메모리 윈도우가 6 V 이상 크게 주어져 우수한 특성을 보였다. 또한, 도 5에 도시한 바와 같이, 빠른 프로그래밍/삭제(program/erase) 특성 또한 구현되었으며, 300℃에서 어닐링된 Cr 나노결정 층과 400℃에서 어닐링된 Cr 나노결정 층의 프로그래밍과 삭제 속도 사이에는 유의적인 차이가 없었다.

도면의 간단한 설명

[0034] 도 1은 본 발명의 방법에 따른 기판 세정 단계를 개략적으로 나타낸 도이다.

[0035] 도 2는 본 발명의 방법에 따른 기판 상의 산화물 제거 단계를 개략적으로 나타낸 도이다.

[0036] 도 3은 본 발명의 방법에 따른 메모리 소자의 제조 단계를 개략적으로 나타낸 도이다.

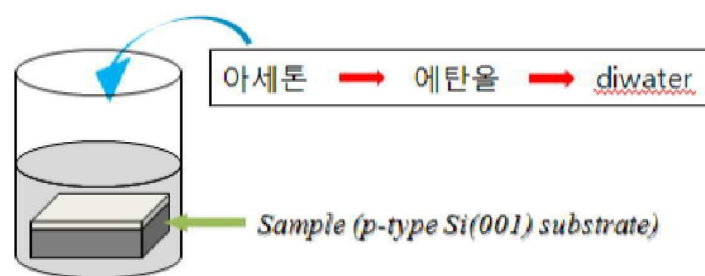
[0037] 도 4는 본 발명에 따른 Cr 나노결정 층의 SEM 이미지를 나타낸 도이다.

[0038] 도 5는 본 발명에 따른 Cr 나노결정 층의 C-V 이력특성을 나타낸 그래프이다.

[0039] 도 6은 본 발명에 따른 Cr 나노결정 층의 프로그래밍 및 삭제 속도를 나타낸 그래프이다.

도면

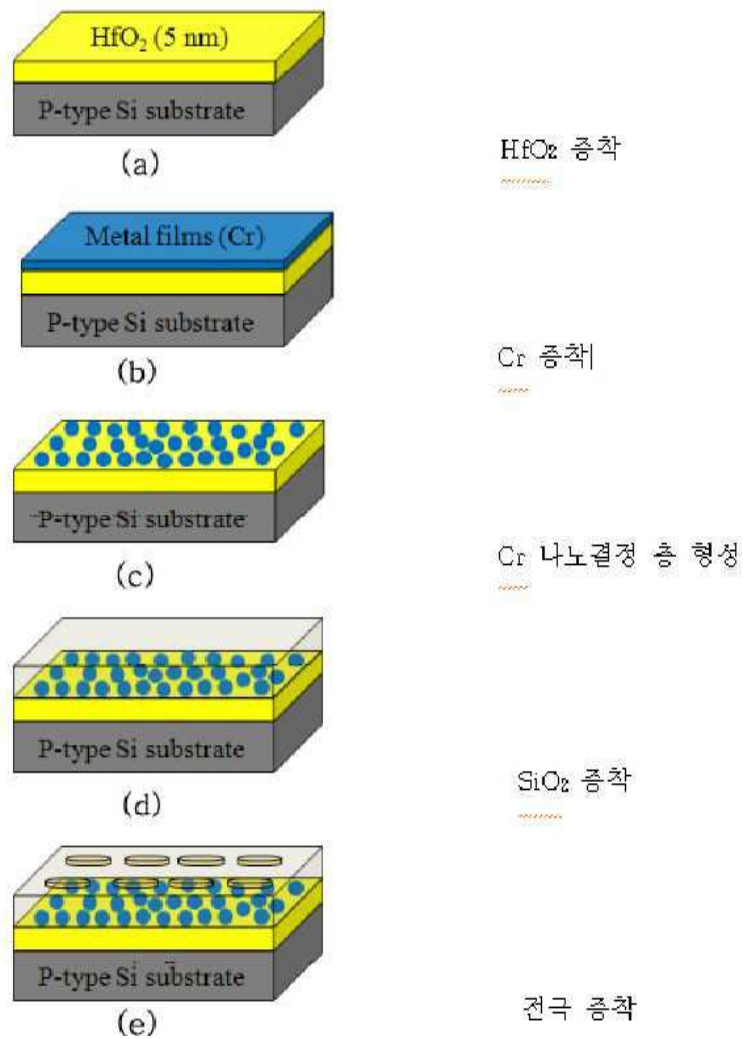
도면1



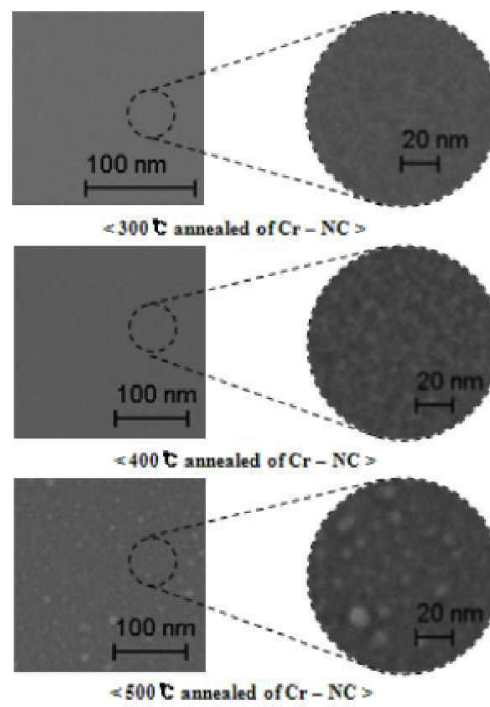
도면2



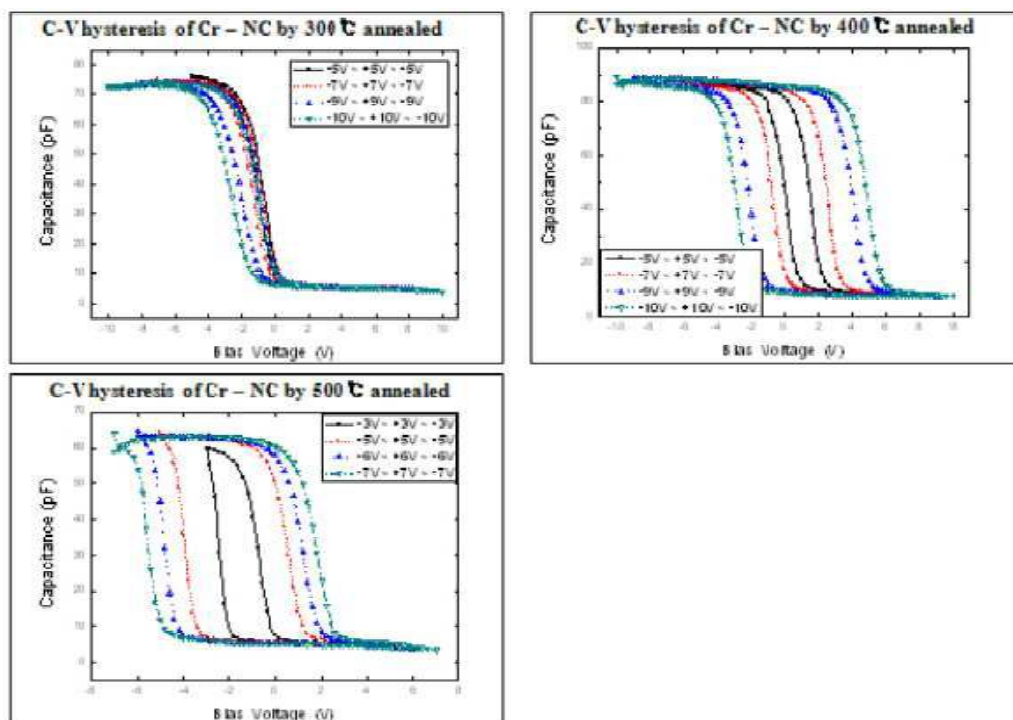
도면3



도면4



도면5



도면6

