

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成17年12月22日(2005.12.22)

【公表番号】特表2005-509273(P2005-509273A)

【公表日】平成17年4月7日(2005.4.7)

【年通号数】公開・登録公報2005-014

【出願番号】特願2002-588620(P2002-588620)

【国際特許分類第7版】

H 01 L 21/8249

H 01 L 21/331

H 01 L 21/76

H 01 L 21/822

H 01 L 21/8222

H 01 L 27/04

H 01 L 27/06

H 01 L 29/732

【F I】

H 01 L 27/06 3 2 1 A

H 01 L 27/04 U

H 01 L 27/04 C

H 01 L 27/06 3 2 1 C

H 01 L 27/06 1 0 1 U

H 01 L 27/06 1 0 1 D

H 01 L 29/72 P

H 01 L 21/76 L

【手続補正書】

【提出日】平成17年1月7日(2005.1.7)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

集積回路、特に無線周波数アプリケーションのための集積回路の製造方法であって、少なくとも1つのバイポーラ・トランジスタ及び少なくとも1つのMOS素子を含み、シリコン基板(10、41)を提供する工程と、

バイポーラ・トランジスタの能動領域(41)とMOS素子の能動領域(41)とを、前記シリコン基板(10)に形成する工程と、

前記バイポーラ・トランジスタの能動領域とMOS素子の能動領域との周りに、水平面において、電解絶縁領域(81)を形成する工程と、

前記MOS素子の前記能動領域(41)上に、MOSゲート領域(111、112)を形成する工程と、

前記MOSゲート領域上と前記バイポーラ・トランジスタの前記能動領域(41)上とに、電気的絶縁層(141)を形成する工程と、

前記電気的絶縁層(141)内に開口(143)を形成することによって、前記バイポーラ・トランジスタの前記能動領域にベース領域を画定する工程と、を含み、

前記電気的絶縁層(141)における前記開口(143)は、前記電気的絶縁層(14

1) の残っている部分が前記バイポーラ・トランジスタの前記能動領域の一部を覆うように形成され、

前記電気的絶縁層(141)は前記MOSゲート領域上に残り、特に酸化、イオン打ち込み及び/あるいはエッチング工程を含む後続の製造工程の間、前記MOSゲート領域を密閉し保護する、前記集積回路の製造方法。

【請求項2】

請求項1に記載の方法において、前記電気的絶縁層が窒化物層(141)である、前記方法。

【請求項3】

請求項1あるいは請求項2に記載の方法であって、さらに、コンデンサ(41、141、151)を製造する工程を含み、前記電気的絶縁層(141)の一部は前記コンデンサ内の誘電体として使用される、前記方法。

【請求項4】

請求項1から請求項3のいずれかひとつに記載の方法において、前記MOSゲート領域は、酸化物層(111)の上のシリコン層(112)として形成される、前記方法。

【請求項5】

請求項4に記載の方法において、酸化物は、前記電気的絶縁層(141)の形成に先立ち、シリコン層(112)の上に形成される、前記方法。

【請求項6】

請求項4あるいは請求項5に記載の方法であって、さらに、前記電気的絶縁層(141)の形成に先立ち、バイポーラ・トランジスタの前記能動領域(41)の上に酸化物層(111)を形成する工程を含む、前記方法。

【請求項7】

請求項6に記載の方法であって、さらに、前記バイポーラ・トランジスタの前記能動領域(41)の一部を露出するために、前記開口(143)が前記能動領域(31)の上の前記酸化物層(111)から形成される工程を含む、前記方法。

【請求項8】

請求項6あるいは請求項7に記載の方法において、前記ゲート・ポリシリコン層(112)上に形成される前記酸化物層(111)と、前記バイポーラ・トランジスタの前記能動領域上に形成される前記酸化物層(111)とは、同時に形成される、好ましくは成長される、前記方法。

【請求項9】

請求項1から請求項8のいずれかひとつに記載の方法において、MOS素子のための前記能動領域(41)は、前記MOSゲート領域(111、112)の形成に先立ちイオン打ち込みされる、前記方法。

【請求項10】

請求項1から請求項9のいずれかに記載の方法において、バイポーラ・トランジスタの前記能動領域(41)における2次的埋込みコレクタ(SIC)(171)、及び、MOS素子のための前記能動領域(41)の背景ドーピングとは、イオン打ち込み工程において同時に形成される、前記方法。

【請求項11】

請求項10に記載の方法において、バイポーラ・トランジスタの外因性ベース(151)は、前記開口(143)内の前記電気的絶縁層(141)上と一部のバイポーラ・トランジスタの前記能動領域(41)上とに形成され、それによりエミッタ開口(162)を画定し、前記外因性ベースは、前記イオン打ち込み工程に先立ち形成され、前記イオン打ち込み工程の間フォトレジスト(161)により保護される、前記方法。

【請求項12】

請求項11に記載の方法において、イオン打ち込み工程において、前記外因性ベース(151)がドープされると同時に、ソース及びドレイン領域(198)が前記MOS素子の前記能動領域(41)に形成される、前記方法。

【請求項 1 3】

請求項 1 2 に記載の方法において、コンデンサ（4 1、1 4 1、1 5 1）の電極（1 5 1）及び／あるいは基板接触のための接触層もまた、前記外因性ベースがドープされるイオン打ち込み工程においてドープされる、前記方法。

【請求項 1 4】

請求項 1 2 あるいは請求項 1 3 に記載の方法において、シリコン酸化物（2 0 0）とシリコン窒化物（2 0 1）との 2 層は、前記ドープされたソース及びドレイン領域（1 9 8）上に形成され、それにより、打ち込まれた種が前記能動領域（4 1）から拡散して出て行くことを防ぐ、前記方法。

【請求項 1 5】

請求項 1 から請求項 1 4 のいずれかひとつに記載の方法において、バイポーラ・トランジスタ及びMOS 素子の前記能動領域（4 1）は、酸化物・窒化物 2 層を通るイオン打ち込みによって形成される、前記方法。

【請求項 1 6】

請求項 1 から請求項 1 5 のいずれかひとつに記載の方法において、前記バイポーラ・トランジスタのコレクタ・プラグ（1 9 2、4 1）を含むコレクタ（3 1、4 1、1 7 1、1 9 2）が形成され、前記コレクタ・プラグは同じドーピング型（n）であって異なる拡散率を有する 2 つの異なるドーパント種（As、P）によるイオン打ち込みによりドープされ、低抵抗率と深いコレクタ・プラグを達成する、前記方法。

【請求項 1 7】

請求項 1 6 に記載の方法において、エミッタ接触（1 9 1）が形成され、前記エミッタ接触は前記コレクタ・プラグ打ち込みにおいて使用された前記ドーパント種の 1 つによりドープされる、前記方法。

【請求項 1 8】

請求項 1 6 あるいは請求項 1 7 に記載の方法において、コレクタ・プラグの前記イオン打ち込みは 3 つの個別の工程において実行され、各工程は設定エネルギー及び設定ドーズ量におけるドーパント種のイオン打ち込みを含む、前記方法。

【請求項 1 9】

請求項 1 8 に記載の方法において、前記 3 工程イオン打ち込みにおいて、高抵抗及び低抵抗抵抗器（R_{H1}、R_{L0}）が形成される、前記方法。

【請求項 2 0】

請求項 1 から請求項 1 9 のいずれかひとつに記載の方法において、バイポーラ・トランジスタはNPN トランジスタであり、MOS 素子はPMOS トランジスタである、前記方法。

【請求項 2 1】

請求項 1 から請求項 2 0 のいずれかひとつに記載の方法において、

バイポーラ・トランジスタの埋込みコレクタ領域（3 1）が前記基板（1 0）に形成され、前記埋込みコレクタ領域は前記バイポーラ・トランジスタの前記能動領域（4 1）の下に位置し、

前記バイポーラ・トランジスタの前記能動領域の周りに形成された電界絶縁領域は前記シリコン基板における浅い溝（5 1）として形成され、前記浅い溝は基板表面から前記埋込みコレクタ領域（3 1）内（z）へ垂直下方向に延び、

前記浅い溝は電気的絶縁材料（8 1）で満たされる、前記方法。

【請求項 2 2】

請求項 2 1 に記載の方法において、前記埋込みコレクタ領域（3 1）及び前記浅い溝（5 1、8 1）は、前記埋込みコレクタ領域が前記浅い溝の下に位置する領域（x）内に延びるように、互いに形成される、前記方法。

【請求項 2 3】

請求項 2 2 に記載の方法において、前記埋込みコレクタ領域は好ましくは少なくとも約1 E 1 9 cm⁻³ の濃度に強度に n ドープされ、前記バイポーラ・トランジスタの前記能動

領域は約 $1 \times 10^{-7} \text{ cm}^{-3}$ 以下の濃度、好ましくは約 $5 \times 10^{-6} \text{ cm}^{-3}$ 以下、さらに好ましくは約 $1 \times 10^{-6} \text{ cm}^{-3}$ 以下、そして最も好ましくは約 $1 \times 10^{-6} \text{ cm}^{-3}$ の濃度にドープされる、前記方法。

【請求項 24】

請求項21から請求項23のいずれかひとつに記載の方法において、深い溝(63)が前記浅い溝(51)において形成され、特に前記浅い溝に自己整合される、前記方法。

【請求項 25】

特に無線周波数アプリケーションのための集積回路の製造における、集積回路に含まれる縦型バイポーラ・トランジスタの絶縁のための浅い溝を形成する方法であって、

第1のドーピング型の半導体基板(10)を提供する工程と、

前記基板に、前記バイポーラ・トランジスタの第2のドーピング型の埋込みコレクタ領域(31)を形成する工程と、

前記基板上にシリコン層(41)をエピタキシャル成長させる工程と、

前記バイポーラ・トランジスタの前記第2のドーピング型の能動領域(41)を、前記エピタキシャル成長したシリコン層に形成し、前記能動領域は埋込みコレクタ領域(31)の上に位置する工程と、

浅い溝(51)を前記エピタキシャル成長したシリコン層と前記シリコン基板に形成し、前記浅い溝は前記能動領域を水平面で囲み、前記基板内へ距離(z)を垂直に延ばす工程と、

前記浅い溝を電気的絶縁材料(81)で満たす工程と、

を含む前記浅い溝の形成方法。

【請求項 26】

請求項25に記載の方法において、前記埋込みコレクタ領域(31)及び前記浅い溝(51)は、前記埋込みコレクタ領域が前記浅い溝の下に位置する領域(x)内に延びるように、互いに形成される、前記方法。

【請求項 27】

請求項25あるいは請求項26に記載の方法において、前記浅い溝は、マスキング及びエッチングによって形成される、前記方法。

【請求項 28】

請求項25から請求項27のいずれかに記載の方法において、前記基板ドーピングはp型であり、前記埋込みコレクタ領域及び前記能動領域ドーピングはn型である、前記方法。

【請求項 29】

請求項28に記載の方法において、前記埋込みコレクタ領域は、好ましくは少なくとも約 $1 \times 10^{-9} \text{ cm}^{-3}$ の濃度に強度にnドープされ、前記能動領域は、約 $1 \times 10^{-7} \text{ cm}^{-3}$ 以下の濃度、好ましくは約 $5 \times 10^{-6} \text{ cm}^{-3}$ 以下、さらに好ましくは約 $1 \times 10^{-6} \text{ cm}^{-3}$ 以下、そして最も好ましくは約 $1 \times 10^{-6} \text{ cm}^{-3}$ の濃度にドープされる、前記方法。

【請求項 30】

請求項25から請求項29のいずれかひとつに記載の方法において、深い溝(63)が前記浅い溝(51)において形成され、特に前記浅い溝に自己整合される、前記方法。

【請求項 31】

集積回路、特に無線周波数アプリケーションのための集積回路であって、上面を有する第1のドーピング型の半導体基板(10)と、

前記基板に形成された縦型バイポーラ・トランジスタであって、第2のドーピング型の能動領域(41)を有し、前記能動領域にはエミッタ(202)とベース(174)とが形成され、更に、前記第2のドーピング型の埋込みコレクタ領域(31)を有し、前記埋込みコレクタ領域が能動領域の下に位置する前記縦型バイポーラ・トランジスタと、

前記縦型バイポーラ・トランジスタの絶縁のための浅い溝(51)であって、前記浅い溝は、基板の表面に沿って存在するように前記トランジスタの能動領域を囲むと共に、電気的絶縁材料(81)で満たされた前記浅い溝と、

を備え、

前記浅い溝（51）は、前記基板の上面から前記埋込みコレクタ領域が位置する深さ（ z ）まで前記基板内に垂直方向に延びている、前記集積回路。

【請求項 3 2】

請求項31に記載の集積回路において、前記埋込みコレクタ領域（31）は、前記浅い溝（51）の下に位置する領域（ \times ）内まで延びる、前記集積回路。

【請求項 3 3】

請求項31あるいは請求項32に記載の集積回路において、前記埋込みコレクタ領域は、好ましくは少なくとも約 $1 \times 10^9 \text{ cm}^{-3}$ の濃度に強度にnドープされ、前記能動領域は、約 $1 \times 10^7 \text{ cm}^{-3}$ 以下の濃度、好ましくは約 $5 \times 10^6 \text{ cm}^{-3}$ 以下、さらに好ましくは約 $1 \times 10^6 \text{ cm}^{-3}$ 以下、そして最も好ましくは約 $1 \times 10^6 \text{ cm}^{-3}$ の濃度にドープされる、前記集積回路。

【請求項 3 4】

請求項1から請求項24のいずれかひとつに記載の方法において、縦型バイポーラ・トランジスタが、前記バイポーラ・トランジスタの前記能動領域に形成され、前記バイポーラ・トランジスタのドーピング・プロファイル及び熱プロセスは、2Vより大きいベース - コレクタ - バイアス電圧において、そのベース（174）からそのサブコレクタ（26）に十分空乏するトランジスタを生成する、前記方法。

【請求項 3 5】

請求項1から請求項24のいずれかひとつに記載の方法において、縦型バイポーラ・トランジスタが、バイポーラ・トランジスタのための前記能動領域に形成され、前記バイポーラ・トランジスタのドーピング・プロファイル及び熱プロセスは、1Vより大きいベース - コレクタ - バイアス電圧において、そのベース（174）からそのサブコレクタ（26）まで十分空乏するトランジスタを生成する、前記方法。

【請求項 3 6】

請求項34あるいは請求項35に記載の方法において、コレクタは逆行ドーピング・プロファイルで形成される、つまり、バイポーラ・トランジスタのための能動領域の上部表面からの距離に伴いドーピング・レベルが上がるよう形成される、前記方法。