

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】平成 17 年 12 月 22 日 (2005.12.22)

【公表番号】特表 2005-509273 (P2005-509273A)

【公表日】平成 17 年 4 月 7 日 (2005.4.7)

【年通号数】公開・登録公報 2005-014

【出願番号】特願 2002-588620 (P2002-588620)

【国際特許分類第 7 版】

H 0 1 L 21/8249

H 0 1 L 21/331

H 0 1 L 21/76

H 0 1 L 21/822

H 0 1 L 21/8222

H 0 1 L 27/04

H 0 1 L 27/06

H 0 1 L 29/732

【F I】

H 0 1 L 27/06 3 2 1 A

H 0 1 L 27/04 U

H 0 1 L 27/04 C

H 0 1 L 27/06 3 2 1 C

H 0 1 L 27/06 1 0 1 U

H 0 1 L 27/06 1 0 1 D

H 0 1 L 29/72 P

H 0 1 L 21/76 L

【手続補正書】

【提出日】平成 17 年 1 月 7 日 (2005.1.7)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

集積回路、特に無線周波数アプリケーションのための集積回路の製造方法であって、少なくとも 1 つのバイポーラ・トランジスタ及び少なくとも 1 つの M O S 素子を含み、シリコン基板 (1 0、4 1) を提供する工程と、バイポーラ・トランジスタの能動領域 (4 1) と M O S 素子の能動領域 (4 1) とを、前記シリコン基板 (1 0) に形成する工程と、前記 バイポーラ・トランジスタの能動領域と M O S 素子の能動領域との 周りに、水平面において、電解絶縁領域 (8 1) を形成する工程と、前記 M O S 素子の前記能動領域 (4 1) 上に、M O S ゲート領域 (1 1 1、1 1 2) を形成する工程と、前記 M O S ゲート領域上と前記バイポーラ・トランジスタの前記能動領域 (4 1) 上とに、電氣的絶縁層 (1 4 1) を形成する工程と、前記電氣的絶縁層 (1 4 1) 内に開口 (1 4 3) を形成することによって、前記バイポーラ・トランジスタの前記能動領域にベース領域を画定する工程と、を含み、前記電氣的絶縁層 (1 4 1) における前記開口 (1 4 3) は、前記電氣的絶縁層 (1 4

１）の残っている部分が前記バイポーラ・トランジスタの前記能動領域の一部を覆うように、形成され、

前記電氣的絶縁層（１４１）は前記ＭＯＳゲート領域上に残り、特に酸化、イオン打ち込み及び／あるいはエッチング工程を含む後続の製造工程の間、前記ＭＯＳゲート領域を密閉し保護する、前記集積回路の製造方法。

【請求項２】

請求項１に記載の方法において、前記電氣的絶縁層が窒化物層（１４１）である、前記方法。

【請求項３】

請求項１あるいは請求項２に記載の方法であって、さらに、コンデンサ（４１、１４１、１５１）を製造する工程を含み、前記電氣的絶縁層（１４１）の一部は前記コンデンサ内の誘電体として使用される、前記方法。

【請求項４】

請求項１から請求項３のいずれかひとつに記載の方法において、前記ＭＯＳゲート領域は、酸化物層（１１１）の上のシリコン層（１１２）として形成される、前記方法。

【請求項５】

請求項４に記載の方法において、酸化物は、前記電氣的絶縁層（１４１）の形成に先立ち、シリコン層（１１２）の上に形成される、前記方法。

【請求項６】

請求項４あるいは請求項５に記載の方法であって、さらに、前記電氣的絶縁層（１４１）の形成に先立ち、バイポーラ・トランジスタの前記能動領域（４１）の上に酸化物層（１１１）を形成する工程を含む、前記方法。

【請求項７】

請求項６に記載の方法であって、さらに、前記バイポーラ・トランジスタの前記能動領域（４１）の一部を露出するために、前記開口（１４３）が前記能動領域（３１）の上の前記酸化物層（１１１）から形成される工程を含む、前記方法。

【請求項８】

請求項６あるいは請求項７に記載の方法において、前記ゲート・ポリシリコン層（１１２）上に形成される前記酸化物層（１１１）と、前記バイポーラ・トランジスタの前記能動領域上に形成される前記酸化物層（１１１）とは、同時に形成される、好ましくは成長される、前記方法。

【請求項９】

請求項１から請求項８のいずれかひとつに記載の方法において、ＭＯＳ素子のための前記能動領域（４１）は、前記ＭＯＳゲート領域（１１１、１１２）の形成に先立ちイオン打ち込みされる、前記方法。

【請求項１０】

請求項１から請求項９のいずれかに記載の方法において、バイポーラ・トランジスタの前記能動領域（４１）における２次的埋込みコレクタ（ＳＩＣ）（１７１）、及び、ＭＯＳ素子のための前記能動領域（４１）の背景ドーピングとは、イオン打ち込み工程において同時に形成される、前記方法。

【請求項１１】

請求項１０に記載の方法において、バイポーラ・トランジスタの外因性ベース（１５１）は、前記開口（１４３）内の前記電氣的絶縁層（１４１）上と一部のバイポーラ・トランジスタの前記能動領域（４１）上に形成され、それによりエミッタ開口（１６２）を画定し、前記外因性ベースは、前記イオン打ち込み工程に先立ち形成され、前記イオン打ち込み工程の間フォトレジスト（１６１）により保護される、前記方法。

【請求項１２】

請求項１１に記載の方法において、イオン打ち込み工程において、前記外因性ベース（１５１）がドーブされると同時に、ソース及びドレイン領域（１９８）が前記ＭＯＳ素子の前記能動領域（４１）に形成される、前記方法。

【請求項 13】

請求項 12 に記載の方法において、コンデンサ (41、141、151) の電極 (151) 及び / あるいは基板接触のための接触層もまた、前記外因性ベースがドーブされるイオン打ち込み工程においてドーブされる、前記方法。

【請求項 14】

請求項 12 あるいは請求項 13 に記載の方法において、シリコン酸化物 (200) とシリコン窒化物 (201) との 2 層は、前記ドーブされたソース及びドレイン領域 (198) 上に形成され、それにより、打ち込まれた種が前記能動領域 (41) から拡散して出て行くことを防ぐ、前記方法。

【請求項 15】

請求項 1 から請求項 14 のいずれかひとつに記載の方法において、バイポーラ・トランジスタ及び MOS 素子の前記能動領域 (41) は、酸化物 - 窒化物 2 層を通るイオン打ち込みによって形成される、前記方法。

【請求項 16】

請求項 1 から請求項 15 のいずれかひとつに記載の方法において、前記バイポーラ・トランジスタのコレクタ・プラグ (192、41) を含むコレクタ (31、41、171、192) が形成され、前記コレクタ・プラグは同じドーピング型 (n) であって異なる拡散率を有する 2 つの異なるドーパント種 (As、P) によるイオン打ち込みによりドーブされ、低抵抗率と深いコレクタ・プラグを達成する、前記方法。

【請求項 17】

請求項 16 に記載の方法において、エミッタ接触 (191) が形成され、前記エミッタ接触は前記コレクタ・プラグ打ち込みにおいて使用された前記ドーパント種の 1 つによりドーブされる、前記方法。

【請求項 18】

請求項 16 あるいは請求項 17 に記載の方法において、コレクタ・プラグの前記イオン打ち込みは 3 つの個別の工程において実行され、各工程は設定エネルギー及び設定ドーズ量におけるドーパント種のイオン打ち込みを含む、前記方法。

【請求項 19】

請求項 18 に記載の方法において、前記 3 工程イオン打ち込みにおいて、高抵抗及び低抵抗抵抗器 (R_{HI} 、 R_{LO}) が形成される、前記方法。

【請求項 20】

請求項 1 から請求項 19 のいずれかひとつに記載の方法において、バイポーラ・トランジスタは NPN トランジスタであり、MOS 素子は PMOS トランジスタである、前記方法。

【請求項 21】

請求項 1 から請求項 20 のいずれかひとつに記載の方法において、

バイポーラ・トランジスタの埋込みコレクタ領域 (31) が前記基板 (10) に形成され、前記埋込みコレクタ領域は前記バイポーラ・トランジスタの前記能動領域 (41) の下に位置し、

前記バイポーラ・トランジスタの前記能動領域の周りに形成された電界絶縁領域は前記シリコン基板における浅い溝 (51) として形成され、前記浅い溝は基板表面から前記埋込みコレクタ領域 (31) 内 (z) へ垂直下方向に延び、

前記浅い溝は電氣的絶縁材料 (81) で満たされる、前記方法。

【請求項 22】

請求項 21 に記載の方法において、前記埋込みコレクタ領域 (31) 及び前記浅い溝 (51、81) は、前記埋込みコレクタ領域が前記浅い溝の下に位置する領域 (x) 内に延びるように、互いに形成される、前記方法。

【請求項 23】

請求項 22 に記載の方法において、前記埋込みコレクタ領域は好ましくは少なくとも約 $1 \text{ E } 19 \text{ cm}^{-3}$ の濃度に強度に n ドーブされ、前記バイポーラ・トランジスタの前記能動

領域は約 $1 \times 10^{17} \text{ cm}^{-3}$ 以下の濃度、好ましくは約 $5 \times 10^{16} \text{ cm}^{-3}$ 以下、さらに好ましくは約 $1 \times 10^{16} \text{ cm}^{-3}$ 以下、そして最も好ましくは約 $1 \times 10^{16} \text{ cm}^{-3}$ の濃度にドーピングされる、前記方法。

【請求項 24】

請求項 21 から請求項 23 のいずれかひとつに記載の方法において、深い溝 (63) が前記浅い溝 (51) において形成され、特に前記浅い溝に自己整合される、前記方法。

【請求項 25】

特に無線周波数アプリケーションのための集積回路の製造における、集積回路に含まれる縦型バイポーラ・トランジスタの絶縁のための浅い溝を形成する方法であって、

第 1 のドーピング型の半導体基板 (10) を提供する工程と、

前記基板に、前記バイポーラ・トランジスタの第 2 のドーピング型の埋込みコレクタ領域 (31) を形成する工程と、

前記基板上にシリコン層 (41) をエピタキシャル成長させる工程と、

前記バイポーラ・トランジスタの前記第 2 のドーピング型の能動領域 (41) を、前記エピタキシャル成長したシリコン層に形成し、前記能動領域は埋込みコレクタ領域 (31) の上に位置する工程と、

浅い溝 (51) を前記エピタキシャル成長したシリコン層と前記シリコン基板に形成し、前記浅い溝は前記能動領域を水平面で囲み、前記基板内へ距離 (z) を垂直に延ばす工程と、

前記浅い溝を電氣的絶縁材料 (81) で満たす工程と、

を含む前記浅い溝の形成方法。

【請求項 26】

請求項 25 に記載の方法において、前記埋込みコレクタ領域 (31) 及び前記浅い溝 (51) は、前記埋込みコレクタ領域が前記浅い溝の下に位置する領域 (x) 内に延びるように、互いに形成される、前記方法。

【請求項 27】

請求項 25 あるいは請求項 26 に記載の方法において、前記浅い溝は、マスキング及びエッチングによって形成される、前記方法。

【請求項 28】

請求項 25 から請求項 27 のいずれかに記載の方法において、前記基板ドーピングは p 型であり、前記埋込みコレクタ領域及び前記能動領域ドーピングは n 型である、前記方法。

【請求項 29】

請求項 28 に記載の方法において、前記埋込みコレクタ領域は、好ましくは少なくとも約 $1 \times 10^{19} \text{ cm}^{-3}$ の濃度に強度に n ドーピングされ、前記能動領域は、約 $1 \times 10^{17} \text{ cm}^{-3}$ 以下の濃度、好ましくは約 $5 \times 10^{16} \text{ cm}^{-3}$ 以下、さらに好ましくは約 $1 \times 10^{16} \text{ cm}^{-3}$ 以下、そして最も好ましくは約 $1 \times 10^{16} \text{ cm}^{-3}$ の濃度にドーピングされる、前記方法。

【請求項 30】

請求項 25 から請求項 29 のいずれかひとつに記載の方法において、深い溝 (63) が前記浅い溝 (51) において形成され、特に前記浅い溝に自己整合される、前記方法。

【請求項 31】

集積回路、特に無線周波数アプリケーションのための集積回路であって、

上面を有する第 1 のドーピング型の半導体基板 (10) と、

前記基板に形成された縦型バイポーラ・トランジスタであって、第 2 のドーピング型の能動領域 (41) を有し、前記能動領域にはエミッタ (202) とベース (174) とが形成され、更に、前記第 2 のドーピング型の埋込みコレクタ領域 (31) を有し、前記埋込みコレクタ領域が能動領域の下に位置する前記縦型バイポーラ・トランジスタと、

前記縦型バイポーラ・トランジスタの絶縁のための浅い溝 (51) であって、前記浅い溝は、基板の表面に沿って存在するように前記トランジスタの能動領域を囲むと共に、電氣的絶縁材料 (81) で満たされた前記浅い溝と、

を備え、

前記浅い溝(51)は、前記基板の上面から前記埋込みコレクタ領域が位置する深さ(z)まで前記基板内に垂直方向に延びている、前記集積回路。

【請求項32】

請求項31に記載の集積回路において、前記埋込みコレクタ領域(31)は、前記浅い溝(51)の下に位置する領域(x)内まで延びる、前記集積回路。

【請求項33】

請求項31あるいは請求項32に記載の集積回路において、前記埋込みコレクタ領域は、好ましくは少なくとも約 $1 \text{ E } 19 \text{ cm}^{-3}$ の濃度に強度にnドーピングされ、前記能動領域は、約 $1 \text{ E } 17 \text{ cm}^{-3}$ 以下の濃度、好ましくは約 $5 \text{ E } 16 \text{ cm}^{-3}$ 以下、さらに好ましくは約 $1 \text{ E } 16 \text{ cm}^{-3}$ 以下、そして最も好ましくは約 $1 \text{ E } 16 \text{ cm}^{-3}$ の濃度にドーピングされる、前記集積回路。

【請求項34】

請求項1から請求項24のいずれかひとつに記載の方法において、縦型バイポーラ・トランジスタが、前記バイポーラ・トランジスタの前記能動領域に形成され、前記バイポーラ・トランジスタのドーピング・プロファイル及び熱プロセスは、2Vより大きいベース・コレクタ・バイアス電圧において、そのベース(174)からそのサブコレクタ(26)に十分空乏するトランジスタを生成する、前記方法。

【請求項35】

請求項1から請求項24のいずれかひとつに記載の方法において、縦型バイポーラ・トランジスタが、バイポーラ・トランジスタのための前記能動領域に形成され、前記バイポーラ・トランジスタのドーピング・プロファイル及び熱プロセスは、1Vより大きいベース・コレクタ・バイアス電圧において、そのベース(174)からそのサブコレクタ(26)まで十分空乏するトランジスタを生成する、前記方法。

【請求項36】

請求項34あるいは請求項35に記載の方法において、コレクタは逆行ドーピング・プロファイルで形成される、つまり、バイポーラ・トランジスタのための能動領域の上部表面からの距離に伴いドーピング・レベルが上がるように形成される、前記方法。